

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年4月6日 (06.04.2006)

PCT

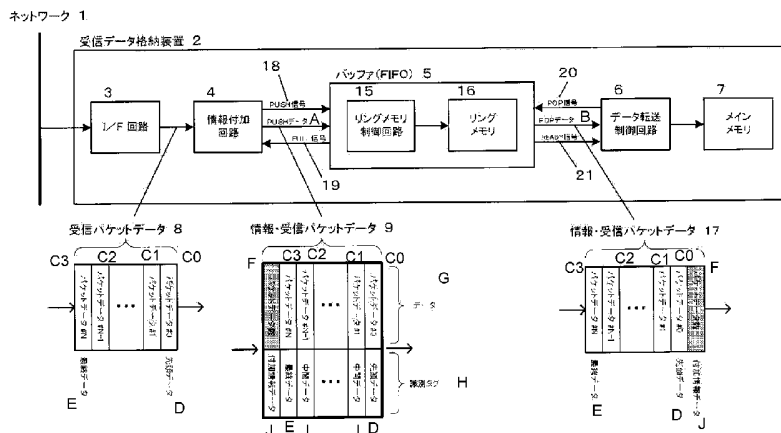
(10) 国際公開番号
WO 2006/035577 A1

- (51) 国際特許分類:
H04L 13/08 (2006.01) G06F 13/38 (2006.01)
- (21) 国際出願番号: PCT/JP2005/016416
- (22) 国際出願日: 2005年9月7日 (07.09.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-278600 2004年9月27日 (27.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 横河電機株式会社 (YOKOGAWA ELECTRIC CORPORATION) [JP/JP]; 〒1808750 東京都武蔵野市中町2丁目9番32号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 佐々木 晋一 (SASAKI, Shin'ichi) [JP/JP]; 〒1808750 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内 Tokyo (JP).
- (74) 代理人: 内藤 照雄, 外 (NAITO, Teruo et al.); 〒1076012 東京都港区赤坂一丁目12番32号 アーク森ビル12階 信栄特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

[続葉有]

(54) Title: RECEPTION DATA STORAGE DEVICE AND RECEPTION DATA STORAGE METHOD

(54) 発明の名称: 受信データ格納装置及び受信データ格納方法



- 1 NETWORK
2 RECEPTION DATA STORAGE DEVICE
3 I/F CIRCUIT
4 INFORMATION ADDITION CIRCUIT
18 PUSH SIGNAL
A PUSH DATA
19 FULL SIGNAL
5 BUFFER (FIFO)
15 RING MEMORY CONTROL CIRCUIT
16 RING MEMORY
20 POP SIGNAL
B POP DATA
21 READY SIGNAL
6 DATA TRANSFER CONTROL CIRCUIT
7 MAIN MEMORY
8 RECEPTION PACKET DATA
C0 PACKET DATA #0
C1 PACKET DATA #1
C2 PACKET DATA #N-1
C3 PACKET DATA #N
D START DATA
E END DATA
9 INFORMATION RECEPTION PACKET DATA
F NUMBER OF PACKET DATA
G DATA
H IDENTIFICATION TAG
I INTERMEDIATE DATA
J ADDITIONAL INFORMATION DATA
17 INFORMATION RECEPTION PACKET DATA

(57) Abstract: A reception data storage device includes: an information addition circuit for generating additional information data to be added to reception packet data received via a network; a buffer for temporarily storing the reception packet data and the additional information data; and a data transfer control circuit for transferring the data stored in the buffer to a main memory by the store & forward method. The buffer has a ring memory formed by continuous addresses for storing the data and a ring memory control circuit for controlling the ring memory. The ring memory control circuit has following address pointers to the ring memory: a write pointer specifying an address for successively pushing the reception packet data, a read permission pointer specifying an address which can be read by specifying a predetermined address pushing the additional information data, and a read pointer for specifying the address for successively hopping for the main memory.

(57) 要約: 受信データ格納装置は、ネットワークを介して受信された受信パケットデータに付加する付加情報データを生成する情報付加回路と、前記受信パケットデータと前

記付加情報データとを一時的に格納するバッファと、前記バッファに格納されたデータをメインメモリ

[続葉有]

WO 2006/035577 A1



SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

にストア&フォワード方式で転送するデータ転送制御回路とを備える。前記バッファは、切れ目のないアドレスで形成され、前記データを格納するリングメモリと、前記リングメモリを制御するリングメモリ制御回路とを備える。前記リングメモリ制御回路は、前記リングメモリに対するアドレスポインタとして、前記受信パケットデータを順次プッシュするアドレスを指定するライトポインタと、前記付加情報データをプッシュする所定のアドレスを指定し、読出し可能なアドレスを指定するリード許可ポインタと、前記メインメモリに対して順次ポップするアドレスを指定するリードポインタとを有する。

明 細 書

受信データ格納装置及び受信データ格納方法

技術分野

- [0001] 本発明は、ネットワークに接続するストア&フォワード方式の受信データ格納装置及び受信データ格納方法に関する。

背景技術

- [0002] 図4は、関連技術としての受信データ格納装置を示す構成図である。同図において、受信データ格納装置2'はネットワーク1に接続されている。

- [0003] 図4を参照して受信データ格納装置2'の構成を説明する。

インターフェース回路(I/F回路)3はネットワーク1に接続されている。情報付加回路4'はI/F回路3の出力に接続されている。バッファ(FIFO)5'は情報付加回路4'に接続されている。データ転送制御回路6はバッファ5'に接続されている。メインメモリ7はデータ転送制御回路6に接続されている。

- [0004] 図4に示した受信データ格納装置の動作を説明する。

I/F回路3は、ネットワーク1から受信データ格納装置2'宛てのパケットを受信すると、受信パケットデータ8を生成する。

- [0005] 受信パケットデータ8は、例えば、先頭データであるパケットデータ#0と、パケットデータ#1と、・・・、パケットデータ#(N-1)と、最終データであるパケットデータ#Nとから形成される。

- [0006] 情報付加回路4'は、受信パケットデータ8のデータ数を計数し、付加情報データであるパケットデータ数を生成する。さらに、情報付加回路4'は、受信パケットデータ8とパケットデータ数とを結合した情報・受信パケットデータ9'を生成する。

- [0007] 情報・受信パケットデータ9'は、例えば、パケットデータ#0と、パケットデータ#1と、・・・、パケットデータ#(N-1)と、パケットデータ#Nと、パケットデータ数とから形成される。パケットデータ数は、最終データであるパケットデータ#Nの後に付加される。

- [0008] バッファ5'は、順次、情報・受信パケットデータ9'をプッシュ(PUSH)し、情報・受

信パケットデータ9'を一時的に格納する。

- [0009] データ転送制御回路6は、バッファ5'に情報・受信パケットデータ9'の全てが格納されたことを確認する。また、データ転送制御回路6は、情報・受信パケットデータ9'のデータ長に異常がないことを確認する。さらに、データ転送制御回路6は、情報・受信パケットデータ9'の巡回冗長検査(CRC)コードに異常がないことを確認する。なお、CRCコードは、データ転送中にエラーが発生していないかどうかを検出する方法で用いられるコードである。
- [0010] データ転送制御回路6は、バッファ5'に情報・受信パケットデータ9'の全てが格納され、情報・受信パケットデータ9'のデータ長に異常がなく、情報・受信パケットデータ9'のCRCコードに異常がないときに、バッファ5'に格納されたデータ(情報・受信パケットデータ9'相当のデータ)をポップ(POP)し、メインメモリ7に転送する。
- [0011] メインメモリ7は、データ転送制御回路6から転送されたデータ(情報・受信パケットデータ9'相当のデータ)を格納する。メインメモリ7に格納されたデータは、マイコン(図示せず)などによる所定の処理のために用いられる。
- [0012] 以上の説明から分かるように、図4の受信データ格納装置は、ストア&フォワード方式で動作する。図4の受信データ格納装置によればは、メインメモリ7に転送されるデータ(情報・受信パケットデータ9'相当のデータ)は、正常なパケットだけとなるため、無駄なエラーパケットの転送を削除できる。
- [0013] 図5は、関連技術としての他の受信データ格納装置を示す構成図である。同図において、図4と同等の要素には同じ符号を付し、説明を省略する。図5を参照して受信データ格納装置2''の構成を説明する。
- [0014] 受信パケットデータ用バッファ(FIFO)10はI/F回路3に接続されている。付加情報データ用バッファ(FIFO)11は情報付加回路4''に接続されている。読出し制御回路12は受信パケットデータ用バッファ10と付加情報データ用バッファ11とに接続されている。データ転送制御回路6'は読出し制御回路12に接続されている。
- [0015] 図5に示した受信データ格納装置2''の動作を説明する。なお、図4に示した受信データ格納装置2'の動作と同じ動作の説明は省略する。図5の受信データ格納装置2''でも、情報付加回路4''は、受信パケットデータ8のデータ数を計数し、パケッ

トデータ数を生成する。

- [0016] 付加情報データ用バッファ11は、順次、パケットデータ数をプッシュ(PUSH)し、パケットデータ数を一時的に格納し、付加情報データ14を生成する。付加情報データ14は、例えば、パケットデータ数#0と、パケットデータ数#1と、・・・、パケットデータ数#(N-1)と、パケットデータ数#Nとから形成される。
- [0017] 受信パケットデータ用バッファ10は、順次、受信パケットデータをプッシュ(PUSH)し、受信パケットデータを一時的に格納し、受信パケットデータ13を生成する。図5に示した受信パケットデータ13は、図4に示した受信パケットデータ8に相当する。
- [0018] 読出し制御回路12は、受信パケットデータ用バッファ10の出力と付加情報データ用バッファ11の出力とを切り替える。
- [0019] データ転送制御回路6'は、受信パケットデータ用バッファ10に受信パケットデータ13の全てが格納され、受信パケットデータ13及び付加情報データ14の各データ長に異常がなく、受信パケットデータ13及び付加情報データ14の各CRCコードに異常がないときに、受信パケットデータ用バッファ10及び付加情報データ用バッファ11に格納された各データをポップ(POP)し、メインメモリ7に転送する。
- [0020] 以上の説明から分かるように、図5の受信データ格納装置も、図4の受信データ格納装置と同様に、ストア&フォワード方式で動作する。
- [0021] 特許第3473975号公報及び特許第2539614号公報は関連技術として参照される。

発明の開示

発明が解決しようとする課題

- [0022] 図4の受信データ格納装置では、データ転送制御回路6とメインメモリ7との接続に、データ転送開始のときに転送データ数を転送先に通知するバスプロトコル、例えば、PCI-Xバスを用いることができない。
- [0023] 詳しくは、データ転送制御回路6は、情報・受信パケットデータ9'のパケットデータ#0からパケットデータ#Nをポップした後でないと情報・受信パケットデータ9'のパケットデータ数が得られない。
- [0024] 但し、データ転送制御回路6に、情報・受信パケットデータ9'のパケットデータ#0

からパケットデータ#Nをポップしたデータを一時的に格納する手段(図示せず)を設ければと、データ転送制御回路6は、メインメモリ7に対して、パケットデータ数を転送した後にパケットデータ#0からパケットデータ#Nを転送することができる。よって、この場合は、データ転送制御回路6とメインメモリ7との接続にPCI-Xバスを用いることができる。

[0025] しかしながら、この場合は、構成要素が増加すると共に、データ転送制御回路6の処理が複雑となる。このため、全体として、効率的にデータ転送制御回路6とメインメモリ7との転送ができない。

[0026] 図5の受信データ格納装置では、受信パケットデータ用バッファ10および付加情報データ用バッファ11の何れか一方にオーバーフローが発生すると、他方に空き容量があっても処理を中断する。

[0027] したがって、受信パケットデータ用バッファ10と付加情報データ用バッファ11とから構成されるバッファリソースの使用効率が悪い。また、受信パケットデータ用バッファ10および付加情報データ用バッファ11の何れか一方にオーバーフローが発生したときの処理が複雑になる。

[0028] さらに、図5の受信データ格納装置は、構成要素が多く、大型・高価である。

[0029] 本発明の目的は、小形・簡便・低コストで転送効率が高い受信データ格納装置及び受信データ格納方法を提供することにある。

課題を解決するための手段

[0030] 本発明は、ネットワークを介して受信された受信パケットデータに付加する付加情報データを生成する情報付加回路と、前記受信パケットデータと前記付加情報データとを一時的に格納するバッファと、前記バッファに格納されたデータをメインメモリにストア&フォワード方式で転送するデータ転送制御回路と、を備え、前記バッファは、切れ目のないアドレスで形成され、前記データを格納するリングメモリと、前記リングメモリを制御するリングメモリ制御回路とを備え、前記リングメモリ制御回路は、前記リングメモリに対するアドレスポインタとして、前記受信パケットデータを順次プッシュするアドレスを指定するライトポインタと、前記付加情報データをプッシュする所定のアドレスを指定し、読出し可能なアドレスを指定するリード許可ポインタと、前記メインメモリ

に対して順次ポップするアドレスを指定するリードポインタと、を有する受信データ格納装置を提供する。

当該受信データ格納装置では、前記リングメモリ制御回路は、前記リード許可ポインタのアドレスを前記ライトポインタのアドレスとし、前記ライトポインタのアドレスをインクリメントする。

当該受信データ格納装置では、前記リングメモリは、前記受信パケットデータと前記付加情報データとを識別する識別タグをアドレス毎に格納する。

当該受信データ格納装置では、前記リングメモリ制御回路は、前記リードポインタと前記ライトポインタとに基づくフル信号を生成し、前記リードポインタと前記リード許可ポインタとに基づくレディ信号を生成し、前記情報付加回路からのプッシュ信号のアサートに基づき、前記ライトポインタをインクリメントし、前記データ転送制御回路からのポップ信号のアサートに基づき、前記リードポインタをインクリメントすると共に、前記付加情報データは、前記受信パケットデータのデータ数を示す。

本発明は、ネットワークを介して受信された受信パケットデータに付加する付加情報データを生成する情報付加回路と、前記受信パケットデータと前記付加情報データとを一時的に格納するバッファと、前記バッファに格納されたデータをメインメモリにストア&フォワード方式で転送するデータ転送制御回路と、を備える受信データ格納装置の受信データ格納方法において、前記バッファは、切れ目のないアドレスで形成されるリングメモリを備えると共に、前記リングメモリに前記受信パケットデータをプッシュし、ライトポインタのアドレスをインクリメントするステップと、リード許可ポインタに基づき前記リングメモリに前記付加情報データをプッシュし、前記リード許可ポインタのアドレスを前記ライトポインタのアドレスとし、前記ライトポインタのアドレスをインクリメントするステップと、前記リード許可ポインタに基づき前記リングメモリに格納されたデータをポップし、リードポインタのアドレスをインクリメントするステップと、を備える受信データ格納方法を提供する。

本発明は、ネットワークを介して受信された受信パケットデータに付加する付加情報データ及び前記受信パケットデータと前記付加情報データとを識別する識別タグを生成し、前記受信パケットデータ及び前記付加情報データと前記識別タグとの組

から成る情報・受信パケットデータを生成する情報付加回路と、前記情報・受信パケットデータを一時的に格納するバッファと、前記バッファに格納されたデータをメインメモリにストア&フォワード方式で転送するデータ転送制御回路と、を備える受信データ格納装置の受信データ格納方法において、前記バッファは、切れ目のないアドレスで形成されるリングメモリを備えると共に、リードポインタのアドレスとリード許可ポインタのアドレスとが同じとなり、ライトポインタのアドレスが前記リードポインタのアドレスをインクリメントした値となるステップと、前記情報付加回路からのプッシュ信号のアサートを検出すると共に、前記識別タグに基づき、前記リングメモリに前記受信パケットデータをプッシュし、前記ライトポインタのアドレスをインクリメントするステップと、前記情報付加回路からのプッシュ信号のアサートを検出すると共に、前記識別タグ及び前記リード許可ポインタに基づき、前記リングメモリに前記付加情報データをプッシュし、前記リード許可ポインタのアドレスを前記ライトポインタのアドレスとし、前記ライトポインタのアドレスをインクリメントするステップと、前記リードポインタと前記リード許可ポインタとに基づくレディ信号を生成するステップと、前記データ転送制御回路からのポップ信号のアサートを検出すると共に、前記リード許可ポインタに基づき前記リングメモリに格納されたデータをポップし、前記リードポインタのアドレスをインクリメントするステップと、を備える受信データ格納方法を提供する。

発明の効果

[0031] 上記受信データ格納装置及び受信データ格納方法によれば、小形・簡便・低コストで転送効率が高い受信データ格納装置及び受信データ格納方法を提供できる。

[0032] また、データ転送制御回路とメインメモリとの接続に、データ転送開始のときに転送データ数を転送先に通知するバスプロトコル、例えば、PCI-Xバスを用いることができる。そして、データ転送を効率的に処理する受信データ格納装置及び受信データ格納方法を提供できる。

[0033] さらに、周辺回路を簡便に形成できる。

図面の簡単な説明

[0034] [図1]は、本発明の一実施形態を示す構成図である。

[図2](a)～図2(d)は、図1の実施形態のリングメモリ16におけるプッシュのときのポ

インタを示す図である。

[図3](a)～図3(c)は、図1の実施形態のリングメモリ16におけるポップのときのポインタを示す図である。

[図4]は、関連技術としての受信データ格納装置を示す構成図である。

[図5]は、関連技術としての他の受信データ格納装置を示す構成図である。

符号の説明

- [0035]
- 1 ネットワーク
 - 2 受信データ格納装置
 - 3 インターフェース回路(I/F回路)
 - 4 情報付加回路
 - 5 バッファ(FIFO)
 - 6 データ転送制御回路
 - 7 メインメモリ
 - 15 リングメモリ制御回路
 - 16 リングメモリ
 - 8 受信パケットデータ
 - 9 情報・受信パケットデータ(PUSHデータ)
 - 17 情報・通信パケットデータ(POPデータ)
 - 18 プッシュ信号(PUSH信号)
 - 19 フル信号(FULL信号)
 - 20 ポップ信号(POP信号)
 - 21 レディ信号(READY信号)
 - Rp リードポインタ
 - Wp ライトポインタ
 - Ep リード許可ポインタ
 - SOP パケット先頭データ
 - MOP0からMOP4 パケット中間データ
 - EOP パケット最終データ

INFO パケット付加情報データ

発明を実施するための最良の形態

- [0036] 本発明の受信データ格納装置及び受信データ格納方法に係る実施形態を図面を用いて詳細に説明する。図1は、本発明の一実施形態を示す構成図である。同図において、図4と同等の要素には同じ符号を付し、説明を省略する。
- [0037] 図1に示すように、情報付加回路4は、バッファ(FIFO)5にプッシュ信号(PUSH信号)18と情報・受信パケットデータ(PUSHデータ)9とを出力する。また、バッファ5は、情報付加回路4にフル信号(FULL信号)19を出力する。
- [0038] データ転送制御回路6は、バッファ5にポップ信号(POP信号)20を出力する。バッファ5は、データ転送制御回路6に情報・受信パケットデータ(POPデータ)17とレディ信号(READY信号)21とを出力する。
- [0039] バッファ5は、切れ目のないアドレスで形成されるリングメモリ16と、リングメモリ16を制御するリングメモリ制御回路15とを有する。
- [0040] 情報付加回路4は、受信パケットデータ8のデータ数を計数し、付加情報データであるパケットデータ数を生成する。さらに、情報付加回路4は、受信パケットデータ8とパケットデータ数とを識別する識別タグをアドレス毎に生成する。
- [0041] パケットデータ#0に対する識別タグは先頭データとし、パケットデータ#1に対する識別タグは中間データとし、・・・、パケットデータ#(N-1)に対する識別タグは中間データとし、パケットデータ#Nに対する識別タグは最終データとし、パケットデータ数に対する識別タグは付加情報データとする。
- [0042] パケットデータ#0と先頭データとは組となり、パケットデータ#1と中間データとは組みとなり、・・・、パケットデータ#(N-1)と中間データとは組になり、パケットデータ#Nと最終データとは組になり、パケットデータ数と付加情報データとは組になる。
- [0043] 情報付加回路4は、パケットデータ#0と先頭データとの組と、パケットデータ#1と中間データとの組と、・・・、パケットデータ#(N-1)と中間データとの組と、パケットデータ#Nと最終データとの組と、パケットデータ数と付加情報データとの組とから成る情報・受信パケットデータ9を生成する。
- [0044] 情報・受信パケットデータ9は、受信パケットデータ8(パケットデータ#0、パケットデ

ータ#1、・・・、パケットデータ#(N-1)、パケットデータ#N)及びパケットデータ数から成るデータと、識別タグ(先頭データ、中間データ、・・・中間データ、最終データ、付加情報データ)とを結合して生成される。

[0045] 情報・受信パケットデータ17は、例えば、パケットデータ数と、パケットデータ#0と、パケットデータ#1と、・・・、パケットデータ#(N-1)と、パケットデータ#Nと、から形成される。即ち、パケットデータ数は、先頭データであるパケットデータ#0の前に付加される。

[0046] 図2及び図3は、図1の実施形態のリングメモリ16におけるポインタを示す図である。

これらの図において、リングメモリ制御回路15は、リングメモリ16に対するアドレスポインタとして、ライトポインタWpと、リード許可ポインタEpと、リードポインタRpとを有する。なお、リングメモリ16は切れ目のないアドレスで形成される(図示せず)。

[0047] 図1の実施形態におけるプッシュのときの動作について、図2を用いて説明する。図2は、図1の実施形態のリングメモリ16におけるプッシュのときのポインタを示す図である。

[0048] 図2に対応する実施形態では、情報・受信パケットデータ9について7つのアドレスが対応している。図2のパケット先頭データ「SOP」は、図1の情報・受信パケットデータ9のパケットデータ#0と先頭データとの組に対応する。

[0049] 図2のパケット中間データ「MOP0」は図1の情報・受信パケットデータ9のパケットデータ#1と中間データとの組に対応する。図2のパケット中間データ「MOP1」は図1の情報・受信パケットデータ9のパケットデータ#2と中間データとの組に対応する。図2のパケット中間データ「MOP2」は図1の情報・受信パケットデータ9のパケットデータ#3と中間データとの組に対応する。図2のパケット中間データ「MOP3」は図1の情報・受信パケットデータ9のパケットデータ#4と中間データとの組に対応する。

[0050] 図2のパケット最終データ「EOP」は図1の情報・受信パケットデータ9のパケットデータ#5と中間データとの組に対応する。図2のパケット付加情報データ「INFO」は図1の情報・受信パケットデータ9のパケットデータ数と付加情報データとの組に対応する。

- [0051] 第1に、リードポインタのアドレスとリード許可ポインタのアドレスとが同じとなり、ライトポインタのアドレスが前記リードポインタのアドレス(前記リード許可ポインタのアドレス)をインクリメントした値となるステップS11を実行する。
- [0052] 即ち、各アドレスポインタのアドレスは以下の関係(1)から関係(3)を満足する。なお、リードポインタのアドレスとリード許可ポインタのアドレスとの絶対的な値は何であってもよい。
- [0053] リードポインタ R_p ＝リード許可ポインタ E_p (1)
リード許可ポインタ E_p ＝リードポインタ R_p (2)
ライトポインタ W_p ＝リードポインタ R_p+1 (3)
- [0054] 図2(a)は、このような初期状態を示す図である。
- [0055] 第2に、リングメモリ制御回路15は、情報付加回路4からのPUSH信号18のアサートを検出すると共に、識別タグに基づき、リングメモリ16に情報・受信パケットデータ9(受信パケットデータ8)をプッシュし、ライトポインタ W_p のアドレスをインクリメントするステップS12を実行する。
- [0056] 識別タグが先頭データの時、リングメモリ制御回路15は、リングメモリ16のライトポインタ W_p のアドレスにパケット先頭データSOPをプッシュし、その後、ライトポインタ W_p のアドレスをインクリメントする。
- [0057] 図2(b)は、パケット先頭データSOPをプッシュし、その後、ライトポインタ W_p のアドレスをインクリメントした状態を示す図である。
- [0058] 識別タグが中間データの時、リングメモリ制御回路15は、リングメモリ16のライトポインタ W_p のアドレスにパケット中間データMOP0からパケット中間データMOP3の何れかをプッシュし、その後、ライトポインタ W_p のアドレスをインクリメントする。
- [0059] 識別タグが最終データの時、リングメモリ制御回路15は、リングメモリ16のライトポインタ W_p のアドレスにパケット最終データEOPをプッシュし、その後、ライトポインタ W_p のアドレスをインクリメントする。
- [0060] そして、情報・受信パケットデータ9中の受信パケットデータ8に相当する部分がリングメモリ16に格納される。また、図2(c)は、パケット最終データEOPをプッシュし、その後、ライトポインタ W_p のアドレスをインクリメントした状態を示す図である。

- [0061] 第3に、リングメモリ制御回路15は、情報付加回路4からのPUSH信号18のアサートを検出すると共に、識別タグに基づき、リングメモリ16にパケットデータ数をプッシュし、リード許可ポインタEpのアドレスをライトポインタRpのアドレスとし、ライトポインタWpのアドレスをインクリメントするステップS13を実行する。
- [0062] 識別タグが付加情報データの時、リングメモリ制御回路15は、リングメモリ16のリード許可ポインタEpのアドレスに付加情報データINFOをプッシュし、その後、リード許可ポインタEpのアドレスをライトポインタWpのアドレスとし、ライトポインタWpのアドレスをインクリメントする。
- [0063] よって、リード許可ポインタEpは、付加情報データINFOをプッシュする所定のアドレスを指定する。即ち、リード許可ポインタEpは、付加情報データINFOを格納するためのポインタとして作用する。そして、付加情報データINFOは、受信パケットデータ8に相当する部分の前に格納される。
- [0064] このようにして、情報・受信パケットデータ9の全部分がリングメモリ16に格納される。また、図2(d)は、アドレスに付加情報データ「INFO」をプッシュし、その後、リード許可ポインタEpのアドレスをライトポインタWpのアドレスとし、ライトポインタWpのアドレスをインクリメントした状態を示す図である。
- [0065] 一方、リングメモリ制御回路15は、リードポインタRpとライトポインタWpとに基づくFULL信号19を生成する。リングメモリ制御回路15は、以下の関係(4)を満足するときはFULL信号19をアサートし、以下の関係(5)を満足するときはFULL信号19をネゲートする。
- $$\text{リードポインタRp} = \text{ライトポインタWp} \quad (4)$$
- $$\text{リードポインタRp} \neq \text{ライトポインタWp} \quad (5)$$
- [0066] この場合、リングメモリ16にこれ以上格納ができないときにFULL信号19がアサートとなる。つまり、リングメモリ16のアドレス数が情報・受信データ9のアドレス数+1よりも小さいときは、FULL信号19がアサートとなる。
- [0067] FULL信号19がアサートになると、情報付加回路4は情報・受信パケットデータ9の転送を停止する。
- [0068] 第4に、リングメモリ制御回路15は、リードポインタRpとリード許可ポインタEpとに基

づくREADY信号21を生成するステップS14を実行する。リングメモリ制御回路15は、以下の関係(6)を満足するときはREADY信号21をアサートし、以下の関係(7)を満足するときはREADY信号21をネゲートする。

リードポインタRp！＝リード許可ポインタEp (6)

リードポインタRp＝リード許可ポインタEp (7)

[0069] この場合、リングメモリ16に転送可能なデータが格納されているときにREADY信号21はアサートとなる。そして、データ転送制御回路6は、READY信号21のアサートに基づいて、POP信号20をアサートする。

[0070] 次に、図1の実施形態におけるポップのときの動作について、図3を用いて説明する。図3は、図1の実施形態のリングメモリ16におけるポップのときのポインタを示す図である。なお、図2と同一要素には同一符号を付し、説明を省略する。

[0071] 第5に、リングメモリ制御回路15は、データ転送制御回路6からのPOP信号20のアサートを検出すると共に、リングメモリ16に格納されたデータをポップし、リードポインタRpのアドレスをインクリメントするステップS15を実行する。

[0072] 図3(a)は、パケット付加情報データINFOをポップし、リードポインタRpのアドレスをインクリメントした状態を示す図である。このとき、リードポインタRpのアドレスは、パケット先頭データSOPのアドレスとなる。

[0073] 図3(b)は、図3(a)の状態の後、パケット先頭データSOP及びパケット中間データ(MOP0からMOP3)をポップした状態を示す図である。このとき、リードポインタRpのアドレスは、パケット最終データEOPのアドレスとなる。

[0074] 図3(c)は、パケット最終データEOPをポップし、リードポインタRpのアドレスをインクリメントした状態を示す図である。このとき、リードポインタRpのアドレスは、リード許可ポインタEpのアドレスとなり、前述の関係(1)から関係(3)を満足する。即ち、図3(c)の状態は、図2(a)の状態と同じになる。また、前述の関係(7)に基づきREADY信号21をネゲートする。

[0075] READY信号21がネゲートになると、データ転送制御回路6はPOP信号20をネゲートし、リングメモリ制御回路15は情報・受信パケットデータ17の転送を停止する。

[0076] したがって、リード許可ポインタEpは、読出し可能なアドレスを指定し、許可する。

即ち、リード許可ポインタEpは、有効なデータを読み出すことができるリード許可ポインタとして作用する。

[0077] 以上説明したように、図1の実施形態の受信データ格納装置2は、ストア&フォワード方式で動作する。そして、リード許可ポインタEpは、付加情報データINFOを格納するためのポインタとしての機能と、有効なデータを読み出すことができるリード許可ポインタとしての機能とを有する。

[0078] また、図1の実施形態の情報・受信パケットデータ17は、データ転送開始のときに転送データ数を転送先に通知するバスプロトコル、例えば、PCI-Xバスに対応している。このため、図1の実施形態によれば、高い転送効率の受信データ格納装置及び受信データ格納方法を提供できる。

[0079] さらに、バッファに対するアクセスは、プッシュ(PUSH)とポップ(POP)とのインターフェースとなるため、周辺回路が簡便になる。

[0080] また、前述の実施形態では付加情報データは受信パケットデータ8のパケットデータ数を有するものであったが、付加情報データは受信パケットデータ8の優先順位を有するものであっても同等の構成となるため、同等の作用効果を得ることができる。

[0081] さらに、前述の実施形態では付加情報データは受信パケットデータ8のパケットデータ数を有するものであったが、付加情報データは受信パケットデータ8のステータスの情報を有するものであっても同等の構成となるため、同等の作用効果を得ることができる。

[0082] また、前述の実施形態における情報・受信パケットデータ17のパケットデータ数はパケットデータ#0の前に付加するように形成したが、パケットデータ数はパケットデータ#0の前以外に付加するように形成しても、同等の作用効果を得ることができる。

[0083] さらに、前述の実施形態では付加情報データは一回のプッシュまたは一回のポップでリングメモリ16にアクセスしていたが、複数回のプッシュまたは複数回のポップでリングメモリ16にアクセスしても実質的に同等の構成となるため、同等の作用効果が得られる。

[0084] また、前述の実施形態において、受信パケットデータ8に相当する部分が不要パケットであるときは、リードポインタのアドレスとリード許可ポインタのアドレスとが同じとな

り、ライトポインタのアドレスが前記リードポインタのアドレス(前記リード許可ポインタのアドレス)をインクリメントした値となるステップS11を実行し、初期状態とする。こうして、不要パケットを削除する。

[0085] 以上のように、本発明は、前述の実施形態に限定されることなく、その本質を逸脱しない範囲でさらに多くの変更及び変形を含むものである。

[0086] 本出願は、2004年9月27日出願の日本特許出願(特願2004-278600)に基づくものであり、その内容はここに参照として取り込まれる。

請求の範囲

- [1] ネットワークを介して受信された受信パケットデータに付加する付加情報データを生成する情報付加回路と、
前記受信パケットデータと前記付加情報データとを一時的に格納するバッファと、
前記バッファに格納されたデータをメインメモリにストア&フォワード方式で転送するデータ転送制御回路と、を備え、
前記バッファは、
切れ目のないアドレスで形成され、前記データを格納するリングメモリと、
前記リングメモリを制御するリングメモリ制御回路と、を備え、
前記リングメモリ制御回路は、前記リングメモリに対するアドレスポインタとして、
前記受信パケットデータを順次プッシュするアドレスを指定するライトポインタと、
前記付加情報データをプッシュする所定のアドレスを指定し、読出し可能なアドレスを指定するリード許可ポインタと、
前記メインメモリに対して順次ポップするアドレスを指定するリードポインタと、
を有することを特徴とする受信データ格納装置。
- [2] 前記リングメモリ制御回路は、前記リード許可ポインタのアドレスを前記ライトポインタのアドレスとし、前記ライトポインタのアドレスをインクリメントすることを特徴とする請求項1記載の受信データ格納装置。
- [3] 前記リングメモリは、前記受信パケットデータと前記付加情報データとを識別する識別タグをアドレス毎に格納することを特徴とする請求項2記載の受信データ格納装置。
- [4] 前記リングメモリ制御回路は、
前記リードポインタと前記ライトポインタとに基づくフル信号を生成し、
前記リードポインタと前記リード許可ポインタとに基づくレディ信号を生成し、
前記情報付加回路からのプッシュ信号のアサートに基づき、前記ライトポインタをインクリメントし、
前記データ転送制御回路からのポップ信号のアサートに基づき、前記リードポインタをインクリメントすると共に、

前記付加情報データは、前記受信パケットデータのデータ数を示すことを特徴とする請求項3記載の受信データ格納装置。

- [5] ネットワークを介して受信された受信パケットデータに付加する付加情報データを生成する情報付加回路と、前記受信パケットデータと前記付加情報データとを一時的に格納するバッファと、前記バッファに格納されたデータをメインメモリにストア & フォワード方式で転送するデータ転送制御回路と、を備える受信データ格納装置の受信データ格納方法において、

前記バッファは、切れ目のないアドレスで形成されるリングメモリを備えると共に、前記リングメモリに前記受信パケットデータをプッシュし、ライトポインタのアドレスをインクリメントするステップと、

リード許可ポインタに基づき前記リングメモリに前記付加情報データをプッシュし、前記リード許可ポインタのアドレスを前記ライトポインタのアドレスとし、前記ライトポインタのアドレスをインクリメントするステップと、

前記リード許可ポインタに基づき前記リングメモリに格納されたデータをポップし、リードポインタのアドレスをインクリメントするステップと、を備えることを特徴とする受信データ格納方法。

- [6] ネットワークを介して受信された受信パケットデータに付加する付加情報データ及び前記受信パケットデータと前記付加情報データとを識別する識別タグを生成し、前記受信パケットデータ及び前記付加情報データと前記識別タグとの組から成る情報・受信パケットデータを生成する情報付加回路と、前記情報・受信パケットデータを一時的に格納するバッファと、前記バッファに格納されたデータをメインメモリにストア & フォワード方式で転送するデータ転送制御回路と、を備える受信データ格納装置の受信データ格納方法において、

前記バッファは、切れ目のないアドレスで形成されるリングメモリを備えると共に、

リードポインタのアドレスとリード許可ポインタのアドレスとが同じとなり、ライトポインタのアドレスが前記リードポインタのアドレスをインクリメントした値となるステップと、

前記情報付加回路からのプッシュ信号のアサートを検出すると共に、前記識別タグに基づき、前記リングメモリに前記受信パケットデータをプッシュし、前記ライトポイン

タのアドレスをインクリメントするステップと、

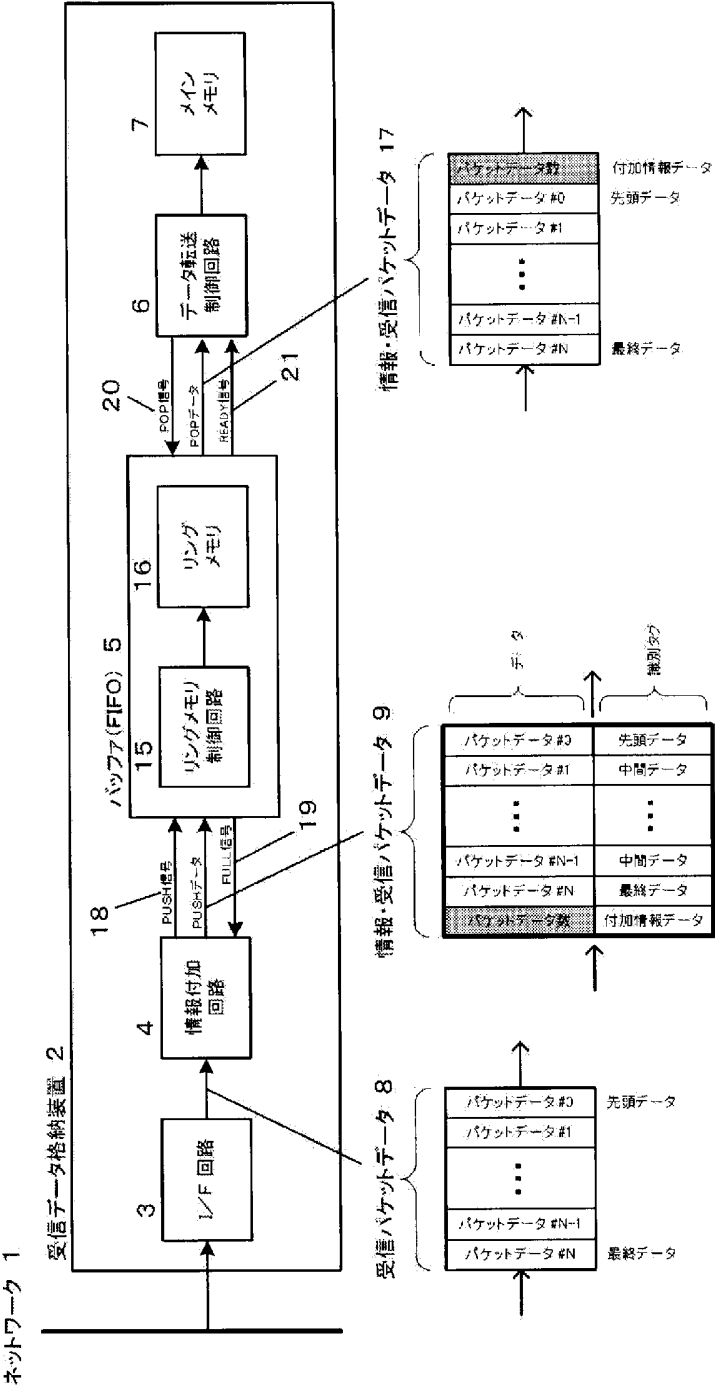
前記情報付加回路からのプッシュ信号のアサートを検出すると共に、前記識別タグ及び前記リード許可ポインタに基づき、前記リングメモリに前記付加情報データをプッシュし、前記リード許可ポインタのアドレスを前記ライトポインタのアドレスとし、前記ライトポインタのアドレスをインクリメントするステップと、

前記リードポインタと前記リード許可ポインタとに基づくレディ信号を生成するステップと、

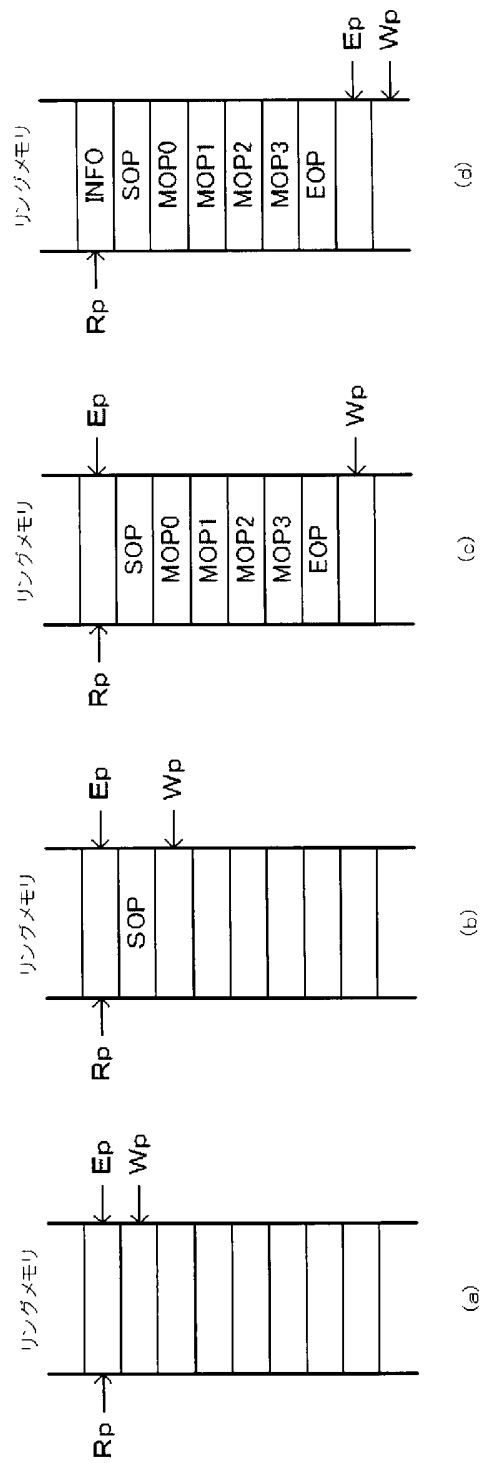
前記データ転送制御回路からのポップ信号のアサートを検出すると共に、前記リード許可ポインタに基づき前記リングメモリに格納されたデータをポップし、前記リードポインタのアドレスをインクリメントするステップと、

を備えることを特徴とする受信データ格納方法。

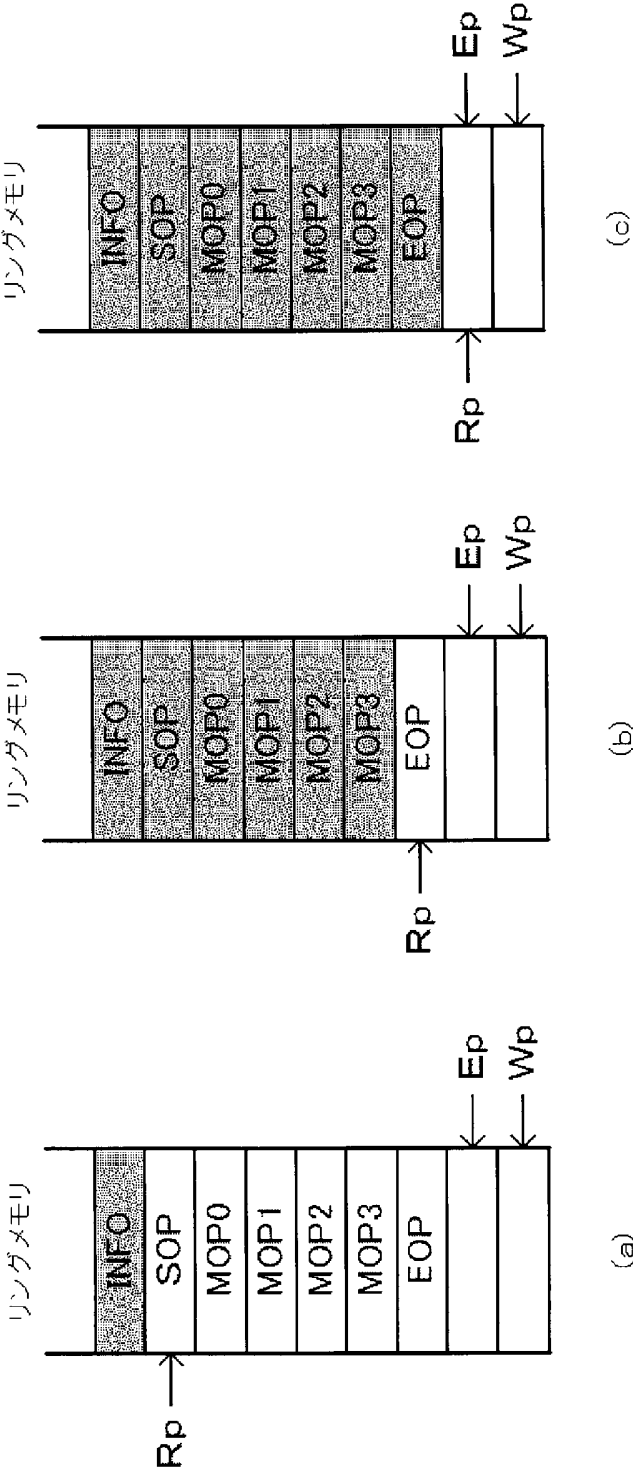
[図1]



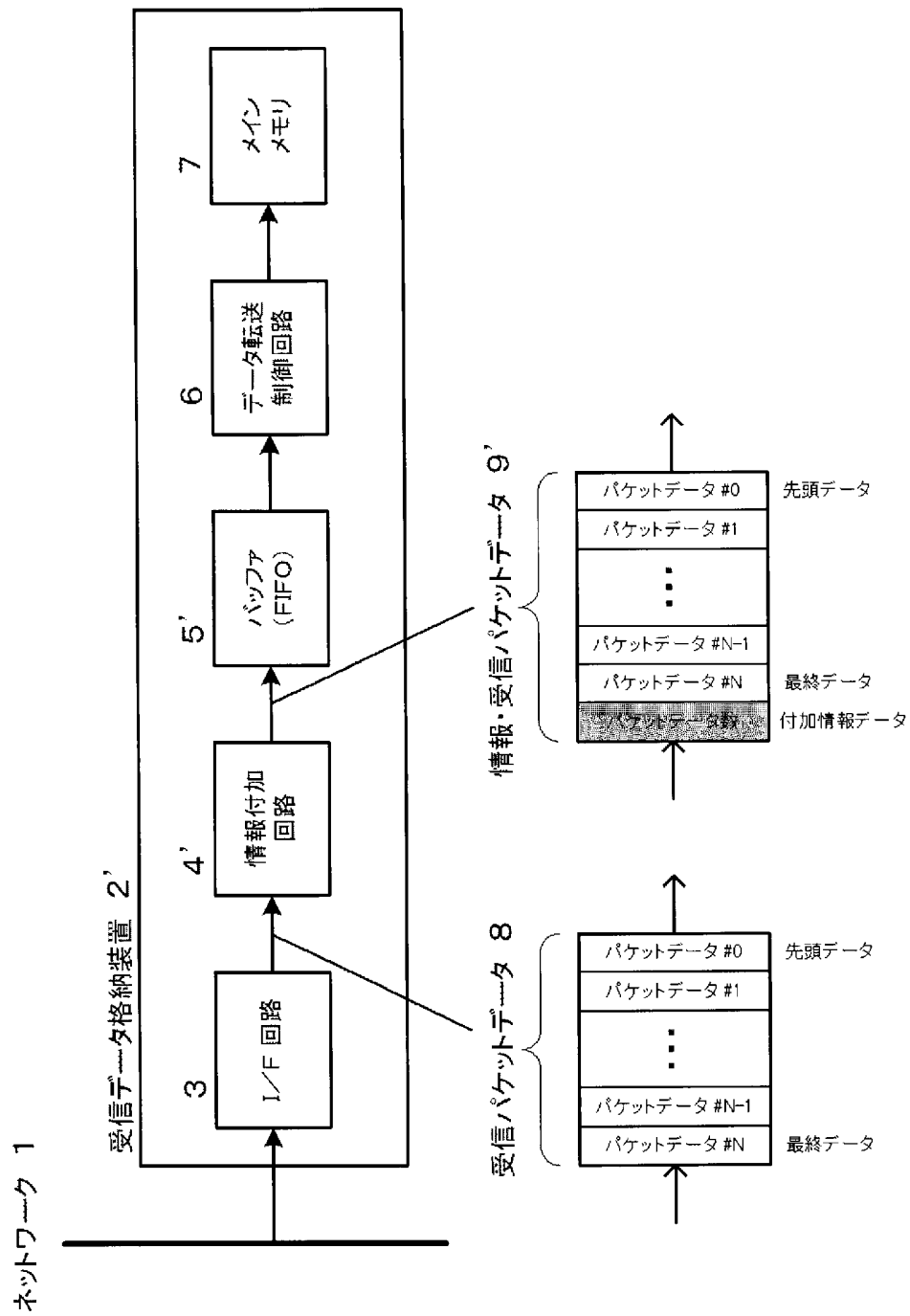
[図2]



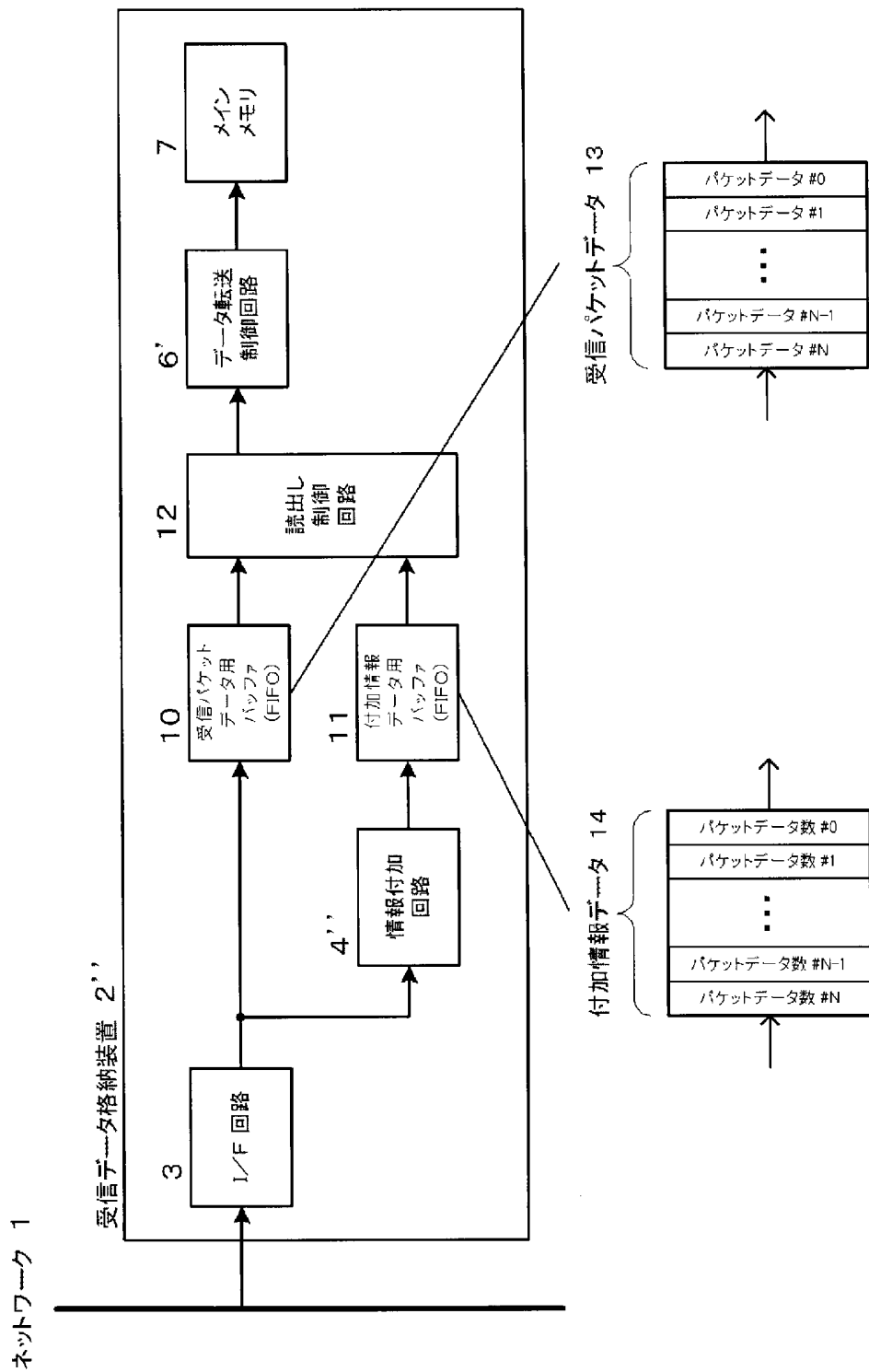
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/016416

A. CLASSIFICATION OF SUBJECT MATTER

H04L13/08(2006.01) , **G06F13/38**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L13/08(2006.01) , **G06F13/38**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-215567 A (Matsushita Electric Industrial Co., Ltd.), 02 August, 2002 (02.08.02), Full text (Family: none)	1-6
A	JP 2000-134197 A (Fujitsu Ltd.), 12 May, 2000 (12.05.00), Full text (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 November, 2005 (11.11.05)

Date of mailing of the international search report
22 November, 2005 (22.11.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. **H04L13/08** (2006.01), **G06F13/38** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. **H04L13/08** (2006.01), **G06F13/38** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-215567 A (松下電器産業株式会社) 2002.08.02, 全文 (ファミリーなし)	1-6
A	JP 2000-134197 A (富士通株式会社) 2000.05.12, 全文 (ファミリーなし)	1-6

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11.11.2005

国際調査報告の発送日

22.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿部 弘

5K

3463

電話番号 03-3581-1101 内線 3556