

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY 129 764

Patent dodatkowy
do patentu —

Zgłoszono: 80 07 29 /P. 225965/

Pierwszeństwo: —

Zgłoszenie ogłoszono: 82 02 01

Opis patentowy opublikowano: 1985 12 14

CZYTELNIA

Urzędu Patentowego

Int. Cl.³ G05F 1/56

Twórcy wynalazku: Andrzej Gajderowicz, Michał Lewiński, Roman Makarski

Uprawniony z patentu: Zjednoczone Zakłady Urządzeń Jądrowych "POLON"
Zakład Zastosowań Techniki Jądrowej, Wrocław /Polska/

STABILIZOWANY ZASILACZ WYSOKIEGO NAPIĘCIA

Przedmiotem wynalazku jest stabilizowany zasilacz wysokiego napięcia przeznaczony do zasilania liczników Geigera - Müllera, o stabilizowanym napięciu rzędu 500 V.

Znane i stosowane są układy stabilizowanych zasilaczy, w których stosuje się szeregowo połączone tranzystory. Znany i stosowany jest również wykorzystanie diody Zenera połączonej w szereg z tranzystorem jako bazy odniesienia stabilizowanego napięcia, jak na przykład z opisu patentowego wynalazku według patentu polskiego nr 58 834 /kl. 21a⁴ 35/14, MKP G05F 1/58/.

Stabilizowany zasilacz wysokiego napięcia utworzony z dwóch tranzystorów wysokonapięciowych połączonych w szereg z diodą Zenera, a których bazy są połączone z rezystorowym dzielnikiem połączonym poprzez rezystor szeregowy z dwupołkowym prostownikiem ma kolektor pierwszego tranzystora, stanowiący zacisk wyjściowy stabilizowanego napięcia, połączony poprzez dodatkowy rezystor z węzłem utworzonym z połączenia szeregowego rezystora z rezystorowym dzielnikiem. Rozwiązanie według wynalazku istotnie polepsza właściwości stabilizacyjne stabilizowanego zasilacza.

Wynalazek jest bliżej objaśniony na przykładzie wykonania przedstawionym na załączonym rysunku, który pokazuje schemat połączeń elektrycznych.

Stabilizowany zasilacz wysokiego napięcia ma dwupołkowy prostownik 1 połączony poprzez szeregowy rezystor 2 z węzłem 3, z którym jest połączony jednocześnie rezystorowy dzielnik 4 utworzony z trzech rezystorów oraz dodatkowy rezystor 5 drugim końcem połączony z kolektorem pierwszego tranzystora 6. Kolektor tego tranzystora 6 stanowi jednocześnie zacisk 7 wyjścia stabilizowanego napięcia. Emiter pierwszego tranzystora 6 jest połączony z kolektorem drugiego tranzystora 8, którego emiter jest połączony poprzez diodę Zenera 9 z drugim zaciskiem 10 wyjścia stabilizowanego napięcia. Dioda Zenera 9 jest połączona poprzez rezystor 11 z wyjściem dwupołkowego prostownika 1. Bazy obydwu tranzystorów 6 i 8 są połączone z kolejnymi wyjściami rezystorowego dzielnika 4.

Działanie stabilizowanego zasilacza przebiega następująco. Po włączeniu napięcia zasilania na wyjściowym zacisku 7 ustala się napięcie zależne od prądu płynącego przez tranzystory 6 i 8, napięcia na diodzie Zenera 9, dzielnika 4 oraz wartości rezystorów 2 i 5. Wzrost napięcia z prostownika 1 powoduje wzrost napięcia w węźle 3 zasilającego dzielnik 4 i zwiększenie wysterowania tranzystorów 6 i 8 oraz wzrost prądu płynącego przez te tranzystory.

Zwiększony przepływ prądu powoduje przyrost spadku napięcia na szeregowym rezystorze 2 i dodatkowym rezystorze 5 przeciwdziałających zmianie napięcia. Optymalizację współczynnika stabilizacji zasilacza uzyskuje się poprzez zmianę stosunku wartości rezystorów dodatkowego i szeregowego.

Z a s t r z e ż e n i e p a t e n t o w e

Stabilizowany zasilacz wysokiego napięcia utworzony z dwóch tranzystorów wysokonapięciowych połączonych w szereg z diodą Zenera, których bazy są połączone z rezystorowym dzielnikiem połączonym z kolei poprzez rezystor szeregowy z dwupołówkowym prostownikiem, z n a - m i e n n y t y m, że kolektor pierwszego tranzystora /6/ stanowiący zacisk /7/ wyjścia stabilizowanego napięcia jest połączony poprzez dodatkowy rezystor /5/ z węzłem /3/ utworzonym z połączenia szeregowego rezystora /2/ z rezystorowym dzielnikiem /4/.

