

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5430870号
(P5430870)

(45) 発行日 平成26年3月5日 (2014.3.5)

(24) 登録日 平成25年12月13日 (2013.12.13)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)G09G 3/36
G09G 3/20 612K
G09G 3/20 642A
G09G 3/20 612J
G09G 3/20 622D

請求項の数 2 (全 18 頁)

(21) 出願番号 特願2008-59459 (P2008-59459)
 (22) 出願日 平成20年3月10日 (2008.3.10)
 (65) 公開番号 特開2008-225476 (P2008-225476A)
 (43) 公開日 平成20年9月25日 (2008.9.25)
 審査請求日 平成23年3月4日 (2011.3.4)
 (31) 優先権主張番号 10-2007-0023126
 (32) 優先日 平成19年3月8日 (2007.3.8)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Gih
 eung-Gu, Yongin-City
 , Gyeonggi-Do, Korea
 (74) 代理人 100121382
 弁理士 山下 託嗣
 (72) 発明者 李 ▲ミン▼ 哲
 大韓民国ソウル銅雀区鷺梁津洞325シン
 ドングーアリバーパークアパート, 703
 -1713

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

ゲート信号を伝達する複数のゲートライン、データ信号を伝達する複数のデータライン、及び、いずれかのゲートラインとデータラインとに接続され、ゲート信号に応じてデータ信号を受信する複数の画素、を含む表示パネル、

外部から映像データを受信し、前記映像データ、第1出力イネーブル信号、第2出力イネーブル信号、クロック生成信号、垂直走査開始信号、及びデータ制御信号を出力するタイミング制御部、

前記第1出力イネーブル信号、前記第2出力イネーブル信号、及び前記クロック生成信号に基づいて、第1クロック信号及び第2クロック信号を生成するクロック生成部、

前記第1クロック信号、前記第2クロック信号、及び前記垂直走査開始信号に応じて先頭のゲートラインから順番にゲート信号を出力するゲート駆動部、及び、

前記データ制御信号に応じて前記映像データをデータ信号に変換して前記複数のデータラインに対して印加するデータ駆動部、
 を有し、

前記第1クロック信号は、前記第1出力イネーブル信号の立ち上がりのエッジに応じてハイレベルに上昇し、前記第2出力イネーブル信号の立ち上がりのエッジに応じてローレベルに下降し、

前記第2クロック信号は、前記第2出力イネーブル信号の立ち上がりのエッジに応じてハイレベルに上昇し、前記第1出力イネーブル信号の立ち上がりのエッジに応じてローレ

10

20

ベルに下降し、

前記第 1 出力イネーブル信号の先頭のハイ期間は、前記第 1 出力イネーブル信号の 2 番目以後のハイ期間より長いことを特徴とする表示装置。

【請求項 2】

外部から映像データを受信し、前記映像データ、第 1 出力イネーブル信号、第 2 出力イネーブル信号、クロック生成信号、垂直走査開始信号、及びデータ制御信号を出力するステップ、

前記第 1 出力イネーブル信号、前記第 2 出力イネーブル信号、及び前記クロック生成信号に基づいて、第 1 クロック信号及び第 2 クロック信号を生成するステップ、

前記第 1 クロック信号、前記第 2 クロック信号、及び前記垂直走査開始信号に応じて先頭ゲートラインから順番にゲート信号を出力するステップ、

前記データ制御信号に応じて前記映像データをデータ信号に変換するステップ、及び、ゲート信号に応じて表示パネルの各画素にデータ信号を受信させて前記表示パネルに前記映像データの示す映像を表示するステップ、
を含み、

前記第 1 クロック信号は、前記第 1 出力イネーブル信号の立ち上がりのエッジに応じてハイレベルに上昇し、前記第 2 出力イネーブル信号の立ち上がりのエッジに応じてローレベルに下降し、

前記第 2 クロック信号は、前記第 2 出力イネーブル信号の立ち上がりのエッジに応じてハイレベルに上昇し、前記第 1 出力イネーブル信号の立ち上がりのエッジに応じてローレベルに下降し、

前記第 1 出力イネーブル信号の先頭のハイ期間は、前記第 1 出力イネーブル信号の 2 番目以後のハイ期間より長いことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に関し、特にその駆動方法に関する。

【背景技術】

【0002】

一般に液晶表示装置では液晶表示パネルが、互いに対向している上部基板と下部基板、及びそれら 2 枚の基板間に形成された液晶層から成る。液晶表示パネルでは更に、複数のゲートラインと複数のデータラインとが縦横に交差し、それらのライン間に複数の画素がマトリクス状に配置されている。各画素はゲートラインとデータラインとに一本ずつ接続されている。液晶表示パネルには好ましくは、ゲート駆動回路が薄膜工程によって直に形成されている。ゲート駆動回路は複数のゲートラインに対してゲート信号を出力する。

【0003】

一般にゲート駆動回路は一つのシフトレジスタを含む。シフトレジスタは複数のステージの縦続接続から構成されている。各ステージは異なるゲートラインに接続されている。各ステージは一般に、前のステージから出力されるキャリア信号に応じ、接続されたゲートラインに対するゲート信号をハイレベルに変化させ、次のステージに対するキャリア信号をハイレベルに変化させる。各ステージは更に、次のステージから出力されたゲート信号に応じて自身の出力するゲート信号をローレベルに変化させる。こうして、ゲート信号が水平走査期間ごとに先頭のゲートラインから順番にハイレベルに維持される。尚、先頭のステージには前のステージがないので、キャリア信号の代わりに垂直走査開始信号が外部から印加される。

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、垂直走査開始信号がハイレベルに維持される時間は一般に、1 つの水平走査期

10

20

30

40

50

間より長い。従って、先頭のステージから先頭のゲートラインに対して印加されるゲート信号は他のゲート信号に比べて歪みやすく、特に図5Aに示されているように、ハイレベルからローレベルへの立ち下がりが遅れやすい。先頭のゲートラインに対するゲート信号がローレベルに完全に転換される前にデータ駆動部が2番目の画素行に対するデータ信号を各データラインに出力すると、そのデータ信号は先頭の画素行に対しても印加されるので、先頭の画素行では画素電圧が目標レベルから変動する。その結果、表示パネルには、先頭の画素行が他の画素行より明るく又は暗く見えるライン不良が生成しやすい。

本発明の目的は、上記のライン不良を除去して表示品質を更に向上可能な表示装置を提供することにある。

【課題を解決するための手段】

【0005】

本発明の一つの観点による表示装置は、表示パネル、タイミング制御部、クロック生成部、ゲート駆動部、及びデータ駆動部を備えている。表示パネルは、ゲート信号を伝達する複数のゲートライン、データ信号を伝達する複数のデータライン、及び、いずれかのゲートラインとデータラインとに接続され、ゲート信号に応じてデータ信号を受信する複数の画素を含む。タイミング制御部は、外部から映像データを受信し、映像データ、第1出力イネーブル信号、第2出力イネーブル信号、クロック生成信号、垂直走査開始信号、及びデータ制御信号を出力する。クロック生成部は、第1出力イネーブル信号、第2出力イネーブル信号、及びクロック生成信号に基づいて、第1クロック信号及び第2クロック信号を生成する。ゲート駆動部は、第1クロック信号、第2クロック信号、及び垂直走査開始信号に応じて先頭のゲートラインから順番にゲート信号を出力する。データ駆動部は、データ制御信号に応じて映像データをデータ信号に変換して複数のデータラインに対して印加する。第1クロック信号は、第1出力イネーブル信号の立ち上がりのエッジに応じてハイレベルに上昇し、第2出力イネーブル信号の立ち上がりのエッジに応じてローレベルに下降する。第2クロック信号は、第2出力イネーブル信号の立ち上がりのエッジに応じてハイレベルに上昇し、第1出力イネーブル信号の立ち上がりのエッジに応じてローレベルに下降する。第1出力イネーブル信号の先頭のハイ期間は、第1出力イネーブル信号の2番目以後のハイ期間より長い。

【0006】

本発明の別の観点による表示装置は、表示パネル、タイミング制御部、ゲート駆動部、及びデータ駆動部を備えている。表示パネルは、ゲート信号を伝達する複数のゲートライン、データ信号を伝達する複数のデータライン、及び、いずれかのゲートラインとデータラインとに接続され、ゲート信号に応じてデータ信号を受信する複数の画素、を含む。タイミング制御部は、外部から映像データを受信し、第1垂直走査開始信号とデータ制御信号とを生成する。ゲート駆動部は、第1垂直走査開始信号に応じて先頭のゲートラインから順番にゲート信号をハイレベルに変化させる。データ駆動部は、データ制御信号に応じて映像データをデータ信号に変換して複数のデータラインに対して印加する。ゲート駆動部は特にパルス幅変換部と複数のステージとを含む。パルス幅変換部は、第1垂直走査開始信号を受信し、第1垂直走査開始信号のパルス幅を短縮して第2垂直走査開始信号として出力する。複数のステージは縦続接続され、第2垂直走査開始信号の立ち上がりに応じて複数のゲートラインに対するゲート信号を順番にハイレベルに変化させる。

【0007】

本発明の更に別の観点による表示装置は、表示パネル、タイミング制御部、ゲート駆動部、及びデータ駆動部を備えている。表示パネルは、ゲート信号を伝達する複数のゲートライン、データ信号を伝達する複数のデータライン、及び、いずれかのゲートラインとデータラインとに接続され、ゲート信号に応じてデータ信号を受信する複数の画素を含む。タイミング制御部は、外部から映像データを受信し、垂直走査開始信号とデータ制御信号とを生成する。データ駆動部は、データ制御信号に応じて映像データをデータ信号に変換して複数のデータラインに対して印加する。ゲート駆動部は複数のステージを含む。複数

10

20

30

40

50

のステージは縦続接続され、複数のゲートラインのそれぞれにゲート信号を個別に出力する。複数のステージは特に、垂直走査開始信号に応じて先頭のステージから順番にゲート信号をハイレベルに変化させる。複数のステージのそれぞれは、プルアップトランジスタ、キャリートランジスタ、バッファトランジスタ、遮断トランジスタ、及びプルダウントランジスタを含む。プルアップトランジスタは、ゲート信号の出力端子に接続された出力電極を含み、ゲート信号のレベルをゲートオン電圧まで上昇させる。キャリートランジスタはキャリー信号を次のステージに出力する。バッファトランジスタは、前のステージのいずれかから受信されたキャリー信号をプルアップトランジスタの制御電極に伝達してプルアップトランジスタをターンオンさせる。遮断トランジスタは、後のステージのいずれかから受信されたゲート信号の立ち上がりに応じてプルアップトランジスタの制御電極にゲートオフ電圧を伝達してプルアップトランジスタをターンオフさせる。プルダウントランジスタは、後のステージのいずれかから受信されたゲート信号の立ち上がりに応じてゲート信号の出力端子にゲートオフ電圧を伝達してそのゲート信号をゲートオフ電圧まで降下させる。複数のステージのうち、先頭のステージでは2番目以後のステージより、プルダウントランジスタのチャンネル幅が2倍以上大きい。

10

【発明の効果】**【0008】**

本発明による上記の表示装置は、垂直走査開始信号のハイ期間中に関わらず、ゲート駆動部の先頭のステージによってハイレベルに維持されているゲート信号を確実に、2番目の画素行に対するデータ信号が各データラインに対して印加される時点より早い時点でローレベルまで降下させることができる。従って、先頭の画素行におけるライン不良を防止できる。その結果、本発明による表示装置は表示品質が更に向上する。

20

【発明を実施するための最良の形態】**【0009】**

以下、添付の図面を参照しながら、本発明の好ましい実施形態について詳細に説明する。図1は、本発明の一実施形態による液晶表示装置の平面図であり、図2は、図1に示す液晶表示装置のブロック図である。

図1に示すように、本発明の一実施形態による液晶表示装置は、液晶表示パネル100、データ駆動部320、ゲート駆動部210、タイミング制御部350、及びクロック生成部360を備えている。

30

【0010】

液晶表示パネル100ではアレイ基板とカラーフィルター基板とが互いに対向し、それらの間に液晶層が挟まれている。液晶表示パネル100では更に、 n 本のゲートライン $GL1 \sim GLn$ と m 本のデータライン $DL1 \sim DLM$ とが互いに絶縁された状態で交差し、マトリクス状に複数の画素領域を区分けしている。各画素領域には好ましくは1つの画素 $P1$ が備えられている。各画素 $P1$ は好ましくは薄膜トランジスタ Tr 及び液晶キャパシタ $C1c$ を含む。例えば先頭の画素では、薄膜トランジスタ Tr のゲート電極が先頭のゲートライン $GL1$ に接続され、ソース電極が先頭のデータライン $DL1$ に接続され、ドレイン電極が同じ画素の液晶キャパシタ $C1c$ の一方の電極、すなわち画素電極に接続されている。

40

【0011】

ゲート駆動部210は好ましくは液晶表示パネル100に直に形成され、各ゲートライン $GL1 \sim GLn$ の同じ側の端部に接続されている。ゲート駆動部210は複数のゲートライン $GL1 \sim GLn$ にゲート信号 $G1 \sim Gn$ を個別に印加する。

【0012】

データ駆動部320は好ましくは複数のチップに組み込まれ、液晶表示パネル100上に、又は液晶表示パネル100とは別のフィルム上に実装されている。その他に、データ駆動部320は、薄膜工程により液晶表示パネル100上に直に形成されていても良い。データ駆動部320は、複数のデータライン $DL1 \sim DLM$ の同じ側の端部に接続され、各データライン $DL1 \sim DLM$ に対してデータ信号 $D1 \sim Dm$ を個別に印加する。データ

50

駆動部 320 は好ましくは各データ信号 $D_1 \sim D_m$ の極性を画素行ごとに又は画素ごとに反転させる。

【0013】

タイミング制御部 350 は好ましくは、映像データ $I-data$ 、垂直同期信号 $Vsync$ 、水平同期信号 $Hsync$ 、及びメインクロック $Mc1k$ を外部から受信する。タイミング制御部 350 は、映像データ $I-data$ とデータ制御信号とを適切な時期にデータ駆動部 320 に提供する。データ制御信号は好ましくは、出力開始信号 TP 、データイネーブル信号 DE 、水平走査開始信号 STH 、及び反転信号 REV を含む。データ駆動部 320 はデータ制御信号に応じ、映像データ $I-data$ をデータ信号 $D_1 \sim D_m$ に変換し、適切な時期に各データライン $DL_1 \sim DL_m$ に出力する。また、タイミング制御部 350 は、垂直走査開始信号 STV をゲート駆動部 210 に提供し、クロック生成信号 CPV 、第 1 出力イネーブル信号 OE_1 、及び第 2 出力イネーブル信号 OE_2 をクロック生成部 360 に提供する。クロック生成部 360 は、クロック生成信号 CPV と出力イネーブル信号 OE_1 、 OE_2 とに基づいて一対のクロック信号 CKV 、 $CKVB$ を生成し、ゲート駆動部 210 に提供する。ゲート駆動部 210 は垂直走査開始信号 STV に応じ、一対のクロック信号 CKV 、 $CKVB$ とゲートオフ電圧 $Voff$ とを利用してゲート信号のレベルを先頭のゲートライン GL_1 から順番に、1 水平走査期間ずつゲートオフ電圧からゲートオン電圧に変化させる。

10

【0014】

図 2 はクロック生成部によって入出力される信号の波形図である。図 2 に示すように、第 1 出力イネーブル信号 OE_1 と第 2 出力イネーブル信号 OE_2 とは周期的にハイレベルに変化する。各出力イネーブル信号 OE_1 、 OE_2 では特に立ち下がりが等間隔に設定されている。2 つの出力イネーブル信号 OE_1 、 OE_2 は周期が等しく、位相が一定量ずれている。クロック生成信号 CPV は各出力イネーブル信号 OE_1 、 OE_2 と周期が等しく、位相がそれらから一定量ずれている。クロック生成信号 CPV は特に、第 1 出力イネーブル信号 OE_1 のハイ期間中に立ち上がり、それに続く第 2 出力イネーブル信号 OE_2 のハイ期間中に立ち下がる。

20

【0015】

図 2 は特に、映像データのあるフレームの初期を示す。図 2 に示すように、第 1 出力イネーブル信号 OE_1 では先頭のハイ期間 t_1 が 2 番目以後のハイ期間 t_2 より長い。好ましくは、先頭のハイ期間 t_1 は約 $5.5 \mu s$ であり、2 番目以後のハイ期間 t_2 は約 $3.7 \mu s$ である。すなわち、先頭のハイ期間 t_1 は 2 番目以後のハイ期間 t_2 より約 $1.8 \mu s$ だけ長い。第 2 出力イネーブル信号 OE_2 でも同様に、先頭のハイ期間 t_3 は 2 番目以後のハイ期間 t_4 より長い。好ましくは、先頭のハイ期間 t_3 は約 $5.5 \mu s$ であり、2 番目以後のハイ期間 t_4 は約 $3.7 \mu s$ である。すなわち、先頭のハイ期間 t_3 は 2 番目以後のハイ期間 t_4 より約 $1.8 \mu s$ だけ長い。一方、いずれの出力イネーブル信号 OE_1 、 OE_2 でも、先頭のハイ期間 t_1 、 t_3 の終了時点から 2 番目のハイ期間 t_2 、 t_4 の開始時点までのロー期間は、他のハイ期間に挟まれたロー期間と同じ長さである。

30

【0016】

図 2 に示すように、第 1 クロック信号 CKV は、第 1 出力イネーブル信号 OE_1 の最初の立ち上がりに同期してハイレベルに急上昇し、第 2 出力イネーブル信号 OE_1 の最初の立ち上がりから徐々に降下し始め、クロック生成信号 CPV の最初の立ち下がりに同期して完全にローレベルに達する。第 1 クロック信号 CKV は、第 1 出力イネーブル信号 OE_1 の 2 番目の立ち上がりまでローレベルを維持する。ここで、第 1 クロック信号 CKV のハイレベルはゲートオン電圧に等しく、ローレベルはゲートオフ電圧に等しい。更に、各出力イネーブル信号 OE_1 、 OE_2 の先頭のハイ期間 t_1 、 t_3 は 2 番目以後のハイ期間 t_2 、 t_4 より長いので、第 1 クロック信号 CKV の先頭のハイ期間 t_5 は 2 番目以後のハイ期間 t_6 より長い。特に先頭のハイ期間 t_5 は 2 番目以後のハイ期間 t_6 より立ち下がりが遅い。ゲート駆動部 210 は、第 1 クロック信号 CKV の先頭のハイ期間 t_5 に先頭のゲートラインに対するゲート信号 G_1 をハイレベルに維持し、第 1 クロック信号 CK

40

50

Vの2番目以後の各ハイ期間 t_6 に3番目以後の奇数番目の各ゲートラインに対するゲート信号をハイレベルに維持する。

【0017】

図2に示すように、第2クロック信号CKVBは第1クロック信号CKVとは逆位相である。特に第1クロック信号CKVと同様に、第2クロック信号CKVBのハイレベルはゲートオン電圧に等しく、ローレベルはゲートオフ電圧に等しい。但し、第2クロック信号CKVBは第1クロック信号CKVとは逆に、立ち上がりが立ち下がりより遅い。すなわち、第2クロック信号CKVBは第2出力イネーブル信号OE1の最初の立ち上がりから徐々に上昇し始め、クロック生成信号CPVの最初の立ち下がり同期して完全にハイレベルに達し、第1出力イネーブル信号OE1の2番目の立ち上がり同期してローレベルまで急降下する。第2クロック信号CKVBの先頭のハイ期間 t_7 は2番目以後のハイ期間 t_8 より長い。特に先頭のハイ期間 t_7 は2番目以後のハイ期間 t_8 より立ち上がりが遅い。ゲート駆動部210は、第2クロック信号CKVBの先頭のハイ期間 t_7 に2番目のゲートラインに対するゲート信号G2をハイレベルに維持し、第2クロック信号CKVBの2番目以後の各ハイ期間 t_8 に4番目以後の偶数番目の各ゲートラインに対するゲート信号をハイレベルに維持する。

【0018】

第1出力イネーブル信号OE1では先頭のハイ期間 t_1 が2番目以後のハイ期間 t_3 より好ましくは約 $1.8\mu s$ だけ長い。それにより、先頭のハイ期間 t_1 が2番目以後のハイ期間 t_3 と同じ長さである従来の場合に比べ、第1クロック信号CKVの先頭のハイ期間 t_5 が約 $1.8\mu s$ だけ早く開始される。更に、第2出力イネーブル信号OE2では先頭のハイ期間 t_2 が2番目以後のハイ期間 t_4 より好ましくは約 $1.8\mu s$ だけ長い。それにより、先頭のハイ期間 t_2 が2番目以後のハイ期間 t_4 と同じ長さである従来の場合に比べ、第1クロック信号CKVの最初の立ち下がりが約 $1.8\mu s$ だけ早く開始される。その結果、ゲート駆動部210は、先頭の画素行に対するデータ信号の印加時間を十分に長く確保したまま、先頭のゲートラインに対するゲート信号G1を、2番目の画素行に対するデータ信号が各データラインに対して印加される時点よりも十分に早くローレベルまで完全に降下させることができる。従って、先頭の画素行では画素電圧が次の画素行に対するデータ信号の印加にかかわらず、安定に維持される。こうして、先頭の画素行における映像の歪みが防止される。

【0019】

図2では各クロック信号CKV、CKVBの先頭のハイ期間 t_5 、 t_7 が2番目以後のハイ期間 t_6 、 t_8 より長い。その他に、図3に示すように、第1出力イネーブル信号OE1の各ハイ期間 t_1 と第2出力イネーブル信号OE2の各ハイ期間 t_3 とをいずれも従来のハイ期間よりも長く、好ましくは約 $5.5\mu s$ に揃えても良い。この場合でも、先頭のゲートラインに対するゲート信号G1は、2番目の画素行に対するデータ信号D1~DmがデータラインDL1~DLmに対して印加される時点よりも十分に早くローレベルまで完全に降下するので、図2の場合と同様に、先頭の画素行における映像の歪みが防止される。

【0020】

図3ではまた、図2に比べ、クロック生成信号CPVの全てのハイ期間で、各出力イネーブル信号OE1、OE2のハイ期間 t_1 、 t_3 との重複期間が増大する。従って、第1クロック信号CKVの全ての立ち下がり時間と第2クロック信号CKVBの全ての立ち上がり時間とが増大する。第1クロック信号CKVがハイレベルから降下し始めた時点から第2クロック信号CKVBがハイレベルに到達する時点までは、ゲート駆動部210は各ゲート信号G1~Gnをローレベルに維持するので、隣接する2本のゲートラインのそれぞれに対するゲート信号のハイ期間の間に所定の時間差が生成される。第1クロック信号CKVの立ち下がり時間と第2クロック信号CKVBの立ち上がり時間とが長いほど上記の時間差は大きい。それ故、第1クロック信号CKVの立ち下がり時間と第2クロック信号CKVBの立ち上がり時間とを適切に調節することで、前のゲートラインに対するゲート

10

20

30

40

50

ト信号がローレベルに完全に達した後に次のゲートラインに対するゲート信号をハイレベルに変化させることができる。

【 0 0 2 1 】

図 4 は、図 1 に示すゲート駆動部のブロック図である。図 4 に示すように、ゲート駆動部 210 はシフトレジスタ 210 a と放電回路 210 b とを備えている。

シフトレジスタ 210 a は複数のステージ SRC 1 ~ SRC n + 1 の縦続接続を含む。各ステージは、第 1 入力端子 IN 1、第 1 クロック端子 CK 1、第 2 クロック端子 CK 2、第 2 入力端子 IN 2、電圧入力端子 Vin、リセット端子 RE、キャリア端子 CR、及び出力端子 OUT を備えている。

【 0 0 2 2 】

10

先頭のステージ SRC 1 以外の各ステージ SRC 2 ~ SRC n + 1 では第 1 入力端子 IN 1 は直前のステージのキャリア端子 CR に接続され、そこからキャリア信号を受信する。先頭のステージ SRC 1 では第 1 入力端子 IN 1 はタイミング制御部 350 から垂直走査開始信号 STV を受信する。最後のステージ SRC n + 1 以外の各ステージ SRC 1 ~ SRC n では第 2 入力端子 IN 2 は次のステージの出力端子 OUT に接続され、そこからゲート信号を受信する。最後のステージ SRC n + 1 では第 2 入力端子 IN 2 はタイミング制御部 350 から垂直走査開始信号 STV を受信する。

【 0 0 2 3 】

奇数番目のステージ SRC 1、SRC 3、...、SRC n + 1 (n は偶数とする) では、第 1 クロック端子 CK 1 は第 1 クロック信号 CKV を受信し、第 2 クロック端子 CK 2 は第 2 クロック信号 CKVB を受信する。偶数番目のステージ SRC 2、SRC 4、...、SRC n では、第 1 クロック端子 CK 1 は第 2 クロック信号 CKVB を受信し、第 2 クロック端子 CK 2 は第 1 クロック信号 CKV を受信する。

20

【 0 0 2 4 】

いずれのステージ SRC 1 ~ SRC n + 1 でも電圧入力端子 Vin は接地電圧、好ましくはゲートオフ電圧 Voff を受信する。

最後のステージ SRC n + 1 のキャリア端子 CR は全てのステージ SRC 1 ~ SRC n + 1 のリセット端子 RE に接続されている。

【 0 0 2 5 】

最後のステージ SRC n + 1 を除き、各ステージ SRC 1 ~ SRC n の出力端子 OUT は各ゲートライン GL 1、GL 2、GL 3、...、GL n に一対一に接続されている。各ステージ SRC 1 ~ SRC n は出力端子 OUT を介してゲート信号を各ゲートライン GL 1 ~ GL n に対して印加する。

30

【 0 0 2 6 】

シフトレジスタ 210 a は好ましくは各ゲートライン GL 1 ~ GL n の同じ側の端部に備えられている。一方、放電回路 210 b は好ましくは、シフトレジスタ 210 a に接続された各ゲートライン GL 1 ~ GL n の端部とは反対側の端部に備えられている。放電回路 210 b は、各ゲートラインに対するゲート信号がハイレベルに変化するのに応じ、その直前のゲートラインに対してゲートオフ電圧 Voff を印加する。放電回路 210 b は好ましくはゲートラインと同数の放電トランジスタ NT 16 を含む。各放電トランジスタ NT 16 の出力電極はいずれかのゲートラインに接続され、制御電極はその次のゲートライン又はシフトレジスタ 210 a の最後のステージ SRC n + 1 の出力端子 OUT に接続され、入力電極の電位はゲートオフ電圧 Voff に維持されている。

40

【 0 0 2 7 】

図 5 A は、従来の液晶表示装置における先頭のゲートラインに対するゲート信号と先頭の画素行に対するデータ信号との波形図である。図 5 A に示すように、従来のゲート駆動部では、垂直走査開始信号 STV のハイ期間が 1 水平走査期間より長いことにより、先頭の第 1 ステージ SRC 1 から出力されたゲート信号 G' 1 の立ち下がりに歪みが現れ、特にローレベルへの到達が遅れる。その結果、図 5 A に示すように、ゲート信号 G' 1 がローレベルに達する前にデータ信号 D 1 ~ D m が印加され始める。特にライン反転駆動では

50

、データ信号 $D_1 \sim D_m$ の極性が反転する。例えば先頭の画素行に対して負極性のデータ信号 $D_1 \sim D_m$ が印加されたときは、次の画素行に対しては正極性のデータ信号 $D_1 \sim D_m$ が印加される。従って、ゲート信号 G'_1 が完全にローレベルに達する前に各データラインの電位の極性が負から正に転換される。それにより、先頭の画素行では正極性の画素電圧がデータラインの負極性の電位によって降下する。その降下量が過大であれば、先頭の画素行が他の画素行より過度に明るく又は暗くなり、ライン不良を発生させる。

【0028】

図5Bは、本発明の上記の実施形態による液晶表示装置における先頭のゲートラインに対するゲート信号と先頭の画素行に対するデータ信号との波形図である。図5Bに示すように、本発明の上記の実施形態による液晶表示装置では、ゲート信号 G_1 は図5Aに示すゲート信号 G'_1 より立ち上がりが早い。それは図2について説明したとおり、第1出力イネーブル信号 OE_1 の先頭のハイ期間 t_1 が従来のハイ期間より約 $1.8 \mu s$ だけ早いことによる。また、ゲート信号 G_1 は図5Aに示すゲート信号 G'_1 より立ち下がり開始時点が早い。それは図2について説明したとおり、第2出力イネーブル信号 OE_2 の先頭のハイ期間 t_2 が従来のハイ期間より約 $1.8 \mu s$ だけ早いことによる。従って、2番目の画素行に対するデータ信号が各データラインに対して印加される時点よりも十分に早く、ゲート信号 G_1 をローレベルまで完全に降下させることができる。その結果、先頭の画素行における映像の歪み、すなわちライン不良を防止できる。

【0029】

シフトレジスタは図4に示す構成210aに加え、図6に示すダミーステージ $D-SRC$ を含んでも良い。尚、図6では、図4に示す構成要素と同様な構成要素に対して同じ参照符号を付している。更に、それら同様な構成要素については図4についての説明を援用する。

【0030】

図6に示すゲート駆動部220ではシフトレジスタ220aが、第1ステージ $SRC_1 \sim$ 第 $n+1$ ステージ SRC_{n+1} に加え、ダミーステージ $D-SRC$ を備えている。ダミーステージ $D-SRC$ は他のステージ $SRC_1 \sim SRC_{n+1}$ と同じ構造であり、第1ステージ SRC_1 の前段に接続されている。ダミーステージ $D-SRC$ の第1入力端子 IN_1 はタイミング制御部350から垂直走査開始信号 STV を受信する。ダミーステージ $D-SRC$ のキャリア端子 CR は第1ステージ SRC_1 の第1入力端子 IN_1 に接続され、それに対してキャリア信号を印加する。ダミーステージ $D-SRC$ の出力端子 OUT は開放されている。

【0031】

ダミーステージ $D-SRC$ は垂直走査開始信号 STV のハイ期間に第2クロック信号 $CKVB$ に応じてキャリア信号を出力する。第1ステージ SRC_1 はダミーステージ $D-SRC$ のキャリア信号に応じて先頭のゲートラインに対してゲート信号 G_1 を出力する。こうして、図6に示すシフトレジスタ220aは、図4に示すシフトレジスタ210aとは異なり、第1ステージ SRC_1 の第1入力端子 IN_1 に対し、垂直走査開始信号 STV ではなく、ダミーステージ $D-SRC$ から出力されたキャリア信号が印加される。従って、第1ステージ SRC_1 から出力されるゲート信号 G_1 は垂直走査開始信号 STV によって歪まないで、先頭の画素行におけるライン不良が防止される。

【0032】

シフトレジスタは図6に示すダミーステージ $D-SRC$ に代え、図7に示すパルス幅変換部230bを備えていても良い。尚、図7では、図4に示す構成要素と同様な構成要素に対して同じ参照符号を付す。更に、それら同様な構成要素については図4についての説明を援用する。

【0033】

図7に示すゲート駆動部230ではシフトレジスタ230aが、図4に示す構成要素に加え、パルス幅変換部230bを更に備えている。パルス幅変換部230bは好ましくはトランジスタであり、その制御電極は第2クロック信号 $CKVB$ を受信し、入力電極はタ

10

20

30

40

50

イミング制御部 350 から垂直走査開始信号 S T V 1 を受信し、出力電極は第 1 ステージ S R C 1 の第 1 入力端子 I N 1 に接続されている。

【 0 0 3 4 】

図 8 に示すように、垂直走査開始信号 S T V 1 のハイ期間 T は一般に、第 1 クロック信号 C K V の半周期以上一周以下である。垂直走査開始信号 S T V 1 のハイ期間 T の前半部では、第 1 クロック信号 C K V はローレベルに維持され、第 2 クロック信号 C K V B はハイレベルに維持されている。垂直走査開始信号 S T V 1 のハイ期間 T の後半部では、第 1 クロック信号 C K V はハイレベルに維持され、第 2 クロック信号 C K V B はローレベルに維持されている。一方、パルス幅変換部 230b は第 2 クロック信号 C K V B のハイ期間にはターンオンして垂直走査開始信号 S T V 1 を出力電極に通過させ、第 2 クロック信号 C K V B のロー期間にはターンオフして垂直走査開始信号 S T V 1 を遮断する。その結果、パルス幅変換部 230b の出力電極から第 1 ステージ S R C 1 の第 1 入力端子 I N 1 には、図 8 に示すように、ハイ期間が元の垂直走査開始信号 S T V 1 (以下、第 1 垂直走査開始信号という。) のハイ期間の前半部に短縮された信号、すなわち第 2 垂直走査開始信号 S T V 2 が出力される。

【 0 0 3 5 】

図 9 に示す第 1 グラフ A 1 は、第 1 垂直走査開始信号 S T V 1 が第 1 ステージ S R C 1 の第 1 入力端子 I N 1 に対して直に印加されたときに第 1 ステージ S R C 1 の出力端子 O U T から出力されるゲート信号の波形を示し、第 2 グラフ A 2 は、第 2 垂直走査開始信号 S T V 2 が第 1 ステージ S R C 1 の第 1 入力端子 I N 1 に対して印加されたときに第 1 ステージ S R C 1 の出力端子 O U T から出力されるゲート信号の波形 A 2 を示す。

【 0 0 3 6 】

第 1 グラフ A 1 では、第 1 ステージ S R C 1 から出力されたゲート信号の立ち下がりが激しく歪んでいる。第 1 垂直走査開始信号 S T V 1 は第 1 クロック信号 C K V のハイ期間でもハイレベルに維持されているので、第 1 ステージ S R C 1 では第 1 垂直走査開始信号 S T V 1 が第 1 クロック信号 C K V の立ち下がりに伴うゲート信号の立ち下がりやを阻害する。その結果、第 1 グラフ A 1 が示すように、ゲート信号が立ち下がりの途中でローレベルとハイレベルとの中間のレベルに維持されてしまう。

【 0 0 3 7 】

それに対し、第 2 グラフ A 2 では、第 1 ステージ S R C 1 から出力されたゲート信号の立ち下がりが速やかである。第 2 垂直走査開始信号 S T V 2 は第 2 クロック信号 C K V B と同様に、第 1 クロック信号 C K V の立ち上がりと共に立ち上がり、以後、ローレベルに維持されるので、第 1 ステージ S R C 1 では第 2 垂直走査開始信号 S T V 2 が第 1 クロック信号 C K V の立ち下がりに伴うゲート信号の立ち下がりには影響しない。その結果、第 2 グラフ A 2 が示すように、ゲート信号は歪むことなく、速やかに立ち下がる。このように、本発明の上記の実施形態は第 1 ステージ S R C 1 から出力されるゲート信号の歪みを防止できる。

【 0 0 3 8 】

図 10 は、本発明の実施形態によるゲート駆動部の第 1 ステージの回路図である。2 番目以後のステージも実質的に同じ回路構成である。図 10 に示すように、第 1 ステージ S R C 1 は、プルアップ部 211、キャリー部 212、プルダウン部 213、プルアップ駆動部 214、リップル防止部 215、ホールド部 216、インバータ部 217、及びリセット部 218 を備えている。

【 0 0 3 9 】

プルアップ部 211 はプルアップトランジスタ N T 1 を備えている。プルアップトランジスタ N T 1 の制御電極は、プルアップ駆動部 214 の出力端である Q - ノード Q N に接続され、入力電極は第 1 クロック端子 C K 1 に接続され、出力電極は出力端子 O U T に接続されている。プルアップトランジスタ N T 1 は Q - ノード Q N の電位に応じて第 1 クロック端子 C K 1 を出力端子 O U T に接続し、又はそこから分離する。第 1 クロック端子 C K 1 が出力端子 O U T に接続されたときは、出力端子 O U T の電位、すなわちゲート信号

のレベルが、第1クロック端子CK1を介して受信した第1クロック信号CKVのレベルに維持される。

【0040】

キャリア部212はキャリアートランジスタNT2を備えている。キャリアートランジスタNT2の制御電極はQ-ノードQNに接続され、入力電極は第1クロック端子CK1に接続され、出力電極はキャリア端子CRに接続されている。キャリアートランジスタNT2はQ-ノードQNの電位に応じて第1クロック端子CK1をキャリア端子CRに接続し、又はそこから分離する。第1クロック端子CK1がキャリア端子CRに接続されたときは、キャリア端子CRの電位、すなわちキャリア信号のレベルが、第1クロック端子CK1を介して受信した第1クロック信号CKVのレベルに維持される。尚、キャリア部212からのキャリア信号に代え、出力端子OUTから出力されるゲート信号をキャリア信号としてキャリア端子CRから出力しても良い。

10

【0041】

プルダウン部213はプルダウントランジスタNT3を備えている。プルダウントランジスタNT3の制御電極は第2入力端子IN2に接続され、入力電極は電圧入力端子Vinに接続され、出力電極は出力端子OUTに接続されている。プルダウントランジスタNT3は、第2ステージSRC2から第2入力端子IN2に輸入されたゲート信号に応じて電圧入力端子Vinを出力端子OUTに接続し、又はそこから分離する。電圧入力端子Vinが出力端子OUTに接続されたときは、ゲート信号のレベルが、電圧入力端子Vinを介して受信されたゲートオフ電圧Voffに維持される。

20

【0042】

プルアップ駆動部214は、バッファートランジスタNT4、第1キャパシタC1、第1遮断トランジスタNT5、第2遮断トランジスタNT6、及び第4キャパシタC4を備えている。バッファートランジスタNT4の制御電極と入力電極とは第1入力端子IN1に共通接続され、出力電極はQ-ノードQNに接続されている。第1キャパシタC1はQ-ノードQNと出力端子OUTとの間に接続されている。第1遮断トランジスタNT5の入力電極はバッファートランジスタNT4の出力電極に接続され、制御電極は第2入力端子IN2に接続され、出力電極は電圧入力端子Vinに接続されている。第2遮断トランジスタNT6の入力電極は出力端子OUTに接続され、制御電極は第2クロック端子CK2に接続され、出力電極は電圧入力端子Vinに接続されている。第4キャパシタC4はQ-ノードとキャリア端子CRとの間に接続されている。

30

【0043】

バッファートランジスタNT4は、第1入力端子IN1を介して受信された垂直走査開始信号STVのハイ期間にターンオンし、ハイレベルの垂直走査開始信号STVをQ-ノードQNに出力する。それによりQ-ノードQNの電位が上昇し、第1キャパシタC1及び第4キャパシタC4が充電される。第1キャパシタC1の両端電圧がプルアップトランジスタNT1のしきい電圧以上になれば、プルアップトランジスタNT1がターンオンし、ゲート信号のレベルが第1クロック信号CKVのレベルに維持される。また、第4キャパシタC4の両端電圧がキャリアートランジスタNT2のしきい電圧以上になれば、キャリアートランジスタNT2はターンオンし、キャリア信号のレベルが第1クロック信号CKVのレベルに維持される。従って、第1クロック信号CKVが立ち上がれば、それに伴ってゲート信号及びキャリア信号がいずれも立ち上がる。一方、Q-ノードQNの電位は第1キャパシタC1の両端電圧だけゲート信号のレベルより高いので、ゲート信号のレベルの上昇によって程なく、第1入力端子IN1の電位、すなわち垂直走査開始信号STVのレベルに達する。それにより、バッファートランジスタNT4がターンオフするので、Q-ノードQNの電位が更に上昇する。こうして、第1クロック信号CKVのハイ期間ではプルアップトランジスタNT1とキャリアートランジスタNT2とがいずれもオン状態を維持するので、ゲート信号とキャリア信号とはいずれも第1クロック信号CKVと同じハイレベルに維持される。

40

【0044】

50

第1遮断トランジスタNT5は、第1入力端子IN1を介して第2ステージSRC2から受信されたゲート信号のハイ期間にターンオンし、電圧入力端子VinをQ - ノードQNに接続する。それにより、第1キャパシタC1と第4キャパシタC4とがいずれも第1遮断トランジスタNT5を介して放電するので、Q - ノードQNの電位がゲートオフ電圧Voffまで降下する。その結果、プルアップトランジスタNT1とキャリートランジスタNT2とがいずれもターンオフする。こうして、各フレームの最初の水平走査期間が終了した後は次のフレームまで、第1クロック信号CKVがプルアップトランジスタNT1から先頭のゲートラインへゲート信号としては出力されることはない。

【0045】

第2遮断トランジスタNT6は、第2クロック端子CK2に対して印加される第2クロック信号CKVBに応じてオンオフし、電圧入力端子VinをQ - ノードQNに接続し、又はそこから分離する。第1クロック信号CKVのハイ期間では第2クロック信号CKVBはローレベルに維持されているので、第2遮断トランジスタNT6はオフ状態に維持される。従って、第1クロック信号CKVのレベルの上昇に伴ってゲート信号のレベルは速やかに上昇する。一方、第1クロック信号CKVが立ち下がれば第2クロック信号CKVBが立ち上がるので第2遮断トランジスタNT6がターンオンする。それにより、出力端子OUTは第2遮断トランジスタNT6を介して電圧入力端子Vinに接続される。従って、ゲート信号のレベルがゲートオフ電圧Voffまで降下する。

【0046】

リップル防止部215は、各フレームのうち、最初の水平走査期間を除いた残りの期間に、クロック信号CKV、CKVBに起因するゲート信号のリップルを防止する。リップル防止部214は第1リップル防止トランジスタNT7及び第2リップル防止トランジスタNT8を含む。第1リップル防止トランジスタNT7の制御電極は第2クロック端子CK2に接続され、入力電極は第1入力端子IN1に接続され、出力電極はQ - ノードQNに接続されている。第2リップル防止トランジスタNT8の制御電極は第1クロック端子CK1に接続され、入力電極はQ - ノードQNに接続され、出力電極は出力端子OUTに接続されている。

【0047】

第1リップル防止トランジスタNT7は第2クロック信号CKVBのハイ期間にターンオンして第1入力端子IN1をQ - ノードQNに接続する。最初の水平走査期間の終了後、次のフレームが開始されるまでは垂直走査開始信号STVはローレベルに維持されている。従って、第2クロック信号CKVBのハイ期間ごとに、第1リップル防止トランジスタNT7を介してQ - ノードQNの電位がゲートオフ電圧Voffに固定される。一方、第2リップル防止トランジスタNT8は第1クロック信号CKVのハイ期間ごとにターンオンして出力端子OUTとQ - ノードQNとの間を接続する。最初の水平走査期間の終了後、次のフレームが開始されるまでは、ゲート信号がローレベル、すなわちゲートオフ電圧Voffに維持されているので、Q - ノードQNの電位はゲートオフ電圧Voffに維持される。こうして、最初の水平走査期間の終了後、次のフレームが開始されるまで、2つのリップル防止トランジスタNT7、NT8が交互にターンオンしてQ - ノードQNの電位をゲートオフ電圧Voffに固定する。その結果、プルアップトランジスタNT1がオフ状態に安定に維持されるので、ゲート信号のリップルが防止される。

【0048】

ホールド部216はホールドトランジスタNT10を備えている。ホールドトランジスタNT10の制御電極はインバータ部217の出力端に接続され、入力電極は電圧入力端子Vinに接続され、出力電極は出力端子OUTに接続されている。

【0049】

インバータ部217は、第1～第4までの4つのインバータトランジスタNT11、NT12、NT13、NT14、及び2つのキャパシタC2、C3を含み、それらを以下のように利用してホールドトランジスタNT10のオンオフ状態を制御する。

【0050】

10

20

30

40

50

第1インバータトランジスタNT11の制御電極と入力電極とは第1クロック端子CK1に共通接続され、出力電極は第3キャパシタC3を介して第2インバータトランジスタNT12の出力電極に接続されている。第2インバータトランジスタNT12の入力電極は第1クロック端子CK1に接続され、制御電極は第2キャパシタC2を介して入力電極に接続され、出力電極はホールドトランジスタNT10の制御電極に接続されている。第3インバータトランジスタNT13の入力電極は第1インバータトランジスタNT11の出力電極に接続され、制御電極は出力端子OUTに接続され、出力電極は電圧入力端子Vinに接続されている。第4インバータトランジスタNT14の入力電極はホールドトランジスタNT10の制御電極に接続され、制御電極は出力端子OUTに接続され、出力電極は電圧入力端子Vinに接続されている。

10

【0051】

第1インバータトランジスタNT11及び第2インバータトランジスタNT12は第1クロック端子CK1の電位、すなわち第1クロック信号CKVのハイ期間ごとにターンオンする。一方、第3インバータトランジスタNT13及び第4インバータトランジスタNT14は出力端子OUTの電位、すなわちゲート信号のハイ期間にターンオンする。従って、ゲート信号のハイ期間では、第1インバータトランジスタNT11及び第2インバータトランジスタNT12のオン状態に関わらず、ゲートオフ電圧VoffがホールドトランジスタNT10の制御電極に対して印加されるので、ホールドトランジスタNT10はオフ状態に維持される。ゲート信号がローレベルに転換された後は次のフレイムまで第3インバータトランジスタNT13及び第4インバータトランジスタNT14はいずれもオフ状態に維持される。従って、第1クロック信号CKVのハイ期間ごとに第2インバータトランジスタNT12からホールドトランジスタNT10の制御電極に対してハイレベルの第1クロック信号CKVが印加され、ホールドトランジスタNT10はターンオンする。その結果、ゲート信号のレベルがホールドトランジスタNT10を通してゲートオフ電圧Voffに固定される。

20

【0052】

リセット部218はリセットトランジスタNT15を備えている。リセットトランジスタNT15の制御電極はリセット端子REに接続され、入力電極はプルアップトランジスタNT1の制御電極に接続され、出力電極は電圧入力端子Vinに接続されている。リセットトランジスタNT15は、リセット端子REを介して最後のステージSRCn+1から入力されたゲート信号のハイ期間にターンオンし、電圧入力端子VinをQ-ノードQNに接続する。それにより、Q-ノードQNの電位がゲートオフ電圧Voffに固定されるので、第1キャパシタC1と第4キャパシタC4とがいずれも完全に放電し、プルアップトランジスタNT1は完全なオフ状態に維持される。最後のステージSRCn+1からのゲート信号は他の全てのステージのリセット端子REに対して印加されるので、そのゲート信号をハイレベルに維持することで他のステージを一度にリセットできる。

30

【0053】

第1ステージSRC1のプルダウントランジスタNT3のチャネル幅は好ましくは、2番目以後のステージSRC2～SRCnの各プルダウントランジスタNT3のチャネル幅より2倍以上大きい。更に好ましくは、第1ステージSRC1ではプルダウントランジスタNT3のチャネル幅は3000μmであり、2番目以後のステージSRC2～SRCnでは1100μmである。各ステージのプルダウントランジスタNT3は上記のとおり、次のステージからのゲート信号の立ち上がりに応じてターンオンしてゲート信号のレベルをゲートオフ電圧Voffに降下させる。そのとき、第1ステージSRC1は他のステージよりプルダウントランジスタNT3のチャネル幅が大きいので、ゲート信号G1のレベルの降下速度が高い。こうして、第1ステージSRC1では、第1入力端子IN1を通して入力されたハイレベルの垂直走査開始信号STVによってQ-ノードQNの電位の降下が妨げられても、ゲート信号G1は、ハイレベルとローレベルとの中間地点で留まることなく、速やかにローレベルまで降下する。すなわち、ゲート信号G1の歪みが更に低減する。

40

50

【 0 0 5 4 】

図 4 に示す放電回路 2 1 0 b でも同様に、第 1 ゲートライン G L 1 に接続された先頭の放電トランジスタ N T 1 6 のチャネル幅は好ましくは、2 番目以後のゲートライン G L 2 ~ G L n に接続された放電トランジスタ N T 1 6 のチャネル幅より 1 . 5 倍以上大きい。更に好ましくは、先頭の放電トランジスタ N T 1 6 のチャネル幅は 6 0 0 0 μ m であり、2 番目以後の放電トランジスタ N T 1 6 のチャネル幅は 4 0 0 0 μ m である。各放電トランジスタ N T 1 6 は上記のとおり、次のゲートラインでのゲート信号の立ち上がりに応じてターンオンし、接続されたゲートラインの電位をゲートオフ電圧 V o f f まで降下させる。そのとき、先頭の放電トランジスタ N T 1 6 は他の放電トランジスタ N T 1 6 よりチャネル幅が大きいので、ゲートラインの電位の降下速度が高い。こうして、第 1 ステージ S R C 1 によるゲート信号 G 1 の速やかな立ち下がりが促されるので、ゲート信号 G 1 の歪みが更に低減する。

10

【 0 0 5 5 】

好ましくは、第 1 ステージ S R C 1 では 2 番目以後のステージ S R C 2 ~ S R C n より第 1 リップル防止トランジスタ N T 7 のチャネル幅が 1 0 倍以上小さい。更に好ましくは、第 1 ステージ S R C 1 では第 1 リップル防止トランジスタ N T 7 のチャネル幅は 2 5 μ m であり、2 番目以後のステージ S R C 2 ~ S R C n では 3 5 0 μ m である。第 1 ステージ S R C 1 では第 1 リップル防止トランジスタ N T 7 は第 2 クロック信号 C K V B のハイ期間に垂直走査開始信号 S T V を Q - ノード Q N に対して印加する。そのとき、第 1 リップル防止トランジスタ N T 7 のチャネル幅が小さいので、垂直走査開始信号 S T V がハイレベルであってもその Q - ノード Q N への伝達が遅い。こうして、垂直走査開始信号 S T V のハイ期間におけるゲート信号 G 1 の立ち下がりの歪みが更に防止される。

20

【 0 0 5 6 】

尚、シフトレジスタ 2 1 0 a に含まれるステージの中で第 1 ステージ S R C 1 は液晶表示パネル 1 0 0 の縁に最も近い。従って、第 1 ステージ S R C 1 では他のステージより、プルダウントランジスタ N T 3 のチャネル幅を容易に拡大でき、第 1 リップル防止トランジスタ N T 7 のチャネル幅を容易に縮小できる。

【 0 0 5 7 】

図 1 1 A は第 1 ステージの第 1 リップル防止トランジスタの平面図であり、図 1 1 B は第 2 ステージの第 1 リップル防止トランジスタの平面図である。図 1 1 A に示すように、第 1 ステージ S R C 1 の第 1 リップル防止トランジスタ N T 7 は、第 1 ゲート電極 G E 1、第 1 ソース電極 S E 1、及び第 1 ドレイン電極 D E 1 を備えている。図 1 1 B に示すように、第 2 ステージ S R C 2 の第 1 リップル防止トランジスタ N T 7 は、第 2 ゲート電極 G E 2、第 2 ソース電極 S E 2、及び第 2 ドレイン電極 D E 2 を備えている。図 1 1 A と図 1 1 B とを比べれば明らかなように、第 1 ソース電極 S E 1 及び第 1 ドレイン電極 D E 1 とは異なり、第 2 ソース電極 S E 2 及び第 2 ドレイン電極 D E 2 は細かい櫛歯状に分割され、第 2 ゲート電極 G E 2 の上に交互に配置されている。それにより、第 1 ステージ S R C 1 では第 2 ステージ S R C 2 より、第 1 リップル防止トランジスタ N T 7 のチャネル幅が小さい。好ましくは、第 1 ステージ S R C 1 では第 1 リップル防止トランジスタ N T 7 のチャネル幅 W 1 は 2 5 μ m であり、第 2 ステージ S R C 2 ではチャネル幅 W 2 は 3 5 0 μ m である。

30

40

【 0 0 5 8 】

第 1 ステージ S R C 1 の第 1 リップル防止トランジスタ N T 7 ではそのチャネル幅 W 1 が小さいのでゲート信号 G 1 の歪みが低減する。しかし、その反面、Q - ノード Q N の電位変化においてリップルが増加する。ここで、そのリップルの大きさは、Q - ノード Q N に寄生するキャパシタの全容量に反比例する。すなわち、Q - ノード Q N に寄生するキャパシタの容量が大きいほど、Q - ノード Q N の電位変化に含まれるリップルが小さい。従って、第 1 ステージ S R C 1 の第 1 リップル防止トランジスタ N T 7 は好ましくは、第 2 ステージの第 1 リップル防止トランジスタと寄生キャパシタの容量が等しくなるように設計される。例えば、図 1 1 A に示す第 1 ステージ S R C 1 の第 1 リップル防止トランジスタ

50

タNT7では、第1ゲート電極GE1と第1ソース電極SE1とが重なっている部分には第1寄生キャパシタCgs1が形成され、第1ゲート電極GE1と第1ドレイン電極DE1とが重なっている部分には第2寄生キャパシタCgd1が形成されている。一方、図11Bに示す第2ステージSRC2の第1リップル防止トランジスタNT7では、第2ゲート電極GE2と第2ソース電極SE2とが重なっている部分には第3寄生キャパシタCgs2が形成され、第2ゲート電極GE2と第2ドレイン電極DE2とが重なっている部分には第4寄生キャパシタCgd2が形成されている。従って、第1ソース電極SE1の面積を十分に大きくし、第1ソース電極SE1と第1ゲート電極GE1とが重なっている部分の面積を、第2ソース電極SE2と第2ゲート電極GE2とが重なっている部分の総面積と一致させる。それにより、第1寄生キャパシタCgs1の容量を第3寄生キャパシタCgs2の容量と等しくできる。同様に、第1ドレイン電極DE1の面積を十分に大きくし、第1ドレイン電極DE1と第1ゲート電極GE1とが重なっている部分の面積を、第2ドレイン電極DE2と第2ゲート電極GE2とが重なっている部分の総面積と一致させる。それにより、第2寄生キャパシタCgd1の容量を第4寄生キャパシタCgd2の容量と等しくできる。こうして、第1ステージSRC1でも他のステージと同程度にQ-ノードQNに寄生するキャパシタの総容量を大きく確保できるので、第1リップル防止トランジスタNT7のチャンネル幅W1が小さくても、Q-ノードQNの電位変化に含まれるリップルを低減できる。

【0059】

本発明の上記の好ましい実施形態は例示に過ぎない。当業者であれば、本発明の技術的思想を逸脱しない範囲で上記の実施形態を様々に置換し、変形し、変更できるだろう。これらの置換、変形、変更は当然に、特許請求の範囲に記載された本発明の技術的範囲に属すると解されるべきである。

【図面の簡単な説明】

【0060】

【図1】本発明の一実施形態による液晶表示装置のブロック図

【図2】図1に示すクロック生成部に入出力される信号の波形図の一例

【図3】図1に示すクロック生成部に入出力される信号の波形図の別な例

【図4】図1に示すゲート駆動部のブロック図

【図5A】従来の液晶表示装置における先頭のゲートラインに対するゲート信号と先頭の画素行に対するデータ信号との波形図

【図5B】図1に示す液晶表示装置における先頭のゲートラインに対するゲート信号と先頭の画素行に対するデータ信号との波形図

【図6】本発明の他の実施形態によるゲート駆動部のブロック図

【図7】本発明のさらに他の実施形態によるゲート駆動部のブロック図

【図8】図7に示すパルス幅変換部に入出力される信号の波形図

【図9】図7に示すゲート駆動部から先頭のゲートラインに出力されるゲート信号の波形図

【図10】図1に示すゲート駆動部の第1ステージの回路図

【図11A】図10に示す第2リップル防止トランジスタの平面図

【図11B】図4に示す第2ステージの第2リップル防止トランジスタの平面図

【符号の説明】

【0061】

100	液晶表示パネル
210	ゲート駆動部
210a	シフトレジスタ
210b	放電回路
320	データ駆動部
350	タイミング制御部
360	クロック生成部

10

20

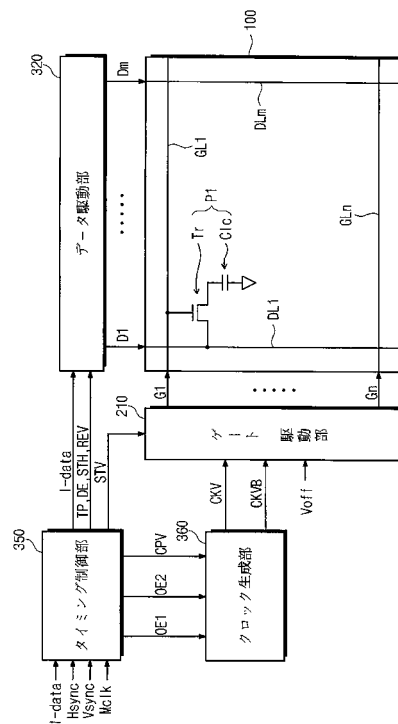
30

40

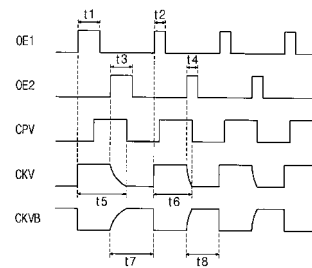
50

O E 1 第 1 出力イネーブル信号
 O E 2 第 2 出力イネーブル信号
 C P V クロック生成信号
 C K V 第 1 クロック信号
 C K V B 第 2 クロック信号

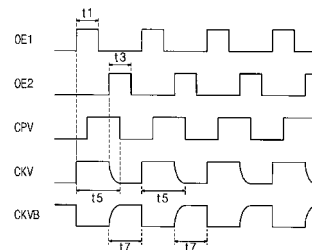
【図 1】



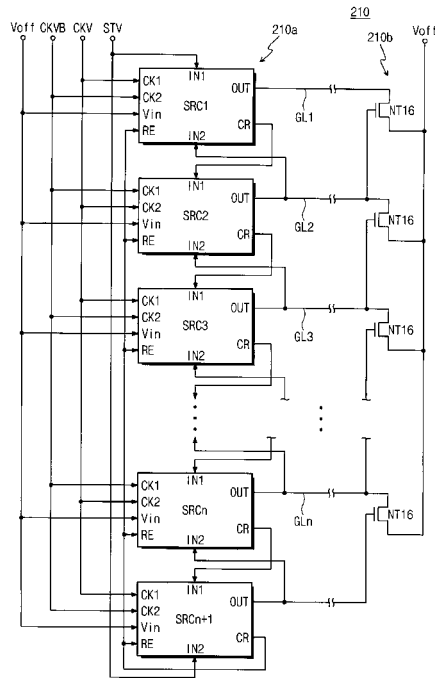
【図 2】



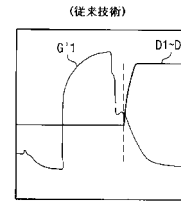
【図 3】



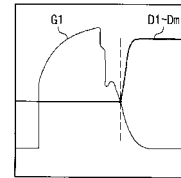
【図 4】



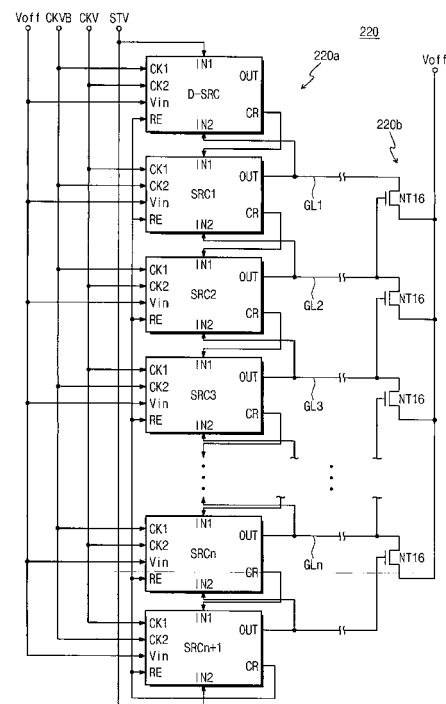
【図 5 A】



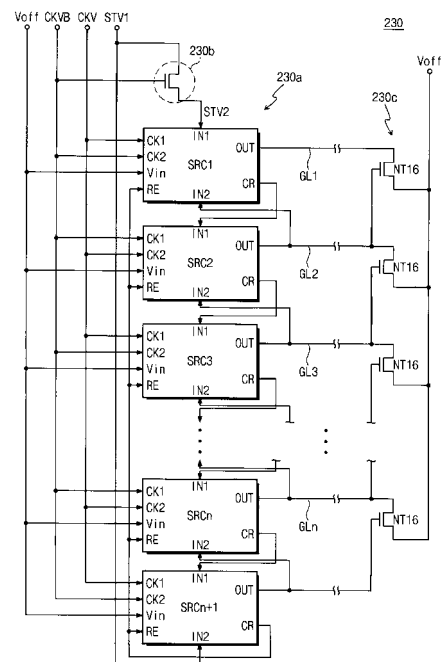
【図 5 B】



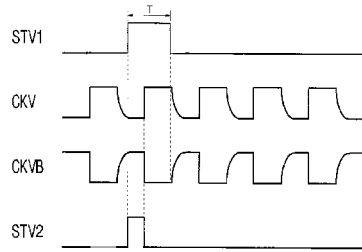
【図 6】



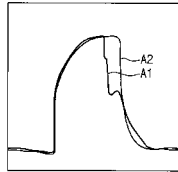
【図 7】



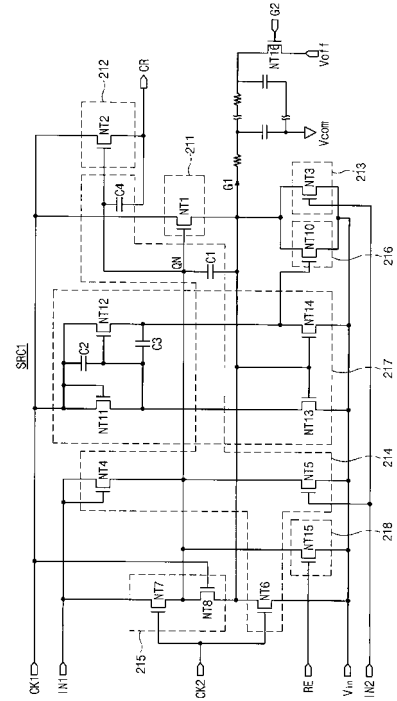
【図 8】



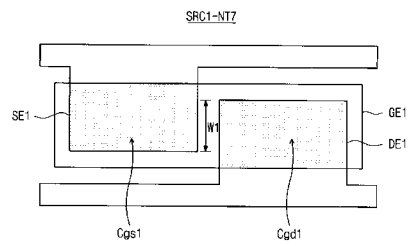
【図 9】



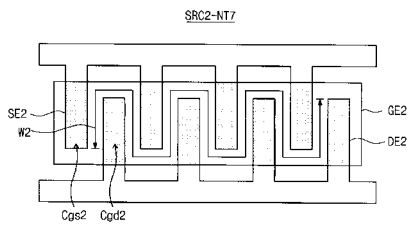
【図 10】



【図 11 A】



【図 11 B】



フロントページの続き

(72)発明者 安 炳 宰

大韓民国京畿道水原市靈通區靈通洞 9 7 3 - 3 , ビョクジョクゴルウソングアパート , 8 2 6 - 1
2 0 3

(72)発明者 李 鍾 煥

大韓民国京畿道安養市東安區達安洞シートビョルアパート , 6 0 2 - 1 7 0 5

(72)発明者 文 然 奎

大韓民国京畿道軍浦市宮内洞ウレウクジュゴンアパート , 7 1 4 - 1 2 0 1

(72)発明者 李 鍾 赫

大韓民国ソウル永登浦區堂山洞 2 街ヒュンダイアパート , 1 0 2 - 1 8 0 2

審査官 小川 浩史

(56)参考文献 特表 2 0 0 6 - 5 1 6 0 4 9 (J P , A)

特開 2 0 0 7 - 5 8 2 1 1 (J P , A)

米国特許出願公開第 2 0 0 7 / 0 0 4 0 7 9 5 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 2 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3