

双面影印

10年6月19日 修正
補充

466647

申請日期	89.3.23
案號	89105312
類別	H01L 2/44

A4
C4

(以上各欄由本局填註)

第 89105317 號 專利申請案		發明 專利 說明 書		說明書修正本 修正日期 90年6月
一、發明名稱	中文	半導體元件及其製造方法		
	英文	SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME		
二、發明人	姓名	青山正明		
	國籍	日本		
	住、居所	日本國愛知縣春日井市高藏寺町二丁目1844番2		
三、申請人	姓名 (名稱)	日商·富士通股份有限公司		
	國籍	日本		
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號		
	代表人 姓名	秋草直之		

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 1999.10.06 案號： 特願平11-285303
有 無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明係有關於一種半導體元件及其製造方法，更特別地，係有關於一種在允許導線之微型化的同時，能夠防止閘極絕緣薄膜之介電崩潰的半導體元件及其製造方法。

近期，如 LSI 等等之半導體元件的微型化係向前邁進 5，而場效電晶體的閘極絕緣薄膜係據此趨向更薄。

薄的閘極絕緣薄膜係易於受到電應力的傷害。該等閘極絕緣薄膜在遭遇到強的電應力時會介電崩潰。

引致閘極絕緣薄膜之介電崩潰的一因素習知地被認為主要為高的電應力係由於用以將閘極電極定以圖型之電漿的非均勻性而被施加至該閘極絕緣薄膜。 10

然而，業已發現的是，即使在用以將閘極絕緣薄膜定以圖型之電漿之非均勻性是為正確的情況中，介電崩潰在製作具有微型化導線間隙的半導體元件時係傾向於發生在該閘極絕緣薄膜。

引致一閘極絕緣薄膜出現介電崩潰的一種半導體元件製作方法將會配合第 8A 至 8D 圖作說明。第 8A 至 8D 圖是為一習知半導體元件之製作方法之各步驟的剖視圖，其說明該製作方法。 15

如在第 8A 圖中所顯示般，首先，一元件隔離薄膜 116 係形成於一半導體基體 110 上。然後，一閘極絕緣薄膜 124 係形成於由該元件隔離薄膜 116 所界定的元件區域中。接著，閘極電極 126 係形成於該閘極絕緣薄膜 124 上。一源極/汲極擴散層(圖中未示)係藉由與該等閘極電極 126 自我對準的方式形成，而且各具有該等閘極電極 126 和該 20

五、發明說明(2)

源極/汲極擴散層的電晶體 128 係形成。

接著，一內層絕緣薄膜 130 係形成於整個表面上，而且到達該等閘極電極 126 的接觸孔 132 係形成。然後，一導線材料薄膜 144 係形成。接著，一用於形成導線的光阻光罩 146 係形成於該導線材料薄膜 144 上。

然後，該導線材料層 144 係以該光阻光罩 146 為光罩來被蝕刻。在這蝕刻過程中，雖然沒有特別的問題發生在具有大圖型間隙的半導體元件中，蝕刻速率在具有較小圖型間隙之區域中降低的微負載效應係發生在具有較小圖型間隙的微型化半導體元件上。此時，正電子係由在該基體表面上之實質上與該半導體基體 110 垂直入射的表皮電場加速，而電子則係由與該半導體基體 110 傾斜入射的表皮電場減速。據此，在光阻光罩 146 具有較小圖型間隙的區域中，更多電子係入射於該光阻光罩 146 的側表面上，而更多正電子係入射於該導線材料薄膜 144 上(見第 8B 圖)。

隨著蝕刻的演進，該光阻光罩 146，在其上業已有更多電子入射，係充負電，而該導線材料薄膜 144，在其上業已有更多正電子入射，係充正電。因此，一正電荷係充於該導線材料薄膜 144 和該閘極電極 126。

該充電演進，而且當一電壓超過在該半導體基體 110 與閘極電極 126 之間之閘極絕緣薄膜 124 的電壓電阻時，介電崩潰發生於該閘極絕緣薄膜 124，俾可將正電荷放電至該半導體基體 110 的側旁(見第 8C 圖)。

五、發明說明(3)

然後，為了防止該充電損害，保護二極體被插置於該等閘極電極 126 與該半導體基體 110 之間的技術被提出。在閘極電極 126 與半導體基體 110 之間之保護二極體的插置能夠使在閘極電極 126 與半導體基體 110 之間的電位差變小。閘極絕緣薄膜 124 之介電崩潰的出現會因此被排除。

然而，要將所有的閘極電極連接至該等保護二極體係困難的，而且對於半導體元件的更高集積化形成障礙。

從充電損害傾向發生於具有較高天線比率之導線的觀點來看，該比率是為藉由將一導線面積除以一閘極面積所給定的值，要考慮的是該等保護二極體僅連接至具有較高天線比率之導線。然而，以從設計資料等等計算出來的天線比率，要決定那些閘極電極連接至該等保護二極體係不容易的。

本發明之目的是為提供一種能夠防止閘極絕緣薄膜之介電崩潰的半導體元件及其製造方法。

以上所述的目的係由一半導體元件達成，該半導體元件包含：一第一電晶體，該第一電晶體包括一透過一第一閘極絕緣薄膜來形成於一基體上的第一閘極電極；一形成於該第一電晶體和該基體上的第一絕緣薄膜；數個形成於該第一絕緣薄膜上的第一導線，各第一導線係由一第一間隙彼此分隔；及一形成於該第一絕緣薄膜上的第二導線，該第二導線係藉由一第二間隙與任一第一導線分隔，該第二間隙係實質上與該第一間隙相等，任一第一導線係實質上與該第一間隙電氣連接，該第二導線係電氣地連接至該基

五、發明說明(4)

5 體。該第二導線係形成於該第一絕緣薄膜上，與該第一導線相隔一個實質上與一第一間隙相等的間隙，藉此，第一導線與第二導線能夠保持連接到一若干時序。再者，該第二導線係連接至該基體，且該第一導線係連接至該第一電晶體的第一閘極電極，藉此，即使在第一導線與第二導線係由電子電荷充電時，施加至該第一閘極絕緣薄膜的電場可以是小的，而且該第一閘極絕緣薄膜的介電崩潰能夠被排除。

10 以上所述的目的係由一種用以製造半導體元件的方法來達成，該方法包含如下之步驟：形成一電晶體，該電晶體包括一透過一閘極絕緣薄膜來形成於一基體上的一閘極電極；形成一絕緣薄膜於該電晶體和該基體上；形成埋藏於電氣連接至該閘極電極之絕緣薄膜的第一導體插塞，及埋藏於電氣連接至該基體之絕緣薄膜的第二插塞；形成一導線材料薄膜於該第一導體插塞、該第二導體插塞及該絕緣薄膜上；及蝕刻該導線材料薄膜以形成一連接至該第一導體插塞的第一導線，及一連接至該第二導體插塞的第二導線，在蝕刻該導線材料薄膜的步驟中，該導線材料薄膜係被蝕刻到該第一導體插塞與該第二導體插塞係透過該導線材料薄膜來彼此電氣連接的狀態。

15 20

如上所述，根據本發明，因為虛設導線係被形成，虛設導線係與導線分隔一個實質上與在該導線與其之相鄰之一導線之間之間隙相等的間隙，該等導線與該虛設導線能夠保持彼此連接至若干時序。再者，對應於該虛設導線之導

五、發明說明(5)

線材料薄膜的一部份係連接至該基體，而對應於該等導線之導線材料薄膜的一部份係連接至該等電晶體的閘極電極，藉此，即使在該導線材料薄膜係以正電子電荷充電，施加至該閘極絕緣薄膜的電場可以是小的，且該閘極絕緣薄膜的介電崩潰可以被排除。

5

此外，根據本發明，該等電晶體之閘極絕緣薄膜的介電崩潰不單只在第一層導線被形成時能夠被排除，在第二層導線被形成時亦能夠被排除。

再者，根據本發明，該等電晶體之閘極絕緣薄膜的介電崩潰不單只在第二層導線被形成時能夠被排除，在第三層導線被形成時亦能夠被排除。

10

第 1A 圖是為本發明第一實施例之半導體元件的剖視圖

；

第 1B 圖是為本發明第一實施例之半導體元件的平面圖

15

第 2A 至 2C 圖是為本發明第一實施例之半導體元件之採取用於製造該半導體元件之方法之步驟之方式的剖視圖，其顯示該方法(部份 1)；

第 3A 和 3B 圖是為本發明第一實施例之半導體元件之採取用於製造該半導體元件之方法之步驟之方式的剖視圖，其顯示該方法(部份 2)；

20

第 4A 和 4B 圖是為本發明第一實施例之半導體元件之採取用於製造該半導體元件之方法之步驟之方式的剖視圖，其顯示該方法(部份 3)；

五、發明說明（6）

第 5A 圖是為一半導體元件的剖視圖，其中，虛設導線與導線係由一個較大的間隙分隔；

第 5B 圖是為一半導體元件的平面圖，其中，虛設導線與導線係由一個較大的間隙分隔；

5 第 6 圖是為本發明第二實施例之半導體元件的剖視圖；

第 7 圖是為本發明第三實施例之半導體元件的剖視圖；

10 第 8A 至 8D 圖是為用於製造習知半導體元件之方法的剖視圖。

[第一實施例]

本發明第一實施例的半導體元件及用以製造它的方法將會配合第 1A 至 5B 圖來作說明。第 1A 圖是為本發明之半導體元件的剖視圖。第 1B 圖是為本發明之半導體元件的平面圖。第 1A 圖是為沿著第 1B 圖中之線 A-A' 的剖視圖。第 2A 至 4B 圖是為本發明之半導體元件之採取用於製造該半導體元件之方法之步驟之方式的剖視圖，其說明該方法。第 5A 圖是為具有一個在導線與虛設導線之間之較大之間隙之半導體元件的剖視圖。第 5B 圖是為具有一個在導線與虛設導線之間之較大之間隙之半導體元件的平面圖。

15

20

[半導體元件]

如在第 1A 圖中所顯示般，濃密地摻雜有 p 型雜質的一井 12 係形成於一半導體基體 10 中。用於限定一元件區域 14 和一接觸區域 20 的一元件隔離薄膜 16 係形成於該形成

五、發明說明(7)

有該井 12 的半導體基體 10 上。

一閘極絕緣薄膜 24 係形成於該半導體基體 10 上之元件區域 14 的表面上，而閘極電極 26 係形成於該閘極絕緣薄膜 24 上。一源極/汲極擴散層(圖中未示)係藉由與閘極電極 26 的自我對準來形成於該半導體基體 10 上，於閘極電極 26 的兩側。因此，各具有源極/汲極擴散層與閘極電極 26 的電晶體 28a, 28b 係如此形成，如在第 1B 圖中所顯示般。

濃密地摻雜有 p 型雜質的接觸層 22 係形成於由該元件隔離薄膜 16 所限定的接觸區域 20 內。

一中間層絕緣薄膜 30 係形成於該形成有電晶體 28a, 28b 之半導體基體 10 的整個表面上。到達閘極電極 26 的接觸孔 32 係形成於該中間層絕緣薄膜 30。導體插塞 34 係埋藏於接觸孔 32 內。到達接觸層 22 的接觸孔 36 係形成於該中間層絕緣薄膜 30 內。一導體插塞 38 係埋藏於接觸孔 36 內。

一導線 40a 和一導線 40b 係形成於埋藏有導體插塞 34, 38 的中間層絕緣薄膜 30 上。該導線 40a 係連接至該電晶體 28b 的閘極電極 26，而該導線 40b 係連接至該電晶體 28a 的閘極電極 26。

一虛設導線 42 係形成於該中間層絕緣薄膜 30 上。該虛設導線 42 係透過該導體插塞 38 連接至該接觸孔 22 並且係透過該接觸層 22 連接至該井 12。該虛設導線 42 並不特別連接至該等半導體元件，像電晶體般。

五、發明說明(8)

在導線 40a 與導線 40b 之間間隙 d1 係設定為實質上相等於在虛設導線 42 與導線 40a 之間間隙 d2。

本實施例的半導體元件主要特徵係在於在導線 40a 與導線 40b 之間間隙 d1 係設定為實質上相等於在虛設導線 42 與導線 40a 之間間隙 d2。

由於在導線 40a 與導線 40b 之間間隙 d1 與在虛設導線 42 與導線 40a 之間間隙 d2 係設定為實質上彼此相等，藉由實質上同時定以圖型，該導線材料薄膜被分割成導線 40a, 40b，及虛設導線 42 是有可能的。

據此，即使在導線材料薄膜由於微負載效應而係以電子電荷充電時，在電晶體 28a 之閘極電極 26 與井 12 之間之大電位差的發生能夠被防止，藉此，電晶體 28a 之閘極絕緣薄膜的介電崩潰能夠被排除。

如在第 1B 圖中所顯示般，最好的是，虛設導線 42 係沿著導線 40a 延伸，但不需要虛設導線 42 之如圖式中所見的上至下長度係幾乎與導線 40a 之如圖式中所見的上至下長度相等。當圖式中之虛設導線 42 的上至下長度比該間隙 d2 大多於三倍時虛設導線 42 與導線 40a, 40b 在蝕刻該導線材料薄膜 44 期間能夠保持彼此連接。

因此，即使在本實施例的微型化半導體元件中，閘極絕緣薄膜的介電崩潰可以被排除，且該半導體元件可以是極可信賴的。該微負載效應在低於 $1\mu\text{m}$ 的導線間隙 d1 下傾向於出現。本實施例的半導體元件對於低於 $1\mu\text{m}$ 的導線間隙 d1 係尤其有效應的。據此，一導線間隙 d2 亦被設定為

五、發明說明(9)

小於 $1\mu\text{m}$ 。

(用於製造該半導體元件的方法)

接著，本發明之用於製造該半導體元件的方法將會配合第 2A 至 5B 圖來作說明。

5 首先，p 型雜質係藉由離子植入來引入至一半導體基體 10 內以形成該 p 型井 12。

然後，用於限定該元件區域 14 與該接觸區域 20 的元件隔離薄膜 16 係藉由 LOCOS (矽之局部氧化) 來形成。

10 然後，該閘極絕緣薄膜 24 係藉由熱氧化來形成於該半導體基體 10 的表面上。然後，由多晶矽製成的閘極電極係形成(見第 2A 圖)。

接著，n 型雜質係藉由與閘極電極 26 的自我對準來引入至該半導體基體 10 內以形成源極/汲極擴散層(圖中未示)於閘極電極 26 的兩側。

15 然後，p 型雜質係濃密地引入至該接觸區域 20 以形成該接觸層 22(見第 2A 圖)。

然後，將 $1\mu\text{m}$ 薄膜厚度 BPSG(硼磷矽玻璃)的中間層絕緣薄膜 30 係藉由 CVD(化學氣相沉積)來形成於整個表面上。

20 然後，到達閘極電極 26 的接觸孔 32，及到達接觸層 22 的接觸孔 36 係形成於該中間層絕緣薄膜 30。

接著，約 400nm 薄膜厚度鎢的導線材料薄膜係藉由 CVD 來形成於整個表面上。接著，該導線材料薄膜係藉由 CMP(化學機械研磨)來研磨，直到該中間層絕緣薄膜 30 的

五、發明說明(10)

表面被暴露為止。因此，該等導體插塞 34, 38 係分別形成於接觸孔 32 和接觸孔 36 內(見第 2B 圖)。

然後，由 Al 製成的導線材料薄膜 44 係藉由濺鍍來以約 400nm 薄膜厚度 Al 形成於整個表面上(見第 2C 圖)。

5 然後，光阻薄膜係藉由旋塗來形成於整個表面上。然後，用於形成導線 40a, 40b 及虛設導線 42 的光阻光罩 46 係藉由微影來形成(見第 3A 圖)。

10 然後，以該光阻光罩 46 作為光罩，該導線材料薄膜 44 被乾蝕刻。當該導線材料薄膜 44 被蝕刻時，蝕刻速率在該光阻光罩 46 之圖型間隙係較小之區域中被降低的微負載效應發生。在這時，正離子係由在該基體之表面上之實質上垂直入射至該半導體基體 10 的 sheath 電場加速，而電子係由傾斜入射至該半導體基體 10 的 sheath 電場減速。據此，更多電子係入射於該光阻光罩 46 的側面上，於光阻光罩 46 具有較窄之圖型間隙的區域內，而更多正離子係入射於該導線材料薄膜 44 上(見第 3B 圖)。

15 隨著蝕刻進步，該光阻光罩 46，於其上係入射有更多電子，係被充負電，而該導線材料薄膜，於其上係入射有正離子，係被充正電。因此，該導線材料薄膜 44 係充有正電子電荷(見第 4A 圖)。

在本實施例中，在導線 40a 與導線 40b 之間間隙 d1 和在導線 40a 與虛設導線 42 之間間隙 d2 係被設定為實質上彼此相等。藉此，導線 40a, 40b 和虛設導線 42 係保持彼此連接到若干時序。再者，對應於虛設導線 42 之導線

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(11)

材料薄膜 44 的部份係經由導體插塞 38，等等來連接至井 12，而對應於導線 40b 之導線材料薄膜 44 的部份係經由導電插塞 34 來連接至電晶體 28a 的閘極電極 26。據此，在本實施例中，即使當該導線材料薄膜 44 係充有正電子電荷時，在電晶體 28a 的井 12 與閘極電極 26 之間的電位差能夠變小，藉此，閘極絕緣薄膜 24 的介電崩潰能夠被排除。

因此，即使令微型化半導體元件具有窄的導線間隙，閘極絕緣薄膜的介電崩潰能夠被排除，而且半導體元件可以是極可信賴(見第 4B 圖)。

如在第 5A 及 5B 圖中所顯示般，在導線 40a 與虛設導線 42 之間間隙 d2 係比在導線 40a 與導線 40b 之間間隙 d1 大的情況中，於圖型間隙係較大的區域中，蝕刻速率增加，而虛設導線 42 係很快從導線材料薄膜 44 分離。據此，當該導線材料薄膜 44 係因該微負載效應而以正電子電荷充電時，大的電位差發生於閘極電極 26 與井 12 之間。這引致閘極絕緣薄膜 24 的介電崩潰。據此，最好係把在導線 40a 與導線 40b 之間間隙 d1 和在導線 40a 與虛設導線 42 之間間隙 d2 設定為彼此相等，如在第 1B 圖中所顯示般。

如以上所述，根據本實施例，虛設導線係被形成與導線分隔一個實質上與在導線之間之間隙相等的間隙，藉此，該等導線與該虛設導線能夠保持彼此連接到若干時序。再者，對應於該虛設導線之導線材料薄膜的部份係連接至該

五、發明說明(12)

基體，而對應於該等導線之導線材料薄膜的部份係連接至電晶體的閘極電極，藉此，即使在導線材料薄膜係以正電子電荷充電時，被施加至該閘極絕緣薄膜的電場可以是小的，而據此閘極絕緣薄膜的介電崩潰能夠被排除。

5 [第二實施例]

本發明第二實施例的半導體元件將會配合第 6 圖作說明。第 6 圖是為本實施例之半導體元件的剖視圖。本實施例與在第 1A 至 5B 圖中所顯示之第一實施例之半導體元件之那些相同的元件係由相同的標號標示，俾不重覆或者簡
10 化它們的說明。

如在第 6 圖中所顯示般，濃密地摻雜有 p 型雜質的井 12a 係形成於一半導體基體 10 內。用以限定元件區域 14a, 14b 與接觸區域 20 的元件隔離薄膜 16 係形成於該形成有該井 12a 的半導體基體 10 上。

15 形成於元件區域 14 的電晶體 28a 係與在第一實施例中所說明的電晶體 28a 相同，而將不會於此作說明。

與電晶體 28a 相同的電晶體 28c 亦形成於元件區域 14a。

20 一中間層絕緣薄膜 30 係如同在第一實施例中一樣亦形成於該形成有電晶體 28a, 28c 的半導體基體 10 上。

到達電晶體 28a 之閘極電極 26 的接觸孔 32 係如同在第一實施例中一樣形成於該中間層絕緣薄膜 30 內，而一導體插塞 34 係埋藏於接觸孔 32 內。

到達電晶體 28c 之閘極電極 26 的接觸孔 32a 亦係形

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明(13)

成於該中間層絕緣薄膜 30，而且一導體插塞 34a 係埋藏於接觸孔 32a 內。

一 p 型接觸層 22 係如同在第一實施例中一樣形成於接觸區域 20。到達接觸層 22 的接觸孔 36 係形成於中間層絕緣薄膜 30。一導體插塞 38 係形成於接觸孔 36。

在該埋藏有導體插塞 32, 32a, 38 的中間層絕緣薄膜 30 上，係如同在第一實施例中一樣形成一第一層導線，即，導線 40a, 40b 和虛設導線 42。像在該第一實施例般，在導線 40a 與導線 40b 之間間隙 d1 係被設定為實質上與在虛設導線 42 與導線 40a 之間間隙 d2 相等。

據此，如在第一實施例中所說明般，開極絕緣薄膜 24 的介電崩潰在導線 40a, 40b 被形成時能夠被排除。

連接至導體插塞 32a 的導線 48 係形成於該中間層絕緣薄膜 30 上。

一中間層絕緣薄膜 50 係形成於該形成有導線 40a, 40b, 48 和虛設導線 42 的中間層絕緣薄膜 30 上。

到達虛設導線 42 的接觸孔 52 係形成於該中間層絕緣薄膜 50。一導體插塞 54 係埋藏於接觸孔 52。到達導線 48 的接觸孔係形成於該中間層絕緣薄膜 50，而一導體插塞 58 係形成於接觸孔 56。

在埋藏有導體插塞 54 和導體插塞 58 的中間層絕緣薄膜 50 上，係形成有一第二層導線，即，導線 60a, 導線 60b 和導線 60c，及虛設導線 62。在導線 60a 與導線 60b 之間和在導線 60b 與導線 60c 之間間隙 d3 係被設定為

五、發明說明(14)

實質上與在虛設導線 62 與導線 60a 之間間隙 d4 相等。

在本實施例中，由於間隙 d3 與間隙 d4 係實質上彼此相等的，當導線材料薄膜被定以圖型來形成導線 60a, 60b, 60c 和虛設導線 62 時，導線材料薄膜係實質上
5 同時被分割來形成該等導線 60a, 60b, 60c，和該虛設導線 62。再者，導線 60c 係經由導體插塞 58 等等來連接至電晶體 28c 的閘極電極 26。虛設導線 62 係經由導體插塞 54、虛設導線 42 等等來連接至該基體。

據此，在本實施例中，由於電晶體 28a 之閘極絕緣薄膜的介電崩潰在導線 40a, 40b 被形成時能夠被排除，電晶體 28c 之閘極絕緣薄膜的介電崩潰在導線 60a, 60b, 60c
10 被形成時亦能夠被排除。微負載效應在導線間隙 d3 小於 $1\mu\text{m}$ 時發生，而本實施例在導線間隙 d3 係，例如，小於 $1\mu\text{m}$ 的情況中係尤其有效的。據此，間隙 d4 亦被設定為，
15 例如，小於 $1\mu\text{m}$ 。

如上所述，根據本實施例，電晶體之閘極絕緣薄膜的介電崩潰不單只在第一層導線被形成時能夠被排除，且在第二層導線被形成時亦能夠被排除。

本實施例的半導體元件能夠藉由與第一實施例之用於製造半導體元件之方法相同的方法及藉由適當地形成導體插塞 52, 56、導線 60a, 60b, 60c、虛設導線 62 等等來製成
20

[第三實施例]

本發明第三實施例的半導體元件將會配合第 7 圖作說

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(15)

明。第 7 圖是為本實施例之半導體元件的剖視圖，其顯示該半導體元件。本實施例之與第一和第二實施例之半導體元件之那些相同的元件係由相同的標號標示，俾簡化或不重覆它們的說明。

- 5 本實施例之半導體元件之在埋藏有導體插塞 34, 36, 34a 之中間層絕緣薄膜 30 之下的結構係與第二實施例之半導體元件的相同，且該結構的說明將不會於此重覆。

10 在埋藏有導體插塞 34, 34a, 38 的中間層絕緣薄膜 30 上，係如在第二實施例般形成一連接至導體插塞 34 的導線 40b、一連接至導體插塞 34a 的導線 48、及一連接至導體插塞 38 的虛設導線 42。如在第二實施例般，一中間層絕緣薄膜 50 係形成於形成有導線 40b, 48 和虛設導線 42 之中間層絕緣薄膜 30 的整個表面上。

- 15 如在第二實施例中般，連接至虛設導線 42 的導體插塞 54，及連接至導線 48 的導體插塞 58 係埋藏於中間層絕緣薄膜 50。到達導線 40b 的接觸孔 64 係形成於中間層絕緣薄膜 50，而導體插塞 66 係埋藏於接觸孔 64。

20 如在第二實施例中般，一第二層導線，即，導線 60a, 60b, 60c 和虛設導線 62 係形成於埋藏有導體插塞 54, 58, 66 的中間層絕緣薄膜 50 上。據此，如在第二實施例中所說明般，電晶體 28c 之間極絕緣薄膜 24 的介電崩潰在導線 60, 60a, 60b, 60c 被形成時能夠被排除。

導線 68 係形成於該中間層絕緣薄膜 40 上。

五、發明說明(16)

一 中間層絕緣薄膜 69 係形成於形成有導線 60a, 60b, 60c、導線 68 和虛設導線 62 的中間層絕緣薄膜 50 上。

5 到達導線 68 的接觸孔 70 係形成於中間層絕緣薄膜 69，而導體插塞 72 係埋藏於接觸孔 70。到達虛設導線 62 的接觸孔 74 係形成於中間層絕緣薄膜 69，而導體插塞 76 係埋藏於接觸孔 74。

10 一第三層導線，即，導線 78a、導線 78b，及虛設導線 80 係形成於埋藏有導體插塞 72, 76 的中間層絕緣薄膜 69。在導線 78a, 78b 之間間隙 d5 係被設定為實質上與在虛設導線 80 與導線 78a 之間間隙 d6 相等。

15 在本實施例中，由於間隙 d5 與間隙 d6 係實質上彼此相等，當導線材料薄膜被定以圖型來形成導線 78a, 78b 和虛設導線 80 時，導線材料薄膜係實質上同時被分割以形成導線 78a, 78b 和虛設導線 80。再者，導線 78a 係透過導體插塞等等來連接至該電晶體 28a 的閘極電極 26，而虛設導線 80 係透過導體插塞 76、虛設導線 62 等等來連接至基體。

20 據此，根據本實施例，電晶體 28c 之閘極絕緣薄膜的介電崩潰在該第二層導線，即，導線 60a, 60b, 60c 被形成時能夠被排除，而在該第三層導線，即，導線 78a, 78b 被形成時，電晶體 28a 之閘極絕緣薄膜 24 的介電崩潰能夠被防止。當導線間隙 d4 係小於 $1\mu\text{m}$ 時，微負載效應發生，而本實施例在導線間隙 d4 係，例如，小於 $1\mu\text{m}$ 的情

五、發明說明(17)

況中尤其有效。據此，導線間隙 d_4 亦係被設定為，例如，小於 $1\mu\text{m}$ 。

如上述，根據本實施例，電晶體之閘極絕緣薄膜的介電崩潰不單只在第二導線被形成時能夠被排除，在第三層
5 導線被形成時亦能夠被排除。

本實施例的半導體元件能夠藉由與用於製造第一和第二實施例之半導體元件之方法相同的方法及藉由適當地形成
10 導體插塞 72, 76、導線 78a, 78b、虛設導線 80 等等來製造而成。

10 [變化]

本發明並不受限於以上所述的實施例而且能夠涵蓋其他不同的變化。

例如，在第一實施例中，p型接觸層 22 係形成於該 p型井 12 上。然而，除了形成一 p型接觸層於一 p型井上之外，
15 係有可能形成一 n型接觸層於一 n型井上。在後面的情況中，與以上所述相同的有利效果能夠被達成。

在第一實施例中，該 n型接觸層 22 係形成於該 p型井 12 上。然而，n型摻雜層係有可能形成於該 p型井上以形成 n型
20 二極體。P型摻雜層可以被形成於一 n型井上以形成 p型二極體。在所有的情況中，在該井與該閘極電極之間的電位差可以是小的，藉此，閘極絕緣薄膜的介電崩潰能夠被排除。

在製造半導體元件的方法期間，虛設導線的一側可以被連接至一 p型井，而該虛設導線的另一側可以被連接至一 n型

五、發明說明(18)

井。然而，在這情況中，虛設導線最後必須在任意的位置裁切，因為在一 n 型井和一 p 型井係連接至一個虛設導線時，電力源的正側和負側係被短路。

元件標號對照表

5	10	半導體基體	12	井
	14	元件區域	16	元件隔離薄膜
	20	接觸區域	24	閘極絕緣薄膜
	26	閘極電極	28a	電晶體
	28b	電晶體	22	接觸層
10	30	中間層絕緣薄膜	32	接觸孔
	34	導體插塞	36	接觸孔
	38	導體插塞	40a	導線
	40b	導線	42	虛設導線
	d1	間隙	d2	間隙
15	44	導線材料薄膜	46	光阻光罩
	12a	井	14a	元件區域
	14b	元件區域	20a	接觸區域
	28b	電晶體	28c	電晶體
	32a	接觸孔	34a	導體插塞
20	48	導線	50	中間層絕緣薄膜
	52	接觸孔	54	導體插塞
	56	接觸孔	58	導體插塞
	60a	導線	60b	導線
	60c	導線	62	虛設導線

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(19)

64	接觸孔	66	導體插塞
40	中間層絕緣薄膜	68	導線
69	中間層絕緣薄膜	70	接觸孔
72	導體插塞	74	接觸孔
5 76	導體插塞	78a	導線
78b	導線	80	虛設導線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

外

四、中文發明摘要(發明之名稱:半導體元件及其製造方法)

包括一第一閘極電極26的電晶體28a係透過一閘極絕緣薄膜24來形成於一基體10上。一絕緣薄膜30係形成於該電晶體28a和該基體10上。數條第一導線40a, 40b係形成於該絕緣薄膜30上, 該等第一導線係由一第一間隙d1彼此分隔。一第二導線42係被形成, 該第二導線係與任一的第一導線40a, 40b分隔一個實質上與該第一間隙d1相等的第二間隙d2。任一的第一導線40a, 40b係電氣地連接至該第一閘極電極26, 而該第二導線係電氣地連接至該基體10。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME)

A transistor 28a including a first gate electrode 26 is formed on a substrate 10 through a gate insulation film 24. An insulation film 30 is formed on the transistor 28a and the substrate 10. A plurality of first wirings 40a, 40b are formed on the insulation film 30, spaced from each other by a first gap d_1 . A second wiring 42 is formed, spaced from either of the first wiring 40a, 40b by a second gap d_2 which is substantially equal to the first gap d_1 . Either of the first wirings 40a, 40b is electrically connected to the first gate electrode 26, and the second wiring 42 is electrically connected to the substrate 10.

訂

線

六、申請專利範圍

線係由實質上與該第三間隙相等的第四間隙來與任一第三導線分隔，

任一的第三導線係電氣地連接至該第二閘極電極，
該第四導線係電氣地連接至該基體。

5. 如申請專利範圍第 4 項所述之半導體元件，其中該第四導線是為虛設導線。
6. 如申請專利範圍第 4 項所述之半導體元件，其中該第三間隙和該第四間隙是小於 $1\mu\text{m}$ 。
7. 一種半導體元件，包含：
- 10 一第一電晶體，該第一電晶體包括一個透過一第一閘極絕緣薄膜來形成於一基體上的第一閘極電極；
一第二電晶體，該第二電晶體包括一個透過一第二閘極絕緣薄膜來形成於該基體上的第二閘極電極；
一形成於該第一電晶體、該第二電晶體和該基體上的第一絕緣薄膜；
- 15 一形成於該第一絕緣薄膜上的第一導線；
一形成於該第一導線與該第一絕緣薄膜上的第二絕緣薄膜；
數條形成於該第二絕緣薄膜上的第二導線，該等第二導線係由一第一間隙彼此分隔；
- 20 一形成於該第二絕緣薄膜上的第三導線，該第三導線係由實質上與該第一間隙相等的第二間隙來與任一之第二導線分隔；
一形成於該第二導線、該第三導線、和該第二絕緣

(本頁內容係根據本局(一)正審事項再植於本頁)

裝
訂
線

六、申請專利範圍

薄膜上的第三絕緣薄膜；

數條形成於該第三絕緣薄膜上的第四導線，該等導線係由一第三間隙彼此分隔；及

5 一形成於該第三絕緣薄膜上的第五導線，該第五導線係由實質上與該第三間隙相等的第四間隙來與任一的第四導線分隔，

任一的第二導線係電氣地連接至該第一閘極電極，

任一的第四導線係電氣地連接至該第二閘極電極，

該第三導線和該第五導線係電氣地連接至該基體。

10 8. 如申請專利範圍第 7 項所述之半導體元件，其中

該第三導線和該第五導線是為虛設導線。

9. 如申請專利範圍第 7 項所述之半導體元件，其中

該第一間隙、該第二間隙、該第三間隙和該第四間隙係小於 $1\mu\text{m}$ 。

15 10. 一種用於製造半導體元件的方法，包含如下之步驟：

形成一第一電晶體，該第一電晶體包括透過一第一閘極絕緣薄膜來形成於一基體上的第一閘極電極；

形成一第一絕緣薄膜於該第一電晶體與該基體上；

形成一第一導線材料薄膜於該第一絕緣薄膜上；及

20 將該第一導線材料薄膜蝕刻以形成第一導線及一第二導線，至少任一的導線係連接至該第一閘極電極，而該第二導線係電氣地連接至該基體，

在蝕刻該第一導線材料薄膜的步驟中，該第二導線係被形成，該第二導線係與任一的導線分隔一個實

六、申請專利範圍

質上與一第一間隙相等的第二間隙，該等第一導線係由該第一間隙彼此分隔。

11. 如申請專利範圍第 10 項所述之用於製造半導體元件的方法，其中

5 該第二導線是為虛設導線。

12. 如申請專利範圍第 10 項所述之用於製造半導體元件的方法，其中

該第一間隙和該第二間隙是小於 $1\mu\text{m}$ 。

13. 如申請專利範圍第 10 項所述之用於製造半導體元件的方法，

10

在形成該第一電晶體的步驟中，更形成一第二電晶體，該第二電晶體包括一透過一第二閘極絕緣薄膜來形成於該基體上的第二閘極電極；

在蝕刻該第一導線材料薄膜的步驟之後，更包含如下之步驟：

15

形成一第二絕緣薄膜於該等第一導線、該第二導線與該第一絕緣薄膜上；

形成一第二導線材料薄膜於該第二絕緣薄膜上；

及

20

將該第二導線材料薄膜蝕刻以形成第三導線和一第四導線，至少任一的第三導線係電氣地連接至該第二閘極電極，而該第四導線係電氣地連接至該基體。

在蝕刻該第二導線材料薄膜的步驟中，該第四導線係被形成，該第四導線係與任一的第三導線分隔一

（本頁內容係根據申請專利範圍第 10 項再編寫本頁）

裝
訂
線

六、申請專利範圍

個實質上與一第三間隙相等的第四間隙，該等第三導線係由該第三間隙彼此分隔。

14. 如申請專利範圍第 13 項所述之用於製造半導體元件的方法，其中

5 該第四導線是為虛設導線。

15. 如申請專利範圍第 13 項所述之用於製造半導體元件的方法，其中

該第三間隙和該第四間隙係小於 $1\mu\text{m}$ 。

16. 一種用於製造半導體元件的方法，包含如下之步驟：

10 形成一電晶體，該電晶體包括一透過一閘極絕緣薄膜來形成於一基體上的閘極電極；

形成一絕緣薄膜於該基體和該電晶體上；

形成一埋藏於電氣地連接至該閘極電極之絕緣薄膜的第一導體插塞，及一埋藏於電氣地連接至該基體之絕緣薄膜的第二導體插塞；

15 形成一導線材料薄膜於該第一導體插塞、該第二導體插塞和該絕緣薄膜上；及

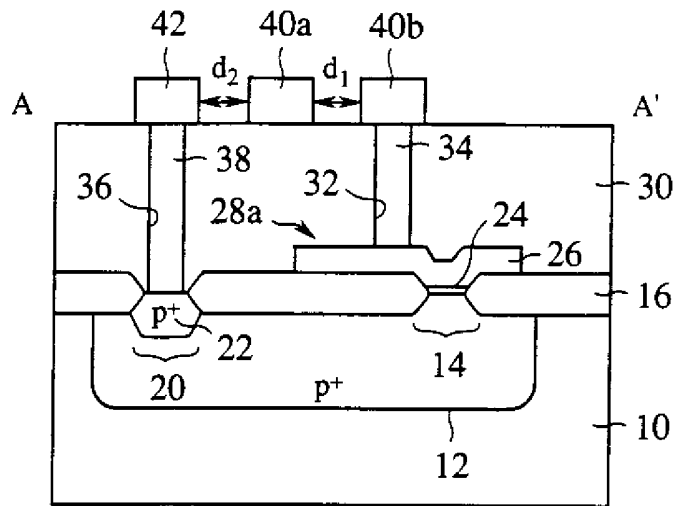
將該導線材料薄膜蝕刻以形成一連接至該第一導體插塞的第一導線，及一連接至該第二導體插塞的第二導線，

20 在蝕刻該導線材料薄膜的步驟中，該導線材料薄膜係被蝕刻到該第一導體插塞和該第二導體插塞係透過該導線材料薄膜來電氣地彼此連接的狀態。

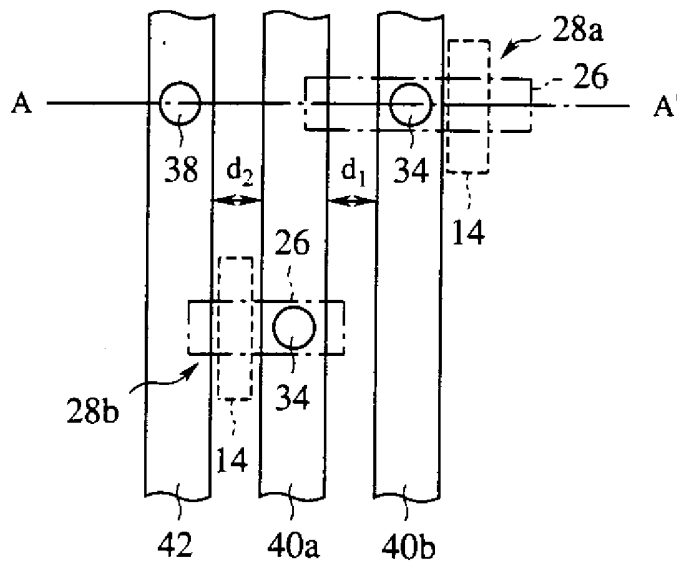
(請注意：申請專利範圍之各項事項再填寫本頁)

裝
訂
線

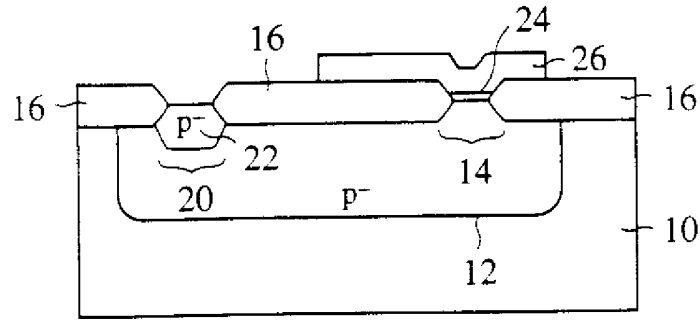
第 1A 圖



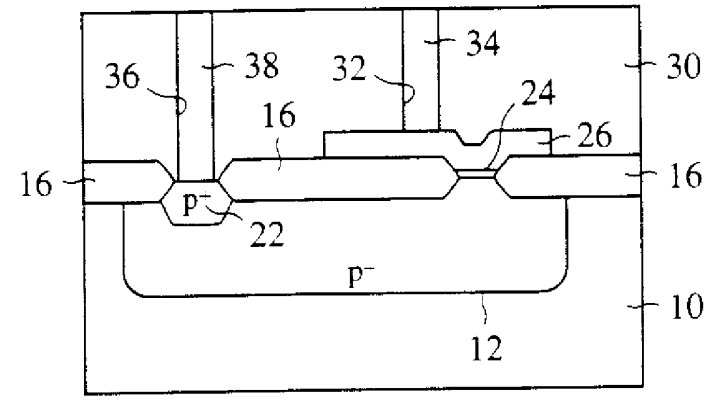
第 1B 圖



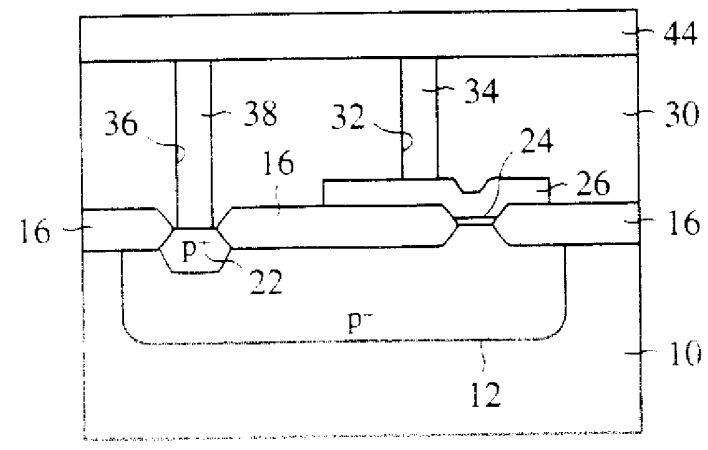
第 2A 圖



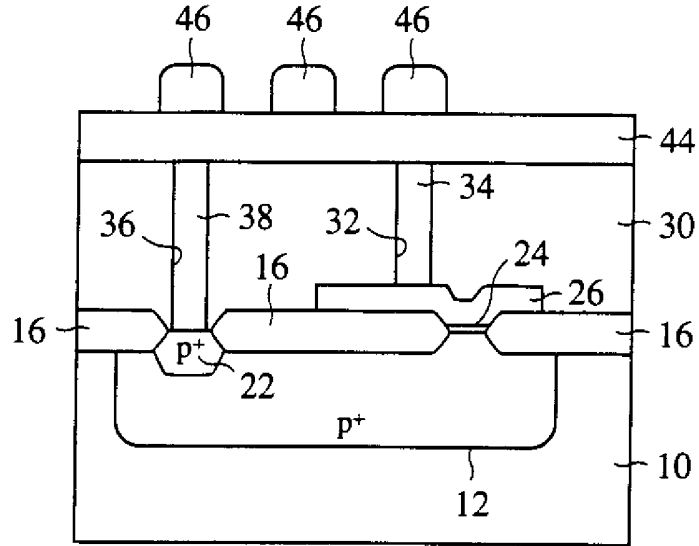
第 2B 圖



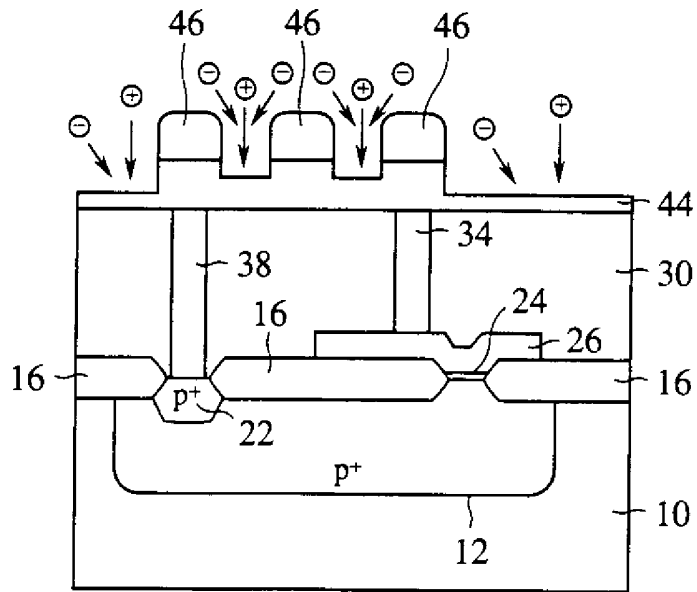
第 2C 圖



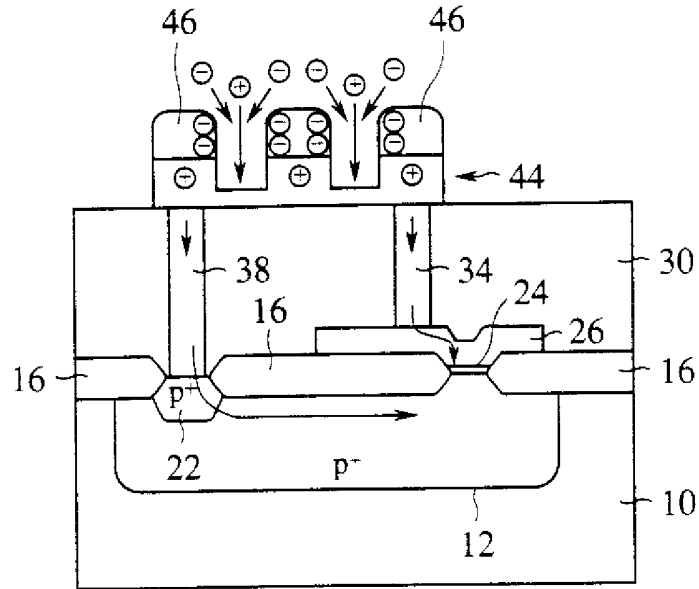
第 3A 圖



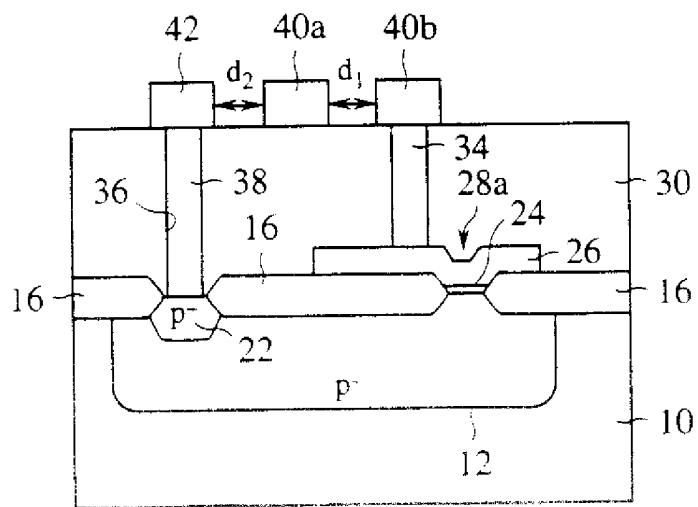
第 3B 圖



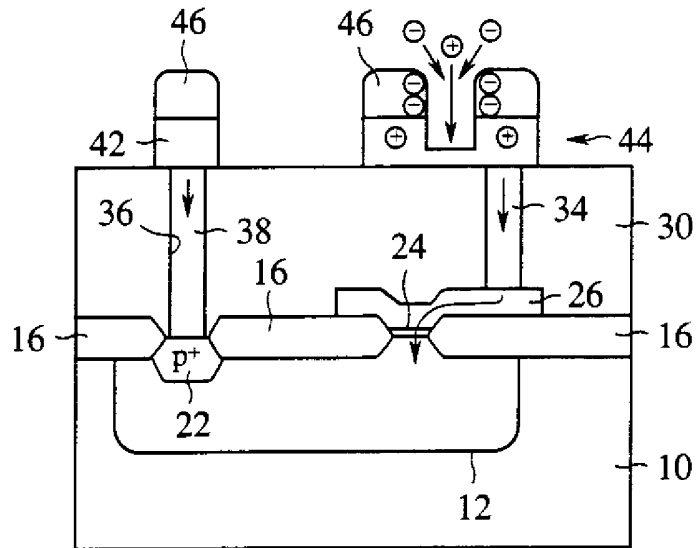
第 4A 圖



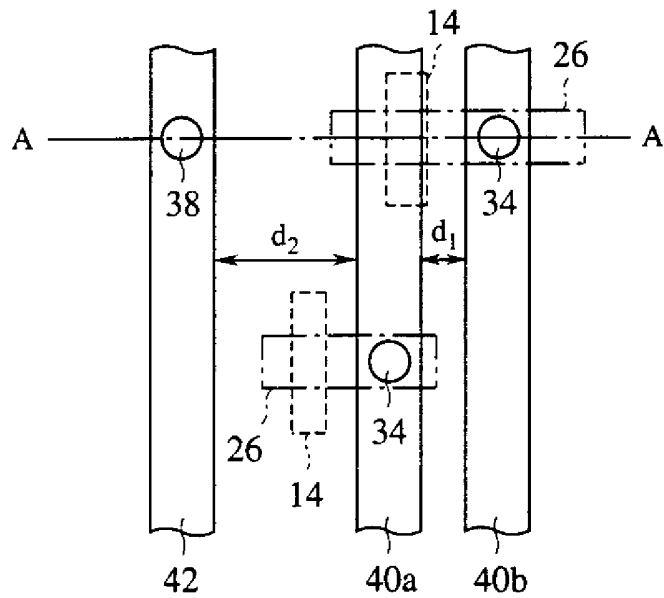
第 4B 圖



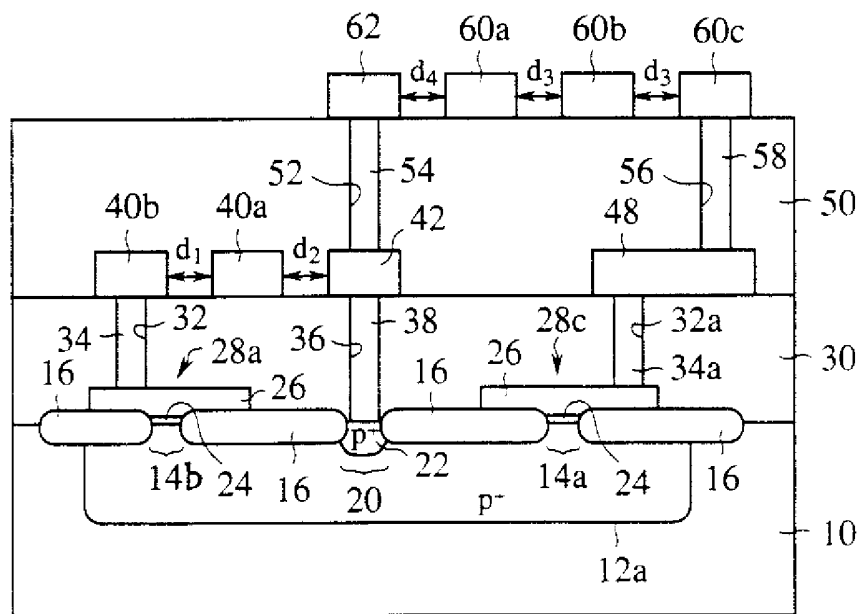
第5A圖



第5B圖



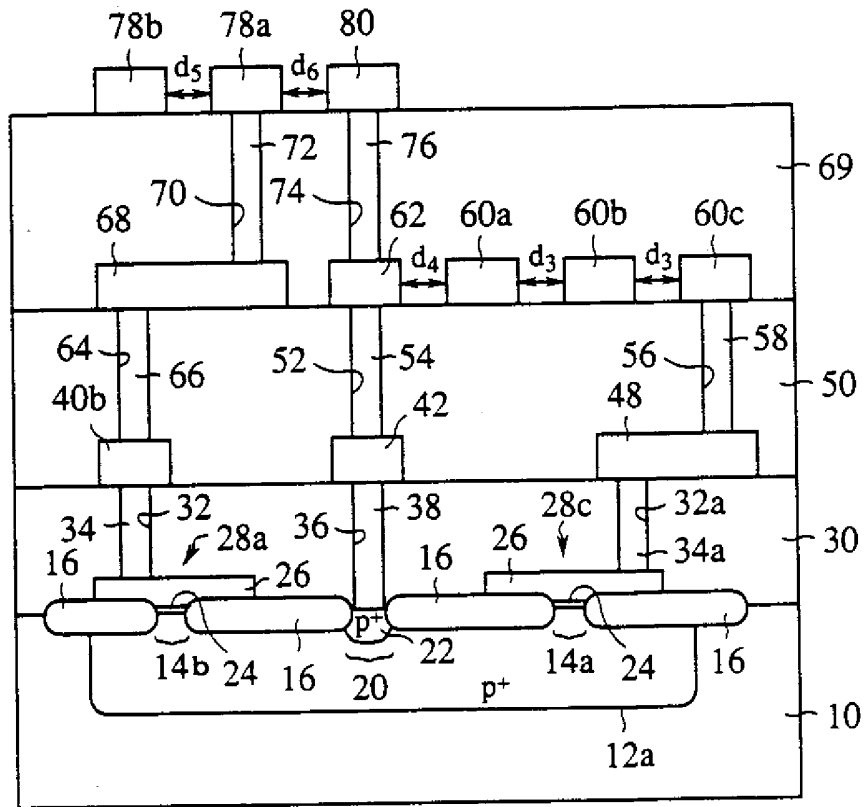
第 6 圖



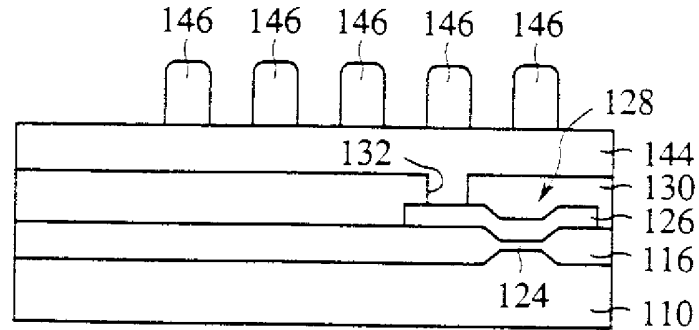
466647

修正
補充
1980年9月27日

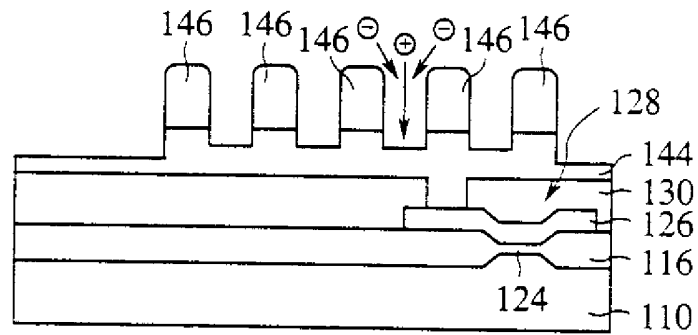
第 7 圖



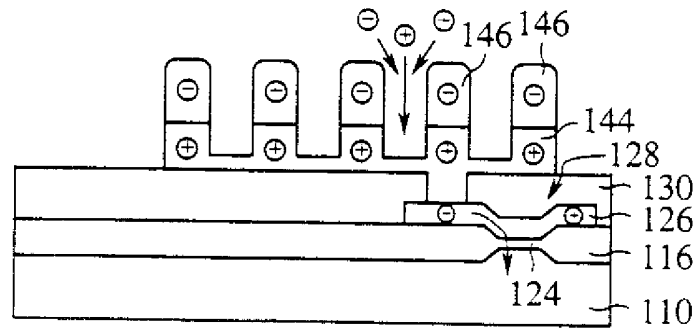
第 8A 圖



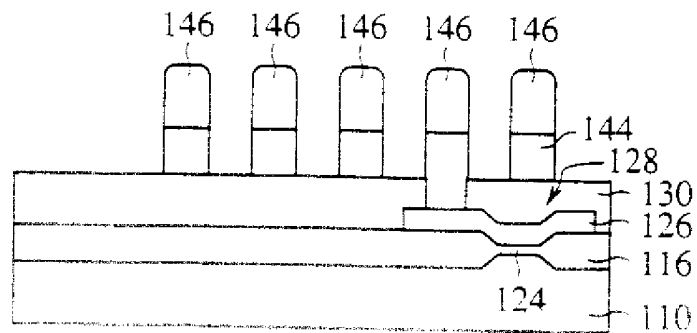
第 8B 圖



第 8C 圖



第 8D 圖



双面影印

10年6月19日 修正
補充

466647

申請日期	89.3.23
案號	89105312
類別	H01L 2/44

A4
C4

(以上各欄由本局填註)

第 89105317 號 專利申請案		發明 專利 說明 書		說明書修正本 修正日期 90年6月
一、發明名稱	中文	半導體元件及其製造方法		
	英文	SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME		
二、發明人	姓名	青山正明		
	國籍	日本		
	住、居所	日本國愛知縣春日井市高藏寺町二丁目1844番2		
三、申請人	姓名 (名稱)	日商·富士通股份有限公司		
	國籍	日本		
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號		
	代表人姓名	秋草直之		

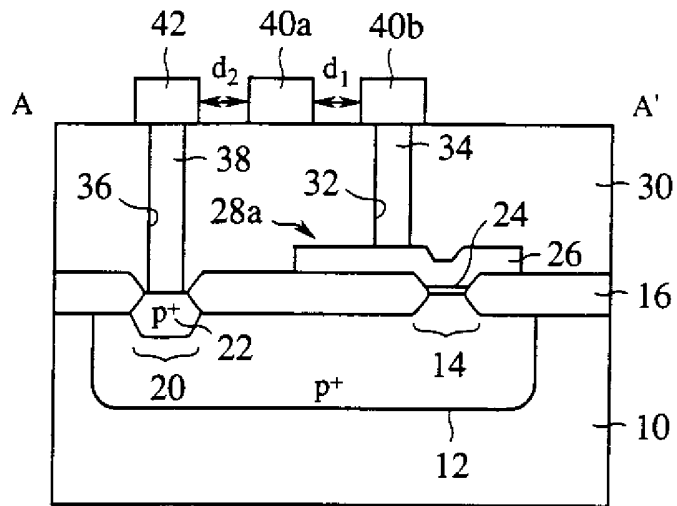
裝

訂

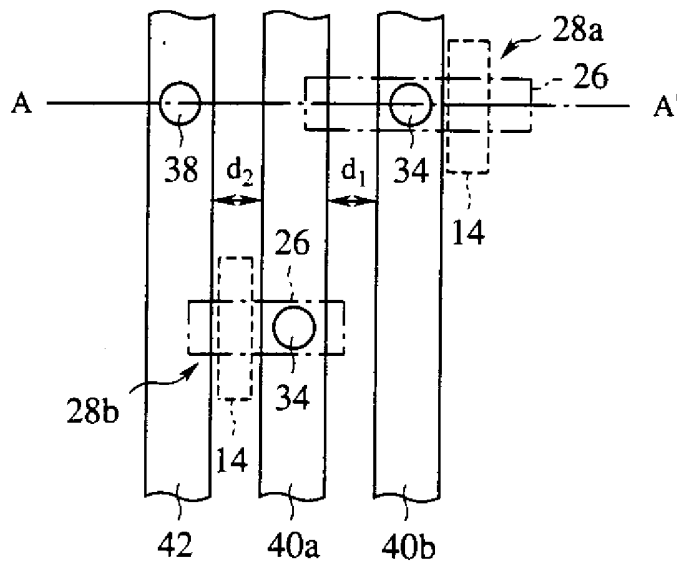
線

經濟部智慧財產局員工消費合作社印製

第 1A 圖



第 1B 圖



466647

修正
補充
1980年9月27日

第 7 圖

