

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-184575

(P2017-184575A)

(43) 公開日 平成29年10月5日(2017.10.5)

(51) Int.Cl.	F I	テーマコード (参考)
<b>HO2M 3/28 (2006.01)</b>	HO2M 3/28 B	5H730
	HO2M 3/28 H	
	HO2M 3/28 C	

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号 特願2016-72570 (P2016-72570)  
 (22) 出願日 平成28年3月31日 (2016. 3. 31)

(71) 出願人 000237721  
 F D K 株式会社  
 東京都港区港南一丁目6番4 1号  
 (74) 代理人 100090022  
 弁理士 長門 侃二  
 (72) 発明者 及川 淳  
 東京都港区港南一丁目6番4 1号 F D K  
 株式会社内  
 (72) 発明者 永島 栄治  
 東京都港区港南一丁目6番4 1号 F D K  
 株式会社内  
 (72) 発明者 柴田 敏夫  
 東京都港区港南一丁目6番4 1号 F D K  
 株式会社内

最終頁に続く

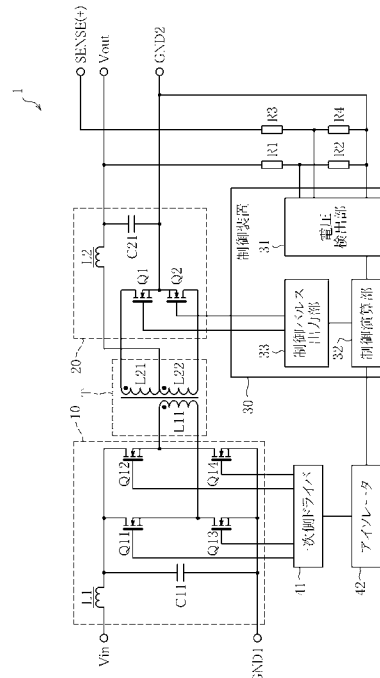
(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】 高効率かつ起動時に故障する虞が少ない電源回路を提供する。

【解決手段】 電源回路 1 は、交互に ON / OFF する第 1 スイッチ Q 1 及び第 2 スイッチ Q 2 を含み、負荷に定格電圧を出力する同期整流回路 2 0 と、負荷の電圧をフィードバックするリモートセンス端子 S E N S E と、リモートセンス端子 S E N S E の電圧と定格電圧との差に基づいて第 1 スイッチ Q 1 及び第 2 スイッチ Q 2 を制御する制御装置 3 0 と、を備え、制御装置 3 0 は、起動時においてリモートセンス端子 S E N S E の電圧が第 1 閾値 V t h 1 以上であることを条件として、第 1 スイッチ Q 1 及び第 2 スイッチ Q 2 を制御する PWM 信号のオンデューティを短縮する。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

交互に ON / OFF する第 1 スイッチ及び第 2 スイッチを含み、負荷に定格電圧を出力する同期整流回路と、

前記負荷の電圧をフィードバックするリモートセンス端子と、

前記リモートセンス端子の電圧と前記定格電圧との差に基づいて前記第 1 スイッチ及び前記第 2 スイッチを制御する制御装置と、を備え、

前記制御装置は、起動時において前記リモートセンス端子の電圧が第 1 閾値以上であることを条件として、前記第 1 スイッチ及び前記第 2 スイッチを制御するパルス信号のオンデューティを短縮する、電源回路。

10

**【請求項 2】**

請求項 1 に記載の電源回路において、前記制御装置は、PID 制御によって前記パルス信号を制御し、

起動時の前記リモートセンス端子の電圧が前記第 1 閾値よりも高い第 2 閾値以上であることを条件として、前記 PID 制御の定数を変更する、電源回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、同期整流方式の電源回路に関する。

**【背景技術】**

20

**【0002】**

DC - DC コンバータなどのスイッチング電源に利用される同期整流回路は、一般的に 2 つの電界効果トランジスタ (FET : Field Effect Transistor) の各ゲートに入力される PWM 信号によって所望の電圧の直流電力を安定的に出力することができる。このとき PWM 信号は、アナログ制御方式である場合には、DC - DC コンバータの出力電圧と目標電圧との誤差をエラーアンプにより増幅し、エラーアンプの出力と三角波とを比較するコンパレータの出力に基づいてデューティ比が制御される。また PWM 信号は、デジタル制御方式である場合には、DC - DC コンバータの出力電圧をデジタル信号に変換し、アナログ制御方式で行う制御をデジタル信号処理による数値演算で行うことによってデューティ比が制御される。

30

**【0003】**

ところで上記のスイッチング電源は、大容量のコンデンサを備えた電子機器が出力側に接続されることがある。そして例えば負荷電流が小さい状態でスイッチング電源を停止した場合には、電子機器のコンデンサに電荷が残ることがある。この状態でスイッチング電源を起動すると、電子機器のコンデンサからスイッチング電源へ電荷が逆流し、ON になった FET を介してグランドへ瞬間的に放電されることになる。それによって FET は、ドレインソース間電圧が耐圧を超過することにより故障する場合がある。

**【0004】**

このような課題に対し特許文献 1 に記載された従来技術は、そのスイッチング電源の起動時において、デューティ比が 0 % から 100 % まで徐々に大きくなる PWM 信号を 2 つの FET それぞれに対して出力して交互に ON / OFF するように駆動している。そのため特許文献 1 に記載された従来技術は、出力側に電荷が残っている場合であっても、スイッチング電源の起動時に FET の ON 時間が短縮され、瞬間的に FET を流れる電荷が抑制される。それによってドレインソース間電圧が耐圧を超過することで FET が故障する虞を低減することができる。

40

**【先行技術文献】****【特許文献】****【0005】**

【特許文献 1】特開 2007 - 295759 号公報

**【発明の概要】**

50

## 【発明が解決しようとする課題】

## 【0006】

しかしながら特許文献1に記載された従来技術は、出力側に電荷がほとんど残っていない場合であっても、スイッチング電源を起動する度にFETのON時間が短縮されることになる。そのため特許文献1に記載された従来技術は、FETに電荷の逆流が起こらない条件においても、FETのON時間が短縮されている期間はダイオード整流によって電圧を出力することになる。それによって特許文献1に記載された従来技術は、起動時において、同期整流により電圧を出力する場合と比較して電力の損失が発生し変換効率が低下する虞が生ずる。

## 【0007】

本発明は、このような状況に鑑みてなされたものであり、その目的とするところは、高効率かつ起動時に故障する虞が少ない電源回路を提供することにある。

## 【課題を解決するための手段】

## 【0008】

<本発明の第1の態様>

本発明の第1の態様は、交互にON/OFFする第1スイッチ及び第2スイッチを含み、負荷に定格電圧を出力する同期整流回路と、前記負荷の電圧をフィードバックするリモートセンス端子と、前記リモートセンス端子の電圧と前記定格電圧との差に基づいて前記第1スイッチ及び前記第2スイッチを制御する制御装置と、を備え、前記制御装置は、起動時において前記リモートセンス端子の電圧が第1閾値以上であることを条件として、前記第1スイッチ及び前記第2スイッチを制御するパルス信号のオンデューティを短縮する、電源回路である。

## 【0009】

電源回路は、第1スイッチと第2スイッチとが交互にON/OFFする同期整流回路によって、負荷に対して定格電圧を供給する。また電源回路が備える制御装置は、リモートセンシングによって負荷の電圧をフィードバックすると共に、負荷の電圧が定格電圧に収束するように第1スイッチ及び第2スイッチを制御する。ここで制御装置は、同期整流回路の出力電圧ではなく、負荷の電圧をリモートセンシングによってフィードバックすることにより、負荷が入力する電圧を安定化できることに加え、起動時においては負荷に残った電荷の量に伴う電圧を検出することができる。

## 【0010】

ここで第1閾値は、標準のオンデューティで電源回路を起動した場合に、負荷のコンデンサに残った電荷が同期整流回路に逆流することによって第1スイッチ又は第2スイッチが耐圧を超過するかどうかを判定するために予め設定される閾値である。そして制御装置は、起動時において負荷の電圧が第1閾値以上である場合には、パルス信号のオンデューティを短縮した状態で同期整流を開始する。それによって電源回路は、起動時に負荷から瞬間的に逆流する電荷を抑制し、第1スイッチ及び第2スイッチにおけるドレインソース間電圧が耐圧を超過する虞を低減することができる。また電源回路は、起動時において負荷の電圧が第1閾値未満である場合には、オンデューティを短縮しない標準の状態で同期整流を開始する。それによって電源回路は、ダイオード整流よりも変換効率の高い同期整流によって電圧を出力することができる。

## 【0011】

これにより本発明の第1の態様によれば、リモートセンス端子の電圧を起動時の状態の判定に利用してパルス信号を制御することによって、高効率かつ起動時に故障する虞が少ない電源回路を提供することができるという作用効果が得られる。

## 【0012】

<本発明の第2の態様>

本発明の第2の態様は、前述した本発明の第1の態様において、前記制御装置は、PID制御によって前記パルス信号を制御し、起動時の前記リモートセンス端子の電圧が前記第1閾値よりも高い第2閾値以上であることを条件として、前記PID制御の定数を変更

10

20

30

40

50

する、電源回路である。

【0013】

制御装置は、リモートセンス端子の電圧を入力値とし、定格電圧を目標値とするPID制御によってパルス信号のオンデューティを制御する。そして上記のように制御装置は、起動時においてリモートセンス端子の電圧が第1閾値以上である場合には、パルス信号のオンデューティを短縮する。しかしオンデューティの短縮は、電源回路の出力電圧を最適に制御するための本来のPID制御とは異なる操作である。そのため負荷に残った電荷の量に伴うオンデューティの短縮幅によっては、電源回路の出力電圧が不安定になることがある。それによって第1スイッチ及び第2スイッチは、電源回路の出力電圧を形成するときパルス幅が急激に変化するように制御されて、ドレインソース間電圧が耐圧を超過する虞が生ずる。

10

【0014】

ここで第2閾値は、短縮したオンデューティで電源回路を起動した場合に、パルス幅が急激に変化するように制御されることによって第1スイッチ及び第2スイッチが故障しないかどうかを判定するために予め設定される閾値である。そして制御装置は、起動時においてリモートセンス端子の電圧が第2閾値以上である場合には、PID制御の定数を変更する。より具体的には制御装置は、パルス信号の制御において、例えば目標値に対して入力値がよりなだらかに追従するようにPID定数を変更する。それによって第1スイッチ及び第2スイッチが故障する虞を低減することができる。

【0015】

これにより本発明の第2の態様によれば、起動時に故障する虞がより少ない電源回路を提供することができるという作用効果が得られる。

20

【図面の簡単な説明】

【0016】

【図1】本発明に係る電源回路の回路図である。

【図2】起動時における制御演算部の制御を示すフローチャートである。

【図3】電源回路の出力電圧及びPWM信号を示すタイミングチャートである。

【図4】従来電源回路の出力波形である。

【図5】本発明に係る電源回路の出力波形である。

【発明を実施するための形態】

【0017】

以下、本発明の実施形態について図面を参照しながら説明する。

図1は、本発明に係る電源回路1の回路図である。

【0018】

電源回路1は、インバータ回路10、同期整流回路20、絶縁トランスT、制御装置30、抵抗R1~R4、一次側ドライバ41、アイソレータ42を備える。

【0019】

電源回路1は、本実施例では絶縁型のDC-DCコンバータであり、入力側から入力Vinの直流電力が入力され、出力側に接続される負荷に出力Voutの直流電力を出力する。また電源回路1は、接地ラインとして、入力側に一次側グランドGND1の端子が設けられ、出力側に二次側グランドGND2の端子が設けられている。さらに電源回路1は、負荷の電圧をフィードバックして入力するためのリモートセンス端子SENSEが出力側に設けられている。

40

【0020】

インバータ回路10は、公知のフルブリッジインバータ回路であり、電界効果トランジスタ(Field Effect Transistor: FET) Q11~Q14、コイルL1、コンデンサC11を含む。尚、本発明においてインバータ回路10は、フルブリッジ方式に限定されるものではなく、例えばハーフブリッジ、フライバック、フォワード等、他の方式のインバータ回路であってもよい。

【0021】

50

電界効果トランジスタQ 1 1 ~ Q 1 4 は、半導体スイッチング素子であり、各ゲートが一次側ドライバ4 1 に接続されている。電界効果トランジスタQ 1 1 のドレインは、電界効果トランジスタQ 1 2 のドレインに接続されている。電界効果トランジスタQ 1 1 のソースは、電界効果トランジスタQ 1 3 のドレインに接続されており、その接続点は、絶縁トランスTの一次側コイルL 1 1 の巻き終わり端に接続されている。電界効果トランジスタQ 1 2 のソースは、電界効果トランジスタQ 1 4 のドレインに接続されており、その接続点は、絶縁トランスTの一次側コイルL 1 1 の巻き始め端に接続されている。電界効果トランジスタQ 1 3 のソース及び電界効果トランジスタQ 1 4 のソースは、一次側グランドGND 1 に接続されている。コイルL 1 は、一端側が入力V i n に接続されており、電界効果トランジスタQ 1 1 のドレインと電界効果トランジスタQ 1 2 のドレインとの接続点に他端側が接続されている。コンデンサC 1 1 は、一端側がコイルL 1 の他端側に接続されており、他端側が一次側グランドGND 1 に接続されている。

10

## 【0022】

電界効果トランジスタQ 1 1 ~ Q 1 4 は、一次側ドライバ4 1 が出力するゲート信号によって同時にON/OFFされ、電界効果トランジスタQ 1 1、Q 1 4 に対して電界効果トランジスタQ 1 2、Q 1 3 が逆位相となるようにON/OFFされる。インバータ回路10で発生した交流電流は、絶縁トランスTを介して同期整流回路20へ流れる。

## 【0023】

同期整流回路20は、第1スイッチQ 1、第2スイッチQ 2、コイルL 2、コンデンサC 2 1を含む。

20

## 【0024】

第1スイッチQ 1 及び第2スイッチQ 2 は、半導体スイッチング素子であり、例えばNチャンネルMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) である。第1スイッチQ 1 は、絶縁トランスTの二次側コイルL 2 1 の巻き始め端にドレインが接続されており、二次側グランドGND 2 にソースが接続されている。第2スイッチQ 2 は、絶縁トランスTの二次側コイルL 2 2 の巻き終わり端にドレインが接続されており、二次側グランドGND 2 にソースが接続されている。コイルL 2 は、絶縁トランスTの二次側コイルL 2 1 とL 2 2 の接続点(センタータップ)に一端側が接続されており、他端側が出力V o u t に接続されている。コンデンサC 2 1 は、出力V o u t と二次側グランドGND 2 との間に接続されている。

30

## 【0025】

第1スイッチQ 1 及び第2スイッチQ 2 は、各ゲートが制御装置30に接続され、制御装置30からのパルス信号(PWM: Pulse Width Modulation)により交互にON/OFF制御される。尚、2つのPWM信号は、同時にONになる状態が生じないように僅かなデッドタイムが形成される。

## 【0026】

制御装置30は、電圧検出部31、制御演算部32、制御パルス出力部33、を含む。制御装置30は、電圧検出部31で検出した電圧に基づいて第1スイッチQ 1 及び第2スイッチQ 2 を制御することにより、同期整流回路20の出力が安定するようフィードバック制御する。また制御装置30は、アイソレータ42を介して一次側ドライバ41を制御する。

40

## 【0027】

電圧検出部31は、例えば公知のA/D変換器であり、入力したアナログ信号をデジタル信号に変換する。電圧検出部31は、抵抗R 1 及び抵抗R 2 からなる分圧抵抗を介して出力V o u t の電圧を検出すると共に、抵抗R 3 及び抵抗R 4 からなる分圧抵抗を介してリモートセンス端子SENSEの電圧(以下、センス電圧V s e n s e と言う。)を検出する。そして電圧検出部31は、出力V o u t の電圧とセンス電圧V s e n s e とをデジタル信号に変換して制御演算部32に出力する。

## 【0028】

制御演算部32は、例えば公知のDSP(digital signal processor)であり、電圧検出

50

部 3 1 が検出した上記の 2 つの電圧に基づいて電源回路 1 を制御する。具体的には制御演算部 3 2 は、D S P で実行されるソフトウェア上に実装された P I D 制御の制御式に基づいて、入力値を目標値に収束させるフィードバック制御の信号処理を行う。ここで制御演算部 3 2 は、センス電圧  $V_{sense}$  を入力値とし、電源回路 1 の出力として設定された定格電圧を目標値として、これらの電圧の差に基づいて P W M 信号の生成に必要な情報を演算し、同期整流回路 2 0 へ出力する。また制御演算部 3 2 は、アイソレータ 4 2 を介して一次側ドライバ 4 1 を制御する。さらに制御演算部 3 2 は、電圧検出部 3 1 を介して出力  $V_{out}$  を検出することにより同期整流回路 2 0 の出力を監視する。

【 0 0 2 9 】

制御パルス出力部 3 3 は、第 1 スイッチ Q 1 及び第 2 スイッチ Q 2 を駆動するためのゲートドライバである。そして制御パルス出力部 3 3 は、制御演算部 3 2 が出力する情報に基づいて 2 つの P W M 信号を生成し、第 1 スイッチ Q 1 及び第 2 スイッチ Q 2 のゲートへそれぞれ出力する。

10

【 0 0 3 0 】

アイソレータ 4 2 は、二次側に設けられた制御装置 3 0 と一次側に設けられた一次側ドライバ 4 1 との接続を直流的に絶縁する。

【 0 0 3 1 】

次に電源回路 1 の起動時における動作について説明する。

図 2 は、起動時における制御演算部 3 2 の制御を示すフローチャートである。

20

【 0 0 3 2 】

制御演算部 3 2 は、電源回路 1 の起動時において、図 2 に示すフローチャートに従って以下に説明する同期整流の開始モードを選択する。

【 0 0 3 3 】

まず制御演算部 3 2 は、電源回路 1 の起動時において同期整流を始める前に、まずセンス電圧  $V_{sense}$  を取得する (ステップ S 1)。

【 0 0 3 4 】

次に制御演算部 3 2 は、ステップ S 1 において取得したセンス電圧  $V_{sense}$  が予め設定した第 1 閾値  $V_{th1}$  未満であるかどうかを判定する (ステップ S 2)。ここで第 1 閾値  $V_{th1}$  は、標準のオンデューティで電源回路 1 を起動した場合に、負荷のコンデンサに残った電荷が同期整流回路 2 0 に逆流することによって第 1 スイッチ Q 1 又は第 2 スイッチ Q 2 が耐圧を超過するかどうかを判定するために予め設定される閾値である。つまり制御演算部 3 2 は、ステップ S 2 において、標準のオンデューティのまま同期整流を開始しても第 1 スイッチ Q 1 及び第 2 スイッチ Q 2 が故障する虞がないかどうかを判定する。

30

【 0 0 3 5 】

制御演算部 3 2 は、センス電圧  $V_{sense}$  が第 1 閾値  $V_{th1}$  未満である場合には (ステップ S 2 で Y e s)、開始モードとして標準のオンデューティで同期整流を開始する通常起動モードを選択する (ステップ S 3)。

【 0 0 3 6 】

制御演算部 3 2 は、センス電圧  $V_{sense}$  が第 1 閾値  $V_{th1}$  以上である場合には (ステップ S 2 で N o)、引き続きセンス電圧  $V_{sense}$  が第 2 閾値  $V_{th2}$  未満であるかどうかを判定する (ステップ S 4)。ここで第 2 閾値  $V_{th2}$  は、後述するオンデューティ短縮モードで電源回路 1 を起動した場合に、パルス幅が急激に変化するように制御されることによって第 1 スイッチ Q 1 及び第 2 スイッチ Q 2 が故障する虞がないかどうかを判定するために予め設定される閾値である。つまり制御演算部 3 2 は、ステップ S 4 において、後述するオンデューティ短縮モードで同期整流を開始しても第 1 スイッチ Q 1 及び第 2 スイッチ Q 2 が故障しないかどうかを判定する。

40

【 0 0 3 7 】

制御演算部 3 2 は、センス電圧  $V_{sense}$  が第 1 閾値  $V_{th1}$  以上で第 2 閾値  $V_{th2}$  未満である場合には (ステップ S 4 で Y e s)、開始モードとしてオンデューティを短

50

縮して同期整流を開始するオンデューティ短縮モードを選択する（ステップS5）。オンデューティ短縮モードでは、制御演算部32は、負荷に残った電荷が同期整流回路20に逆流することによって第1スイッチQ1又は第2スイッチQ2が耐圧を超過しないように、例えばセンス電圧V<sub>sense</sub>に応じてデューティ比を決定することで、PWM信号のオンデューティを短縮する。

【0038】

制御演算部32は、センス電圧V<sub>sense</sub>が第2閾値V<sub>th2</sub>以上である場合には（ステップS4でNo）、開始モードとしてPID定数変更モードを選択する（ステップS6）。ここでPID定数変更モードとは、オンデューティ短縮モードと同様にPWM信号のオンデューティを短縮すると共に、さらにPID制御の目標電圧に対して入力電圧がよりなだらかに追従するようにPID定数を変更する開始モードである。オンデューティが短縮されたPWM信号は、PID定数が上記のように変更されることで、パルス幅が急激に変化しないように制御される。それによって第1スイッチQ1及び第2スイッチQ2は、耐圧を超過する虞が低減されることになる。

10

【0039】

このように制御演算部32は、電源回路1の起動時において、通常起動モード、オンデューティ短縮モード、PID定数変更モードのいずれかを同期整流の開始モードとして選択する。

【0040】

つづいて電源回路1の起動時における出力電圧及びPWM信号について説明する。ここでは電源回路1の停止から再起動までの期間が短く、負荷の電荷がほとんど放電されずに残っている状態であることによって、再起動時にオンデューティ短縮モードが選択される場合、さらにPID定数変更モードが選択される場合のそれぞれについて説明する。

20

【0041】

図3は、電源回路1の出力電圧及びPWM信号を示すタイミングチャートである。図3においてタイミングt1は、電源回路1を停止したタイミングを表し、タイミングt2は、電源回路1を再起動したタイミングを表す。

【0042】

電源回路1は、入力側から入力V<sub>in</sub>の直流電力が入力されている期間に動作する。すなわち図3において電源回路1は、タイミングt1以前の期間及びタイミングt2以降の期間において動作する。

30

【0043】

制御パルス出力部33は、タイミングt1において入力V<sub>in</sub>が停止するまでは、第1スイッチQ1及び第2スイッチQ2の各ゲートに対して標準のオンデューティのPWM信号を出力する。このとき同期整流回路20は、交互にON/OFFする第1スイッチQ1及び第2スイッチQ2の動作によって電源回路1の出力V<sub>out</sub>を安定的に出力する。

【0044】

タイミングt1において入力V<sub>in</sub>が停止すると、電源回路1の制御装置30が停止することによって、第1スイッチQ1及び第2スイッチQ2に出力されるPWM信号が停止する（タイミングt1～タイミングt2）。このとき電源回路1の出力V<sub>out</sub>の電圧は、同期整流回路20から電力が出力されないものの、負荷に残った電荷によって維持されている。

40

【0045】

タイミングt2において再び入力V<sub>in</sub>が入力されると、電源回路1が再起動する。このとき制御パルス出力部33は、前述したようにセンス電圧V<sub>sense</sub>が第1閾値V<sub>th1</sub>以上で第2閾値V<sub>th2</sub>未満である場合には、オンデューティ短縮モードを選択する。オンデューティ短縮モードにおいては、オンデューティが短縮される。

【0046】

電源回路1が再起動したタイミングt2の直後は、同期整流回路20が出力する電圧が負荷の電圧よりも低いため、負荷のコンデンサに残った電荷が同期整流回路20へ逆流す

50

ることがある。すなわち負荷の電荷は、駆動が再開されることで交互にONになる第1スイッチQ1及び第2スイッチQ2を介して、二次側グランドGND2へ放電される。しかし第1スイッチQ1及び第2スイッチQ2は、オンデューティが短縮されたPWM信号で駆動されるため、ドレインソース間に電流が流れる時間も短縮されることになる。それによって第1スイッチQ1及び第2スイッチQ2は、ドレインソース間を瞬間的に流れる電荷が抑制され、耐圧を超過する虞を低減することができる。

#### 【0047】

また制御パルス出力部33は、前述したようにセンス電圧V<sub>sense</sub>が第2閾値V<sub>th2</sub>以上である場合には、PID定数変更モードを選択する。PID定数変更モードにおいては、オンデューティが短縮されるとともに、さらにPID定数が変更されたPWM信号が第1スイッチQ1及び第2スイッチQ2の各ゲートに対して出力される。このときオンデューティが短縮されたPWM信号は、PID制御の目標電圧に対して入力電圧がよりなだらかに追従するようにPID定数が変更されることにより、パルス幅が急激に変化するよう制御される虞が低減される。それによって第1スイッチQ1及び第2スイッチQ2は、電源回路1の起動時において故障する虞をより低減することができる。

10

#### 【0048】

タイミングt2において電源回路1が再起動したとき、上記のように第1スイッチQ1及び第2スイッチQ2のON時間が短縮されるため、負荷の電荷は、ほとんど放電されない。そのため出力V<sub>out</sub>の電圧は、タイミングt2においてほとんど低下しないことになる。また出力V<sub>out</sub>の電圧は、同期整流回路20が出力する電圧が上昇することで定格電圧に向けて回復する。このとき制御演算部32は、電圧検出部31を介して出力V<sub>out</sub>を検出することにより、出力V<sub>out</sub>が定格電圧に回復するタイミングt3を検出することができる。そして制御演算部32は、出力V<sub>out</sub>が定格電圧に回復したことを条件として、PWM信号のオンデューティ及びPID制御の定数を標準の状態に戻し、出力V<sub>out</sub>を定格電圧に安定させるための最適な条件において同期整流を継続する。

20

#### 【0049】

つづいて本発明の効果について図4及び図5を参照しながら説明する。

#### 【0050】

図4は、従来電源回路1の出力波形である。より具体的には、図4に示す2つの波形は、電源回路1に接続した負荷に電荷が残っている状態において、標準のオンデューティのPWM信号で同期整流を開始した場合の、出力V<sub>out</sub>及び第1スイッチQ1のドレインソース間電圧V<sub>ds</sub>を示す。ここで第2スイッチQ2のドレインソース間電圧V<sub>ds</sub>は、第1スイッチQ1のドレインソース間電圧V<sub>ds</sub>とほぼ同一であるため、図示を省略している。

30

#### 【0051】

電源回路1が停止している間は、第1スイッチQ1の動作も停止しているため、第1スイッチQ1のドレインソース間電圧V<sub>ds</sub>が略ゼロVである。しかしこの状態において出力V<sub>out</sub>は、電源回路1に接続された負荷に残っている電荷により、ある程度の大きさの電圧を示すことになる。そして従来電源回路1の出力V<sub>out</sub>は、起動時において標準のオンデューティのPWM信号で同期整流を開始することにより、本実施例の定格電圧である12Vに向けて回復していく。一方、第1スイッチQ1のドレインソース間電圧V<sub>ds</sub>は、起動時に電圧が急激に増大し、本実施例の第1スイッチQ1の耐圧である120Vを超過している。このため従来電源回路1は、その起動時において第1スイッチQ1及び第2スイッチQ2が破損する虞がある。

40

#### 【0052】

図5は、本発明に係る電源回路1の出力波形である。より具体的には、図5に示す2つの波形は、電源回路1に接続した負荷に電荷が残っている状態において、オンデューティを短縮しPID制御の定数を変更したPWM信号で同期整流を開始した場合の、出力V<sub>out</sub>及び第1スイッチQ1のドレインソース間電圧V<sub>ds</sub>を示す。ここで第2スイッチQ2のドレインソース間電圧V<sub>ds</sub>は、第1スイッチQ1のドレインソース間電圧V

50

$v_{ds}$  とほぼ同一であるため、図示を省略している。

【0053】

電源回路1が停止している間は、第1スイッチQ1の動作も停止しているため、第1スイッチQ1のドレインソース間電圧 $V_{ds}$ が略ゼロVである。しかしこの状態において出力 $V_{out}$ は、電源回路1に接続された負荷に残っている電荷により、ある程度の大きさの電圧を示すことになる。そして本発明に係る電源回路1の出力 $V_{out}$ は、起動時においてオンデューティを短縮してPID制御の定数を変更することにより、本実施例の定格電圧である12Vに向けて回復していく。一方、第1スイッチQ1のドレインソース間電圧 $V_{ds}$ は、起動時における電圧の過剰な増大が抑制され、本実施例の第1スイッチQ1の耐圧である120Vを超過しない電圧に収まっている。このため本発明に係る電源回路1は、その起動時において第1スイッチQ1及び第2スイッチQ2が破損する虞を低減することができる。

10

【0054】

上記説明したように本発明に係る電源回路1は、負荷の電圧をリモートセンシングによってフィードバックすることにより、起動時における負荷の電圧の状態を判定し、その判定に基づいて同期整流の開始モードを選択する。それによって本発明に係る電源回路1は、第1スイッチQ1及び第2スイッチQ2が耐圧を超過する虞がある場合には、PWM信号のオンデューティを短縮し、又はさらにPID制御の定数を変更することによって、起動時に故障する虞を低減することができる。また本発明に係る電源回路1は、第1スイッチQ1及び第2スイッチQ2が耐圧を超過する虞がない場合には、標準のオンデューティで同期整流を開始することにより、ダイオード整流よりも変換効率の高い同期整流によって出力 $V_{out}$ を出力することができる。したがって本発明によれば、高効率かつ起動時に故障する虞が少ない電源回路1を提供することができる。

20

【0055】

以上で実施形態の説明を終えるが、本発明は上記の実施形態に限定されるものではない。例えば上記実施例では、PWM信号について、電源回路1の起動時にオンデューティを短縮し、出力 $V_{out}$ が定格電圧に回復したときに標準のオンデューティに戻す制御を例示した。これに対しその他の実施形態として、第1スイッチQ1及び第2スイッチQ2が耐圧を超過しない範囲において、PWM信号のオンデューティを徐々に広げるソフトスタートにより起動してもよい。

30

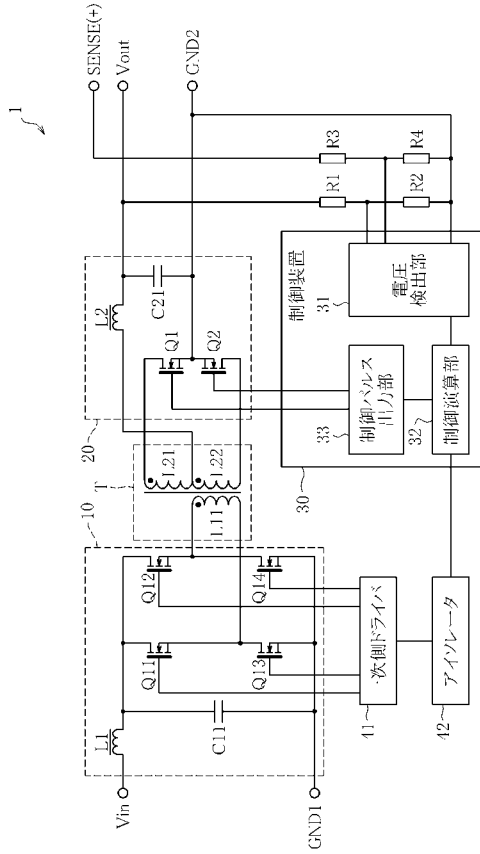
【符号の説明】

【0056】

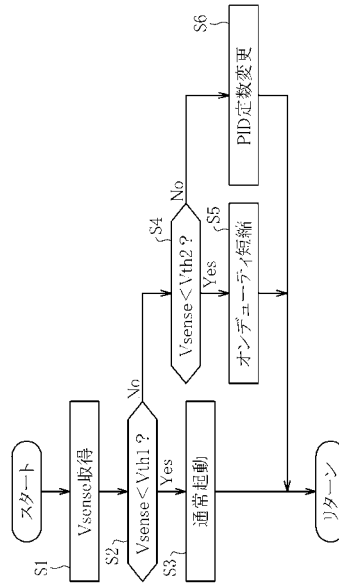
- 1 電源回路
- 10 インバータ回路
- 20 同期整流回路
- 30 制御装置
- 31 電圧検出部
- 32 制御演算部
- 33 制御パルス出力部
- 41 一次側ドライバ
- 42 アイソレータ
- T 絶縁トランス
- C11、C21 コンデンサ
- L1、L2 コイル
- Q11～Q14 電界効果トランジスタ
- Q1 第1スイッチ
- Q2 第2スイッチ
- R1～R4 抵抗

40

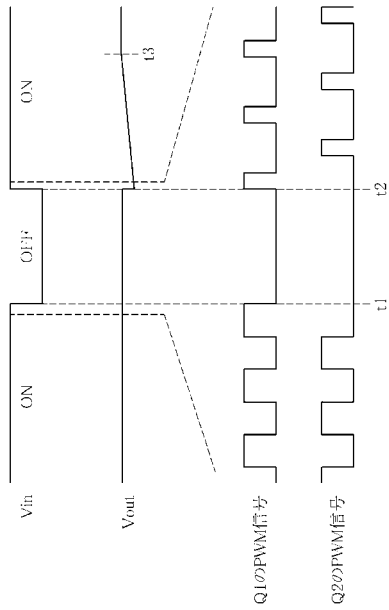
【図1】



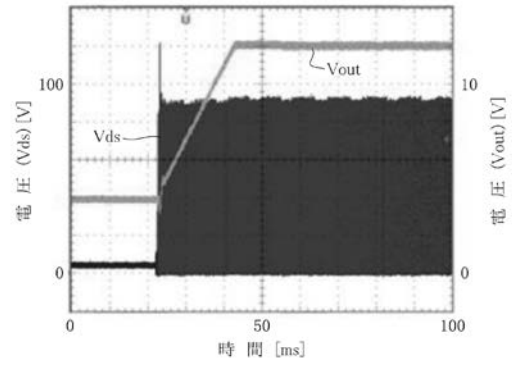
【図2】



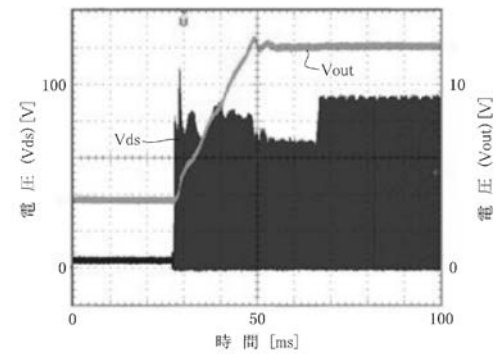
【図3】



【図4】



【図5】



---

フロントページの続き

Fターム(参考) 5H730 AA14 AA20 AS01 BB27 BB57 DD04 DD32 EE03 EE07 EE59  
FD01 FF06 FF17 FG05 FG12 FG22 XC06 XC16 XX03 XX15