(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3618999号
(P3618999)
(45)発行日　平成17年2月9日(2005.2.9)　(24)登録日　平成16年11月19日(2004.11.19)

(51)Int.Cl.[7]　F I
H04N 1/028　H04N 1/028 Z

請求項の数 8　(全 14 頁)

(21)出願番号　特願平10-18812
(22)出願日　平成10年1月30日(1998.1.30)
(65)公開番号　特開平11-220570
(43)公開日　平成11年8月10日(1999.8.10)
審査請求日　平成13年12月5日(2001.12.5)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100065385
弁理士　山下　穣平
(72)発明者　乾　文洋
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　桜木　孝正
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　小塚　開
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

最終頁に続く

(54)【発明の名称】イメージセンサ及びその駆動方法

(57)【特許請求の範囲】
【請求項１】
複数個の受光要素を有するイメージセンサチップを複数個配列してなるイメージセンサにおいて、
各々の前記イメージセンサチップは、
動作状態において前記イメージセンサチップ内で発生した信号に含まれるノイズを低減せしめ、ノイズを低減した該出力信号を出力し、非動作状態において前記受光要素からの出力信号を未処理で出力するノイズ低減回路と、
前記ノイズ低減回路の前記動作状態及び非動作状態を制御する第１の制御回路と、
前記ノイズ低減回路を介して出力される出力信号を基準電位にクランプするクランプ回路と、
前記クランプ回路の動作状態及び非動作状態を制御する第２の制御回路とを有し、
前記ノイズは、前記受光要素と前記クランプ回路の間で発生したものであり、複数の前記イメージセンサチップの一つである第１のイメージセンサチップに含まれる前記複数個の受光要素からの信号を読み出している期間中に、複数個の前記イメージセンサチップの一つであり、前記第１のイメージセンサチップの次に複数の受光要素から信号が読み出される第２のイメージセンサチップに含まれる前記ノイズ低減回路を動作状態にし、前記第２のイメージセンサチップ内で発生した信号を前記ノイズ低減回路に入力することを特徴とするイメージセンサ。
【請求項２】

前記複数個の受光要素からの出力信号を順次選択して前記ノイズ低減回路に入力させる選択回路を有することを特徴とする請求項１に記載のイメージセンサ。
【請求項３】
前記ノイズ低減回路が信号の周波数帯域を制限する手段を有することを特徴とする請求項１又は２に記載のイメージセンサ。
【請求項４】
前記ノイズ低減回路が信号を複数回サンプリングするサンプリング手段と、
前記サンプリング手段におけるサンプリング値の平均値を出力する平均化手段と、
を有することを特徴とする請求項１乃至３のいずれか１項に記載のイメージセンサ。
【請求項５】
複数個の受光要素を有するイメージセンサチップを複数個配列してなるイメージセンサチップの駆動方法において、
各々の前記イメージセンサチップは、
動作状態において前記イメージセンサチップ内で発生した信号に含まれるノイズを低減せしめ、ノイズを低減した該出力信号を出力し、非動作状態において前記受光要素からの出力信号を未処理で出力するノイズ低減回路と、
前記ノイズ低減回路の動作状態及び非動作状態を制御する第１の制御回路と、
前記ノイズ低減回路を介して出力される出力信号を基準電位にクランプするクランプ回路と、
前記クランプ回路の動作状態及び非動作状態を制御する第２の制御回路とを有し、
前記ノイズは、前記受光要素と前記クランプ回路の間で発生したものであり、複数の前記イメージセンサチップの一つである第１のイメージセンサチップに含まれる前記複数個の受光要素からの信号を読み出している期間中に、複数個の前記イメージセンサチップの一つであり、前記第１のイメージセンサチップの次に複数の受光要素から信号が読み出される第２のイメージセンサチップに含まれる前記ノイズ低減回路を動作状態にし、前記第２のイメージセンサチップ内で発生した信号を前記ノイズ低減回路に入力することを特徴とするイメージセンサの駆動方法。
【請求項６】
前記複数個の受光要素からの出力信号を順次選択して前記ノイズ低減回路に入力させる選択回路を有することを特徴とする請求項５に記載のイメージセンサの駆動方法。
【請求項７】
前記ノイズ低減回路が信号の周波数帯域を制限する手段を有することを特徴とする請求項５又は６に記載のイメージセンサの駆動方法。
【請求項８】
前記ノイズ低減回路が信号を複数回サンプリングするサンプリング手段と、
前記サンプリング手段におけるサンプリング値の平均値を出力する平均化手段と、
を有することを特徴とする請求項５乃至７のいずれか１項に記載のイメージセンサの駆動方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、イメージセンサチップ及びそれを用いたイメージセンサ及びそれらの駆動方法に関し、特に光電変換によりイメージ読み取りを行うイメージセンサチップと、該イメージセンサチップを複数個配列したイメージセンサ、及びそれに用いられるイメージセンサチップの駆動方法と、イメージセンサの駆動方法に関するものである。
【０００２】
【従来の技術】
従来、フォトダイオード等の受光素子である受光要素を線（ライン）上に配列して、原稿等の画像情報を直接読み取るイメージセンサ（リニアイメージセンサ）は、ファクシミリや、デジタル複写機、スキャナ等の画像読取装置に多く利用されている。該イメージセン

サに複数個直列に用いるイメージセンサチップは、シリコンウェハから作られる為に、センサ長はウェハサイズにより制限を受け、読み取り原稿幅と同一の長さのイメージセンサチップを作ることは容易ではない。この為、従来は結像光学系を用い読み取り原稿を縮小結像させて、原稿の保持する画像を読み取っていた。しかし、このような縮小結像光学系を利用するものは、光学系の配置の為のスペースが必要になるので、小型化が困難であり、また解像度を十分なものにすることが困難である。

【０００３】

そこで、イメージセンサチップを複数個直線状に配列した、いわゆるイメージセンサが用いられるようになっている。従来の前記イメージセンサとして、これまでに特開平２－２１０９４７号公報、特開平２－２１０９４８号公報、特開平２－２１０９４９号公報、特開平２－２１０９５０号公報、及び１９９２年9月２５日テレビジョン学会技術報告Ｖｏｌ．１６，Ｎｏ．５８に発表の論文「高速・高階調密着型リニアセンサー（ＢＡＳＩＳ型）マルチチップコンタクトセンサー」などで報告されている。

【０００４】

図７は従来の前記イメージセンサの１例を示す概略構成図である。

【０００５】

図において、１－１乃至１－ｍはイメージセンサチップであり、該チップにはｘ方向に１列に配置されたｎ個の受光要素２－１－１～２－１－ｎが形成されている。また、チップ１－１には、各受光要素２－１－１～２－１－ｎの出力を順次選択する、つまり該受光要素による光信号の読み出し動作を行う選択回路３－１が形成されている。また、前記チップ１－１には前記受光要素の読み出し動作のスタート信号を遅延させる遅延回路１１－１が形成されている。また、前記チップ１－１には前記スタート信号が入力されてから前記選択回路３－１が前記受光要素２－１－１～２－１－ｎによる光信号の読み出し動作をスタートするまでの期間において、該選択回路３－１の出力信号線を基準電位Ｖｒｅｆ　にクランプするクランプ回路４－１が形成されている。また、前記スタート信号により動作状態とされ、前記クランプ回路４－１の出力を増幅する増幅回路１２－１が形成され、該増幅回路の出力は出力信号線５－１からチップ外へと出力される。

【０００６】

前記遅延回路１１－１は入力信号線８－１を介して外部駆動回路により駆動される。

【０００７】

前記クランプ回路４－１に対し、動作状態及び非動作状態の切替制御信号を出力する制御回路６－１は、入力信号線８－１を介して外部駆動回路により駆動される。

【０００８】

前記増幅回路１２－１に対し、動作状態及び非動作状態の切替制御信号を出力する制御回路１３－１は、入力信号線８－１を介して外部駆動回路により駆動される。

【０００９】

前記基準電圧Ｖｒｅｆ　は基準電圧入力線１０－１を介して外部バイアス回路によって供給される。

【００１０】

基準電圧入力線１０－１～１０－ｍはチップ外にて短絡接続されており、各チップに共通の基準電圧Ｖｒｅｆ　が供給される。

【００１１】

イメージセンサチップ１－２～１－ｍは前記イメージセンサチップ１－１と同様の構成を有するチップであり、対応する部分には対応する同様な符号が付されている。

【００１２】

イメージセンサチップ１－１から１－ｍは、ｘ方向に１列に配列されており、従って、（ｎｘｍ）個の全受光要素がｘ方向に１列に配列されて、イメージセンサを構成している。そして、画像読み取りの際には、読み取り画像を保持している原稿を１ラインずつ受光要素に対応させつつ、イメージセンサに対して相対的にｙ方向に搬送する。

【００１３】

イメージセンサチップ１－１の全受光要素からの出力が選択回路３－１により順次選択され、クランプ回路４－１と増幅回路１２－１を介して、出力信号線５－１から外部へと出力され、次いでチップ１－２の全受光要素からの出力が選択回路３－２により順次選択され、同様に出力信号線５－２から外部へと出力され、以下同様にして全受光要素の出力が時系列的に出力される。

【００１４】

【発明が解決しようとする課題】

しかして、以上のような従来のイメージセンサチップを複数個直線状に配列した、いわゆるイメージセンサにおいては、各チップにおいて受光要素からクランプ回路の間でランダムノイズを発生し、直線状に配列したイメージセンサチップ毎にクランプレベルが変動することによって画像上の濃淡として現れてくるなどの問題点があった。

【００１５】

そこで本発明は前記従来技術に鑑み、イメージセンサを構成するイメージセンサチップのランダムノイズを低減させ、直線状に配列したイメージセンサチップ毎にクランプレベルが変動することによって発生する画像上の濃淡を低減したイメージセンサ及び該イメージセンサを構成するイメージセンサチップを提供することを目的とする。

【００１６】

【課題を解決するための手段】

本発明によれば、上記の目的は、複数個の受光要素を有するイメージセンサチップを複数個配列してなるイメージセンサにおいて、各々の前記イメージセンサチップは、
動作状態において前記イメージセンサチップ内で発生した信号に含まれるノイズを低減せしめ、ノイズを低減した該出力信号を出力し、非動作状態において前記受光要素からの出力信号を未処理で出力するノイズ低減回路と、前記ノイズ低減回路の前記動作状態及び非動作状態を制御する第１の制御回路と、前記ノイズ低減回路を介して出力される出力信号を基準電位にクランプするクランプ回路と、前記クランプ回路の動作状態及び非動作状態を制御する第２の制御回路とを有し、前記ノイズは、前記受光要素と前記クランプ回路の間で発生したものであり、複数の前記イメージセンサチップの一つである第１のイメージセンサチップに含まれる前記複数個の受光要素からの信号を読み出している期間中に、複数個の前記イメージセンサチップの一つであり、前記第１のイメージセンサチップの次に複数の受光要素から信号が読み出される第２のイメージセンサチップに含まれる前記ノイズ低減回路を動作状態にし、前記第２のイメージセンサチップ内で発生した信号を前記ノイズ低減回路に入力することを特徴とするイメージセンサにより達成される。

【００１７】

本発明イメージセンサにおいては、前記複数個の受光要素からの出力信号を順次選択して前記ノイズ低減回路に入力させる選択回路を有するものとすることができる。

【００１８】

また、本発明イメージセンサにおいては、前記ノイズ低減回路が信号の周波数帯域を制限する手段を有するものとすることができる。

【００１９】

また、本発明イメージセンサにおいては、前記ノイズ低減回路が信号を複数回サンプリングするサンプリング手段と、前記サンプリング手段におけるサンプリング値の平均値を出力する平均化手段と、を有するものとすることができる。

【００２０】

［作用］

各イメージセンサチップに内蔵される受光要素の出力信号を基準電位にクランプするクランプ回路の動作期間において、受光要素からの出力信号に含まれるランダムノイズを低減せしめるノイズ低減回路を動作させることにより、直線状に配列したイメージセンサチップ毎にクランプレベルが変動することによって発生する画像上の濃淡を低減させることができる。

【００２１】

【発明の実施の形態】
以下、本発明の具体的な実施形態について、図面を参照しながら説明する。
【００２２】
［実施形態１］
図１は本発明のイメージセンサの第１の実施形態を示す概略構成図である。図において、１－１はイメージセンサチップであり、該チップにはｘ方向に１列に配置されたｎ個のフォトダイオードやフォトトランジスタ等の光電変換素子である受光要素２－１－１～２－１－ｎが形成されている。また、前記チップ１－１には各受光要素２－１－１～２－１－ｎの出力を順次時系列的に選択する、つまり該受光要素による光信号の読み出し動作を行う選択回路３－１が形成されている。この各受光要素から選択回路に至る経路には、受光要素で検出された光電荷を転送する転送スイッチと、転送された光電荷を電荷／電圧変換して選択回路に出力するソースフォロワ型増幅回路と、該増幅回路をアクティブにして選択出力する選択スイッチ等とを有していてもよく、各受光要素の光電荷に応じた信号電圧を選択回路３－１に出力する。また、選択回路３－１には、一時的に信号電圧を蓄積するキャパシタを用いて、不図示のシフトレジスタにより信号出力線に出力する走査スイッチによって、時系列的な信号電圧を得ることができる。
【００２３】
また、イメージセンサチップ１－１には前記受光要素の読み出し動作のスタート信号を遅延させる遅延回路１１－１が形成されている。このスタート信号から遅延する遅延時間は、ノイズを低減してクランプするレベルを検出するまでの時間である。また、前記チップ１－１には前記スタート信号が入力されてから前記選択回路３－１が前記受光要素による光信号の読み出し動作をスタートするまでの期間において、前記選択回路３－１の出力信号線に含まれるランダムノイズを低減せしめるノイズ低減回路７－１が形成されている。また、前記ノイズ低減回路７－１の動作期間内において、前記ノイズ低減回路７－１に接続される出力用の出力信号線の信号電圧を、チップ外より供給される基準電位Ｖｒｅｆにクランプするクランプ回路４－１が形成されている。
【００２４】
また、前記スタート信号により動作状態とされ、前記クランプ回路４－１の出力を増幅する増幅回路１２－１が形成され、該増幅回路の出力は出力信号線５－１からチップ外へと出力される。
【００２５】
前記遅延回路１１－１は入力信号線８－１を介して外部駆動回路により駆動される。また、ノイズ低減回路７－１に対し、動作状態及び非動作状態の切替制御信号を出力する制御回路９－１は、入力信号線８－１を介して外部駆動回路により駆動される。
【００２６】
また、クランプ回路４－１に対し、動作状態及び非動作状態の切替制御信号を出力する制御回路６－１は、入力信号線８－１を介して外部駆動回路により駆動される。また、増幅回路１２－１に対し、動作状態及び非動作状態の切替制御信号を出力する制御回路１３－１は入力信号線８－１を介して外部駆動回路により駆動される。
【００２７】
前記基準電圧Ｖｒｅｆ　は基準電圧入力線１０－１を介して外部バイアス回路によって供給される。基準電圧Ｖｒｅｆが供給される基準電圧入力線１０－１～１０－ｍはチップ外にて短絡されており、各チップに共通の基準電圧Ｖｒｅｆ　が供給される。
【００２８】
また、イメージセンサチップ１－２～１－ｍは前記イメージセンサチップ１－１と同様の構成を有するチップであり、対応する部分には対応する符号が付されている。
【００２９】
イメージセンサチップ１－１から１－ｍは、ｘ方向に１列に配列されており、従って、（ｎｘｍ）個の全受光要素がｘ方向に１列に配列されていることになる。そして、画像読み取りの際には読み取り画像を保持している原稿を１ラインずつ受光要素に対応させつつ、

イメージセンサに対して相対的にｙ方向に搬送する。例えば、１ラインをＡ４サイズの横幅２１０ｍｍとし、画像読み取り解像度を６００ドット／インチ、チップ数を１５個とすると、１受光要素は４２．３μｍの幅内にあり、１チップ幅１４ｍｍには約３３３個の受光要素を有していることになる。

【００３０】

イメージセンサチップ１－１の全受光要素からの出力が、選択回路３－１により順次１受光要素毎に１個ずつ選択され、出力信号線５－１から外部へと出力され、次いで次のチップのチップ１－２の全受光要素からの出力が、選択回路３－２により順次１受光要素毎に１個ずつ選択され、出力信号線５－２から外部へと出力され、以下同様にして１列の全受光要素の出力が時系列的に出力される。

【００３１】

図２は本実施形態の動作の１例を説明する為のタイミング図である。図において、φ８－１は入力信号線８－１のスタート信号を示し、φ１－１は前記イメージセンサチップ１－１における遅延回路１１－１の出力制御信号を示し、φ２－１は前記イメージセンサチップ１－１における第１の制御回路９－１の出力制御信号を示し、φ３－１は前記イメージセンサチップ１－１における第２の制御回路６－１の出力制御信号を示し、φ４－１は前記イメージセンサチップ１－１における第３の制御回路１３－１の出力制御信号を示し、Ｖｏｕｔ１は前記イメージセンサチップ１－１のノイズ低減回路７－１の出力を示す。

【００３２】

出力制御信号φ１－１は入力信号線８－１により駆動される遅延回路１１－１により生成され、即ち前記スタート信号が入力されてから所定の期間遅延されて、φ１－１の出力があり、この期間内だけ前記受光要素による光信号の読み出し動作が行われる。

【００３３】

同様に、第１の制御回路９－１の出力制御信号φ２－１は入力信号線８－１のスタート信号に同期しており、即ちスタート信号が入力されてから前記選択回路３－１が前記受光要素による光信号の読み出し動作をスタートするまでの期間内の特定期間だけ、φ２－１の出力があり、この期間内だけノイズ低減回路７－１が動作状態とされ、例えば高域ノイズを除去するノイズフィルター等でノイズを低減された出力Ｖｏｕｔ１がある。

【００３４】

同様に、第２の制御回路６－１の出力制御信号φ３－１は入力信号線８－１のスタート信号に同期して又は若干遅れて同期しており、即ちノイズ低減回路７－１の動作期間内における特定期間だけφ３－１の出力があり、この期間内だけクランプ回路４－１が動作状態とされ、ノイズを低減された出力Ｖｏｕｔ１が、基準電位Ｖｒｅｆ　にクランプされる。出力Ｖｏｕｔ１が基準電位Ｖｒｅｆにクランプされると、基準電位Ｖｒｅｆに出力Ｖｏｕｔ１が加わった電圧に基づいて当該チップの受光要素の受光電圧が読み出される。

【００３５】

同様に、第３の制御回路１３－１の出力制御信号φ４－１は、入力信号線８－１のスタート信号に同期しており、即ち前記スタート信号が入力されると同時に増幅回路１２－１が動作状態とされる。

【００３６】

図２に示される様に、前記φ３－１の期間の終了時点は前記φ２－１の期間の終了時点と同時、もしくはそれ以前である。

【００３７】

以下、同様にして、イメージセンサチップ１－２～１－ｍにおける第１の制御回路９－２～９－ｍの出力制御信号φ２－２～２－ｍ及び第２の制御回路６－２～６－ｍの出力制御信号φ３－２～３－ｍが入力線８－２～８－ｍのスタート信号に同期して出力され、ノイズ低減回路７－２～７－ｍの動作期間内においてクランプ回路４－２～４－ｍが動作状態とされ、ノイズを低減された出力Ｖｏｕｔ１～Ｖｏｕｔｍが基準電位Ｖｒｅｆ　にクランプされる。

【００３８】

また、当該ノイズ低減回路の動作とクランプ電圧を検出する時間は、前のイメージセンサチップの最後の受光要素を読み終わる前に済ませておき、前のチップの最後の受光要素の読み出しに続いて、次のイメージセンサチップの最初の受光要素を当該チップのクランプ電圧でクランプして読み出すので、一連の受光要素の読み出しタイミングに遅延は生じない。

【００３９】

以上の様にして、各イメージセンサチップにおいてスタート信号の入力から受光要素による光信号の読み出し動作がスタートするまでの特定期間においてノイズ低減回路を動作させ、ノイズを低減された出力信号をクランプ回路により基準電圧にクランプすることによって、受光要素からクランプ回路の間に含まれるランダムノイズによって、直線状に配列したイメージセンサチップ毎にクランプレベルが変動することを低減させ、チップごとの光量の濃淡の差を減少することができる。

【００４０】

［実施形態２］

図３は本発明のイメージセンサの第２の実施形態の、特にノイズ低減回路及びクランプ回路を示す回路ブロック図である。本例において第１の実施形態と異なるのが、第１の実施形態の点線枠Ａに囲まれたブロックである為、本図においては、第２の実施形態の該ブロックのみを図示している。

【００４１】

図において、ノイズ低減回路７－１は第１のアナログスイッチ回路ＳＷ１と抵抗Ｒ１と容量Ｃ１及び出力バッファ回路Ｂ１によるローパスフィルター回路１４－１及び第２及び３のアナログスイッチＳＷ１，ＳＷ２によって形成される。選択回路３－１から出力される各受光要素の時系列的な出力信号は、前記第２及び３のアナログスイッチによって該ノイズ低減回路内の伝達経路を制御される。つまり、第１及び２のアナログスイッチが導通状態（ＯＮ状態）であり、且つ第３のアナログスイッチが非導通状態（ＯＦＦ状態）においては選択回路３－１から出力される出力信号は、ローパスフィルター回路を伝達して前記ノイズ低減回路より出力される。一方、第１及び２のアナログスイッチが非導通状態（ＯＦＦ状態）であり、且つ第３のアナログスイッチが導通状態（ＯＮ状態）においては選択回路から出力される出力信号は第３のアナログスイッチを介して未処理で前記ノイズ低減回路より出力される。

【００４２】

また、クランプ回路４－１はカップリング容量Ｃ２及び第４のアナログスイッチ回路ＳＷ４及び出力バッファ回路Ｂ２によって形成される。前記ノイズ低減回路の出力信号はクランプ回路４－１のカップリング容量Ｃ２の一端（Ａ点）を介して他端（Ｂ点）より該出力信号のＡＣ成分のみを出力し、該Ｂ点と基準電位入力線１０－１との間に前記第４のアナログスイッチ回路を接続する。該第４のアナログスイッチが導通状態（ＯＮ状態）においてＢ点の電位は基準電位Ｖｒｅｆ　に短絡され、該第４のアナログスイッチが非導通状態（ＯＦＦ状態）においてＢ点は基準電位Ｖｒｅｆ　に対して開放される。つまり、Ｂ点の電位は第４のアナログスイッチをまずＯＮ状態とし、続いて第４のアナログスイッチをＯＦＦ状態とすることによって、Ｂ点を前記基準電位Ｖｒｅｆ　にクランプすることができる。

【００４３】

前記ノイズ低減回路７－１の第１、２及び３のアナログスイッチに対し、動作状態及び非動作状態の切替制御信号を出力する制御回路９－１は入力信号線８－１を介して外部駆動回路により駆動される。

【００４４】

前記クランプ回路４－１の第４のアナログスイッチに対し、動作状態及び非動作状態の切替制御信号を出力する制御回路６－１は入力信号線８－１を介して外部駆動回路により駆動される。

【００４５】

前記基準電圧Ｖｒｅｆ　は基準電圧入力線１０－１を介して外部バイアス回路によって供給される。

【００４６】

基準電圧入力線１０－１～１０－ｍはチップ外にて短絡接続されており、各チップに共通の基準電圧Ｖｒｅｆ　が供給される。

【００４７】

図４は前記第２の実施形態の動作の１例を説明する為のタイミング図である。図において、φ１－１は前記イメージセンサチップ１－１における第１の制御回路９－１の第１及び２のアナログスイッチの動作状態を制御する出力制御信号を示し、φ２－１は前記イメージセンサチップ１－１における第１の制御回路９－１の第３のアナログスイッチの動作状態を制御する出力制御信号を示し、φ３－１は前記センサチップ１－１における第２の制御回路６－１の第４のアナログスイッチを制御する出力制御信号を示し、Ｖｏｕｔ１は前記イメージセンサチップ１－１のノイズ低減回路７－１の出力を示す。

【００４８】

前記φ１－１、φ２－１は入力線８－１のスタート信号に同期しており、即ちチップ１－１の受光要素による光信号の読み出し動作を行う期間外の特定期間だけφ１－１、φ２－１の出力があり、第１及び２のアナログスイッチが導通状態（ＯＮ状態）であり、且つ第３のアナログスイッチが非導通状態（ＯＦＦ状態）とし、ノイズ低減回路７－１が動作状態とされ、ノイズを低減された出力Ｖｏｕｔ１がある。

【００４９】

同様に、前記φ３－１は入力線８－１のスタート信号に同期して又は若干遅れて同期しており、即ちノイズ低減回路７－１の動作期間内における特定期間だけφ３－１の出力があり、第４のアナログスイッチが導通状態（ＯＮ状態）であり、続いて前記アナログスイッチが非導通状態となるタイミングにおいてノイズを低減された出力Ｖｏｕｔ１が基準電位Ｖｒｅｆ　にクランプされる。

【００５０】

この様にして、ノイズ低減回路７－１に抵抗と容量によって形成されたローパスフィルター回路１４－１を用いることによって、選択回路３－１の出力信号に帯域制限がかけられ、ノイズを低減された出力信号をクランプ回路により基準電位にクランプすることによって、受光要素からクランプ回路の間に含まれるランダムノイズによって、直線状に配列したイメージセンサチップ毎にクランプレベルが変動することを低減させることができる。

【００５１】

本実施形態においても、当該ノイズ低減回路の動作とクランプ電圧を検出する時間は、前のイメージセンサチップの最後の受光要素を読み終わる前に済ませておき、前のチップの最後の受光要素の読み出しに続いて、次のイメージセンサチップの最初の受光要素を当該チップのクランプ電圧でクランプして読み出すので、一連の受光要素の読み出しタイミングに遅延は生じない。

【００５２】

［実施形態３］

図５は本発明のイメージセンサの第３の実施形態の特にノイズ低減回路及びクランプ回路を示すブロック図である。

【００５３】

本例において第１の実施形態と異なるのが、第１の実施形態の点線枠Ａに囲まれたブロックである為、本図においては第３の実施形態の該ブロックのみを図示している。

【００５４】

図において、ノイズ低減回路７－１は第１及び２のアナログスイッチ回路ＳＷ１，ＳＷ２と第１及び２の容量Ｃ１，Ｃ２と出力バッファ回路Ｂ１によって形成される平均化回路１５－１と、第３及び４のアナログスイッチ回路ＳＷ３，ＳＷ４によって形成される。平均化回路１５－１はまず、第１及び第２のアナログスイッチを同時期に導通状態（ＯＮ状態）とし、選択回路３－１から出力される出力信号を第１及び第２の容量に取り込み、続い

て第１及び第２のアナログスイッチを非導通状態（ＯＦＦ状態）とし、該出力信号の電位Ｖ１を第１及び第２の容量に保存する。次いで第１のアナログスイッチを導通状態（ＯＮ状態）とし、且つ第２のアナログスイッチを非導通状態（ＯＦＦ状態）とし再び選択回路から出力される出力信号を第１の容量に取り込み、続いて第１のアナログスイッチを非導通状態（ＯＦＦ状態）とし、該出力信号の電位Ｖ２を第１の容量に保存する。

【００５５】

次いで、第１のアナログスイッチを非導通状態（ＯＦＦ状態）とし、且つ第２のアナログスイッチを導通状態（ＯＮ状態）とすることによって第１の容量と第２の容量が短絡され、第１の容量に保存されている前記出力信号の電位Ｖ２と第２の容量に保存されている前記出力信号の電位Ｖ１が平均化される。続いて第２のアナログスイッチを非導通状態（ＯＦＦ状態）にすることによって前記出力信号の電位Ｖ１，Ｖ２の平均値が第１及び第２の容量に保存される。

【００５６】

以下同様にして、第１の容量に第１のアナログスイッチを非導通状態にするタイミングで前記出力信号の電位Ｖ３～Ｖｋを保存し、第２の容量の電位との平均値を取り込むことによって第２の容量にはそれまでに第１の容量に各タイミングで保存された電位の平均値が保存される。また、前記選択回路から出力される出力信号は第３及び４のアナログスイッチによって該ノイズ低減回路内の伝達経路を制御される。つまり、第３のアナログスイッチが導通状態（ＯＮ状態）であり、且つ第４のアナログスイッチが非導通状態（ＯＦＦ状態）においては前記選択回路から出力される出力信号は前記平均化回路を伝達してノイズ低減回路より出力される。

【００５７】

一方、第３のアナログスイッチが非導通状態（ＯＦＦ状態）であり、且つ第４のアナログスイッチが導通状態（ＯＮ状態）においては、前記選択回路から出力される出力信号は第４のアナログスイッチを介して未処理で前記ノイズ低減回路より出力される。また、クランプ回路４－１はカップリング容量Ｃ３及び第５のアナログスイッチ回路ＳＷ５及び出力バッファ回路Ｂ２によって形成される。前記ノイズ低減回路の出力信号は該クランプ回路のカップリング容量の一端（Ａ点）を介して他端（Ｂ点）より前記出力信号のＡＣ成分のみを出力し、該Ｂ点と基準電位入力線１０－１との間に第５のアナログスイッチ回路を接続する。第５のアナログスイッチが導通状態（ＯＮ状態）においてＢ点の電位は基準電位Ｖｒｅｆ　に短絡され、第５のアナログスイッチが非導通状態（ＯＦＦ状態）においてＢ点は基準電位Ｖｒｅｆ　に対して開放される。つまり、Ｂ点の電位は第５のアナログスイッチをまずＯＮ状態とし、続いて第５のアナログスイッチをＯＦＦ状態とすることによってＢ点を基準電位Ｖｒｅｆ　にクランプすることができる。

【００５８】

前記ノイズ低減回路７－１の第１、２、３及び４のアナログスイッチに対し、動作状態及び非動作状態の切替制御信号を出力する制御回路９－１は入力信号線８－１を介して外部駆動回路により駆動される。

【００５９】

前記クランプ回路４－１の第５のアナログスイッチに対し、動作状態及び非動作状態の切替制御信号を出力する制御回路６－１は入力信号線８－１を介して外部駆動回路により駆動される。

【００６０】

前記基準電圧Ｖｒｅｆ　は基準電圧入力線１０－１を介して外部バイアス回路によって供給される。

【００６１】

基準電圧入力線１０－１～１０－ｍはチップ外にて短絡されており、各チップに共通の基準電圧Ｖｒｅｆ　が供給される。

【００６２】

図６は前記第３の実施形態の動作の１例を説明する為のタイミング図である。図において

、φ１－１は前記イメージセンサチップ１－１における第１の制御回路９－１の第１のアナログスイッチの動作状態を制御する出力制御信号を示し、φ２－１は前記イメージセンサチップ１－１における第１の制御回路９－１の第２のアナログスイッチの動作状態を制御する出力制御信号を示し、φ３－１は前記イメージセンサチップ１－１における第１の制御回路９－１の第３のアナログスイッチの動作状態を制御する出力制御信号を示し、φ４－１は前記イメージセンサチップ１－１における第１の制御回路９－１の第４のアナログスイッチの動作状態を制御する出力制御信号を示し、φ５－１は前記イメージセンサチップ１－１における第２の制御回路６－１の第５のアナログスイッチの動作状態を制御する出力制御信号を示し、Ｖｉｎは前記イメージセンサチップ１－１のノイズ低減回路７－１の入力を示し、ＶＣ２は前記イメージセンサチップ１－１のノイズ低減回路７－１の第２の容量の電位を示し、Ｖｏｕｔ１は前記イメージセンサチップ１－１のノイズ低減回路７－１の出力を示す。

【００６３】

前記φ１－１、φ２－１は入力信号線８－１のスタート信号に同期しており、即ちチップ１－１の受光要素による光信号の読み出し動作を行う期間外の特定期間だけφ１－１、φ２－１の出力があり、平均化回路が動作状態とされ、第１の容量に第１のアナログスイッチを非導通状態にするタイミングで前記出力信号の電位Ｖ１～Ｖｋを保存し、第１の容量に各タイミングで保存された電位Ｖ１～Ｖｋと、第２の容量の電位の平均値を取り込むことによって第２の容量にはそれまでに第１の容量に各タイミングで保存された電位の平均値が保存される。

【００６４】

同様に、前記φ３－１、φ４－１は入力信号線８－１のスタート信号に同期しており、即ちチップ１－１の受光要素による光信号の読み出し動作を行う期間外の特定期間だけφ３－１、φ４－１の出力があり、第３のアナログスイッチが導通状態（ＯＮ状態）であり、且つ第４のアナログスイッチが非導通状態（ＯＦＦ状態）とし、ノイズ低減回路７－１が動作状態とされ、ノイズを低減された出力Ｖｏｕｔ１がある。

【００６５】

同様に、前記φ５－１は入力信号線８－１のスタート信号に同期しており、即ちノイズ低減回路７－１の動作期間内における特定期間だけφ５－１の出力があり、第５のアナログスイッチが導通状態（ＯＮ状態）であり、続いて前記第５のアナログスイッチが非導通状態（ＯＦＦ状態）となるタイミングにおいてノイズを低減された出力Ｖｏｕｔ１が基準電位Ｖｒｅｆ　にクランプされる。

【００６６】

この様にして、ノイズ低減回路７－１に第１及び２のアナログスイッチ回路と第１及び２の容量と出力バッファ回路によって形成される平均化回路を用い、選択回路３－１の出力信号の電位を複数回サンプリングし、サンプリング値の平均値をとることによって該出力信号のノイズを低減し、ノイズを低減された出力信号をクランプ回路により基準電位にクランプすることによって、受光要素からクランプ回路の間に含まれるランダムノイズによって、直線状に配列したイメージセンサチップ毎にクランプレベルが変動することを低減させることができる。これにより、チップごとの画像信号の濃淡の差が縮小されて、１ライン中均一な画像信号を得ることができ、イメージセンサによる２次元画像全体としても、ムラのない高品質な画像信号を得ることができる。

【００６７】

【発明の効果】

以上説明したように、本発明によれば各イメージセンサチップに内蔵される受光要素の出力信号を基準電位にクランプするクランプ回路の動作期間において、受光要素からの出力信号に含まれるランダムノイズを低減せしめるノイズ低減回路を動作させることにより、直線状に配列したイメージセンサチップ毎にクランプレベルが変動することによって発生する画像上の濃淡を低減させることができるという効果がある。

【００６８】

また、チップごとの画像信号の濃淡の差が縮小されて、複数個のチップの直線状の列によるイメージセンサチップ列から、１ライン中均一な画像信号を得ることができ、イメージセンサによる２次元画像全体としても、ムラのない高品質な画像信号を得ることができる。

【図面の簡単な説明】

【図１】本発明のイメージセンサの第１の実施形態を示す概略構成図である。

【図２】第１の実施形態の動作の１例を説明する為のタイミング図である。

【図３】本発明のイメージセンサの第２の実施形態の特にノイズ低減回路及びクランプ回路を示すブロック図である。

【図４】第２の実施形態の動作の１例を説明する為のタイミング図である。

【図５】本発明のイメージセンサの第３の実施形態の特にノイズ低減回路及びクランプ回路を示すブロック図である。

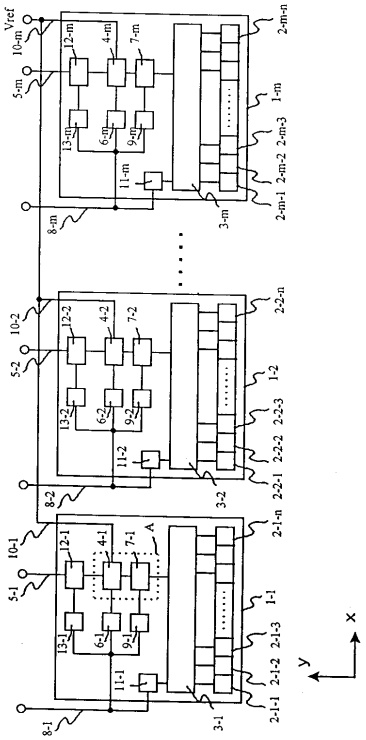
【図６】第３の実施形態の動作の１例を説明する為のタイミング図である。

【図７】従来のイメージセンサの１例を示す概略構成図である。

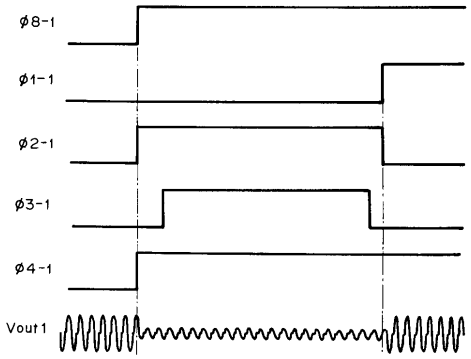
【符号の説明】

１－１～１－ｍ　イメージセンサチップ
２－１－１～２－ｍ－ｎ　受光要素
３－１～３－ｍ　選択回路
４－１～４－ｍ　クランプ回路
５－１～５－ｍ　出力線
６－１～６－ｍ　第２の制御回路
７－１～７－ｍ　ノイズ低減回路
８－１～８－ｍ　入力線
９－１～９－ｍ　第１の制御回路
１０－１～１０－ｍ　基準電圧入力線
１１－１～１１－ｍ　遅延回路
１２－１～１２－ｍ　増幅回路
１３－１～１３－ｍ　第３の制御回路
１４－１～１４－ｍ　ローパスフィルター回路
１５－１～１５－ｍ　平均化回路

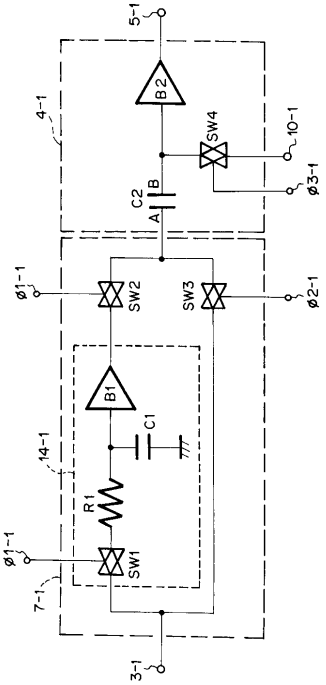
【図１】


Vref
10-m
5-m
12-m
4-m
7-m
13-m
6-m
9-m
11-m
8-m
3-m
2-m-n
1-m
2-m-3
2-m-2
2-m-1
10-2
5-2
12-2
4-2
7-2
13-2
6-2
9-2
11-2
8-2
3-2
2-2-n
1-2
2-2-3
2-2-2
2-2-1
10-1
5-1
12-1
4-1
7-1
A
13-1
6-1
9-1
11-1
8-1
3-1
2-1-n
1-1
2-1-3
2-1-2
2-1-1
x
y

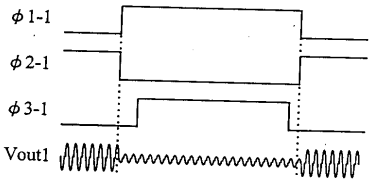
【図２】


ø8-1
ø1-1
ø2-1
ø3-1
ø4-1
Vout1

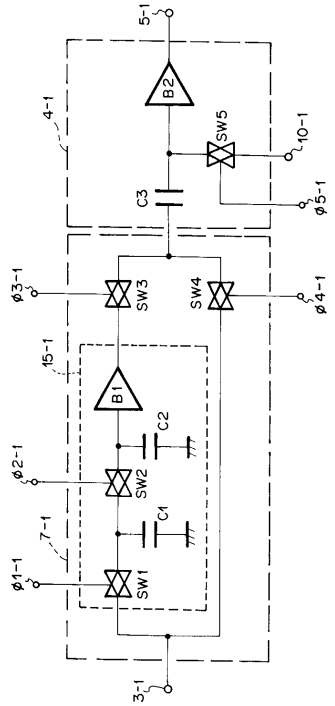
【図３】


5-1
B2
4-1
SW4
10-1
ø3-1
C2
B
A
ø1-1
SW2
SW3
ø2-1
B1
C1
14-1
R1
ø1-1
SW1
7-1
3-1

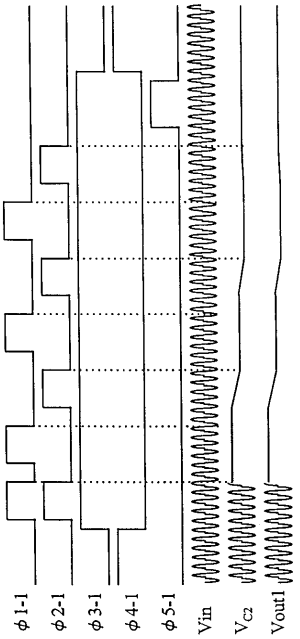
【図４】


ϕ1-1
ϕ2-1
ϕ3-1
Vout1

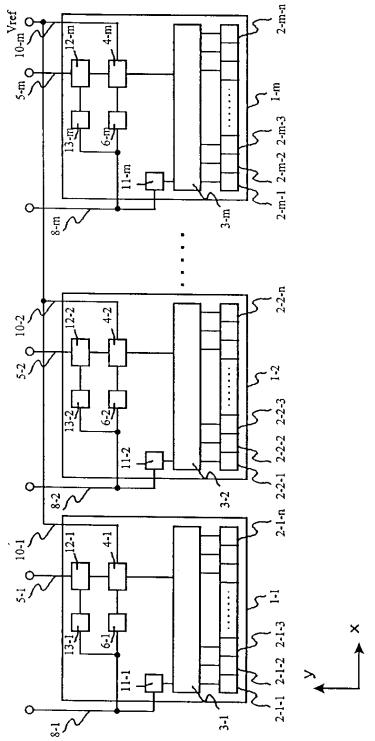
【図５】


5-1
B2
4-1
SW5
10-1
C3
φ5-1
φ3-1
SW3
SW4
φ4-1
15-1
B1
C2
φ2-1
SW2
C1
7-1
φ1-1
SW1
3-1

【図６】


φ1-1
φ2-1
φ3-1
φ4-1
φ5-1
Vin
V_{C2}
Vout1

【図７】


Vref
10-m
12-m
4-m
5-m
13-m
6-m
11-m
8-m
3-m
2-m-n
1-m
2-m-3
2-m-2
2-m-1
10-2
12-2
4-2
5-2
13-2
6-2
11-2
8-2
3-2
2-2-n
1-2
2-2-3
2-2-2
2-2-1
10-1
12-1
4-1
5-1
13-1
6-1
11-1
8-1
3-1
2-1-n
1-1
2-1-3
2-1-2
2-1-1
x
y

フロントページの続き

審査官　渡辺　努

(56)参考文献　特開平０４－０２００８０（ＪＰ，Ａ）
特開平０２－２１０９４８（ＪＰ，Ａ）
特開平０４－０７９５７２（ＪＰ，Ａ）
特開平０４－３４５２７７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04N 1/024-1/028
H04N 5/335