

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 29 日(29.12.2016)



(10) 国際公開番号

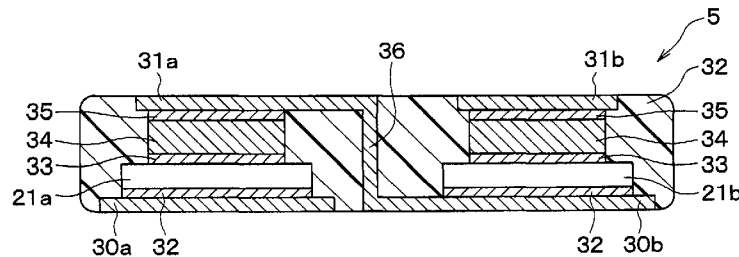
WO 2016/208122 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H02M 7/48 (2007.01)
H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2016/002581
- (22) 国際出願日: 2016 年 5 月 27 日(27.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-126785 2015 年 6 月 24 日(24.06.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者: 河野 憲司(KOUNO, Kenji); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 田邊 広光(TANABE, Hiro-mitsu); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦 2 丁目 1 3 番 1 9 号 瀧定ビル 6 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR CHIP AND SEMICONDUCTOR MODULE IN WHICH SAME IS USED

(54) 発明の名称: 半導体チップおよびそれを用いた半導体モジュール

[図3]



(57) Abstract: Provided is a semiconductor chip. The semiconductor chip is provided with: switching elements (11a-16a) having gate electrodes; first control pads (71) electrically connected to the gate electrodes, a voltage for controlling the ON/OFF states of the switching elements being applied to the first control pads (71); and second control pads (72) constituting part of an electric-current path for channeling a control current with the first control pads when the switching elements are switched ON, the first control pads and the second control pads being positioned so that one type of pad is sandwiched by two of the other type of pad.

(57) 要約: 半導体チップを提供する。半導体チップは、ゲート電極を有するスイッチング素子 (11a ~ 16a) と、前記ゲート電極と電氣的に接続され、前記スイッチング素子のオン、オフを制御する電圧が印加される第 1 制御パッド (71) と、前記スイッチング素子のオン時に、前記第 1 制御パッドとの間に制御電流を流す電流経路を構成する第 2 制御パッド (72) と、を備え、前記第 1 制御パッドおよび前記第 2 制御パッドは、いずれか一方の制御パッドが他方の制御パッドに挟まれて配置されている。

WO 2016/208122 A1

明 細 書

発明の名称：半導体チップおよびそれを用いた半導体モジュール 関連出願の相互参照

[0001] 本出願は、2015年6月24日に出願された日本特許出願番号2015-126785号に基づくもので、ここにその記載内容を参照により援用する。

技術分野

[0002] 本開示は、制御端子と接続される複数のパッドを有する半導体チップおよびそれを用いた半導体モジュールに関するものである。

背景技術

[0003] 従来より、例えば、特許文献1には、インバータを構成する半導体モジュールとして、いわゆる2in1構造の半導体モジュールが提案されている。すなわち、この半導体モジュールでは、上アームを構成するスイッチング素子を有する半導体チップと、下アームを構成するスイッチング素子を有する半導体チップとを備え、各半導体チップのスイッチング素子が直列に接続されている。なお、この半導体モジュールでは、各半導体チップの構成が共通とされており、それぞれIGBT素子が形成されている。

[0004] そして、IGBT素子が形成された半導体チップのエミッタ側にそれぞれ上側ヒートシンクが配置されると共にコレクタ側にそれぞれ下側ヒートシンクが配置されており、上アーム側の上側ヒートシンクと下アーム側の下側ヒートシンクとが接続されることにより、上アームのスイッチング素子と下アームのスイッチング素子とが電氣的に接続されている。また、上アーム側の下側ヒートシンクは第1主端子（正極端子）と接続され、下アーム側の下側ヒートシンクは第2主端子（出力端子）と接続され、下アーム側の上側ヒートシンクは、第3主端子（負極端子）と接続されている。なお、上側ヒートシンク上から視たとき、第1～第3主端子は半導体チップに対して同方向に延設されており、第1主端子と第3主端子との間隔が広くなると寄生インダ

クタンスが大きくなるため、第1主端子と第2主端子との間に第3主端子が配置される。

[0005] また、各半導体チップは、各半導体チップに形成されたIGBT素子を制御するための制御パッドとして、ゲートパッドおよびケルビンエミッタパッドを有している。そして、各制御パッドは、ゲート端子およびケルビンエミッタ端子と電氣的に接続されている。

[0006] このような半導体モジュールでは、上アームおよび下アームのスイッチング素子のオン、オフが交互に切り替えられることにより、第1主端子から第2主端子への主電流と、第2主端子から第3主端子への主電流とが切り替えられる。

先行技術文献

特許文献

[0007] 特許文献1：JP2013-149684A

発明の概要

[0008] ところで、上記のような半導体モジュール（半導体チップ）では、ゲートパッドに所定の電圧が印加されてIGBT素子がオン状態となる際、各主端子の間を流れる主電流に基づいて磁束が誘起される。そして、誘起された磁束を妨げるように、ゲート端子とケルビンエミッタ端子との間に制御電流（誘導電流）が発生するため、ゲートパッドに印加される電圧が変動する。

[0009] また、上記半導体モジュールでは、第1主端子と第2主端子との間に第3主端子が配置されているため、第1主端子から第2主端子へ主電流が流れる方向と、第2主端子から第3主端子へ主電流が流れる方向とが逆となる。つまり、上アームの半導体チップと、下アームの半導体チップとに発生する制御電流は逆向きとなる。

[0010] そして、上記半導体モジュールでは、上アームの半導体チップと下アームの半導体チップとが同じ構成とされているため、一方の半導体チップでは、制御電流がケルビンエミッタ端子からゲート端子側に流れ、他方の半導体チップでは、制御電流がゲート端子からケルビンエミッタ端子側に流れる。こ

の場合、制御電流がゲート端子側からケルビンエミッタ端子側に流れると、ゲートパッドに印加される電圧が IGBT 素子をオンさせる側に増加することになり、誤作動の原因となってしまう。

[0011] 本開示は、上記点に鑑みて、スイッチング素子が誤作動することを抑制できる半導体チップおよびそれを用いた半導体モジュールを提供することを目的の一つとする。

[0012] 本開示の一側面の半導体チップは、複数のパッドと、ゲート電極を有するスイッチング素子と、を備える。複数のパッドは、ゲート電極と電氣的に接続され、スイッチング素子のオン、オフを制御する電圧が印加される第 1 制御パッドと、スイッチング素子のオン時に、第 1 制御パッドとの間に制御電流を流す電流経路を構成する第 2 制御パッドと、を有し、第 1 制御パッドおよび第 2 制御パッドは、いずれか一方の制御パッドが他方の制御パッドに挟まれて配置されている。

[0013] これによれば、第 1 制御パッドおよび第 2 制御パッドに制御端子を接続する際、第 1 制御パッドおよび第 2 制御パッドに接続される制御端子の配列を適宜変更できる。つまり、制御電流が第 2 制御パッドから第 1 制御パッドに流れるように、制御端子を第 1 制御パッドおよび第 2 制御パッドに接続できる。したがって、制御電流によってスイッチング素子が誤作動することを抑制できる。

[0014] また、本開示の一側面の半導体モジュールは、ゲート電極を有するスイッチング素子が形成され、表面に第 1 主パッドが形成されていると共に複数の制御パッドが隣り合って形成され、裏面に第 2 主パッドが形成されており、上アームを構成する第 1 半導体チップと、ゲート電極を有するスイッチング素子が形成されていると共に第 1 半導体チップと共通の構成とされ、第 1 半導体チップと隣り合って配置されており、下アームを構成する第 2 半導体チップと、第 1 半導体チップの第 2 主パッドと電氣的に接続される正極端子と、第 2 半導体チップの第 1 主パッドと電氣的に接続される負極端子と、第 1 半導体チップの第 1 主パッドおよび第 2 半導体チップの第 2 主パッドと電気

的に接続されることにより、上アームおよび下アームの中間電位とされた出力端子と、複数の制御パッドと接続される複数の制御端子と、を備える。第1半導体チップおよび第2半導体チップの表面に対する法線方向から視たとき、正極端子、負極端子、出力端子は、第1半導体チップおよび第2半導体チップに対して同方向に延設されていると共に、正極端子と出力端子との間に負極端子が配置され、複数の制御パッドは、ゲート電極と電氣的に接続され、スイッチング素子のオン、オフを制御する電圧が印加される第1制御パッドと、スイッチング素子のオン時に、第1制御パッドとの間に制御電流を流す電流経路を構成する第2制御パッドと、を有し、第1制御パッドおよび第2制御パッドは、いずれか一方のパッドが他方のパッドに挟まれて配置されており、制御端子は、第1制御パッドと接続される第1制御端子と、第2制御パッドと接続される第2制御端子と、を有し、第1制御端子および第2制御端子は、制御電流が第2制御端子から第1制御端子に向かって流れるように、第1半導体チップおよび第2半導体チップにおける第1制御パッドおよび第2制御パッドとそれぞれ電氣的に接続されている。

[0015] これによれば、第1半導体チップおよび第2半導体チップにおいて、第1制御端子および第2制御端子は、それぞれ制御電流が第2制御端子から第1制御端子に向かって流れるように、第1制御パッドおよび第2制御パッドと電氣的に接続されている。このため、第1半導体チップおよび第2半導体チップにおいて、制御電流によって第1制御パッドの電位がスイッチング素子をオンさせる側に増加することを抑制でき、スイッチング素子が誤作動することを抑制できる。

図面の簡単な説明

[0016] 本開示についての上記および他の目的、特徴や利点は、添付図面を参照した下記の詳細な説明から、より明確になる。図面において、

[図1]図1は、第1実施形態における半導体モジュールを適用して構成されるインバータの回路図である。

[図2]図2は、半導体モジュールの平面模式図である。

[図3]図3は、図2中のIII-III断面に相当する断面図である。

[図4]図4は、半導体チップの平面図である。

[図5]図5は、図4中のV-V断面に相当する断面図である。

[図6A]図6Aは、上アームにおける制御電流の流れ方向を示す図である。

[図6B]図6Bは、下アームにおける制御電流の流れ方向を示す図である。

[図7]図7は、第2実施形態における半導体チップの平面図である。

[図8]図8は、第3実施形態における半導体モジュールの平面図である。

発明を実施するための形態

[0017] 以下、実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0018] (第1実施形態)

第1実施形態について説明する。本実施形態では、本開示の技術的思想三相モータ駆動用のインバータを構成する半導体モジュールに適用した例について説明する。

[0019] まず、インバータの回路構成について説明する。インバータは、直流電源に基づいて負荷である三相モータ4を交流駆動するためのものであり、昇圧回路を含む電源部1と、インバータ出力回路2と、電源部1とインバータ出力回路2との間に並列的に配置されたコンデンサ3とを有している。なお、コンデンサ3は、平滑用コンデンサであり、電源部（昇圧回路）1のノイズの影響を抑制して一定の電源電圧を形成するために備えられている。

インバータ出力回路2は、直列接続した上下アーム11～16が三相分並列接続された構成とされ、上アーム11、13、15と下アーム12、14、16との中間電位を三相モータ4のU相、V相、W相の各相に順番に入れ替えながら印加するものである。上下アーム11～16は、それぞれ、IGBT素子11a～16aおよびFWD（フリーホイールダイオード）素子11b～16bを備えており、各相の上下アーム11～16のIGBT素子11a～16aがオン、オフ制御されることで、三相モータ4に対して周期の異

なる三相の交流電流を供給する。

[0020] 本実施形態では、インバータ出力回路2におけるU相、V相、W相の各層の上下アーム11～16を構成する一对の半導体チップ（IGBT素子11a～16aおよびFWD素子11b～16b）を1つにパッケージ化した2in1構造の半導体モジュール5に本開示の技術的思想を適用し、上記インバータ出力回路2を3つの半導体モジュール5を用いて構成している。

[0021] 次に、本実施形態の半導体モジュール5の構成について図2および図3を参照しつつ説明する。なお、以下では、上記インバータ出力回路2のU相を構成する半導体モジュール5を例に挙げて説明するが、V相、W相を構成する半導体モジュール5についても同様の構成とされている。

[0022] 半導体モジュール5は、図2および図3に示されるように、2つの半導体チップ21a、21b、主端子22～24、制御端子25a、25b～29a、29b、下側ヒートシンク30a、30b、上側ヒートシンク31a、31b等がモールド樹脂32にて一体化された構造とされている。なお、図2では、モールド樹脂32内の構成を理解し易くするためにモールド樹脂32を破線で示している。

[0023] 半導体チップ21aは、上アーム11を構成する素子が形成されたものであり、半導体チップ21bは下アーム12を構成する素子が形成されたものである。以下に、本実施形態の半導体チップ21aの具体的な構成について図4および図5を参照しつつ説明する。なお、半導体チップ21bの構成は半導体チップ21aの構成と共通であるため、具体的な説明は省略する。

[0024] 半導体チップ21aは、図4に示されるように、平面矩形状とされており、セル領域41と、セル領域41を囲む周辺領域42とを備えている。

[0025] セル領域41は、本実施形態では、IGBT素子11aが形成されたIGBT領域41aおよびFWD素子11bが形成されたFWD領域41bを有している。つまり、本実施形態では、IGBT素子11aおよびFWD素子11bが同じチップ内に形成されている。なお、IGBT領域41aおよびFWD領域41bは、本実施形態では、半導体基板50の一面50aの一方

向（図4中紙面上下方向）に沿って延設されていると共に、延設方向と直交する方向に交互に形成されている。

[0026] セル領域41は、図5に示されるように、ドリフト層51として機能するN型の共通の半導体基板50を有しており、ドリフト層51上（半導体基板50の一面50a側）には、P型のベース層52が形成されている。そして、ベース層52を貫通してドリフト層51に達するように複数のトレンチ53が形成され、このトレンチ53によってベース層52が複数個に分離されている。

[0027] 本実施形態では、複数のトレンチ53は、IGBT領域41aおよびFWD領域41bにそれぞれ形成されており、半導体基板50の一面50aの面方向のうちの一方（図5中紙面奥行き方向）に沿って等間隔にストライプ状に形成されている。なお、複数のトレンチ53は、先端部が引き回されることで環状構造とされていてもよい。また、半導体基板50の一面50aは、ベース層52のうちのドリフト層51と反対側の一面にて構成されている。

[0028] ベース層52は、IGBT領域41aでは、チャネル領域として機能する。そして、チャネル領域としてのベース層52（IGBT領域41aのベース層52）には、N⁺型のエミッタ領域54と、エミッタ領域54に挟まれるようにP⁺型のボディ領域55とが形成されている。

[0029] エミッタ領域54は、ドリフト層51よりも高不純物濃度で構成され、ベース層52内において終端し、かつ、トレンチ53の側面に接するように形成されている。一方、ボディ領域55は、ベース層52よりも高不純物濃度で構成され、エミッタ領域54と同様に、ベース層52内において終端するように形成されている。

[0030] より詳しくは、エミッタ領域54は、トレンチ53間の領域において、トレンチ53の長手方向に沿ってトレンチ53の側面に接するように棒状に延設され、トレンチ53の先端よりも内側で終端する構造とされている。また、ボディ領域55は、2つのエミッタ領域54に挟まれてトレンチ53の長

手方向（つまりエミッタ領域54）に沿って棒状に延設されている。なお、本実施形態のボディ領域55は、半導体基板50の一面50aを基準としてエミッタ領域54よりも深く形成されている。

[0031] また、各トレンチ53内は、各トレンチ53の壁面を覆うように形成されたゲート絶縁膜56と、このゲート絶縁膜56の上に形成されたポリシリコン等により構成されるゲート電極57とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。

[0032] ベース層52（半導体基板50の一面50a）上にはBPSG等で構成される層間絶縁膜58が形成されている。そして、層間絶縁膜58には、IGBT領域41aにおいて、エミッタ領域54の一部およびボディ領域55を露出させるコンタクトホール58aが形成されている。また、FWD領域41bにおいて、ベース層52を露出させるコンタクトホール58bが形成されている。

[0033] 層間絶縁膜58上には上部電極59が形成されている。この上部電極59は、IGBT領域41aでは、コンタクトホール58aを介してエミッタ領域54およびボディ領域55と電氣的に接続され、FWD領域41bでは、コンタクトホール58bを介してベース層52と電氣的に接続されている。つまり、上部電極59は、IGBT領域41aにおいてエミッタ電極として機能し、FWD領域41bにおいてアノード電極として機能する。なお、本実施形態では、上部電極59が第1主パッドに相当する。

[0034] また、ドリフト層51のうちのベース層52側と反対側（半導体基板50の他面50b側）には、N型のフィールドストップ層（以下では、単にFS層という）60が形成されている。このFS層60は、必ずしも必要なものではないが、空乏層の広がりを防ぐことで耐圧と定常損失の性能向上を図ると共に、半導体基板50の他面50b側から注入されるホールの注入量を制御するために備えてある。

[0035] そして、IGBT領域41aでは、FS層60を挟んでドリフト層51と反対側にP型のコレクタ層61が形成され、FWD領域41bでは、FS層

60を挟んでドリフト層51と反対側にN型のカソード層62が形成されている。つまり、IGBT領域41aとFWD領域41bとは、半導体基板50の他面50b側に形成される層がコレクタ層61であるかカソード層62であるかによって区画されている。すなわち、本実施形態では、半導体基板50は、コレクタ層61上の部分がIGBT素子11aを構成するIGBT領域41aとされ、カソード層62上の部分がFWD素子11bを構成するFWD領域41bとされている。

[0036] コレクタ層61およびカソード層62上（半導体基板50の他面50b）には下部電極63が形成されている。この下部電極63は、IGBT領域41aにおいてはコレクタ電極として機能し、FWD領域41bにおいてはカソード電極として機能する。なお、本実施形態では、下部電極63が第2主パッドに相当する。

[0037] そして、上記のように構成されていることにより、FWD領域41bにおいては、ベース層52をアノードとし、ドリフト層51、FS層60、カソード層62をカソードとしてPN接合されたFWD素子11bが構成されている。

[0038] 周辺領域42は、特に図示しないが、耐圧向上を図ることができるように、半導体基板50の表層部に、セル領域41を囲むように環状のP型のウェル領域や複数のP型のガードリングが多重リング構造として形成されている。

[0039] また、周辺領域42には、図4に示されるように、ゲートパッド71、第1、第2ケルビンエミッタパッド72a、72b、電流センスパッド73、温度センスパッド74、75が形成されている。なお、本実施形態では、ゲートパッド71が第1制御パッドに相当し、第1、第2ケルビンエミッタパッド72a、72bが第2制御パッドに相当する。

[0040] ゲートパッド71は、図示しないゲート配線を介してゲート電極57と電氣的に接続された外部接続用のパッドである。第1、第2ケルビンエミッタパッド72a、72bは、図示しないケルビンエミッタ配線を介してエミッ

タ領域 54 に電氣的に接続された外部接続用のパッドである。電流センスパッド 73 は、エミッタ領域 54 に電氣的に接続された外部接続用のパッドである。温度センスパッド 74、75 は、半導体基板 50 上に形成される温度検出素子（図示略）と電氣的に接続された外部接続用のパッドである。

[0041] そして、これら各パッド 71～75 は、半導体チップ 21a の外形を形作る一辺（図 4 中では紙面下側の一辺）に沿って隣接して並べて配置されている。本実施形態では、図 4 中紙面左側から順に、温度センスパッド 74、75、第 1 ケルビンエミッタパッド 72a、ゲートパッド 71、電流センスパッド 73、第 2 ケルビンエミッタパッド 72b の順に配置されている。つまり、ゲートパッド 71 を挟むように、第 1、第 2 ケルビンエミッタパッド 72a、72b が配置されている。

[0042] 以上が本実施形態における半導体チップ 21a の構成である。なお、上記のように、半導体チップ 21b の構成も同様である。

[0043] そして、図 2 および図 3 に示されるように、上記半導体チップ 21a、21b は、それぞれ下側ヒートシンク 30a、30b にはんだ 32 等を介して搭載されている。また、半導体チップ 21a、21b 上には、はんだ 33 等を介して金属ブロック 34 が搭載され、金属ブロック 34 上にはんだ 35 等を介して上側ヒートシンク 31a、31b が搭載されている。これにより、半導体チップ 21a、21b は、下部電極 63 がそれぞれ下側ヒートシンク 30a、30b と接続され、上部電極 59 がそれぞれ上側ヒートシンク 31a、31b と接続されている。

[0044] 主端子 22～24 は、それぞれ平板状とされており、正極端子 22、出力端子 23、負極端子 24 を有している。正極端子 22 は、インバータにおける電源供給ライン 6（図 1 参照）に接続される端子を構成するものである。そして、上アーム 11 側の下側ヒートシンク 30a と一体的に接続されることにより、半導体チップ 21a における裏面側、つまり、半導体チップ 21a における下部電極 63 と電氣的に接続される。

[0045] 出力端子 23 は、上アーム 11 と下アーム 12 との間において、三相モー

タ 4 に接続される端子を構成するものである。そして、下アーム 1 2 側の下側ヒートシンク 3 0 b と一体的に接続されることにより、半導体チップ 2 1 b における裏面側、つまり、半導体チップ 2 1 b における下部電極 6 3 と電氣的に接続されている。

[0046] 負極端子 2 4 は、インバータにおけるグラウンドライン 7 (図 1 参照) に接続される端子を構成するものである。そして、下アーム 1 2 の上側ヒートシンク 3 1 b と一体的に接続されることにより、半導体チップ 2 1 b における表面側、つまり、半導体チップ 2 1 b における上部電極 5 9 と電氣的に接続されている。

[0047] そして、上側ヒートシンク 3 1 a と下側ヒートシンク 3 0 b とは、中間部材 3 6 によって接続されている。これにより、出力端子 2 3 は、上アーム 1 1 と、下アーム 1 2 との間の中間電位となる。

[0048] また、本実施形態では、上記正極端子 2 2、出力端子 2 3、負極端子 2 4 は、半導体チップ 2 1 a、2 1 b の平面方向に対する法線方向 (半導体基板 5 0 の一面 5 0 a に対する法線方向) から視たとき、半導体チップ 2 1 a、2 1 b に対して同方向に突出するように延設されている。そして、正極端子 2 2 と出力端子 2 3 との間に負極端子 2 4 が位置するように配置されている。つまり、正極端子 2 2 と負極端子 2 4 とを近接して配置している。これにより、電源供給ライン 6 とグラウンドライン 7 との間の寄生容量が増加することを抑制している。

[0049] 制御端子 2 5 a、2 5 b ~ 2 9 a、2 9 b は、それぞれ平板状とされており、ゲート端子 2 5 a、2 5 b、ケルビンエミッタ端子 2 6 a、2 6 b、電流センス端子 2 7 a、2 7 b、温度センス端子 2 8 a、2 8 b、2 9 a、2 9 b を有している。そして、各制御端子 2 5 a、2 5 b ~ 2 9 a、2 9 b は、半導体チップ 2 1 a、2 1 b を挟んで主端子 2 2 ~ 2 4 と反対側に配置されている。

[0050] ゲート端子 2 5 a、2 5 b は、ゲート電極 5 7 (ゲートパッド 7 1) に所定に電圧を印加する端子を構成するものであり、半導体チップ 2 1 a、2 1

bに形成されたゲートパッド71とボンディングワイヤ37aを介してそれぞれ電氣的に接続されている。なお、本実施形態では、ゲート端子25a、25bが第1制御端子に相当する。

[0051] ケルビンエミッタ端子26a、26bは、ゲート端子25a、25bに流れる制御電流の帰還回路として機能する端子を構成するものである。すなわち、ケルビンエミッタ端子26a、26bは、ゲート端子25a、25bに電圧が印加された際に制御電流を流す電流経路をゲート端子25a、25bと共に構成する端子である。

[0052] 本実施形態では、上アーム11側では、ケルビンエミッタ端子26aはボンディングワイヤ37bを介して第2ケルビンエミッタパッド72bと接続されている。一方、下アーム12側では、ケルビンエミッタ端子26bはボンディングワイヤ37bを介して第1ケルビンエミッタパッド72aと接続されている。つまり、上アーム11と下アーム12のケルビンエミッタ端子26a、26bは、各半導体チップ21a、21bのゲートパッド71を基準とすると、互いに反対に位置するケルビンエミッタパッド72a、72bと接続されている。言い換えると、半導体チップ21aと接続されるゲート端子25aおよびケルビンエミッタ端子26aの配列と、半導体チップ21bと接続されるゲート端子25bおよびケルビンエミッタ端子26bの配列とが反対とされている。このように、ケルビンエミッタ端子26a、26bを第1、第2ケルビンエミッタパッド72a、72bと接続する理由については後述する。なお、本実施形態では、ケルビンエミッタ端子26a、26bが第2制御端子に相当する。

[0053] 電流センス端子27a、27bは、各半導体チップ21a、21bに流れる主電流の一部を取り出して測定するための端子を構成するものであり、電流センスパッド73とボンディングワイヤ37cを介して電氣的に接続されている。温度センス端子28a、29a、28b、29bは、温度センスパッド74、75と接続される端子を構成するものであり、温度センスパッド74、75とボンディングワイヤ37d、37eを介して適宜電氣的に接続

されている。

[0054] そして、半導体チップ21a、21b、主端子22～24、制御端子25a、25b～29a、29b、下側ヒートシンク30a、30b、上側ヒートシンク31a、31b等がモールド樹脂32に封止されて一体化されている。具体的には、半導体チップ21a、21b、主端子22～24、制御端子25a、25b～29a、29b、下側ヒートシンク30a、30b、上側ヒートシンク31a、31b等は、下側ヒートシンク30a、30bおよび上側ヒートシンク31a、31bのうちの半導体チップ21a、21b側と反対側が露出すると共に、主端子22～24および制御端子25a、25b～29a、29bの一部が露出するように、モールド樹脂32に封止されて一体化されている。これにより、下側ヒートシンク30a、30bおよび上側ヒートシンク31a、31bにおけるモールド樹脂32から露出する部分において、半導体チップ21a、21bに発生した熱が放出され、主端子22～24および制御端子25a、25b～29a、29bのうちのモールド樹脂32から露出する部分において外部回路との接続が図られる。

[0055] 以上説明したようにして、本実施形態における2in1構造の半導体モジュール5が構成されている。次に、上記半導体モジュール5の作動について、図6Aおよび図6Bを参照しつつ説明する。

[0056] このような半導体モジュール5は、上アーム11を構成する半導体チップ21aのゲートパッド71と、下アーム12を構成する半導体チップ21bのゲートパッド71とに、交互に各半導体チップ21a、21bに形成されたIGBT素子11aをオン状態にするための電圧が印加される。

[0057] この際、上アーム11を構成する半導体チップ21aのゲートパッド71にIGBT素子11aをオン状態にするための電圧が印加されると、図6Aに示されるように、正極端子22から出力端子23に主電流Ic1が流れる。そして、この主電流Ic1が流れることにより、右ねじの法則に基づき、制御端子25a～29aを半導体チップ21aの表面側から裏面側（図6A中紙面奥行き方向）に通過する主磁束Boが発生する。

[0058] そして、この主磁束 B_o が発生することにより、半導体チップ21aの裏面側から表面側（図6A中紙面手前方向）に通過する制御磁束 B_g が発生する。このため、制御磁束 B_g に基づいた制御電流 I_{c2} がケルビンエミッタ端子26aからゲート端子25aに向かって流れる。つまり、制御電流 I_{c2} により、半導体チップ21aのゲートパッド71（ゲート端子25a）の電位がIGBT素子11aをオンさせる側から減少する。このため、半導体チップ21aのゲートパッド71の電位が上昇してIGBT素子11aが誤作動することを抑制できる。

[0059] 一方、下アーム12を構成する半導体チップ21bのゲートパッド71にIGBT素子12aをオン状態にするための電圧が印加されると、図6Bに示されるように、出力端子23から負極端子24に主電流 I_{c1} が流れる。そして、この主電流 I_{c1} が流れることにより、右ねじの法則に基づき、制御端子25b～29bを半導体チップ21bの裏面側から表面側（図6B中紙面手前方向）に通過する主磁束 B_o が発生する。

[0060] そして、この主磁束 B_o が発生することにより、半導体チップ21bの表面側から裏面側（図6B中紙面奥行き方向）に通過する制御磁束 B_g が発生する。このため、制御磁束 B_g に基づいた制御電流 I_{c2} がケルビンエミッタ端子26bからゲート端子25bに向かって流れる。つまり、制御電流 I_{c2} により、半導体チップ21bのゲートパッド71（ゲート端子25b）の電位がIGBT素子12aをオンさせる側から減少する。このため、半導体チップ21bのゲートパッド71の電位が上昇してIGBT素子12aが誤作動することを抑制できる。

[0061] すなわち、本実施形態では、ケルビンエミッタ端子26a、26bは、それぞれ制御電流 I_{c2} がケルビンエミッタ端子26a、26bからゲート端子25a、25bに向かって流れるように、第1、第2ケルビンエミッタパッド72a、72bのいずれか一方と接続されているともいえる。

[0062] 以上説明したように、本実施形態では、半導体チップ21a、21bには、ゲートパッド71を挟むように、第1、第2ケルビンエミッタパッド72

a、72bが備えられている。このため、ケルビンエミッタ端子26a、26bを第1、第2ケルビンエミッタパッド72a、72bのいずれか一方と接続するようにできる。すなわち、上記のように半導体モジュール5を構成した場合、上アーム11および下アーム12で発生する制御電流 I_{c2} をそれぞれケルビンエミッタ端子26a、26bからゲート端子25a、25bに流れるように、ケルビンエミッタ端子26a、26bを上アーム11と下アーム12とで異なるケルビンエミッタパッド72a、72bと接続できる。したがって、上アーム11および下アーム12において、制御電流 I_{c2} によってゲート端子25a、25b（ゲートパッド71）の電位がIGBT素子11a、12aをオンさせる側に増加することを抑制でき、IGBT素子11a、12aが誤作動することを抑制できる。

[0063] （第2実施形態）

第2実施形態について説明する。本実施形態は、第1実施形態に対して、半導体チップ21a、21bにケルビンエミッタパッド72を1つ備えると共に当該ケルビンエミッタパッド72を挟むように2つのゲートパッド71を備えるものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

[0064] 本実施形態では、図7に示されるように、半導体チップ21aは、ケルビンエミッタパッド72が1つのみ備えられている。そして、当該ケルビンエミッタパッド72を挟むように、第1、第2ゲートパッド71a、71bが備えられている。なお、半導体チップ21bの構成は、半導体チップ21aの構成と同様である。

[0065] このような半導体チップ21a、21bとしても、上記第1実施形態の半導体モジュール5を構成する際、ゲート端子25a、25bを第1、第2ゲートパッド71a、71bのいずれか一方と適宜接続することにより、制御電流 I_{c2} がケルビンエミッタ端子26a、26bからゲート端子25a、25bに向かって流れるようにできる。したがって、上記第1実施形態と同様の効果を得ることができる。

[0066] (第3実施形態)

第3実施形態について説明する。本実施形態は、第1実施形態に対して、 I GBT素子11a、12aとFWD素子11b、12bとを異なるチップに形成したものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

[0067] 本実施形態では、図8に示されるように、上アーム11側では、 I GBT素子11aが半導体チップ21a1に形成され、FWD素子11bが半導体チップ21a2に形成されている。つまり、 I GBT素子11aとFWD素子11bとが異なる半導体チップに形成されている。

[0068] 同様に、下アーム12側では、 I GBT素子12aが半導体チップ21b1に形成され、FWD素子12bが半導体チップ21b2に形成されている。なお、半導体チップ21a1、21b1には、それぞれ上記第1実施形態と同様に、ゲートパッド71、第1、第2ケルビンエミッタパッド72a、72b、電流センスパッド73、温度センスパッド74、75が形成されている。

[0069] このように、 I GBT素子11a、12aとFWD素子11b、12bとを別チップに形成した半導体モジュール5としても、第1実施形態と同様の効果を得ることができる。

[0070] (他の実施形態)

実施形態は、上記した実施形態に限定されるものではない。以下、他の実施形態を例示する。

[0071] 例えば、上記各実施形態では、各相の上下アーム11～16を構成する一対の半導体チップ21a、21bが1つにモジュール化された2in1構造の半導体モジュール5を説明した。しかしながら、半導体モジュール5の構成はこれに限定されるものではなく、例えば、各相の全ての上下アーム11～16を構成する半導体チップ21a、21bがモールド樹脂32にて一体化された6in1構造の半導体モジュール5としてもよいし、2相分のブリッジ回路を構成する半導体チップ21a、21bがモールド樹脂32にて一

体化された4 in 1構造の半導体モジュール5としてもよい。

[0072] また、上記各実施形態では、IGBT素子11a～16aが形成された半導体チップ21a、21bを例に挙げて説明したが、例えば、コレクタ層61を有しないMOS素子が形成された半導体チップ21a、21bとしてもよい。

[0073] さらに、上記第1、第3実施形態では、第1、第2ケルビンエミッタパッド72a、72bの間にゲートパッド71および電流センスパッド73が備えられているが、第1、第2ケルビンエミッタパッド72a、72bの間にゲートパッド71が備えられているのであれば、電流センスパッド73、第1、第2温度センスパッド74、75の配置箇所は適宜変更可能である。同様に、上記第2実施形態において、第1、第2ゲートパッド71a、71bの間にケルビンエミッタパッド72が備えられるのであれば、電流センスパッド73、第1、第2温度センスパッド74、75の配置箇所は適宜変更可能である。

[0074] また、上記第1、第2実施形態において、FWD素子11b～16bを備えない構成としてもよい。

請求の範囲

[請求項1]

複数のパッド（71、72）と、
ゲート電極（57）を有するスイッチング素子（11a～16a）
と、を備える半導体チップにおいて、
前記複数のパッドは、
前記ゲート電極と電氣的に接続され、前記スイッチング素子のオン、オフを制御する電圧が印加される第1制御パッド（71）と、
前記スイッチング素子のオン時に、前記第1制御パッドとの間に制御電流を流す電流経路を構成する第2制御パッド（72）と、を有し、
前記第1制御パッドおよび前記第2制御パッドは、いずれか一方の制御パッドが他方の制御パッドに挟まれて配置されている半導体チップ。

[請求項2]

ゲート電極（57）を有するスイッチング素子（11a、13a、15a）が形成され、表面に第1主パッド（59）が形成されていると共に複数の制御パッド（71、72）が隣り合って形成され、裏面に第2主パッド（63）が形成されており、上アームを構成する第1半導体チップ（21a）と、
ゲート電極（57）を有するスイッチング素子（12a、14a、16a）が形成されていると共に前記第1半導体チップと共通の構成とされ、前記第1半導体チップと隣り合って配置されており、下アームを構成する第2半導体チップ（21b）と、
前記第1半導体チップの第2主パッドと電氣的に接続される正極端子（22）と、
前記第2半導体チップの第1主パッドと電氣的に接続される負極端子（24）と、
前記第1半導体チップの第1主パッドおよび前記第2半導体チップの第2主パッドと電氣的に接続されることにより、前記上アームおよ

び前記下アームの中間電位とされた出力端子（23）と、

前記複数の制御パッドと接続される複数の制御端子（25a、25b、26a、26b）と、を備え、

前記第1半導体チップおよび前記第2半導体チップの表面に対する法線方向から視たとき、前記正極端子、前記負極端子、前記出力端子は、前記第1半導体チップおよび第2半導体チップに対して同方向に延設されていると共に、前記正極端子と前記出力端子との間に前記負極端子が配置され、

前記複数の制御パッドは、前記ゲート電極と電氣的に接続され、前記スイッチング素子のオン、オフを制御する電圧が印加される第1制御パッド（71）と、

前記スイッチング素子のオン時に、前記第1制御パッドとの間に制御電流を流す電流経路を構成する第2制御パッド（72）と、を有し、

前記第1制御パッドおよび前記第2制御パッドは、いずれか一方の制御パッドが他方の制御パッドに挟まれて配置されており、

前記制御端子は、前記第1制御パッドと接続される第1制御端子と、前記第2制御パッドと接続される第2制御端子と、を有し、

前記第1制御端子および第2制御端子は、前記制御電流が前記第2制御端子から前記第1制御端子に向かって流れるように、前記第1半導体チップおよび前記第2半導体チップにおける前記第1制御パッドおよび前記第2制御パッドとそれぞれ電氣的に接続されている

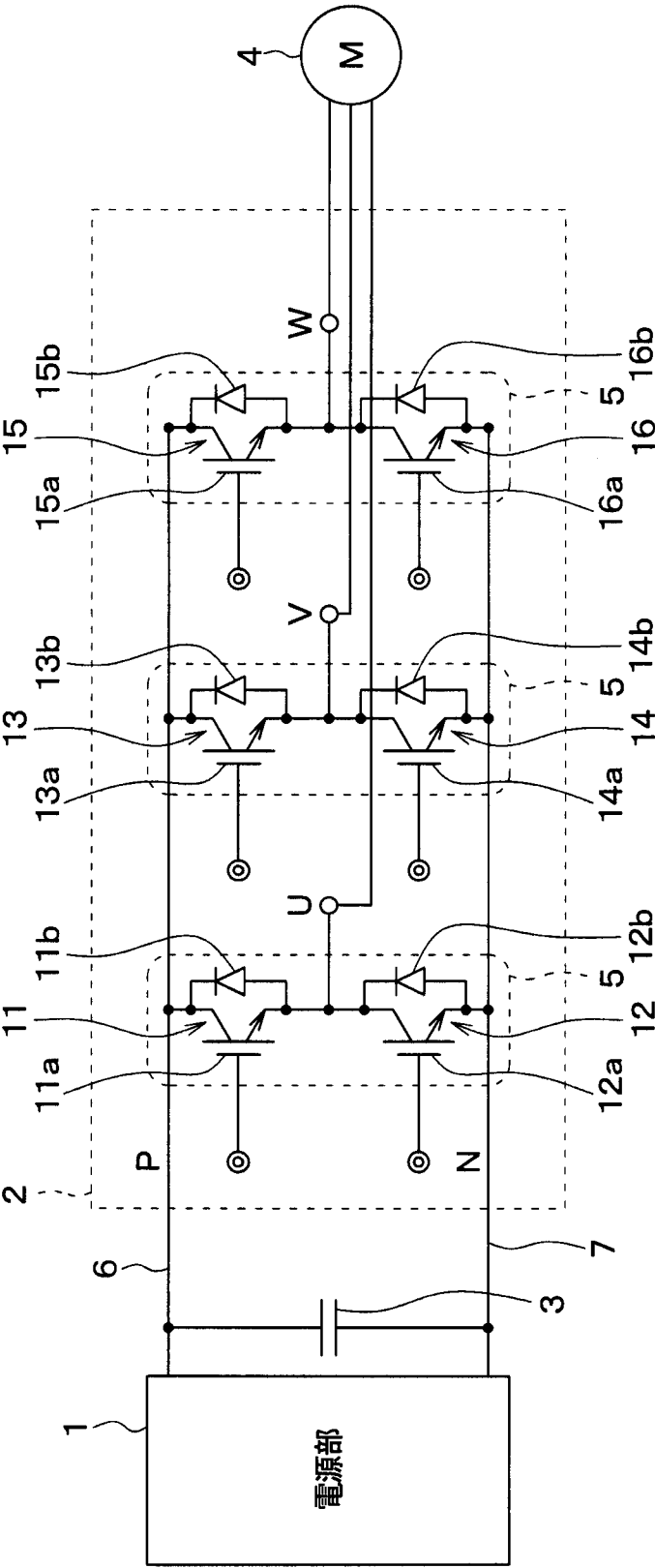
半導体モジュール。

[請求項3]

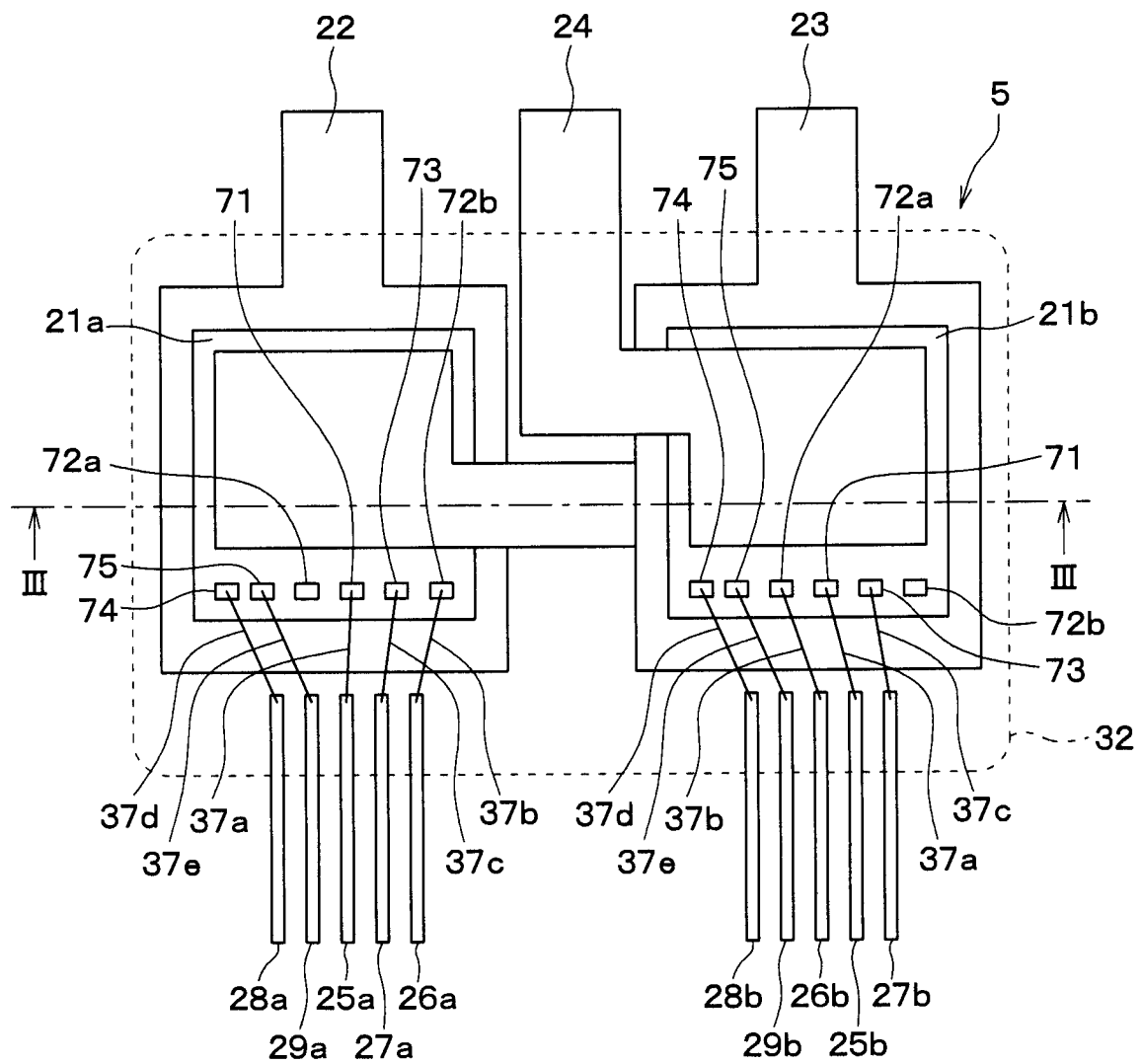
前記第1半導体チップと接続される前記第1制御端子および前記第2制御端子の配列と、前記第2半導体チップと接続される前記第1制御端子および前記第2制御端子の配列とが反対とされている

請求項2に記載の半導体モジュール。

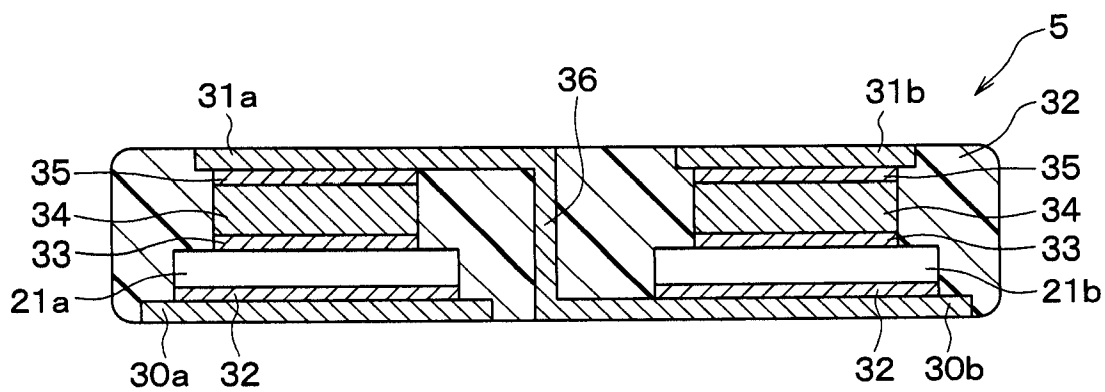
[図1]



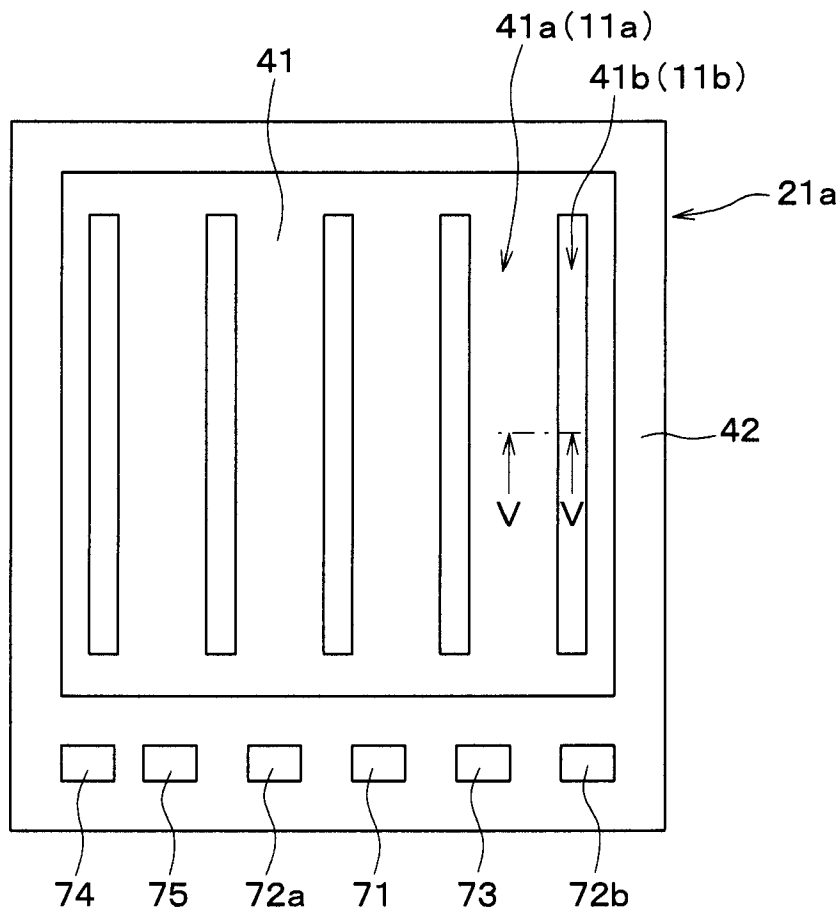
[図2]



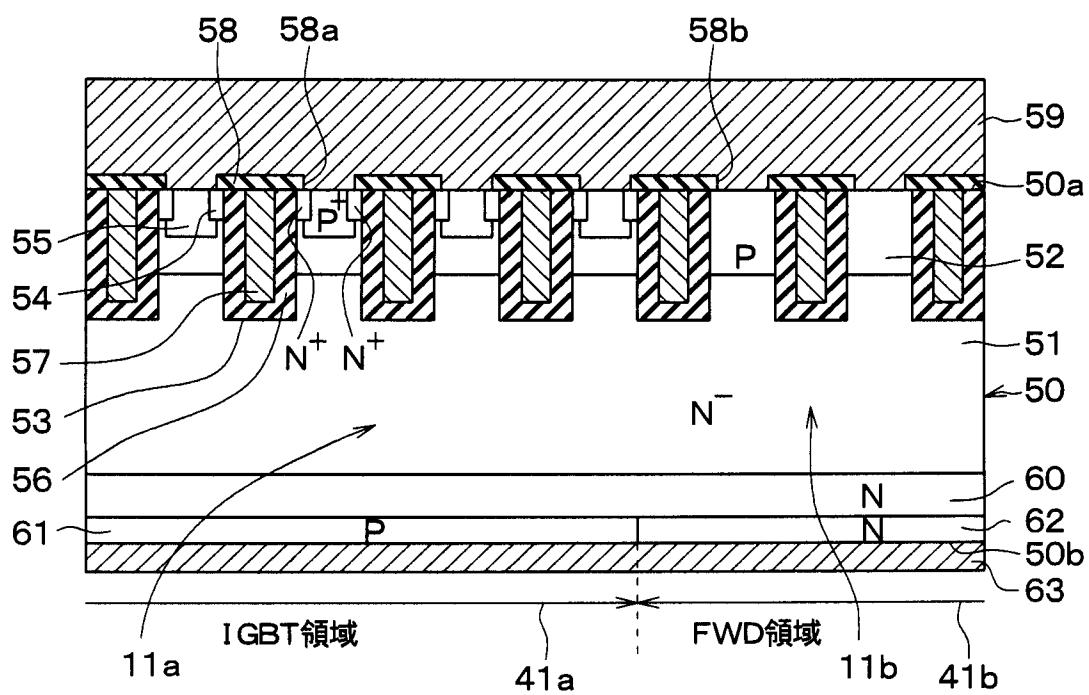
[図3]



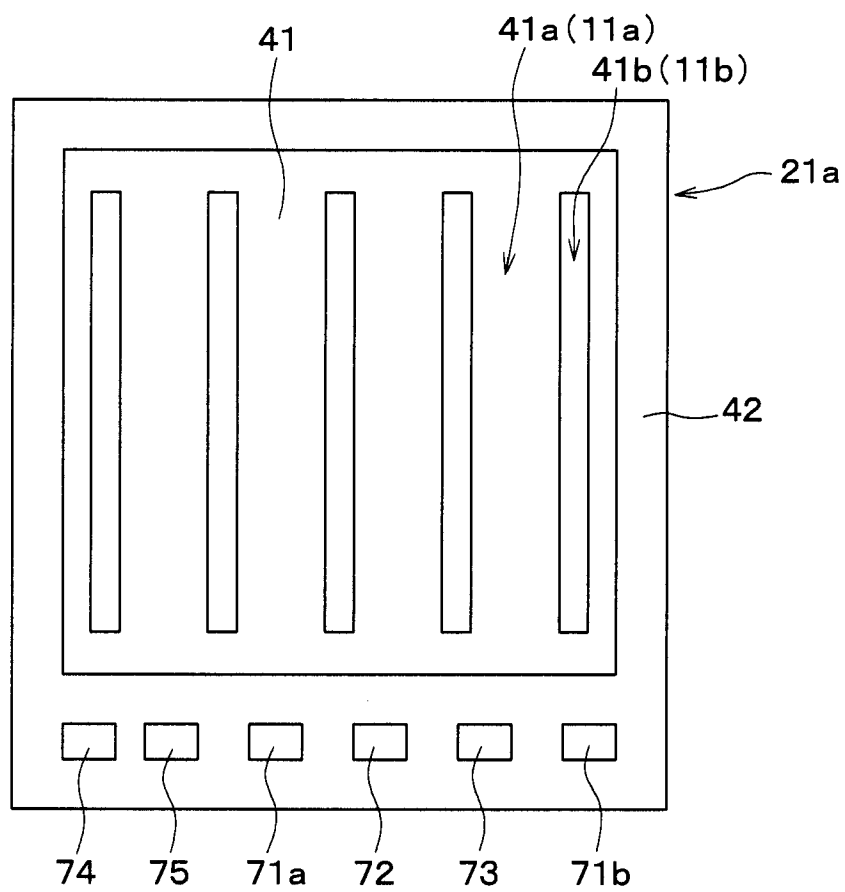
[図4]



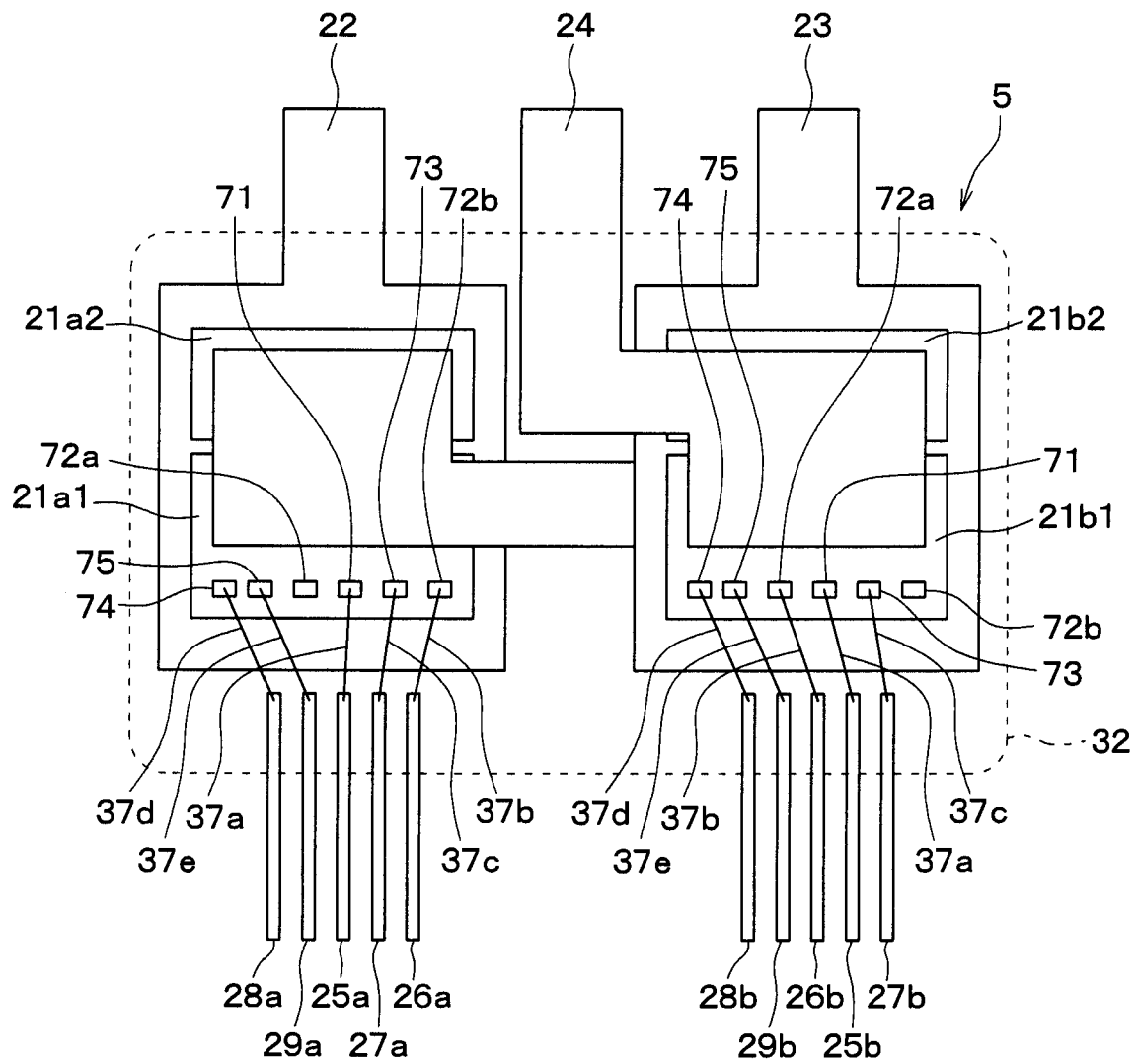
[図5]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/002581

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-149684 A (Denso Corp.), 01 August 2013 (01.08.2013), paragraphs [0032] to [0108]; fig. 1, 2 (Family: none)	1-3
A	JP 2015-15301 A (Denso Corp.), 22 January 2015 (22.01.2015), paragraphs [0054] to [0065]; fig. 17 to 21 & WO 2015/001727 A1 & CN 105359269 A	1-3
A	JP 11-220034 A (Hitachi, Ltd.), 10 August 1999 (10.08.1999), paragraphs [0010], [0014]; fig. 1, 4 (Family: none)	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 July 2016 (01.07.16)

Date of mailing of the international search report
12 July 2016 (12.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/002581

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-99444 A (Renesas Electronics Corp.), 29 May 2014 (29.05.2014), paragraphs [0037] to [0039]; fig. 3 (Family: none)	1-3

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/07, H01L25/18, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-149684 A（株式会社デンソー）2013.08.01, [0032]-[0108], 第1,2図（ファミリーなし）	1-3
A	JP 2015-15301 A（株式会社デンソー）2015.01.22, [0054]-[0065], 第17-21図 & WO 2015/001727 A1 & CN 105359269 A	1-3
A	JP 11-220034 A（株式会社日立製作所）1999.08.10, [0010], [0014], 第1,4図（ファミリーなし）	1-3
A	JP 2014-99444 A（ルネサスエレクトロニクス株式会社）2014.05.29, [0037]-[0039], 第3図（ファミリーなし）	1-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

01.07.2016

国際調査報告の発送日

12.07.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

秋山 直人

5D

5893

電話番号 03-3581-1101 内線 3551