



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

209397
(11) (B1)

(22) Přihlášeno 04 04 80
(21) (PV 2350-80)

(40) Zveřejněno 27 02 81

(45) Vydáno 01 07 83

(51) Int. Cl.³
H 03 K 19/20

(75)

Autor vynálezu

JIRKOVSKÝ JIŘÍ ing., VĚTROVEC JINDŘICH a
NĚMEČEK VÁCLAV ing., PLZEŇ

(54) Zapojení stavebnicové jednotky úplného systému základních logických funkcí

Vynález se týká zapojení stavebnicové jednotky úplného systému základních logických funkcí, určené zejména pro sestavování logických systémů, obsahujících jak kombinační tak i sekvenční funkce, např. v různých automatizačních zařízeních, používaných u válcovacích tratí a linek pro technologicke zpracování plechů, apod.

Až dosud se stavebnicové jednotky logických funkcí řeší tak, že sestávají např. ze čtyřvstupových logických členů, které realizují funkci inverze logického součtu nebo funkci inverze logického součinu. Jiné řešení obsahuje dvouvstupové nebo třívstupové logické členy NAND. Další řešení obsahuje funkce, realizované dvouvstupovými logickými členy NAND s tím, že je vyvedena u funkce logického součtu a logického součinu pouze tato funkce. Dále toto řešení obsahuje další čtyřvstupové logické členy, které realizuje složitější funkce, např. funkci logického součtu, logického součinu a jejich kombinací, zapojených v serii nebo paralelně vesměs s třemi výstupy, jako např. logický součet součinů, logický součin součtů, logický součin součtů, logický součin součinů, logický součet součtů, apod.

Nevýhodou dosud používaných stavebnicových jednotek je to, že tyto nemají vesměs vyvedené invertované výstupy a nebo naopak mají pouze výstupy ze členů, které realizují inverzi logického

součinu nebo součtu. V zapojeních, která sestávají z mnoha hradel jednoho druhu není jednotka v logickém systému plně využita, neboť z logického rozmístění logického automatu je nutné vést všechny jednotlivé signály na tuto jednotku. To vyžaduje delší spoje, které je nutno z hlediska elektrického rušení při velkých spínacích rychlostech ošetřit, nebo použít více jednotek. Jednotky, které obsahují další složitější funkce, jsou navrženy jednoúčelově a tudíž nejsou vždy využity všechny obvody, které jednotka poskytuje. Jednotky, které obsahují logické funkce zase obsahují redundandní obvody, neumožňují sestavovat sekvenční funkce, bez kterých se téměř žádný logický automat neobejde. Další nevýhodou je to, že při návrhu logického automatu ze stávajících stavebnicových jednotek je třeba provádět minimalizaci funkcí na určitý typ nebo druh logických členů, která je vždy komplikovanější a ne zcela exaktně určitelná proti minimalizaci, kterou lze realizovat základními členy logických funkcí Booleovy algebry.

Uvedené nevýhody odstraňuje zapojení stavebnicové jednotky úplného systému základních logických funkcí podle vynálezu, která sestává z osmi dvouvstupových logických členů NAND, dvou čtyřvstupových logických členů NAND, jedenácti vstupních svorek, napájecí vstupní svorky a deseti výstupních svorek.

Podstatou zapojení stavebnicové jednotky podle vynálezu je to, že k napájecí vstupní svorce je připojen jednak druhý vstup osmého dvouvstupového logického členu, jednak druhý a třetí vstup druhého čtyřvstupového logického členu a jednak druhý vstup sedmého dvouvstupového logického členu, druhý vstup šestého dvouvstupového logického členu, druhý vstup pátého dvouvstupového logického členu, druhý vstup čtvrtého dvouvstupového logického členu a druhý vstup druhého dvouvstupového logického členu, jehož výstup je připojen na druhou výstupní svorku. První vstup druhého dvouvstupového logického členu je pak paralelně zapojen na první výstupní svorku a výstup prvního dvouvstupového logického členu, jehož vstupy jsou připojeny na korespondující první dvě vstupní svorky. Třetí a čtvrtá vstupní svorka jsou spojeny s odpovídajícími vstupy třetího dvouvstupového logického členu, jehož výstup je připojen jednak ke třetí výstupní svorce a jednak k prvnímu vstupu čtvrtého dvouvstupového logického členu, jehož výstup je zapojen na čtvrtou výstupní svorku. Pátá, šestá, sedmá a osmá vstupní svorka jsou spojeny s korespondujícími vstupy prvního čtyřvstupového logického členu, jehož výstup je paralelně spojen s pátou výstupní svorkou a prvním vstupem pátého dvouvstupového logického členu, jehož výstup je zapojen na šestou výstupní svorku. Devátá vstupní svorka je pak spojena s prvním vstupem šestého dvouvstupového logického členu, jehož výstup je připojen jednak na sedmou výstupní svorku a jednak na první vstup druhého čtyřvstupového logického členu, jehož výstup je spojen s osmou výstupní svorkou. Čtvrtý výstup druhého čtyřvstupového logického členu je paralelně zapojen na devátou výstupní svorku a na výstup sedmého dvouvstupového logického členu, jehož první vstup je připojen k desáté vstupní svorce. K jedenácté vstupní svorce je připojen první vstup osmého dvouvstupového logického členu, jehož výstup je spojen s desátou výstupní svorkou.

Přínosem zapojení stavebnicové jednotky podle vynálezu je její jednoduchost a univerzálnost, jelikož vzájemným propojováním logických členů stavebnicové jednotky, nebo propojováním několika těchto stavebnicových jednotek, je možné realizovat libovolné funkce Booleovy algebry, a to jak kombinační tak i sekvenční. Řešení podle vynálezu lze tedy s výhodou použít pro realizaci prakticky všech logických automatizačních systémů.

Zapojení stavebnicové jednotky podle vynálezu je příkladně schematicky znázorněno blokovým schématem na připojeném výkresu.

Jak patrně z blokového schématu sestává stavebnicová jednotka podle vynálezu z osmi dvouvstupových logických členů NAND 1 až 8, dvou čtyřvstupových logických členů NAND 9, 10, jedenácti vstupních svorek A až K, napájecí vstupní svorky V a deseti výstupních svorek L až U. Jednotlivé logické členy 1 až 10 a svorky A až

V jsou pak zapojeny následovně. K napájecí vstupní svorce V je připojen jednak druhý vstup x osmého dvouvstupového logického členu 8, jednak druhý a třetí vstup u, v druhého čtyřvstupového logického členu 10 a jednak druhý vstup w sedmého dvouvstupového logického členu 7, druhý vstup t šestého dvouvstupového logického členu 6, druhý vstup s pátého dvouvstupového logického členu 5, druhý vstup r čtvrtého dvouvstupového logického členu 4 a druhý vstup q druhého dvouvstupového logického členu 2, jehož výstup je připojen na druhou výstupní svorku M. První vstup i druhého dvouvstupového logického členu 2 je paralelně spojen na první výstupní svorku L a výstup prvního dvouvstupového logického členu 1, jehož vstupy a, b jsou zapojeny na korespondující první dvě vstupní svorky A, B. Třetí a čtvrtá vstupní svorka C, D jsou spojeny s odpovídajícími vstupy c, d třetího dvouvstupového logického členu 3, jehož výstup je připojen jednak ke třetí výstupní svorce N a jednak k prvnímu vstupu m čtvrtého dvouvstupového logického členu 4, jehož výstup je zapojen na čtvrtou výstupní svorku O. Pátá, šestá, sedmá a osmá vstupní svorka E, F, G, H jsou spojeny s korespondujícími vstupy e, f, g, h prvního čtyřvstupového logického členu 9, jehož výstup je paralelně spojen s pátou výstupní svorkou P a prvním vstupem n pátého dvouvstupového logického členu 5, jehož výstup je zapojen na šestou výstupní svorku Q. Devátá vstupní svorka I je spojena s prvním vstupem i šestého dvouvstupového logického členu 6, jehož výstup je připojen jednak na sedmou výstupní svorku R a jednak na první vstup o druhého čtyřvstupového logického členu 10, jehož výstup je spojen s osmou výstupní svorkou S. Čtvrtý vstup p druhého čtyřvstupového logického členu 10 je pak paralelně zapojen na devátou výstupní svorku T a na výstup sedmého dvouvstupového logického členu 7, jehož první vstup j je připojen k desáté vstupní svorce J. K jedenácté vstupní svorce K je připojen první vstup k osmého dvouvstupového logického členu 8, jehož výstup je spojen s desátou výstupní svorkou U.

Vzájemným propojováním logických členů 1 až 10 stavebnicové jednotky, podle vynálezu lze získat následující funkce. Připojením vstupních signálů na první a druhou vstupní svorku A, B se získá z výstupu prvního dvouvstupového logického členu 1 na první výstupní svorce L funkce inverze logického součinu dvou vstupních proměnných na prvních dvou vstupních svorkách A, B a z výstupu druhého dvouvstupového logického členu 2 na druhé výstupní svorce M funkce logického součinu uvedených dvou vstupních proměnných. Připojením vstupních signálů na třetí a čtvrtou vstupní svorku C, D se obdrží z výstupu třetího dvouvstupového logického členu 3 na třetí výstupní svorce N funkce inverze logického součinu dvou vstupních proměnných na třetí a čtvrté vstupní svorce C, D a z výstupu čtvrtého logického členu 4 na čtvrté výstupní svorce O funkce logického součinu uvede-

ných dvou vstupních proměnných. Funkce prvních čtyř dvouvstupových logických členů 1 až 4 je tedy stejná a umožňuje propojením výstupních svorek L až O na vstupní svorky A až D obdržet paměť typu R-S. Např. propojením první výstupní svorky L s třetí vstupní svorkou C a třetí výstupní svorky N s druhou vstupní svorkou B vzniká na první výstupní svorce L a třetí výstupní svorce N paměťová funkce typu R-S vstupních proměnných na první a čtvrté vstupní svorce A, D. Tím se rozšiřuje schopnost stavebnicové jednotky podle vynálezu o řešení sekvenčních funkcí. Připojením vstupních signálů na pátou, šestou, sedmou a osmou vstupní svorku E, F, G, H se obdrží z výstupu prvního čtyřvstupového logického členu 9 na páté vstupní svorce P funkce inverze logického součinu čtyř vstupních proměnných na páté, šesté, sedmé a osmé vstupní svorce E, F, G, H a z výstupu pátého dvouvstupového logického členu 5 na šesté výstupní svorce Q funkce logického součinu uvedených čtyř vstupních proměnných. Tato funkce, která se v logických systémech velice často vyskytuje, je do stavebnicové jednotky podle vynálezu zařazena proto, že ani z předcházejících dvouvstupových logických členů 1 až 4 ji nelze sestavit. Připojením vstupních signálů na devátou a desátou vstupní svorku I, J se získá přes šestý a sedmý dvouvstupový logický člen 6, 7 z výstupu druhého čtyřvstupového logického členu 10 na osmé výstupní svorce S funkce logického součtu dvou vstupních proměnných na deváté a desáté vstupní svorce I, J mimoto se obdrží z výstupu sedmého dvouvstupového logického členu 7 na sedmé výstupní svorce R inverze vstupního signálu, přivedeného na devátou

vstupní svorku I a stejně se obdrží z výstupu sedmého dvouvstupového logického členu 7 na deváté výstupní svorce T inverze vstupního signálu, přivedeného na desátou vstupní svorku J. Osmý dvouvstupový logický člen 8 provádí inverzi vstupního signálu na jedenácté vstupní svorce K, která je vyvedena na desátou výstupní svorku U. Propojením výstupu logického součtu na osmé výstupní svorce S s jedenáctou vstupní svorkou K se obdrží z výstupu osmého dvouvstupového logického členu 8 na desáté výstupní svorce U inverze uvedeného logického součtu. Propojením druhého vstupu q druhého dvouvstupového logického členu 2, druhého vstupu r čtvrtého dvouvstupového logického členu 4, druhého vstupu s pátého dvouvstupového logického členu 5, druhého vstupu t šestého dvouvstupového logického členu 6, druhého a třetího vstupu u, v druhého čtyřvstupového logického členu 10, druhého vstupu w sedmého dvouvstupového logického členu 7 a druhého vstupu x osmého dvouvstupového logického členu 8 s napájecí vstupní svorkou V, na kterou je přivedeno napájecí napětí, se zvýší logický zisk výstupních funkcí a zároveň se sníží zatížení vstupních svorek stavebnicové jednotky pro logické členy, které jsou na tyto vstupní svorky připojeny.

Zapojení stavebnicové jednotky podle vynálezu lze s výhodou realizovat i při použití integrovaných obvodů, např. dvou dvouvstupových integrovaných obvodů NAND a jednoho čtyřvstupového integrovaného obvodu NAND, aniž by se podstata vynálezu změnila.

PŘEDMĚT VYNÁLEZU

Zapojení stavebnicové jednotky úplného systému základních logických funkcí, která sestává z osmi dvouvstupových logických členů NAND, dvou čtyřvstupových logických členů NAND, jedenácti vstupních svorek, napájecí vstupní svorky a deseti výstupních svorek, vyznačující se tím, že k napájecí vstupní svorce (V) je připojen jednak druhý vstup (x) osmého dvouvstupového logického členu (8), jednak druhý a třetí vstup (u, v) druhého čtyřvstupového logického členu (10) a jednak druhý vstup (w) sedmého dvouvstupového logického členu (7), druhý vstup (t) šestého dvouvstupového logického členu (6), druhý vstup (s) pátého dvouvstupového logického členu (5), druhý vstup (r) čtvrtého dvouvstupového logického členu (4) a druhý vstup (q) druhého dvouvstupového logického členu (2), jehož výstup je připojen na druhou výstupní svorku (M) a první vstup (i) paralelně na první výstupní svorku (L) a výstup prvního dvouvstupového logického členu (1), jehož vstupy (a, b) jsou zapojeny na korespondující první dvě vstupní svorky (A, B) a třetí a čtvrtá vstupní svorka (C, D) jsou spojeny s odpovídajícími vstupy (c, d) třetího dvouvstupového logického členu (3), jehož výstup je připojen jednak ke třetí výstupní svorce (N)

a jednak k prvnímu vstupu (m) čtvrtého dvouvstupového logického členu (4), jehož výstup je zapojen na čtvrtou výstupní svorku (O), přičemž pátá, šestá, sedmá a osmá vstupní svorka (E, F, G, H) jsou spojeny s korespondujícími vstupy (e, f, g, h) prvního čtyřvstupového logického členu (9), jehož výstup je paralelně spojen s pátou výstupní svorkou (P) a prvním vstupem (n) pátého dvouvstupového logického členu (5), jehož výstup je zapojen na šestou výstupní svorku (Q) a devátá vstupní svorka (I) je spojena s prvním vstupem (i) šestého dvouvstupového logického členu (6), jehož výstup je připojen jednak na sedmou výstupní svorku (R) a jednak na první vstup (o) druhého čtyřvstupového logického členu (10), jehož výstup je spojen s osmou výstupní svorkou (S) a jehož čtvrtý vstup (p) je paralelně zapojen na devátou výstupní svorku (T) a na výstup sedmého dvouvstupového logického členu (7), jehož první vstup (j) je připojen k desáté vstupní svorce (J), přičemž k jedenácté vstupní svorce (K) je připojen první vstup (k) osmého dvouvstupového logického členu (8), jehož výstup je spojen s desátou výstupní svorkou (U).

