

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-335603

(P2004-335603A)

(43) 公開日 平成16年11月25日(2004.11.25)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 25/085	HO 1 L 25/08	5 F 0 6 1
HO 1 L 21/56	HO 1 L 21/56	
HO 1 L 25/07		
HO 1 L 25/18		

審査請求 未請求 請求項の数 12 O L (全 14 頁)

(21) 出願番号	特願2003-127057 (P2003-127057)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成15年5月2日(2003.5.2)	(74) 代理人	100066980 弁理士 森 哲也
		(74) 代理人	100075579 弁理士 内藤 嘉昭
		(74) 代理人	100103850 弁理士 崔 秀▲てつ▼
		(72) 発明者	青▲柳▼ 哲理 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5F061 AA01 BA07

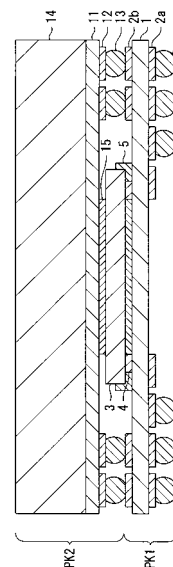
(54) 【発明の名称】 半導体装置、電子デバイス、電子機器および半導体装置の製造方法

(57) 【要約】

【課題】 積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、半導体パッケージ間の剥離を抑止する。

【解決手段】 突出電極13を介して互いに接合された半導体パッケージPK1、PK2において、半導体チップ3の少なくとも一部が露出するように半導体チップ3上に樹脂15を配置し、樹脂15を介して半導体パッケージPK2を半導体チップ3に固着する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 半導体チップが搭載された第 1 半導体パッケージと、  
前記第 1 半導体チップ上に配置されるようにして、前記第 1 半導体パッケージ上に支持された第 2 半導体パッケージと、  
前記第 1 半導体チップの少なくとも一部が露出するように配置され、前記第 1 半導体チップと前記第 2 半導体パッケージとの間に設けられた樹脂とを備えることを特徴とする半導体装置。

## 【請求項 2】

第 1 半導体チップが搭載された第 1 半導体パッケージと、  
前記第 1 半導体チップ上に端部が配置されるようにして、前記第 1 半導体パッケージ上に支持された第 2 半導体パッケージと、  
前記第 1 半導体チップの少なくとも一部が露出するように配置され、前記第 1 半導体チップと前記第 2 半導体パッケージとの間に設けられた樹脂とを備えることを特徴とする半導体装置。

10

## 【請求項 3】

前記樹脂は、前記第 2 半導体パッケージと前記第 1 半導体チップの対向面にのみ設けられていることを特徴とする請求項 1 または 2 記載の半導体装置。

## 【請求項 4】

前記樹脂は前記第 1 半導体チップの中央部に設けられていることを特徴とする請求項 1 ~ 3 のいずれか 1 項記載の半導体装置。

20

## 【請求項 5】

前記樹脂にはフィラーが混入されていることを特徴とする請求項 1 ~ 4 のいずれか 1 項記載の半導体装置。

## 【請求項 6】

前記第 1 半導体パッケージは、  
前記第 1 半導体チップがフリップチップ実装された第 1 キャリア基板と、  
前記第 1 半導体チップと前記第 1 キャリア基板との間に設けられた樹脂層とを備え、  
前記第 2 半導体パッケージは、  
第 2 半導体チップと、  
前記第 2 半導体チップが実装された第 2 キャリア基板と、  
前記第 1 キャリア基板上に接合され、前記第 1 半導体チップ上に前記第 2 キャリア基板を保持する突出電極と、  
前記第 2 半導体チップを封止する封止材とを備えることを特徴とする請求項 1 ~ 5 のいずれか 1 項記載の半導体装置。

30

## 【請求項 7】

前記突出電極はハンダボールであることを特徴とする請求項 6 記載の半導体装置。

## 【請求項 8】

前記第 1 半導体チップと前記第 2 半導体パッケージとの間に設けられた樹脂は、前記第 1 半導体チップと前記第 1 キャリア基板との間に設けられた樹脂層よりも弾性率が低いことを特徴とする請求項 6 または 7 記載の半導体装置。

40

## 【請求項 9】

前記第 1 半導体パッケージは、前記第 1 キャリア基板上に前記第 1 半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第 2 半導体パッケージは、前記第 2 キャリア基板上に搭載された第 2 半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする請求項 6 ~ 8 のいずれか 1 項記載の半導体装置。

## 【請求項 10】

電子部品が搭載された第 1 パッケージと、  
前記電子部品上に配置されるようにして、前記第 1 パッケージ上に支持された第 2 パッケージ

50

ージと、

前記電子部品の少なくとも一部が露出するように配置され、前記電子部品と前記第2パッケージとの間に設けられた樹脂とを備えることを特徴とする電子デバイス。

【請求項11】

第1半導体チップが搭載された第1半導体パッケージと、前記第1半導体チップ上に配置されるようにして、前記第1半導体パッケージ上に支持された第2半導体パッケージと、前記第1半導体チップの少なくとも一部が露出するように配置され、前記第1半導体チップと前記第2半導体パッケージとの間に設けられた樹脂と、

前記第2半導体パッケージが支持される前記第1半導体パッケージを搭載するマザー基板と、

前記マザー基板を介して前記第1半導体チップに接続された電子部品とを備えることを特徴とする電子機器。

【請求項12】

第1半導体パッケージに搭載された第1半導体チップ上に樹脂を供給する工程と、

前記第1半導体チップの少なくとも一部が前記樹脂から露出するようにして、第2半導体チップが搭載された第2半導体パッケージを前記第1半導体パッケージ上に実装する工程とを備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、電子デバイス、電子機器および半導体装置の製造方法に関し、特に、半導体パッケージの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体パッケージでは、例えば、特許文献1に開示されているように、ハンダボールを介して半導体パッケージを積層することにより、省スペース化を図ることが行われている。ここで、積層された半導体パッケージ間に樹脂を充填することが行われている。

【0003】

【特許文献1】

特開2002-170906号公報

【0004】

【発明が解決しようとする課題】

しかしながら、従来の半導体パッケージでは、ハンダボールを介して積層された半導体パッケージ間の隙間全体に樹脂が充填される。このため、半導体パッケージ間に充填された樹脂をキュアする際に、樹脂に含まれる水分が十分に抜け切らず、半導体パッケージ間に充填された樹脂に水分が残留する。このため、積層された半導体パッケージの2次実装時のリフロア時に、半導体パッケージ間に充填された樹脂に含まれる水分が気化して膨張し、半導体パッケージ間で剥離が発生することがあるという問題があった。

【0005】

そこで、本発明の目的は、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、半導体パッケージ間の剥離を抑止することが可能な半導体装置、電子デバイス、電子機器および半導体装置の製造方法を提供することである。

【0006】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、第1半導体チップが搭載された第1半導体パッケージと、前記第1半導体チップ上に配置されるようにして、前記第1半導体パッケージ上に支持された第2半導体パッケージと、前記第1半導体チップの少なくとも一部が露出するように配置され、前記第1半導体チップと前記第2半導体パッケージとの間に設けられた樹脂とを備えることを特徴とする。

【0007】

10

20

30

40

50

これにより、第1半導体チップ上に配置された樹脂を介して第1半導体パッケージと第2半導体パッケージとを固定することが可能となり、第1半導体パッケージと第2半導体パッケージとの間に樹脂を設けた場合においても、第1半導体パッケージと第2半導体パッケージとの間に隙間を残すことが可能となる。このため、第1半導体パッケージと第2半導体パッケージとの間の樹脂に含まれる水分を抜け出し易くすることが可能となり、2次実装時にリフロー処理が行われる場合においても、第1半導体パッケージと第2半導体パッケージとの間の樹脂が膨張することを抑制することが可能となる。この結果、第1半導体パッケージと第2半導体パッケージとの間の剥離を抑止することを可能としつつ、第1半導体パッケージと第2半導体パッケージとを樹脂で固着させることが可能となり、第1半導体パッケージと第2半導体パッケージとの間の位置ずれを防止することが可能となる。

10

**【0008】**

また、本発明の一態様に係る半導体装置によれば、第1半導体チップが搭載された第1半導体パッケージと、前記第1半導体チップ上に端部が配置されるようにして、前記第1半導体パッケージ上に支持された第2半導体パッケージと、前記第1半導体チップの少なくとも一部が露出するように配置され、前記第1半導体チップと前記第2半導体パッケージとの間に設けられた樹脂とを備えることを特徴とする。

**【0009】**

これにより、第1半導体チップ上に配置された樹脂を介して第1半導体パッケージと第2半導体パッケージとを固定することが可能となり、第1半導体パッケージと第2半導体パッケージとの間に樹脂を設けた場合においても、第1半導体パッケージと第2半導体パッケージとの間に隙間を残すことが可能となるとともに、同一の第1半導体チップ上に複数の半導体パッケージを配置することが可能となる。このため、実装面積をより一層縮小することを可能としつつ、第1半導体パッケージと第2半導体パッケージとの間の剥離を抑止することが可能となるとともに、積層された第1半導体パッケージおよび第2半導体パッケージの2次実装時の位置ずれを防止することが可能となる。

20

**【0010】**

また、本発明の一態様に係る半導体装置によれば、前記樹脂は、前記第2半導体パッケージと前記第1半導体チップの対向面にのみ設けられていることを特徴とする。

これにより、第1半導体パッケージに樹脂を接触させることなく、第1半導体チップ上に配置された樹脂を介して第1半導体パッケージと第2半導体パッケージとを効率よく固着させることが可能となる。このため、第1半導体パッケージと第2半導体パッケージとの間の剥離を抑止することが可能としつつ、積層された第1半導体パッケージおよび第2半導体パッケージの2次実装時の位置ずれを防止することが可能となる。

30

**【0011】**

また、本発明の一態様に係る半導体装置によれば、前記樹脂は前記第1半導体チップの中央部に設けられていることを特徴とする。

これにより、突出電極を介して第1半導体パッケージと第2半導体パッケージとを電氣的に接続した場合においても、突出電極から離れた位置に樹脂を配置することが可能となる。このため、樹脂の伸び縮みの影響が突出電極に及ぶことを抑制することが可能となり、温度サイクルなどでの耐久性を向上させることが可能となる。

40

**【0012】**

また、本発明の一態様に係る半導体装置によれば、前記樹脂にはフィラーが混入されていることを特徴とする。

これにより、樹脂の粘度を容易に制御することが可能となり、樹脂の液垂れを防止することを可能として、樹脂の存在範囲を容易に制御することが可能となる。

**【0013】**

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1半導体チップがフリップチップ実装された第1キャリア基板と、前記第1半導体チップと前記第1キャリア基板との間に設けられた樹脂層とを備え、前記第2半導体パッケージ

50

は、第2半導体チップと、前記第2半導体チップが実装された第2キャリア基板と、前記第1キャリア基板上に接合され、前記第1半導体チップ上に前記第2キャリア基板を保持する突出電極と、前記第2半導体チップを封止する封止材とを備えることを特徴とする。

【0014】

これにより、第1半導体パッケージおよび第2半導体パッケージの種類が異なる場合においても、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、第1半導体パッケージおよび第2半導体パッケージとの間の剥離を抑止することが可能となり、省スペース化を可能としつつ、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることができる。

【0015】

また、本発明の一態様に係る半導体装置によれば、前記突出電極はハンダボールであることを特徴とする。

これにより、リフロー処理を行うことで、第1半導体パッケージと第2半導体パッケージとを電気的に接続することが可能となり、第2半導体パッケージを第1半導体パッケージ上に効率よく実装することが可能となる。

【0016】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップと前記第2半導体パッケージとの間に設けられた樹脂は、前記第1半導体チップと前記第1キャリア基板との間に設けられた樹脂層よりも弾性率が低いことを特徴とする。

これにより、第1半導体チップに加わる衝撃を第1半導体チップと第2半導体パッケージとの間に設けられた樹脂に効率よく吸収させることが可能となる。このため、半導体チップの耐衝撃性を向上させることが可能となり、半導体チップの信頼性を確保しつつ、複数の半導体チップを積層することが可能となる。

【0017】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板上に搭載された第2半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする。

【0018】

これにより、汎用パッケージを用いた場合においても、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、第1半導体パッケージおよび第2半導体パッケージとの間の剥離を抑止することが可能となり、生産効率を劣化させることなく、異種パッケージ間の接続信頼性を向上させることが可能となる。また、本発明の一態様に係る電子デバイスによれば、電子部品が搭載された第1パッケージと、前記電子部品上に配置されるようにして、前記第1パッケージ上に支持された第2パッケージと、前記電子部品の少なくとも一部が露出するように配置され、前記電子部品と前記第2パッケージとの間に設けられた樹脂とを備えることを特徴とする。

【0019】

これにより、電子部品上に配置された樹脂を介して第1パッケージと第2パッケージとを固定することが可能となり、第1パッケージと第2パッケージとの間に樹脂を設けた場合においても、第1パッケージと第2パッケージとの間に隙間を残すことが可能となる。このため、第1パッケージと第2パッケージとの間の剥離を抑止することを可能としつつ、第1パッケージと第2パッケージとを樹脂で固着させることが可能となり、第1パッケージと第2パッケージとの間の位置ずれを防止することが可能となる。

【0020】

また、本発明の一態様に係る電子機器によれば、第1半導体チップが搭載された第1半導体パッケージと、前記第1半導体チップ上に配置されるようにして、前記第1半導体パッケージ上に支持された第2半導体パッケージと、前記第1半導体チップの少なくとも一部が露出するように配置され、前記第1半導体チップと前記第2半導体パッケージとの間に

10

20

30

40

50

設けられた樹脂と、前記第 2 半導体パッケージが支持される前記第 1 半導体パッケージを搭載するマザー基板と、前記マザー基板を介して前記第 1 半導体チップに接続された電子部品とを備えることを特徴とする。

【0021】

これにより、積層された半導体パッケージの信頼性の劣化を抑制しつつ、2 次実装時の半導体パッケージの位置ずれを防止することが可能となり、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

また、本発明の一態様に係る半導体装置の製造方法によれば、第 1 半導体パッケージに搭載された第 1 半導体チップ上に樹脂を供給する工程と、前記第 1 半導体チップの少なくとも一部が前記樹脂から露出するようにして、第 2 半導体チップが搭載された第 2 半導体パッケージを前記第 1 半導体パッケージ上に実装する工程とを備えることを特徴とする。

10

【0022】

これにより、第 1 半導体パッケージと第 2 半導体パッケージとの間に樹脂を充填した場合においても、第 1 半導体パッケージと第 2 半導体パッケージとの間に隙間を残すことが可能となり、積層された半導体パッケージの 2 次実装時の位置ずれを防止しつつ、第 1 半導体パッケージと第 2 半導体パッケージとの間の剥離を抑止することが可能となる。

【0023】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置およびその製造方法について図面を参照しながら説明する。

20

図 1 は、本発明の第 1 実施形態に係る半導体装置の概略構成を示す断面図である。

【0024】

図 1 において、半導体パッケージ P K 1 にはキャリア基板 1 が設けられ、キャリア基板 1 の両面にはランド 2 a、2 b がそれぞれ形成されている。そして、キャリア基板 1 上には半導体チップ 3 がフリップチップ実装され、半導体チップ 3 には、フリップチップ実装するための突出電極 4 が設けられている。そして、半導体チップ 3 に設けられた突出電極 4 は、異方性導電シート 5 を介してランド 2 b 上に A C F ( A n i s o t r o p i c C o n d u c t i v e F i l m ) 接合されている。

【0025】

一方、半導体パッケージ P K 2 にはキャリア基板 1 1 が設けられ、キャリア基板 1 1 の裏面にはランド 1 2 が形成され、ランド 1 2 上には突出電極 1 3 が設けられている。また、キャリア基板 1 1 上には半導体チップが実装され、半導体チップが実装されたキャリア基板 1 1 は、封止樹脂 1 4 で封止されている。なお、キャリア基板 1 1 上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

30

【0026】

そして、キャリア基板 1 上に設けられたランド 2 b に突出電極 1 3 を接合させることにより、キャリア基板 1 1 が半導体チップ 3 上に配置されるようにして、半導体パッケージ P K 2 が半導体パッケージ P K 1 上に実装されている。

また、半導体チップ 3 上には、半導体チップ 3 の少なくとも一部が露出するように樹脂 1 5 が配置され、半導体パッケージ P K 2 は樹脂 1 5 を介して半導体チップ 3 に固着されている。ここで、樹脂 1 5 としては、樹脂ペーストまたは樹脂シートのいずれを用いるようにしてもよい。

40

【0027】

これにより、半導体チップ 3 上に配置された樹脂 1 5 を介して半導体パッケージ P K 1 と半導体パッケージ P K 2 とを固定することが可能となり、半導体パッケージ P K 1、P K 2 間に樹脂 1 5 を設けた場合においても、半導体パッケージ P K 1、P K 2 間に隙間を残すことが可能となる。このため、半導体パッケージ P K 1、P K 2 間の樹脂 1 5 に含まれる水分を抜け出し易くすることが可能となり、2 次実装時に突出電極 6 のリフロー処理が行われる場合においても、半導体パッケージ P K 1、P K 2 間の樹脂 1 5 が膨張すること

50

を抑制することが可能となる。この結果、半導体パッケージ P K 1、P K 2 間の剥離を抑止することを可能としつつ、半導体パッケージ P K 1 と半導体パッケージ P K 2 とを樹脂 1 5 で固着させることが可能となり、半導体パッケージ P K 1、P K 2 間の位置ずれを防止することが可能となる。

【 0 0 2 8 】

なお、樹脂 1 5 は、半導体パッケージ P K 2 と半導体チップ 3 の対向面にのみ設けるようにしてもよい。これにより、半導体パッケージ P K 1 に樹脂 1 5 を接触させることなく、半導体チップ 3 上に配置された樹脂 1 5 を介して半導体パッケージ P K 1 と半導体パッケージ P K 2 とを効率よく固着させることが可能となり、半導体パッケージ P K 1、P K 2 間の剥離を抑止することが可能としつつ、積層された半導体パッケージ P K 1、P K 2 の 2 次実装時の位置ずれを防止することが可能となる。

10

【 0 0 2 9 】

また、樹脂 1 5 は、半導体チップ 1 5 の中央部に設けるようにしてもよい。これにより、突出電極 1 3 を介して半導体パッケージ P K 1 と半導体パッケージ P K 2 とを電氣的に接続した場合においても、突出電極 1 3 から離れた位置に樹脂 1 5 を配置することが可能となる。このため、樹脂 1 5 の伸び縮みの影響が突出電極 1 3 に及ぶことを抑制することが可能となり、温度サイクルなどでの耐久性を向上させることが可能となる。

【 0 0 3 0 】

また、半導体チップ 3 と半導体パッケージ P K 2 との間に設けられた樹脂 1 5 は、半導体チップ 3 とキャリア基板 1 との間に設けられた異方性導電シート 5 よりも弾性率が低いことが好ましい。これにより、半導体チップ 3 に加わる衝撃を樹脂 1 5 に効率よく吸収させることが可能となる。このため、半導体チップ 3 の耐衝撃性を向上させることが可能となり、半導体チップ 3 の信頼性を確保しつつ、半導体パッケージ P K 1、P K 2 を積層することが可能となる。

20

【 0 0 3 1 】

また、樹脂 1 5 には、シリカやアルミナなどのフィラーが混入されるようにしてもよい。これにより、樹脂 1 5 の粘度を容易に制御することが可能となり、樹脂 1 5 の液垂れを防止することを可能として、樹脂 1 5 の存在範囲を容易に制御することが可能となる。また、半導体チップ 3 上の樹脂 1 5 は、1ヶ所にのみ配置されていてもよいが、半導体チップ 3 上に分散して配置するようにしてもよい。ここで、半導体チップ 3 上に樹脂 1 5 を分散して配置することにより、樹脂 1 5 に含まれる水分を逃がすための経路を半導体チップ 3 上に確保することが可能となり、半導体チップ 3 と半導体パッケージ P K 2 との間

30

【 0 0 3 2 】

また、キャリア基板 1、1 1 としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板 1、1 1 の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、B T レジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極 4、6、1 3 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいはハンダボールなどを用いることができる。

40

【 0 0 3 3 】

さらに、突出電極 1 3 を介して半導体パッケージ P K 1、P K 2 を互いに接合させる場合、半田接合や合金接合などの金属接合を用いるようにしてもよく、ACF 接合、NCF ( Non conductive Film ) 接合、ACP ( Anisotropic Conductive Paste ) 接合、NCP ( Non conductive Paste ) 接合などの圧接接合を用いるようにしてもよい。また、上述した実施形態では、突出電極 4 を介して半導体チップ 3 をキャリア基板 1 にフリップチップ実装する場合、ACF 接合を用いる方法について説明したが、NCF 接合、ACP 接合、NCP 接合などの圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。

50

## 【0034】

図2は、図1の半導体装置の製造方法の一例を示す断面図である。

図2(a)において、半導体パッケージPK1上に半導体パッケージPK2を積層する場合、半導体パッケージPK2のランド12上に、突出電極13としてハンダボールを形成するとともに、キャリア基板1のランド2b上にフラックス7を供給する。また、ディスペンサなどを用いることにより、半導体チップ3上に樹脂15を供給する。

## 【0035】

次に、図2(b)に示すように、半導体パッケージPK1上に半導体パッケージPK2をマウントする。そして、突出電極13のリフロー処理を行うことにより、突出電極13を溶融させ、突出電極13をランド2b上に接合させる。

ここで、突出電極13をランド2b上に接合させる場合、Aステージ状態(昇温により樹脂が軟化する状態)またはBステージ状態(昇温により、樹脂粘度が高くなる状態)に樹脂15を維持することが好ましい。これにより、突出電極13の溶融時の表面張力により、突出電極13をランド2b上に自己整合的に配置することが可能となり、半導体パッケージPK1上に半導体パッケージPK2を精度よく配置することが可能となる。そして、突出電極13がランド2b上に接合されると、突出電極13のリフロー時の温度よりも低い温度で樹脂15をキュアし、樹脂15をCステージ状態(硬化状態)に移行させる。

## 【0036】

ここで、半導体チップ3の少なくとも一部が露出するように半導体チップ3上に樹脂15を設けることにより、樹脂15に含まれる水分を逃がすための隙間を確保しつつ、半導体チップ3を介して半導体パッケージPK1、PK2を互いに固着させることが可能となるとともに、樹脂15に含まれる水分の残留量を減らすことが可能となる。

## 【0037】

次に、図2(c)に示すように、キャリア基板1の裏面に設けられたランド2a上に、キャリア基板1をマザー基板8上に実装するための突出電極6を形成する。

次に、図2(d)に示すように、突出電極6が形成されたキャリア基板1をマザー基板8上にマウントする。そして、突出電極6のリフロー処理を行うことにより、突出電極6をマザー基板8のランド9上に接合させる。

## 【0038】

ここで、半導体チップ3の少なくとも一部が露出するように半導体チップ3上に樹脂15を設けることにより、半導体パッケージPK1、PK2間の樹脂15に含まれる水分がほとんど除去された状態で、突出電極6のリフロー処理を行うことができる。このため、突出電極6のリフロー時に樹脂15が膨張することを抑制することが可能となり、半導体パッケージPK1、PK2が互いに剥離することを防止することが可能となる。また、突出電極6のリフロー時に突出電極13の再リフローが行われる場合においても、半導体パッケージPK1、PK2が樹脂15で互いに固定されたままの状態を維持することが可能となり、半導体パッケージPK1、PK2間の位置ずれを防止することが可能となる。

## 【0039】

なお、上述した実施形態では、半導体パッケージPK2を半導体パッケージPK1上に実装するために、キャリア基板1のランド2b上に突出電極13を設けるとともに、キャリア基板1のランド12上にフラックス7を供給する方法について説明したが、キャリア基板1のランド2b上にフラックス7を供給するとともに、キャリア基板1のランド12上に突出電極13を設けるようにしてもよい。フラックス7の代わりにはんだペーストを用いても良い。また、上述した実施形態では、ディスペンサなどを用いることにより、半導体チップ3上にペースト状の樹脂15を供給する方法について説明したが、半導体チップ3上にシート状の樹脂15を供給するようにしてもよい。

## 【0040】

図3は、本発明の第2実施形態に係る半導体装置の概略構成を示す断面図である。

図3において、半導体パッケージPK11にはキャリア基板21が設けられ、キャリア基板21の両面にはランド22a、22cがそれぞれ形成されるとともに、キャリア基板2

10

20

30

40

50

1 内には内部配線 2 2 b が形成されている。そして、キャリア基板 2 1 上には半導体チップ 2 3 がフリップチップ実装され、半導体チップ 2 3 には、フリップチップ実装するための突出電極 2 4 が設けられている。そして、半導体チップ 2 3 に設けられた突出電極 2 4 は、異方性導電シート 2 5 を介してランド 2 2 c 上に A C F 接合されている。また、キャリア基板 2 1 の裏面に設けられたランド 2 2 a 上には、キャリア基板 2 1 をマザー基板上に実装するための突出電極 2 6 が設けられている。

【 0 0 4 1 】

一方、半導体パッケージ P K 1 2 にはキャリア基板 3 1 が設けられ、キャリア基板 3 1 の両面にはランド 3 2 a、3 2 c がそれぞれ形成されるとともに、キャリア基板 3 1 内には内部配線 3 2 b が形成されている。そして、キャリア基板 3 1 上には、接着層 3 4 a を介し半導体チップ 3 3 a がフェースアップ実装され、半導体チップ 3 3 a は、導電性ワイヤ 3 5 a を介してランド 3 2 c にワイヤボンダ接続されている。さらに、半導体チップ 3 3 a 上には、導電性ワイヤ 3 5 a を避けるようにして、半導体チップ 3 3 b がフェースアップ実装され、半導体チップ 3 3 b は、接着層 3 4 b を介して半導体チップ 3 3 a 上に固定されるとともに、導電性ワイヤ 3 5 b を介してランド 3 2 c にワイヤボンダ接続されている。

10

【 0 0 4 2 】

また、キャリア基板 3 1 の裏面に設けられたランド 3 2 a 上には、キャリア基板 3 1 が半導体チップ 2 3 上に保持されるようにして、キャリア基板 3 1 をキャリア基板 2 1 上に実装するための突出電極 3 6 が設けられている。ここで、突出電極 3 6 は、半導体チップ 2 3 の搭載領域を避けるようにして配置され、例えば、キャリア基板 3 1 の裏面の周囲に突出電極 3 6 を配置することができる。そして、キャリア基板 2 1 上に設けられたランド 2 2 c に突出電極 3 6 を接合させることにより、キャリア基板 3 1 がキャリア基板 2 1 上に実装されている。

20

【 0 0 4 3 】

また、半導体チップ 3 3 a、3 3 b の実装面側のキャリア基板 3 1 上には封止樹脂 3 7 が設けられ、この封止樹脂 3 7 により半導体チップ 3 3 a、3 3 b が封止されている。なお、封止樹脂 3 7 で半導体チップ 3 3 a、3 3 b を封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。

【 0 0 4 4 】

また、半導体チップ 2 3 上には、半導体チップ 2 3 の少なくとも一部が露出するように樹脂 3 8 が配置され、半導体パッケージ P K 1 2 は樹脂 3 8 を介して半導体チップ 2 3 に固着されている。

30

これにより、異種パッケージを積層した場合においても、突出電極 3 6 を介して接続されたキャリア基板 2 1、3 1 間に隙間を残したままの状態、キャリア基板 2 1、3 1 間に樹脂 3 8 を設けることが可能となる。このため、サイズまたは種類の異なる半導体チップ 2 3、3 3 a、3 3 b を実装する際の省スペース化を図ることが可能となるとともに、積層された半導体パッケージ P K 1 1、P 1 2 の 2 次実装時の位置ずれを防止しつつ、半導体パッケージ P K 1 1、P 1 2 間の剥離を抑制することが可能となる。

【 0 0 4 5 】

図 4 は、本発明の第 3 実施形態に係る半導体装置の概略構成を示す断面図である。

図 4 において、半導体パッケージ P K 2 1 にはキャリア基板 4 1 が設けられ、キャリア基板 4 1 の両面にはランド 4 2 a、4 2 c がそれぞれ形成されるとともに、キャリア基板 4 1 内には内部配線 4 2 b が形成されている。そして、キャリア基板 4 1 上には、半導体チップ 4 3 がフリップチップ実装され、半導体チップ 4 3 には、フリップチップ実装するための突出電極 4 4 が設けられている。そして、半導体チップ 4 3 に設けられた突出電極 4 4 は、異方性導電シート 4 5 を介してランド 4 2 c 上に A C F 接合されている。また、キャリア基板 4 1 の裏面に設けられたランド 4 2 a 上には、キャリア基板 4 1 をマザー基板上に実装するための突出電極 4 6 が設けられている。

40

【 0 0 4 6 】

50

一方、半導体パッケージ P K 2 2 には半導体チップ 5 1 が設けられ、半導体チップ 5 1 には、電極パッド 5 2 が設けられるとともに、電極パッド 5 2 が露出するようにして、絶縁膜 5 3 が設けられている。そして、半導体チップ 5 1 上には、電極パッド 5 2 が露出するようにして応力緩和層 5 4 が形成され、電極パッド 5 2 上には、応力緩和層 5 4 上に延伸された再配置配線 5 5 が形成されている。そして、再配置配線 5 5 上にはソルダレジスト膜 5 6 が形成され、ソルダレジスト膜 5 6 には、応力緩和層 5 4 上において再配置配線 5 5 を露出させる開口部 5 7 が形成されている。そして、開口部 5 7 を介して露出された再配置配線 5 5 上には、半導体パッケージ P K 3 2 が半導体チップ 5 3 上に保持されるように、半導体チップ 5 1 をキャリア基板 4 1 上にフェースダウン実装するための突出電極 5 8 が設けられている。

10

## 【 0 0 4 7 】

ここで、突出電極 5 8 は、半導体チップ 4 3 の搭載領域を避けるようにして配置され、例えば、半導体チップ 5 1 の周囲に突出電極 5 8 を配置することができる。そして、キャリア基板 4 1 上に設けられたランド 4 2 c 上に突出電極 5 8 が接合され、半導体パッケージ P K 2 2 がキャリア基板 4 1 上に実装されている。

また、半導体チップ 4 3 上には、半導体チップ 4 3 の少なくとも一部が露出するように樹脂 5 9 が配置され、半導体パッケージ P K 2 2 は樹脂 5 9 を介して半導体チップ 4 3 に固着されている。

## 【 0 0 4 8 】

これにより、半導体パッケージ P K 2 1 上に W - C S P ( ウェハレベル - チップサイズパッケージ ) を積層した場合においても、突出電極 5 8 を介して接合されたキャリア基板 4 1 と半導体チップ 5 1 との間に隙間を残したままの状態、キャリア基板 4 1 と半導体チップ 5 1 との間に樹脂 5 9 を設けることが可能となる。このため、半導体チップ 4 3、5 1 の種類またはサイズが異なる場合においても、半導体チップ 4 3、5 1 間にキャリア基板を介在させることなく、半導体チップ 4 3 上に半導体チップ 5 1 を 3 次元実装することが可能となるとともに、積層された半導体パッケージ P K 2 1、P 2 2 の 2 次実装時の位置ずれを防止しつつ、半導体パッケージ P K 2 1、P 2 2 間の剥離を抑制することが可能となる。この結果、3 次元実装された半導体チップ 4 3、5 1 の信頼性の劣化を抑制しつつ、半導体チップ 4 3、5 1 積層時の高さの増大を抑制することが可能となり、半導体チップ 4 3、5 1 実装時の省スペース化を図ることが可能となる。

20

30

## 【 0 0 4 9 】

図 5 は、本発明の第 4 実施形態に係る半導体装置の構成を示す断面図である。

図 5 において、半導体パッケージ P K 3 1 にはキャリア基板 6 1 が設けられ、キャリア基板 6 1 の両面にはランド 6 2 a、6 2 b がそれぞれ形成されている。そして、キャリア基板 6 1 上には半導体チップ 6 3 がフリップチップ実装され、半導体チップ 6 3 には、フリップチップ実装するための突出電極 6 4 が設けられている。そして、半導体チップ 6 3 に設けられた突出電極 6 4 は、異方性導電シート 6 5 を介してランド 6 2 b 上に A C F 接合されている。

## 【 0 0 5 0 】

一方、半導体パッケージ P K 3 2、P K 3 3 にはキャリア基板 7 1、8 1 がそれぞれ設けられ、キャリア基板 7 1、8 1 の裏面にはランド 7 2、8 2 がそれぞれ形成され、ランド 7 2、8 2 上にはハンダボールなどの突出電極 7 3、8 3 がそれぞれ設けられている。また、キャリア基板 7 1、8 1 上には半導体チップがそれぞれ実装され、半導体チップが実装されたキャリア基板 7 1、8 1 は、封止樹脂 7 4、8 4 でそれぞれ封止されている。

40

## 【 0 0 5 1 】

そして、キャリア基板 6 1 上に設けられたランド 6 2 b に突出電極 7 3、8 3 をそれぞれ接合させることにより、キャリア基板 7 1、8 1 の端部がそれぞれ半導体チップ 6 3 上に配置されるようにして、複数の半導体パッケージ P K 3 2、P K 3 3 が半導体パッケージ P K 3 1 上に実装されている。

また、半導体チップ 6 3 上には、半導体チップ 6 3 の少なくとも一部が露出するように樹

50

脂 6 7 が配置され、半導体パッケージ P K 3 2、P K 3 3 の端部は樹脂 6 7 を介して半導体チップ 6 3 に固着されている。

【 0 0 5 2 】

これにより、半導体チップ 6 3 上に配置された樹脂 6 7 を介して複数の半導体パッケージ P K 3 2、P K 3 3 を半導体パッケージ P K 3 1 に一括して固定することが可能となり、半導体パッケージ P K 3 2、P K 3 3 と半導体パッケージ P K 3 1 との間に樹脂 6 7 を設けた場合においても、製造工程の煩雑化を抑制しつつ、半導体パッケージ P K 3 2、P K 3 3 と半導体パッケージ P K 3 1 との間に隙間を残すことが可能となる。このため、実装面積をより一層縮小することを可能としつつ、半導体パッケージ P K 3 2、P K 3 3 と半導体パッケージ P K 3 1 との間の剥離を抑止することが可能となるとともに、半導体パッケージ P K 3 1、P K 3 2、P K 3 3 の 2 次実装時の位置ずれを防止することが可能となる。

10

【 0 0 5 3 】

なお、半導体チップ 6 3 と半導体パッケージ P K 3 2、P K 3 3 との間に樹脂 6 7 をそれぞれ設ける場合、半導体チップ 6 3 上に樹脂 6 7 を供給してから、半導体チップ 6 3 上に半導体パッケージ P K 3 2、P K 3 3 をそれぞれ配置するようにしてもよい。また、半導体チップ 6 3 上に半導体パッケージ P K 3 2、P K 3 3 をそれぞれ配置した後に、半導体パッケージ P K 3 2、P K 3 3 間の隙間を介して、半導体チップ 6 3 上に樹脂 6 7 を供給するようにしてもよい。

【 0 0 5 4 】

図 6 は、本発明の第 5 実施形態に係る半導体装置の構成を示す断面図である。図 6 において、半導体パッケージ P K 4 1 にはキャリア基板 9 1 が設けられ、キャリア基板 9 1 の両面にはランド 9 2 a、9 2 c がそれぞれ形成されるとともに、キャリア基板 9 1 内には内部配線 9 2 b が形成されている。そして、キャリア基板 9 1 上には半導体チップ 9 3 がフリップチップ実装され、半導体チップ 9 3 には、フリップチップ実装するための突出電極 9 4 が設けられている。そして、半導体チップ 9 3 に設けられた突出電極 9 4 は、異方性導電シート 9 5 を介してランド 9 2 c 上に A C F 接合されている。また、キャリア基板 9 1 の裏面に設けられたランド 9 2 a 上には、キャリア基板 9 1 をマザー基板上に実装するための突出電極 9 6 が設けられている。

20

【 0 0 5 5 】

一方、半導体パッケージ P K 4 2、P K 4 3 にはキャリア基板 1 0 1、2 0 1 がそれぞれ設けられている。そして、キャリア基板 1 0 1、2 0 1 の裏面にはランド 1 0 2 a、2 0 2 a がそれぞれ形成されるとともに、キャリア基板 1 0 1、2 0 1 の表面にはランド 1 0 2 c、2 0 2 c がそれぞれ形成され、キャリア基板 1 0 1、2 0 1 内には内部配線 1 0 2 b、2 0 2 b がそれぞれ形成されている。

30

【 0 0 5 6 】

そして、キャリア基板 1 0 1、2 0 1 上には、接着層 1 0 4 a、2 0 4 a をそれぞれ介し半導体チップ 1 0 3 a、2 0 3 a がそれぞれフェースアップ実装され、半導体チップ 1 0 3 a、2 0 3 a は、導電性ワイヤ 1 0 5 a、2 0 5 a をそれぞれ介してランド 1 0 2 c、2 0 2 c にそれぞれワイヤボンダ接続されている。さらに、半導体チップ 1 0 3 a、2 0 3 a 上には、導電性ワイヤ 1 0 5 a、2 0 5 a を避けるようにして、半導体チップ 1 0 3 b、2 0 3 b がそれぞれフェースアップ実装され、半導体チップ 1 0 3 b、2 0 3 b は、接着層 1 0 4 b、2 0 4 b をそれぞれ介して半導体チップ 1 0 3 a、2 0 3 a 上にそれぞれ固定されるとともに、導電性ワイヤ 1 0 5 b、2 0 5 b をそれぞれ介してランド 1 0 2 c、2 0 2 c にそれぞれワイヤボンダ接続されている。さらに、半導体チップ 1 0 3 b、2 0 3 b 上には、導電性ワイヤ 1 0 5 b、2 0 5 b を避けるようにして、半導体チップ 1 0 3 c、2 0 3 c がそれぞれフェースアップ実装され、半導体チップ 1 0 3 c、2 0 3 c は、接着層 1 0 4 c、2 0 4 c をそれぞれ介して半導体チップ 1 0 3 b、2 0 3 b 上にそれぞれ固定されるとともに、導電性ワイヤ 1 0 5 c、2 0 5 c をそれぞれ介してランド 1 0 2 c、2 0 2 c にそれぞれワイヤボンダ接続されている。

40

50

## 【0057】

また、キャリア基板101、201の裏面にそれぞれ設けられたランド102a、202a上には、キャリア基板101、201が半導体チップ93上にそれぞれ保持されるようにして、キャリア基板101、201をキャリア基板91上にそれぞれ実装するための突出電極106、206がそれぞれ設けられている。ここで、突出電極106、206は、キャリア基板101、201の少なくとも四隅に存在することが好ましく、例えば、突出電極106、206をコ字状に配列することができる。

## 【0058】

そして、キャリア基板91上に設けられたランド92cに突出電極106、206をそれぞれ接合させることにより、キャリア基板101、201の端部がそれぞれ半導体チップ93上に配置されるようにして、キャリア基板101、201をキャリア基板91上にそれぞれ実装することができる。

10

また、半導体チップ103a~103c、203a~203cの実装面側のキャリア基板101、201には封止樹脂107、207がそれぞれ設けられ、この封止樹脂107、207により半導体チップ103a~103c、203a~203cがそれぞれ封止されている。

## 【0059】

また、半導体チップ93上には、半導体チップ93の少なくとも一部が露出するように樹脂97が配置され、半導体パッケージPK42、PK43の端部は樹脂97を介して半導体チップ93に固着されている。

20

これにより、同一の半導体チップ93上に複数の半導体パッケージPK42、PK43を配置することが可能となり、実装面積の縮小を可能としつつ、異種の半導体チップ93、103a~103c、203a~203cの3次元実装を図ることが可能となるとともに、半導体パッケージPK42、PK43と半導体パッケージPK41との間の剥離を抑制しつつ、半導体パッケージPK41、PK42、PK43の2次実装時の位置ずれを防止することが可能となる。

## 【0060】

なお、上述した半導体装置は、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD(Mini Disc)プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

30

また、上述した実施形態では、半導体パッケージを積層する方法を例にとって説明したが、本発明は、必ずしも半導体パッケージを積層する方法に限定されることなく、例えば、弾性表面波(SAW)素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類などを積層する方法に用いるようにしてもよい。

## 【図面の簡単な説明】

【図1】第1実施形態に係る半導体装置の概略構成を示す断面図。

【図2】図1の半導体装置の製造方法の一例を示す断面図。

【図3】第2実施形態に係る半導体装置の概略構成を示す断面図。

40

【図4】第3実施形態に係る半導体装置の概略構成を示す断面図。

【図5】第4実施形態に係る半導体装置の概略構成を示す断面図。

【図6】第5実施形態に係る半導体装置の概略構成を示す断面図。

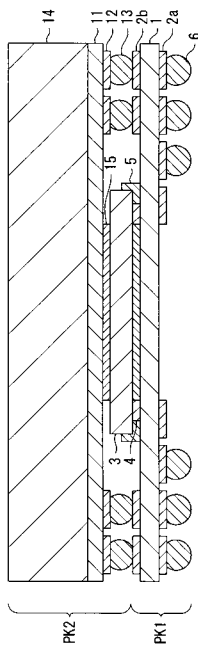
## 【符号の説明】

PK1、PK2、PK11、PK12、PK21、PK22、PK31、PK32、PK41、PK42 半導体パッケージ、1、11、21、31、41、61、71、81、91、101、201 キャリア基板、2a、2b、9、12、22a、22c、32a、32c、42a、42c、62a、62b、72、82、92a、92c、102a、102c、202a、202c ランド、3、23、33a、33b、43、51、63、93、103a、103b、103c、203a、203b、203c 半導体チップ

50

、 4、 13、 24、 26、 36、 44、 46、 58、 64、 66、 73、 83、 94、 96、 106、 206 突出電極、 5、 25、 45、 65、 95 異方性導電シート、 7 フラックス、 14、 37、 74、 84、 107、 207 封止樹脂、 15、 38、 59、 67、 97 樹脂、 22b、 32b、 42b、 92b 102b、 202b 内部配線、 34a、 34b、 104a、 104b、 104c、 204a、 204b、 204c 接着層、 35a、 35b、 105a、 105b、 105c、 205a、 205b、 205c 導電性ワイヤ、 52 電極パッド、 53 絶縁膜、 54 応力緩和層、 55 再配置配線、 56 ソルダレジスト層、 57 開口部

【 図 1 】



【 図 2 】

