



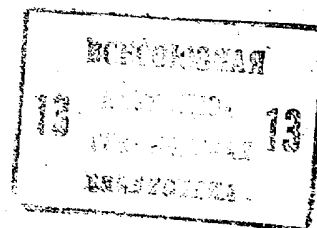
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1167749 A

4(51) Н 04 L 7/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3689100/24-09

(22) 09.01.84

(46) 15.07.85. Бюл. № 26

(72) В.М.Артеев, Ю.А.Зингеренко
и В.И.Щитников

(53) 621.394.662(088.8)

(56) Авторское свидетельство СССР
№ 1008920, кл. Н 04 L 7/02, 1980.

Авторское свидетельство СССР
№ 1099401, кл. Н 04 L 7/02, 1982
(прототип).

(54) (57) УСТРОЙСТВО ТАКТОВОЙ СИНХРОНИЗАЦИИ РЕГЕНЕРАТОРА $(2n+1)$ -УРОВНЕВОГО ЦИФРОВОГО БИПОЛЯРНОГО СИГНАЛА, содержащее преобразователь биполярного сигнала в однополярный, выход которого подключен к объединенным входам n цепей выделения тактовой частоты (ТЧ), каждая из $(n-1)$ -х цепей выделения ТЧ состоит из последовательно соединенных порогового решающего блока, элемента задержки и элемента запрета, а n -ая цепь выделения ТЧ состоит из после-

довательно соединенных порогового решающего блока и элемента задержки, причем выходы элементов запрета $(n-1)$ -х цепей выделения ТЧ и выход элемента задержки n -й цепи выделения ТЧ подключены к соответствующим входам временного сумматора, выход которого через последовательно соединенные фильтр и фазовращатель подключен ко входу формирователя тактовых импульсов, отличающееся тем, что, с целью упрощения устройства путем сокращения числа функциональных элементов при сохранении точности регенерации, введены n дополнительных элементов задержки, при этом выходы порогового решающего блока и элемента задержки i -й цепи выделения ТЧ подключены соответственно к первому и второму запрещающему входам элемента запрета $(i-1)$ -й цепи выделения ТЧ непосредственно и через дополнительный элемент задержки.

(19) SU (11) 1167749 A

Изобретение относится к технике связи и может быть использовано в комплексе аппаратуры кабельного линейного тракта многоуровневой цифровой системы передачи.

Целью изобретения является упрощение устройства путем сокращения числа функциональных элементов при сохранении точности регенерации.

На чертеже представлена структурная функциональная схема устройства тактовой синхронизации регенератора $(2n+1)$ -уровневого цифрового биполярного сигнала.

Устройство тактовой синхронизации регенератора $(2n+1)$ -уровневого цифрового биполярного сигнала содержит преобразователь 1 биполярного сигнала в однополярный, n пороговых решающих блоков $2_1, 2_2, \dots, 2_{n-1}, 2_n$, n элементов задержки $3_1, 3_2, \dots, 3_n$, $(n-1)$ элементов запрета $4_1, 4_2, \dots, 4_{n-1}$, $(n-1)$ дополнительных элементов задержки $5_1, 5_2, \dots, 5_{n-1}$, временной сумматор 6, фильтр 7, фазовращатель 8 и формирователь 9 тактовых импульсов.

Устройство работает следующим образом.

Многоуровневый цифровой биполярный сигнал, поступающий с кабельной линии, после усиления и коррекции подается на вход преобразователя 1 биполярного сигнала в однополярный и на входы блока регенерации. На выходе преобразователя 1 образуется последовательность однополярных импульсов разного уровня (выпрямленный многоуровневый цифровой сигнал), амплитуда каждого из которых соответствует одному из n уровней $X=1, 2, 3, \dots, n-1, n$, используемых в данном цифровом сигнале. Выпрямленный многоуровневый цифровой сигнал подается на входы n пороговых решающих блоков $2_1, 2_2, \dots, 2_{n-1}, 2_n$, пороги срабатывания которых установлены такими, чтобы выделяемые вершины импульсных посылок разных уровней составляли одну и ту же долю амплитуды минимального (единичного) уровня. В предлагаемом устройстве выделяемые вершины посылок различных уровней составляют 0,3 от амплитуды посылки единичного уровня, пороги срабатывания элементов $2_1, 2_2, \dots, 2_{n-1}, 2_n$ установлены согласно выражению $R_x = x - 0,3$, т.е. 0,7, 1,7, ..., $n-1,3, n-0,3$ соответствен-

но, а выходные сигналы пороговых решающих блоков $2_1, 2_2, \dots, 2_{n-1}, 2_n$ представляют прямоугольные импульсы одинаковой амплитуды, передний и задний фронты которых соответствуют моментам срабатывания порогового решающего блока 2 в зависимости от амплитуды посылки, поступающей на его вход.

Поясняют работу устройства на примерах появления в информационном сигнале посылок максимального (n -го) минимального (единичного, 1-го) уровня и одного из средних, например $(n-1)$ -го уровня. При появлении во входном сигнале импульсной посылки максимального уровня n срабатывают все пороговые решающие блоки $2_1, 2_2, \dots, 2_{n-1}, 2_n$, формируя на выходах импульсы одинаковой амплитуды, но различные по длительности: импульс максимальной длительности порогового решающего блока 2_1 и минимальный. Импульс минимальной длительности на выходе порогового решающего блока 2_n однозначно соответствующий в данном случае вершине входной посылки максимального уровня n , с выхода порогового решающего блока 2_n через элемент задержки 3_n и n -й вход временного сумматора 6 поступает на вход фильтра 7. Кроме того, импульсы с выходов пороговых решающих блоков $2_2, 2_3, \dots, 2_{n-1}, 2_n$ подаются непосредственно на 1-й запрещающий вход элементов задержки $4_1, 4_2, 4_{n-1}, 4_n$ соответственно, а через элементы 3_2 и $5_1, 3_3$ и $5_2, \dots, 3_{n-1}$ и 5_{n-2} 3_n и 5_{n-1} на 2-й запрещающий вход элементов задержки $4_1, 4_2, \dots, 4_{n-2}, 4_{n-1}$ соответственно. При этом импульсы с длительностью, превышающей минимальную (т.е. соответствующую вершине посылки), поступающие с пороговых решающих блоков $2_1, 2_2, 2_3, 2_4, \dots, 2_{n-2}, 2_{n-1}$ на прямые входы элементов задержки $4_1, 4_2, 4_3, 4_{n-2}, 4_{n-1}$ не пропускаются на входы временного сумматора 6 и далее на вход фильтра 7. Когда сигнал на выходе преобразователя 1 представляет собой импульсную посылку $(n-1)$ -го уровня, срабатывают пороговые решающие блоки $2_1, 2_2, \dots, 2_{n-2}, 2_{n-1}$, создавая на выходах пороговых решающих блоков $2_1, 2_2, \dots, 2_{n-2}$ импульсы длительностью, превышающую минимальную (соответствующую вершине посылки), а на выходе

порогового решающего блока 2_{n-1} — импульс минимальной длительности, т.е. соответствующий в данном случае вершине посылки $(n-1)$ -го уровня и не срабатывает пороговый решающий блок 2_n , отсутствие выходного сигнала с которого разрешает прохождение импульсов с выхода порогового решающего блока 2_{n-1} (соответствующих в данном случае вершинам посылок $(n-1)$ -го уровня) через элемент запрета 4_{n-1} и временной сумматор 6 на вход фильтра 7. Запрет поступления выходных сигналов пороговых решающих блоков 2_1-2_{n-2} с длительностью, превышающей минимальную, на вход фильтра 7 осуществляется идентично с описанным случаем обработки посылок максимального (n) -го уровня посредством элементов запрета 4_1-4_{n-2} . Когда в выходном сигнале преобразователя 1 появляется импульсная посылка минимального (единичного, 1-го) уровня, срабатывает только пороговый решающий блок 2_1 и не срабатывают другие пороговые решающие блоки 2_2-2_n , обеспечивая прохождение импульсов мини-

мальной длительности с выхода порогового решающего блока 2_1 , представляющих собой при этом вершины посылок 1-го уровня, через элемент запрета 4_1 и временной сумматор 6 на вход фильтра 7. Итак, на выходах элементов запрета $4_1, 4_2, 4_3, \dots, 4_{n-1}$ и элемента задержки 3_n образуются последовательности импульсов одинаковой амплитуды и длительности, соответствующих вершинам импульсных посылок 1-го, 2-го, 3-го, ..., $(n-1)$ и n -го уровня многоуровневого цифрового сигнала, а с выхода временного сумматора 6 на вход фильтра 7 подается суммарная последовательность импульсов равной амплитуды и длительности, фазовые положения которых совпадают с вершинами импульсных посылок каждого из возможных уровней в информационном сигнале. Дальнейшая обработка, обеспечивающая формирование последовательностей тактовых импульсов, производится посредством соединенных последовательно фильтра 7, фазовращателя 8 и формирователя тактовых импульсов 9.

