(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0029193
(43) 공개일자 2014년03월10일

(51) 국제특허분류(Int. Cl.)
H05K 3/46 (2006.01)
(21) 출원번호 10-2013-0097016
(22) 출원일자 2013년08월16일
심사청구일자 없음
(30) 우선권주장
JP-P-2012-190381 2012년08월30일 일본(JP)

(71) 출원인
신꼬오덴기 고교 가부시키가이샤
일본국 나가노켄 나가노시 오시마다마치 80
(72) 발명자
사토 준지
일본국 나가노켄 나가노시 오시마다마치 80 신꼬오덴기 고교 가부시키가이샤 내
(74) 대리인
문두현, 문기상

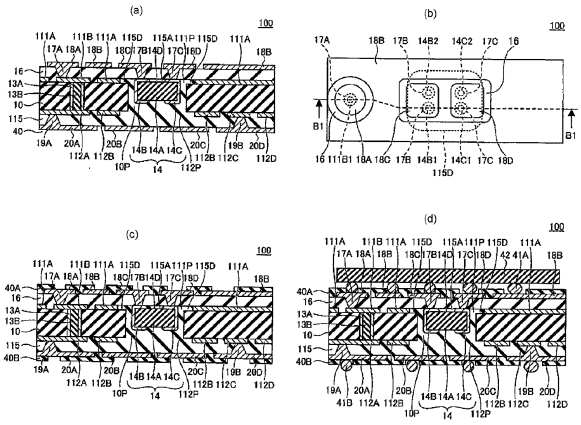
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **배선 기판**

(57) 요 약

본 발명은 배선 기판(100)을 제공한다. 이 배선 기판(100)은, 스루홀(10P)이 관통하고 제 1 면 및 제 1 면에 반대측인 제 2 면을 갖는 코어층(10), 코어층(10)의 제 1 면에 형성되고 스루홀(10P)과 연통하는 제 1 개구부(111P)를 갖는 제 1 배선층(111A)으로서, 제 1 개구부(111P)의 개구 면적이 평면에서 볼 때 스루홀(10P)의 개구 면적보다 큰 제 1 배선층(111A), 스루홀(10P) 및 제 1 개구부(111P) 내에 배치되고, 제 1 면, 제 1 면에 반대측인 제 2 면, 및 제 1 면과 제 2 면 사이의 측면을 포함함과 함께, 제 1 면에 한 쌍의 단자(14B, 14C)를 더 포함하는 전자 부품(14)으로서, 전자 부품(14)의 제 1 면은 코어층(10)의 제 1 면 측에 위치되고 전자 부품(14)의 제 2 면은 코어층(10)의 제 2 면 측에 위치되는 전자 부품(14), 및 전자 부품(14)의 제 2 면 및 측면을 덮도록, 스루홀(10P), 제 1 개구부(111P), 및 한 쌍의 단자(14B, 14C)간의 갭에 충전되는 제 1 수지층(115)을 포함한다.

대 표 도



특허청구의 범위

청구항 1

스루홀(10P)이 관통하고 제 1 면 및 당해 제 1 면에 반대측인 제 2 면을 갖는 코어층(10),

상기 코어층(10)의 제 1 면에 형성되고 상기 스루홀(10P)과 연통하는 제 1 개구부(111P)를 갖는 제 1 배선층(111A)으로서, 상기 제 1 개구부(111P)의 개구 면적이 평면에서 볼 때 스루홀(10P)의 개구 면적보다 큰 상기 제 1 배선층(111A),

상기 스루홀(10P) 및 상기 제 1 개구부(111P) 내에 배치되고, 제 1 면, 당해 제 1 면에 반대측인 제 2 면, 및 당해 제 1 면과 당해 제 2 면 사이의 측면을 포함함과 함께, 당해 제 1 면에 한 쌍의 단자(14B, 14C)를 더 포함하는 전자 부품(14)으로서, 상기 전자 부품(14)의 제 1 면은 상기 코어층(10)의 제 1 면 측에 위치되고 상기 전자 부품(14)의 제 2 면은 상기 코어층(10)의 제 2 면 측에 위치되는 상기 전자 부품(14), 및

상기 전자 부품(14)의 제 2 면 및 측면을 덮도록, 상기 스루홀(10P), 상기 제 1 개구부(111P), 및 상기 한 쌍의 단자(14B, 14C)간의 갭에 충전되는 제 1 수지층(115)을 포함하는 배선 기판(100).

청구항 2

제 1 항에 있어서,

상기 코어층(10)의 제 1 면, 상기 제 1 배선층(111A)의 표면, 및 상기 전자 부품(14)의 상기 한 쌍의 단자(14B, 14C)의 표면에 형성되는 제 2 수지층(16)을 더 포함하는 배선 기판.

청구항 3

제 2 항에 있어서,

상기 제 2 수지층(16)은 상기 제 1 수지층(115)과는 상이한 수지로 이루어지는 배선 기판.

청구항 4

제 1 항에 있어서,

상기 제 1 배선층(111A)은, 상기 제 1 개구부(111P)와 연통하고 평면에서 볼 때 상기 제 1 개구부(111P)로부터 바깥쪽으로 연장되는 홈(111C1)을 더 갖는 배선 기판.

청구항 5

제 1 항에 있어서,

상기 제 1 배선층(111A)의 표면, 상기 한 쌍의 단자(14B, 14C)의 표면 및 상기 제 1 수지층(115)의 표면은 서로 실질적으로 동일 평면이 되는 배선 기판.

청구항 6

제 1 항에 기재된 배선 기판(100), 및

상기 배선 기판(100) 상에 배치되는 반도체 소자(42)를 포함하는 반도체 디바이스.

청구항 7

제 6 항에 있어서,

상기 배선 기판(100)은,

상기 코어층(10)의 제 1 면, 상기 제 1 배선층(111A)의 표면, 및 상기 전자 부품(14)의 한 쌍의 단자(14B, 14C)의 표면에 형성되는 제 2 수지층(16)을 더 포함하는 반도체 디바이스.

청구항 8

제 7 항에 있어서,

상기 제 2 수지층(16)은 상기 제 1 수지층(115)과는 상이한 수지로 이루어지는 반도체 디바이스.

명 세 서

기 술 분 야

[0001] 본 발명은 배선 기판에 관한 것이다.

배 경 기 술

[0002] 고무 스퀴지(squeegee)를 이용한 프레스 프린팅에 의해 세라믹 서브코어 및 코어 본체의 제 1 주면 측으로부터 수지 페이스트를 공급하여, 세라믹 서브코어와 코어 본체 사이의 갭에 수지 페이스트를 충전함으로써 충전 수지를 형성하는 배선 기판의 제조 방법이 공지되어 있다(예를 들면, JP-A-2006-339482 참조).

[0003] 한편, 코어 본체에 형성된 서브코어 하우징부의 일 개구단은 시트 부재에 의해 폐색되어 있고 다른 개구단을 통해 서브코어 하우징부에 놓인 세라믹 서브코어는 이 시트 부재에 부착된 상태로, 수지 페이스트를 경화시킴으로써 세라믹 서브코어가 코어 본체에 고정된다.

[0004] 그러나, 수지 페이스트를 경화시킴으로써 얻어진 충전 수지에 의해 세라믹 서브코어가 코어 본체에 고정된 상태로 시트 부재가 제거될 경우, 세라믹 서브코어는 시트 부재에 부착 유지되며 충전 수지에 의한 고정력의 불충분으로 인해 코어 본체로부터 분리될 수 있다.

[0005] 이 문제는, 충전 수지에 의한 고정력이 시트 부재에 의해 부착력보다 약할 경우에 일어날 수 있다. 즉, 이 문제는 충전 수지에 의한 유지력이 불충분할 경우 일어날 수 있다.

[0006] 불충분한 유지력으로 인한 유사한 문제는, 세라믹 서브코어 대신 칩 커패시터 등의 전자 부품을 코어 본체에 형성된 개구 내에 충전 수지에 의해 고정할 경우에도 배선 기판에서 일어날 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 하나 이상의 양태는, 전자 부품의 유지력을 향상시킬 수 있는 배선 기판을 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명의 하나 이상의 양태에 따르면, 배선 기판이 제공된다. 이 배선 기판은, 스루홀이 관통하고 제 1 면 및 제 1 면에 반대측인 제 2 면을 갖는 코어층, 코어층의 제 1 면에 형성되고 스루홀과 연통하는 제 1 개구부를 갖는 제 1 배선층으로서, 제 1 개구부의 개구 면적이 평면에서 볼 때 스루홀의 개구 면적보다 큰 제 1 배선층, 스루홀 및 제 1 개구부 내에 배치되고, 제 1 면, 제 1 면에 반대측인 제 2 면, 및 제 1 면과 제 2 면 사이의 측면을 포함함과 함께, 제 1 면에 한 쌍의 단자를 더 포함하는 전자 부품으로서, 전자 부품의 제 1 면은 코어층의 제 1 면 측에 위치되고 전자 부품의 제 2 면은 코어층의 제 2 면 측에 위치되는 전자 부품, 및 전자 부품의 제 2 면 및 측면을 덮도록, 스루홀, 제 1 개구부, 및 한 쌍의 단자간의 갭에 충전되는 제 1 수지층을 포함한다.

도면의 간단한 설명

[0009] 도 1의 (a)는 비교예의 배선 기판(50)의 단면도.

도 1의 (b)는 비교예의 배선 기판(50)의 평면도.

도 2의 (a1) 내지 도 2의 (c2)는 비교예의 배선 기판(50)의 제조 공정을 나타내는 도면.

도 3의 (a1) 내지 도 3의 (c2)는 비교예의 배선 기판(50)의 제조 공정을 나타내는 도면.

도 4의 (a1) 내지 도 4의 (c2)는 비교예의 배선 기판(50)의 제조 공정을 나타내는 도면.

도 5의 (a) 및 도 5의 (b)는 비교예의 배선 기판(50)의 제조 방법의 문제점을 나타내는 도면.

도 6은 비교예의 배선 기판(50)의 제조 방법의 다른 문제점을 나타내는 도면.

도 7의 (a) 내지 도 7의 (d)는 실시예에 따른 배선 기판(100)의 단면도 및 평면도.

도 8의 (a1) 내지 도 8의 (c2)는 실시예에 따른 배선 기판(100)의 제조 공정을 나타내는 도면.

도 9의 (a1) 내지 도 9의 (c2)는 실시예에 따른 배선 기판(100)의 제조 공정을 나타내는 도면.

도 10의 (a1) 내지 도 10의 (c2)는 실시예에 따른 배선 기판(100)의 제조 공정을 나타내는 도면.

도 11의 (a) 내지 도 11의 (b)는 실시예에 따른 배선 기판(100)의 이점을 나타내는 도면.

도 12는 실시예에 따른 배선 기판(100)의 다른 이점을 나타내는 도면.

도 13은 실시예의 변형예에 따른 배선 기판(100A)의 부분 평면도.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 본 발명의 실시예를 도면을 참조하여 설명한다. 도면에서 동일한 구성 요소에는 동일한 참조 부호를 부여하고, 중복 설명을 생략할 수 있다.

[0011] 본 발명의 실시예에 따른 배선 기판 및 배선 기판의 제조 방법의 설명에 앞서, 비교예의 배선 기판 및 배선 기판의 제조 방법을 도 1의 (a) 및 도 1의 (b)를 참조하여 설명한다.

[0012] 비교예

[0013] 도 1의 (a) 및 도 1의 (b)는 비교예의 배선 기판(50)을 나타낸다. 도 1의 (b)는 평면도이고, 도 1의 (a)는 도 1의 (b)에서 화살표(A1)의 방향에서 볼 때의 단면도이다.

[0014] 도 1의 (a)에 나타낸 바와 같이, 비교예의 배선 기판(50)은 코어(10), 배선층(11A 및 11B), 배선층(11A 및 11B), 배선층(12A-12D), 스루홀(13A), 매설용 수지(13B), 칩 커패시터(14), 및 절연층(15)을 포함한다.

[0015] 배선 기판(50)은 또한 절연층(16), 비아 전극(17A-17C), 배선층(18A-18D), 비아 전극(19A 및 19B), 및 배선층(20A-20D)을 포함한다.

[0016] 다음 설명에서, 편의상, 각 도면에서 각 부재, 층 등의 상측 및 하측에 도시되는 표면은 각각 상면 및 하면이라 하고, 용어 "상", "위", "하", 및 "아래"를 사용한다. 그러나, 용어 "상면", "하면", "상", "위", "하", "아래", "상측", 및 "하측"은 범용적인 상하 관계를 말하는 것이 아니라 각 도면에서 단순히 상하 관계를 지시하는 것이다.

[0017] 예를 들면, 코어(10)는 유리 섬유 기재에 에폭시 수지를 함침시켜 제조되는 부재이다. 코어(10)의 양면 각각에 구리박이 본딩된다. 2개의 구리박은 패터닝되어 각각 배선층(11A 및 11B) 및 배선층(12A-12D)이 된다.

[0018] 코어(10)의 폭 방향(도 1의 (a) 및 도 1의 (b)의 가로 방향)의 중앙에는, 코어(10)를 두께 방향(도 1의 (a)의 세로 방향)으로 관통하도록 스루홀(10P)이 형성된다. 스루홀(10P)의 위아래에는 스루홀(10P)과 연속되도록 각각의 배선층(11A 및 11B)을 통해 개구부(11P) 및 개구부(12P)가 형성된다.

[0019] 배선층(11A 및 11B)은, 예를 들면 코어(10)의 상면에 본딩된 구리박을 패터닝함으로써 코어(10)의 상면에 형성되는 금속층이다.

[0020] 개구부(11P)는 배선층(11A)의 폭 방향(도 1의 (a) 및 도 1의 (b)에서 가로 방향)의 중앙에 형성된다. 개구부(11P)는 스루홀(10P) 위에 스루홀(10P)과 연속되도록 형성된다. 개구부(11P)는 평면에서 볼 때 스루홀(10P)과 동일한 사이즈를 가지며 동일한 면적을 차지한다.

[0021] 스루홀(13A)은 배선층(11B)에 하측에서 접속되고, 비아 전극(17A)은 배선층(11B)에 상측에서 접속된다. 배선층(11B)은 스루홀(13A)에 의해 배선층(12A)에 접속되며 비아 전극(17A)에 의해 배선층(18A)에 접속된다. 도 1의 (b)에는 비아 전극(17A)과 배선층(11B) 사이의 접속부(11B1)가 나타나 있다.

[0022] 배선층(12A-12D)은, 예를 들면 코어(10)의 하면에 본딩된 구리박을 패터닝함으로써 코어(10)의 하면에 형성되는 금속층이다.

[0023] 스루홀(13A)은 배선층(12A)에 상측에서 접속되고, 비아 전극(19A)은 배선층(12A)에 하측에서 접속된다. 배선층(12A)은 스루홀(13A)을 거쳐 배선층(11B)에 접속되며 비아 전극(19A)에 의해 배선층(20A)에 접속된다.

[0024] 개구부(12P)는 배선층(12B)의 폭 방향(도 1의 (a) 및 도 1의 (b)에서 가로 방향)의 중앙에 형성된다. 개구부

(12P)는 스루홀(10P) 아래에 스루홀(10P)과 연속되게 형성된다. 개구부(12P)는 평면에서 볼 때 스루홀(10P) 및 개구부(11P)와 동일한 사이즈를 가지며 동일한 면적을 차지한다.

[0025] 비아 전극(19B)은 배선층(12C)에 하측에서 접속되고, 배선층(12C)은 비아 전극(19B)에 의해 배선층(20D)에 접속된다.

[0026] 스루홀(13A)은 코어(10)를 두께 방향으로 관통하며 상측 배선층(11B) 및 하측 배선층(12A)을 접속한다. 예를 들면, 스루홀(13A)은, 코어(10)를 관통해 스루홀을 형성하며 이렇게 형성된 스루홀의 내벽면에 구리 도금막을 형성함으로써 형성된다.

[0027] 매설용 수지(13B)는 스루홀(13A)의 내부 공간을 수지로 충전함으로써 형성된다.

[0028] 칩 커패시터(14)는 칩 바디(14A) 및 단자(14B 및 14C)를 갖는 칩형 커패시터이다. 칩 커패시터(14)에서, 단자(14B 및 14C)는 한 쌍의 내부 전극(도시 생략)에 각각 접속되며 이에 의해 소정의 커패시턴스를 갖는다. 칩 바디(14A)는 한 쌍의 전극을 수지로 덮음으로써 형성된다.

[0029] 칩 커패시터(14)의 단자(14B 및 14C) 각각은, 칩 바디(14A)의 상면, 측면, 및 하면에 연속되게 연장되도록 형성되고, 단자(14B 및 14C)는 서로 절연된다. 칩 바디(14A)의 상면에는, 단자(14B 및 14C)간에 갭(홈)이 형성되며 이 갭은 절연층(16D)에 의해 차지된다.

[0030] 2개의 비아 전극(17B)은 단자(14B)에 상측에서 접속되고, 2개의 비아 전극(17C)은 단자(14C)에 상측에서 접속된다. 도 1의 (b)에는 단자(14B)와 2개의 비아 전극(17B) 사이의 접속부(14B1 및 14B2)가 또한 나타나 있다. 도 1의 (b)에는 단자(14C)와 2개의 비아 전극(17C) 사이의 접속부(14C1 및 14C2)가 또한 나타나 있다. 도 1의 (a)는, 2개의 비아 전극(17B) 중 하나 및 2개의 비아 전극(17C) 중 하나를 통과하는 평면에 의해 취해지며 도 1의 (b)의 화살표(A1)의 방향에서 본 단면도이다.

[0031] 도 1의 (b)에 나타낸 비아 전극(17B 및 17C)의 윤곽은 원추대 형상을 각각 갖는 비아 전극(17B 및 17C)의 상면의 윤곽이다. 도 1의 (b)에 나타낸 접속부(14B1, 14B2, 14C1, 및 14C2)의 윤곽은 비아 전극(17B 및 17C)의 하면의 윤곽이다.

[0032] 코어(10)의 하면에 형성되는 배선층(12A-12D)의 하면을 덮고 스루홀(10P) 및 개구부(11P 및 12P)의 내부 공간을 충전하도록, 절연층(15)이 형성된다.

[0033] 절연층(15)은, 열용융된 수지로 스루홀(10P) 및 개구부(11P 및 12P)의 내부 공간을 충전하고 배선층(12A-12D)의 하면을 덮도록 형성된다. 예를 들면, 절연층(15)은 에폭시, 폴리이미드 등의 수지재를 가열 및 가압하여 열 경화함으로써 형성된다.

[0034] 각각의 비아 전극(19A 및 19B)으로 충전될 비아 홀이 절연층(15)을 통해 형성된다.

[0035] 절연층(15)은 빌드업 기판용 충전 수지재로 이루어질 수 있다.

[0036] 절연층(16)은 코어(10), 배선층(11A 및 11B), 및 칩 커패시터(14) 상에 형성된다. 예를 들면, 절연층(16)은 절연층(15)과 동일한 수지재(에폭시, 폴리이미드 등의 수지재)로 이루어질 수 있다.

[0037] 예를 들면, 절연층(15 및 16) 각각은 B 스테이지(B-stage)(하프 세트 상태(half-set state))라고 하는 프리프레그(prepreg)일 수 있다. 프리프레그의 예는, 유리 섬유, 탄소 섬유 등의 직포 또는 부직포에, 바람직하게는 열경화성 수지인 에폭시, 폴리이미드 등의 절연 수지로 함침시킴으로써 제조되는 것이다.

[0038] 각각의 비아 전극(17A-17C)으로 충전될 비아 홀은 절연층(16)을 통해 형성된다.

[0039] 절연층(16)의 일부(절연층(16D))는 단자(14B 및 14C)간에 형성된 홈(갭) 내의 칩 커패시터(14)의 칩 바디(14A)의 상면에 형성된다.

[0040] 비아 전극(17A-17C)은, 절연층(16)을 통해 형성되는 각각의 비아 홀에 형성되고, 비아 전극(17A), 비아 전극(17B), 및 비아 전극(17C)은 배선층(11B) 및 단자(14B 및 14C)에 각각 접속된다. 배선층(18A, 18C, 및 18D)은 비아 전극(17A), 비아 전극(17B), 및 비아 전극(17C)에 각각 접속된다. 비아 전극(17A-17C)은, 예를 들면 구리 도금막이다.

[0041] 배선층(18A-18D)은 절연층(16)의 상면에 형성된다. 배선층(18A-18D) 중에서, 배선층(18A, 18C, 및 18D)은 비아 전극(17A), 비아 전극(17B), 및 비아 전극(17C)에 각각 접속된다. 배선층(18A-18D)은, 예를 들면 구리 도금

막이다.

[0042] 배선층(18C 및 18D)은 칩 커패시터(14)의 단자(14B 및 14C)에 접속된다. 따라서, 배선층(18C 및 18D)은, 칩 커패시터(14)의 칩 바디(14A) 내에 통합된 내부 전극 쌍에 접속되며 칩 커패시터(14)의 충전/방전을 위한 상호 접속부 또는 단자로서 이용된다.

[0043] 비아 전극(19A 및 19B)은 절연층(15)을 통해 형성되는 각각의 비아홀에 형성되며 각각의 배선층(12A 및 12C)에 접속된다. 배선층(20A 및 20D)은 비아 전극(19A 및 19B)의 하면에 각각 접속된다. 비아 전극(19A 및 19B)은, 예를 들면 구리 도금막이다.

[0044] 배선층(20A-20D)은 절연층(15)의 하면에 형성된다. 배선층(20A-20D) 중에서, 배선층(20A 및 20D)은 각각의 비아 전극(19A 및 19B)에 접속된다. 배선층(20A-20D)은, 예를 들면 구리 도금막이다.

[0045] 비교예의 상술한 배선 기판(50)은 칩 커패시터(14)가 코어(10) 내에 통합되는 빌드업 기판이라고 하는 것이다.

[0046] 다음으로, 비교예의 배선 기판(50)의 제조 방법을 설명한다.

[0047] 도 2의 (a1)~도 2의 (c2) 내지 도 4의 (a1)~도 4의 (c2)는 비교예의 배선 기판(50)의 제조 공정을 나타낸다.

[0048] 우선, 도 2의 (a1) 및 도 2의 (a2)에 나타낸 바와 같이, 구리 도금막을 갖는 스루홀(13A)을 코어(10)를 관통해 형성하고, 스루홀(13A)의 내부 공간을 매설용 수지(13B)로 충전한다. 코어(10)의 상하면에 배선층(11 및 12)을 각각 본딩한다. 이 예에서, 배선층(11 및 12)은 구리박이다.

[0049] 이어서, 도 2의 (b1) 및 도 2의 (b2)에 나타낸 바와 같이, 코어(10) 및 배선층(11 및 12)을 관통해 스루홀(10P) 및 개구부(11P 및 12P)를 각각 형성한다. 코어(10) 및 배선층(11 및 12)을 각각 관통하는 스루홀(10P) 및 개구부(11P 및 12P)는 라우터 또는 다이 프레스 머신을 이용하여 한 번의 가공에 의해 동시에 형성될 수 있다. 따라서, 스루홀(10P) 및 개구부(11P 및 12P)는 평면에서 볼 때 동일한 사이즈를 가지며 동일한 면적을 차지한다.

[0050] 이어서, 도 2의 (c1) 및 도 2의 (c2)에 나타낸 바와 같이, 배선층(11 및 12)은 각각 패터닝되어 배선층(11A 및 11B) 및 배선층(12A-12D)으로 된다. 도 2의 (c2)에 나타낸 바와 같이, 배선층(11B)은 평면에서 볼 때 원형이다. 배선층(11B)의 하면은 스루홀(13A)에 접속된다.

[0051] 이어서, 도 3의 (a1) 및 도 3의 (a2)에 나타낸 바와 같이, 배선층(11A 및 11B)에 임시 본딩 테이프(30)가 본딩된다. 임시 본딩 테이프(30)의 하면은 접착층(30A)으로 형성된다. 이어서, 칩 커패시터(14)는 코어(10)의 하면측에 위치된 개구부(12P)를 통해 스루홀(10P) 및 개구부(11P) 내로 삽입되어 임시 본딩 테이프(30)의 하면에 본딩된다. 접착층(30A)은 배선층(11A 및 11B) 및 단자(14B 및 14C)보다 두껍다.

[0052] 이 상태에서, 칩 커패시터(14)의 단자(14B 및 14C)의 상면은 배선층(11A 및 11B)의 상면과 동일 평면이 된다. 배선층(11A 및 11B) 및 단자(14B 및 14C)는, 접착층(30A)의 두께의 약 절반인 깊이에 접착층(30A) 내에 매설된다. 칩 바디(14A)의 상면 위에는, 홈(갭)(14D)이 단자(14B 및 14C)간에 형성되며 접착층(30A)의 일부가 충전된다.

[0053] 이어서, 도 3의 (b1) 및 도 3의 (b2)에 나타낸 바와 같이, 스루홀(10P) 및 개구부(11P 및 12P)의 내부 공간 및 배선층(12A-12D)의 하면에 에폭시, 폴리이미드 등의 수지재가 공급되고 가열 및 가압된다. 결과적으로, 에폭시, 폴리이미드 등의 수지재는 열 경화되어 절연층(15)으로 된다.

[0054] 스루홀(10P) 및 개구부(11P 및 12P)는 절연층(15)으로 충전된다.

[0055] 이어서, 도 3의 (c1) 및 도 3의 (c2)에 나타낸 바와 같이, 임시 본딩 테이프(30)를 제거해서, 도 3의 (c2)에 나타낸 바와 같이 코어(10)의 일부(배선층(11A 및 11B)간 부분), 절연층(15)의 일부(칩 커패시터(14) 둘레 부분), 및 칩 커패시터(14)의 일부(단자(14B 및 14C)간 홈(14D))가 노출된다.

[0056] 이어서, 도 4의 (a1) 및 도 4의 (a2)에 나타낸 바와 같이, 배선층(11A 및 11B), 코어(10)의 일부(배선층(11A 및 11B)간 부분), 절연층(15)의 일부(칩 커패시터(14) 둘레 부분), 및 칩 커패시터(14)의 일부(단자(14B 및 14C)간 홈(14D))에 에폭시, 폴리이미드 등과 같은 수지재를 본딩함으로써 절연층(16)이 형성된다. 절연층(16)의 일부인 절연층(16D)이 홈(14D) 내에 형성된다. 절연층(16)은 배선층(11A 및 11B)과 칩 커패시터(14)의 단자(14B 및 14C) 사이에(배선층(11A)의 두께의 대략 절반인 깊이의 개구부(11P)에) 형성된다.

[0057] 절연층(16)은 에폭시, 폴리이미드 등과 같은 수지재를 가열 및 가압함으로써 형성된다.

[0058] 이어서, 도 4의 (b1) 및 도 4의 (b2)에 나타낸 바와 같이, 비아홀(16A-16C)이 절연층(16)을 통해 형성되고 비아

홀(15B 및 15C)이 절연층(15)을 통해 형성된다.

[0059] 비아홀(15B 및 15C 및 16A-16C)은, 예를 들면 레이저 가공에 의해 형성될 수 있다.

[0060] 이어서, 도 4의 (c1) 및 도 4의 (c2)에 나타낸 바와 같이, 비아 전극(17A-17C), 배선층(18A-18D), 비아 전극(19A 및 19B), 및 배선층(20A-20D)이 형성된다. 이는, 도금, 더 구체적으로는 예를 들면 세미애디티브법(semi-additive method)에 의해 구리 도금막을 형성함으로써 완성될 수 있다.

[0061] 비아 전극(17A), 비아 전극(17B), 및 비아 전극(17C)은 세미애디티브법에 의해 비아홀(16A), 비아홀(16B), 비아홀(16C)에 각각 형성된다. 배선층(18A-18D)은 비아 전극(17A-17C)을 형성하는 도금으로 연속되게 형성된다.

[0062] 비아 전극(19A 및 19B)은 세미애디티브법에 의해 각각의 비아홀(15B 및 15C)에 형성된다. 배선층(20A-20D)은 비아 전극(19A 및 19B)을 형성하는 도금으로 연속되게 형성된다.

[0063] 이렇게 하여, 비교예의 배선 기판(50)이 완성된다.

[0064] 한편, 비교예의 배선 기판(50)의 제조 방법에서는, 도 3의 (b1)로부터 도 3의 (c1)의 상태로 이행 시에 다음의 문제가 발생한다. 이하, 이 문제를 도 5의 (a) 및 도 5의 (b)를 참조하여 설명한다.

[0065] 도 5의 (a) 및 도 5의 (b)는 비교예의 배선 기판(50)의 제조 방법의 문제를 나타낸다.

[0066] 도 5의 (a)는 도 3의 (b1)에 나타낸 칩 커패시터(14) 및 그 근방의 확대 단면도이다.

[0067] 도 5의 (a)에 나타낸 바와 같이, 칩 커패시터(14)가 임시 본딩 테이프(30)에 본딩되고 개구부(11P), 스루홀(10P), 및 개구부(12P)가 절연층(15)에 의해 밀봉된 상태에서, 임시 본딩 테이프(30)가 배선층(11A 및 11B)의 표면으로부터 박리된다.

[0068] 이 상태에서, 칩 커패시터(14)의 상면은 접착층(30A)에 본딩되고 그 측면은 개구부(11P) 및 스루홀(10P)을 충전하는 절연층(15)의 일부에 의해 유지된다. 즉, 칩 커패시터(14)는 도 5의 (a)에 나타낸 점선의 타원에 의해 지시된 3개의 영역 중 2개의 측면 영역에서 절연층(15)에 의해 유지되며 다른 중앙 영역에서 접착층(30A)에 본딩된다.

[0069] 이 상태에서 임시 본딩 테이프(30)를 배선층(11A 및 11B)의 표면에서 박리할 경우, 접착층(30A)과 칩 커패시터(14) 사이의 접착력이 절연층(15)에 의한 칩 커패시터(14)의 유지력을 초과하면 다음과 같은 문제가 발생한다.

[0070] 도 5의 (b)에 나타낸 바와 같이, 칩 커패시터(14)는 절연층(15)에 의해 유지되는 대신 임시 본딩 테이프(30)에 유지(본딩)되면서 절연층(15)에서 분리될 수 있다. 이는, 접착층(30A)과 칩 커패시터(14) 사이의 접착력이 절연층(15)에 의한 칩 커패시터(14)의 유지력을 초과한다는 사실에 기인한 것이다.

[0071] 스루홀(10P)을 충전하는 절연층(15)의 일부는 칩 커패시터(14)의 측면을 유지한다. 개구부(11P)는 스루홀(10P)과 동일한 사이즈를 가지므로, 칩 커패시터(14)를 유지하는 절연층의 힘은 개구부(11P) 근방에서 불충분할 수 있다.

[0072] 따라서, 도 5의 (b)에 나타낸 바와 같이, 절연층(15)에 의한 칩 커패시터(14)의 유지력이 접착층(30A)과 칩 커패시터(14) 사이의 접착력보다 약할 경우, 임시 본딩 테이프(30)를 제거할 때 칩 커패시터(14)가 절연층(15)으로부터 분리될 수 있다.

[0073] 칩 커패시터(14)가 절연층(15)으로부터 분리될 경우, 완성된 배선 기판(50)은 사용 불가한, 즉 불량일 수 있다. 이와 같이, 비교예의 배선 기판(50)에서는, 상술한 제조 공정을 통해 불량 제품이 제조될 수 있다.

[0074] 칩 커패시터(14)를 대신하여 반도체 디바이스 등의 다른 종류의 전자 부품을 사용할 경우에도 동일한 문제가 발생할 수 있다.

[0075] 즉, 비교예의 배선 기판(50)은 전자 부품의 유지력이 불충분할 수 있다는 문제를 갖는다.

[0076] 비교예의 배선 기판(50)은, 개구부(11P) 및 스루홀(10P) 내의 칩 커패시터(14)의 위치가 어긋날 경우 전기 접속 문제가 일어날 수 있다는 다른 문제를 갖는다. 이하, 이 문제를 도 6을 참조하여 설명한다.

[0077] 도 6은 비교예의 배선 기판(50)의 제조 공정의 다른 문제를 나타낸다.

[0078] 도 6은 도 4의 (c1)의 제조 단계에서 전기 접속 문제를 일으킬 수 있는 칩 커패시터(14) 및 그 근방의 확대 단면도이다.

[0079] 이 예에서는, 도 5의 (b)에 나타낸 문제가 일어나지 않았으며, 즉 임시 본딩 테이프(30)가 올바르게 제거되었고, 칩 커패시터(14)가 개구부(11P) 및 스루홀(10P) 내의 절연층(15)에 의해 유지된다.

[0080] 그러나, 도 6의 예에서는, 칩 커패시터(14)가 도 4의 (c1)에 나타낸 위치에서 우측으로 어긋나 있고 단자(14C)는 점선의 원에 나타낸 바와 같이 배선층(11A)과 접촉한다. 단자(14C)는 비아 전극(17C)에만 접속되어야 하고(도 4의 (c1) 참조) 배선층(11A)과는 접속되어서는 안 된다.

[0081] 칩 커패시터(14)의 위치가 어긋나서 단자(14C)가 배선층(11A)과 접속될 경우, 칩 커패시터(14)는 올바르게 충전 또는 방전될 수 없어, 결과적으로 배선 기판(50)의 신뢰성이 떨어지게 된다는 문제가 있다.

[0082] 상술한 바와 같이, 비교예의 배선 기판(50)은, 전자 부품의 유지력이 불충분할 수 있고 그 신뢰성이 떨어진다는 문제점을 갖고 있다.

[0083] 따라서, 상술한 실시예의 목적은 신뢰성뿐만 아니라 전자 부품의 유지력이 향상된 배선 기판을 제공하는 것이다.

[0084] 실시예

[0085] 도 7의 (a) 내지 도 7의 (d)는 실시예에 따른 배선 기판(100)의 단면도 및 평면도이다. 도 7의 (b)는 평면도이고, 도 7의 (a)는 도 7의 (b)의 화살표(B1)의 방향에서 본 단면도이다. 도 7의 (c)는 도 7의 (a)의 구조체에 솔더 레지스트층(40A 및 40B)을 도포함으로써 얻어진 구조체의 단면도이다. 도 7의 (d)는 도 7의 (c)에 나타낸 구조체에 LSI(large scale integrated circuit) 칩(42)을 부가하여 얻어진 구조체의 단면도이다.

[0086] 실시예에 따른 배선 기판(100)은, 비교예의 배선 기판(50)의 배선층(11A)에 대응하는 배선층(111A)의 개구부(111P)가 평면에서 볼 때 코어(10)의 스루홀(10P)의 상측 개구단보다 크고 이 상측 개구단을 포함한다는 점에서, 비교예의 배선 기판(50)과 상이하다.

[0087] 마찬가지로, 비교예의 배선 기판(50)의 배선층(12B)에 대응하는 배선층(112B)의 개구부(112P)가 평면에서 볼 때 코어(10)의 스루홀(10P)의 하측 개구단보다 크고 이 하측 개구단을 포함한다.

[0088] 배선 기판(100)의 다른 구성 요소는 비교예의 배선 기판(50)에서 대응하는 것과 동일하므로, 비교예와 동일한 참조 부호를 부여하고 상세한 설명을 생략한다.

[0089] 배선 기판(100)은 코어(10), 배선층(111A 및 111B), 배선층(111A 및 111B), 배선층(112A-112D), 스루홀(13A), 매설용 수지(13B), 칩 커패시터(14), 및 절연층(15)을 포함한다.

[0090] 배선 기판(100)은 또한 절연층(16), 비아 전극(17A-17C), 배선층(18A-18D), 비아 전극(19A 및 19B), 및 배선층(20A-20D)을 포함한다.

[0091] 다음의 설명에서, 편의상, 각 도면에서 각 부재, 층 등의 상측 및 하측에 도시되는 표면은 각각 상면 및 하면이라 하고, 용어 "상", "위", "하", 및 "아래"를 사용한다. 그러나, 용어 "상면", "하면", "상", "위", "하", "아래", "상측", 및 "하측"은 범용적인 상하 관계를 말하는 것이 아니라 각 도면에서 단순히 상하 관계를 지시하는 것이다.

[0092] 예를 들면, 코어(10)는 유리 섬유 기재에 에폭시 수지를 함침시켜 제조되는 부재이다. 코어(10)의 양면 각각에 구리박이 본딩된다. 2개의 구리박은 패터닝되어 각각 배선층(111A 및 111B) 및 배선층(112A-112D)이 된다.

[0093] 코어(10)는 코어층의 예이다. 배선층(111A 및 111B)은 제 1 배선층의 예이다. 배선층(112A-112D)은 제 2 배선층의 예이다.

[0094] 개구부(111P)는 스루홀(10P) 위에 위치되도록 배선층(111A)을 통해 형성된다. 개구부(112P)는 스루홀(10P) 아래에 위치되도록 배선층(112B)을 통해 형성된다.

[0095] 개구부(111P)는 스루홀(10P)의 상측 개구단보다 크다. 개구부(111P)는 평면에서 볼 때 코어(10)의 스루홀(10P)의 상측 개구단을 포함한다. 개구부(111P)는 제 1 개구부의 예이다.

[0096] 개구부(112P)는 코어(10)의 스루홀(10P)의 하측 개구단보다 크다. 개구부(112P)는 평면에서 볼 때 코어(10)의 스루홀(10P)의 하측 개구단을 포함한다. 개구부(112P)는 제 2 개구부의 예이다.

[0097] 배선층(111A 및 111B)은, 예를 들면 코어(10)의 상면에 본딩된 구리박을 패터닝함으로써 코어(10)의 상면에 형성되는 금속층이다.

[0098] 배선층(111A 및 111B) 중에서, 배선층(111B)은 비교예의 배선 기판(50)의 배선층(11B)과 동일하다.

[0099] 개구부(111P)는 배선층(111A)의 폭 방향(도 7의 (a)~도 7의 (d)에서 가로 방향)의 중앙에 형성된다. 상술한 바와 같이, 개구부(111P)는 평면에서 볼 때 코어(10)의 스루홀(10P)의 상측 개구단보다 크며 상측 개구단을 포함한다. 즉, 개구부(111P)는 평면에서 볼 때 스루홀(10P)을 포함한다.

[0100] 스루홀(13A)은 배선층(111B)에 하측에서 접속되고, 비아 전극(17A)은 배선층(111B)에 상측에서 접속된다. 배선층(111B)은 스루홀(13A)에 의해 배선층(112A)에 접속되며 비아 전극(17A)에 의해 배선층(18A)에 접속된다. 도 7의 (b)에는 비아 전극(17A)과 배선층(111B) 사이의 접속부(111B1)가 나타나 있다. 개구부(111P)과 스루홀(10P)의 사이즈간 차이는 제조 공정의 설명에 있어서 후술된다.

[0101] 배선층(112A-112D)은, 예를 들면 코어(10)의 하면에 본딩된 구리박을 패터닝함으로써 코어(10)의 하면에 형성되는 금속층이다.

[0102] 배선층(112A-112D) 중에서, 배선층(112A, 112C, 및 112D)은 비교예의 배선 기판(50)의 배선층(12A, 12C, 및 12D)과 동일하다.

[0103] 배선층(112A)은 스루홀(13A)에 의해 배선층(111B)에 접속되며 비아 전극(19A)에 의해 배선층(20A)에 접속된다.

[0104] 개구부(112P)는 배선층(112B)의 폭 방향(도 7의 (a)~도 7의 (d)에서 가로 방향)의 중앙에 형성된다. 개구부(112P)는 스루홀(10P) 아래에 형성된다. 개구부(112P)는 평면에서 볼 때 스루홀(10P)의 하측 개구단보다 크며 그 하측 개구단을 포함하다.

[0105] 비아 전극(19B)은 배선층(112C)에 하측에서 접속되고, 배선층(112C)은 비아 전극(19B)에 의해 배선층(20D)에 접속된다.

[0106] 스루홀(13A)은 코어(10)를 두께 방향으로 관통하며 상측 배선층(111B)과 하측 배선층(112A)을 접속한다.

[0107] 절연층(115)은, 코어(10)의 하면에 형성되는 배선층(112A-112D)의 하면을 덮고, 스루홀(10P) 및 개구부(111P 및 112P)의 내부 공간을 충전하도록 형성된다.

[0108] 절연층(115)은, 열 용융 수지로 스루홀(10P) 및 개구부(111P 및 112P)의 내부 공간을 충전하고 배선층(112A-112D)의 하면을 덮음으로써 형성된다. 예를 들면, 절연층(115)은 에폭시, 폴리이미드 등의 수지재를 가열 및 가압하고 열 경화함으로써 형성된다.

[0109] 절연층(115)의 일부(절연층(115A))는, 단자(14B 및 14C)간에 형성된 홈(갭)(14D) 내에서 칩 커패시터(14)의 칩 바디(14A)의 상면에 형성된다. 칩 커패시터(14)의 상면은 제 1 면의 예이고, 칩 커패시터(14)의 하면의 제 2 면의 예이다.

[0110] 실시예에서, 개구부(111P)는 평면에서 볼 때 스루홀(10P)보다 크면 이 스루홀을 포함한다. 따라서, 절연층(115)의 일부(연장부(115D))는, 평면에서 볼 때 직사각형 링과 같은 형상이 되도록 개구부(111P)의 외주를 따라 바깥쪽으로 연장된다. 연장부(115D)는 평면에서 볼 때 스루홀(10P)의 상측 개구단 외측에 위치된다. 절연층(115 및 115A) 및 연장부(115D)는 제 1 수지층의 예이다.

[0111] 각각의 비아 전극(19A 및 19B)으로 충전될 비아 홀은 절연층(115)을 관통해 형성된다.

[0112] 절연층(16)은 코어(10), 배선층(111A 및 111B), 및 칩 커패시터(14) 상에 형성된다. 예를 들면, 절연층(16)은 에폭시, 폴리이미드 등의 수지재로 이루어질 수 있다. 절연층(16)은 제 2 수지층의 예이다. 절연층(16)(제 2 수지층의 예)은 절연층(115)(제 1 수지층의 예)과는 상이한 수지로 이루어진다.

[0113] 절연층(16)은, 예를 들면 B 스테이지(하프 세트 상태)라고 하는 프리프레그일 수 있다. 프리프레그의 예는, 유리 섬유, 탄소 섬유 등과 같은 직포 또는 부직포에 바람직하게는 열경화성 수지인 에폭시, 폴리이미드 등의 절연 수지를 함침시켜 제조된다. 절연층(16)은 유리 섬유, 탄소 섬유 등의 직포 또는 부직포를 항상 함유할 필요는 없다.

[0114] 각각의 비아 전극(17A-17C)으로 충전될 비아 홀은 절연층(16)을 통해 형성된다.

[0115] 비아 전극(17A-17C)은 절연층(16)을 통해 형성되는 각각의 비아 홀 내에 형성되고, 비아 전극(17A), 비아 전극(17B), 및 비아 전극(17C)은 각각 배선층(111B) 및 단자(14B 및 14C)에 접속된다. 배선층(18A, 18C, 및 18D)은 각각 비아 전극(17A), 비아 전극(17B), 및 비아 전극(17C)에 접속된다. 비아 전극(17A-17C)은, 예를 들면

구리 도금막일 수 있다.

[0116] 비아 전극(19A 및 19B)은, 절연층(115)을 통해 형성되는 각각의 비아 홀 내에 형성되며 각각의 배선층(112A 및 112C)에 접속된다. 배선층(20A 및 20D)은 각각 비아 전극(19A 및 19B)의 하면에 접속된다. 비아 전극(19A 및 19B)은, 예를 들면 구리 도금막이다.

[0117] 배선층(20A-20D)은 절연층(115)의 하면에 형성된다. 배선층(20A-20D) 중에서, 배선층(20A 및 20D)은 각각의 비아 전극(19A 및 19B)에 접속된다. 배선층(20A-20D)은, 예를 들면 구리 도금막이다.

[0118] 실시예에 따른 상술한 배선 기판(100)은 코어(10) 내에 칩 커패시터(14)가 통합되는 빌드업 기판이라 불리는 것이다.

[0119] 도 7의 (c)에 나타낸 바와 같이, 배선 기판(100)은 각각 배선층(18A-18D)의 상면 및 배선층(20A-20D)의 하면에 형성되는 솔더 레지스트층(40A 및 40B)을 더 포함할 수 있다.

[0120] 솔더 레지스트층(40A)은 배선층(18A-18D)의 상면의 일부를 노출하도록 형성된다. 솔더 레지스트층(40A)을 통해 노출되는 배선층(18A-18D)의 해당 부분은 단자로서 이용된다.

[0121] 솔더 레지스트층(40B)은 배선층(20A-20D)의 하면의 일부를 노출하도록 형성된다. 솔더 레지스트층(40B)을 통해 노출되는 배선층(20A-20D)의 해당 부분은 단자로서 이용된다.

[0122] 도 7의 (d)에 나타낸 바와 같이, 배선 기판(100) 상에는, 범프(41A)를 거쳐, 솔더 레지스트층(40A)을 통해 노출되는 배선층(18A-18D)의 해당 부분(단자)에 접속되도록 LSI 칩(42)이 실장된다.

[0123] 도 7의 (d)에 나타낸 바와 같이, 솔더 레지스트층(40B)을 통해 노출되는 배선층(20A-20D)의 해당 부분(단자)에 범프(41B)가 접속된다.

[0124] 이와 같이, 실시예에 따르면, LSI 칩(42)이 배선 기판(100)에 실장될 수 있다.

[0125] 다음으로, 실시예에 따른 배선 기판(100)의 제조 방법을 설명한다.

[0126] 도 8의 (a1)~도 8의 (c2) 내지 도 10의 (a1)~도 10의 (c2)는 실시예에 따른 배선 기판(100)의 제조 공정을 나타낸다.

[0127] 우선, 도 8의 (a1) 및 도 8의 (a2)에 나타낸 바와 같이, 구리 도금막을 갖는 스루홀(13A)이 코어(10)를 관통해 형성되고, 스루홀(13A)의 내부 공간은 매설용 수지(13B)로 충전된다. 배선층(111 및 112)은 코어(10)의 상하면에 각각 본딩된다. 이 예에서, 배선층(111 및 112)은 구리박이다.

[0128] 도 8의 (b1) 및 도 8의 (b2)에 나타낸 바와 같이, 배선층(111 및 112)은 각각 패터닝되어 배선층(111A 및 111B) 및 배선층(112A-112D)이 된다.

[0129] 이 때, 개구부(111P 및 112P)는 각각의 배선층(111 및 112)을 관통해 형성된다. 개구부(111P 및 112P)는 평면에서 볼 때 동일한 사이즈를 갖고 동일한 면적을 차지한다.

[0130] 도 8의 (b2)에 나타낸 바와 같이, 배선층(111B)은 평면에서 볼 때 원형이다. 배선층(111B)의 하면은 스루홀(13A)에 접속된다.

[0131] 배선층(111A 및 111B), 배선층(112A-112D), 및 개구부(111P 및 112P)는 포토레지스트층을 이용하여 배선층(111 및 112)을 웨트 에칭에 의해 패터닝함으로써 형성된다.

[0132] 이어서, 도 8의 (c1) 및 도 8의 (c2)에 나타낸 바와 같이, 스루홀(10P)은 코어(10)를 관통해 형성된다. 코어(10)를 두께 방향으로 관통하는 스루홀(10P)은 라우터 또는 다이 프레스 머신을 이용하여 형성될 수 있다.

[0133] 스루홀(10P)은 평면에서 볼 때 개구부(111P 및 112P) 각각보다 작으며 개구부(111P 및 112P)에 포함된다. 스루홀(10P) 및 개구부(111P 및 112P)는 캐비티의 예이다.

[0134] 이어서, 도 9의 (a1) 및 도 9의 (a2)에 나타낸 바와 같이, 배선층(111A 및 111B)에 임시 본딩 테이프(30)가 본딩된다. 임시 본딩 테이프(30)의 하면은 접착층(30B)으로 형성된다. 임시 본딩 테이프(30)는 테이프 부재의 예이다. 접착층(30B)은 비교예에서 사용되는 접착층(30A)보다 얇다. 접착층(30B)은, 임시 본딩 테이프(30)의 하면에의 칩 커패시터(14)의 본딩 시에 접착제가 두께 방향으로 가압될 경우에도, 접착제가 칩 커패시터(14)의 홈(14D) 내로 유입되지 않을 양만큼 접착제를 임시 본딩 테이프(30)의 하면에 도포함으로써 형성된다. 예를 들면, 접착층(30B)은 배선층(111A 및 111B) 및 단자(14B 및 14C)보다 얇다. 예를 들면, 접착층(30B)의 두께는

비교예에서 사용되는 접착층(30A)의 약 절반일 수 있다.

[0135] 배선층(111A 및 111B)에 임시 본딩 테이프(30)를 본딩한 후에, 칩 커패시터(14)는, 코어(10)의 하면 측에 위치되는 개구부(112P)를 통해 스루홀(10P) 및 개구부(111P) 내로 삽입되어 임시 본딩 테이프(30)의 하면에 본딩된다.

[0136] 이 상태에서, 칩 커패시터(14)의 단자(14B 및 14C)의 상면은 배선층(111A 및 111B)의 상면과 동일 평면이 된다. 칩 바디(14A)의 상면 위에는, 홈(갭)(14D)이 단자(14B 및 14C)간에 형성된다. 홈(14D)은 제 1 홈의 예이다. 도 9의 (a1) 및 도 9의 (a2)의 상태에서, 접착층(30B) 부분은 홈(14D) 내에 유입되지 않으며, 홈(14D) 내에는 어떠한 것도 형성되지 않고, 즉 홈(14D)은 캐비티이다.

[0137] 이어서, 도 9의 (b1) 및 도 9의 (b2)에 나타낸 바와 같이, 스루홀(10P) 및 개구부(11P 및 12P)의 내부 공간 및 배선층(12A-12D)의 하면에는 에폭시, 폴리이미드 등의 수지재를 공급하고 가열 및 가압한다. 결과적으로, 에폭시, 폴리이미드 등의 수지재가 열 경화됨으로써 절연층(115)이 된다.

[0138] 스루홀(10P) 및 개구부(111P 및 112P)는 절연층(115)으로 충전되고, 칩 바디(14A)의 상면 위에 위치되는 홈(14D)(도 9의 (a1) 참조)은 절연층(115A)으로 충전된다.

[0139] 에폭시, 폴리이미드 등의 수지재는 가압에 의해 홈(14D) 내에 충전되고, 이에 의해 절연층(115A)이 형성된다. 절연층(115A)은 칩 바디(14A)의 상면에 단자(14B 및 14C)간에 브리지형으로 형성된다.

[0140] 실시예에서, 개구부(111P)는 평면에서 볼 때 스루홀(10P)보다 크며 스루홀(10P)을 포함한다. 따라서, 절연층(115)의 일부인 연장부(115D)는, 평면에서 볼 때 직사각형 링과 같은 형상이 되도록 개구부(111P)의 외주를 따라 바깥쪽으로 연장된다. 연장부(115D)는 평면에서 볼 때 스루홀(10P)의 상측 개구단의 외측에 위치된다.

[0141] 도 9의 (b1) 및 도 9의 (b2)에 나타낸 단계에서, 스루홀(10P) 및 개구부(111P 및 112P)는 평면에서 볼 때 각각 코어(10) 및 배선층(111A 및 112B)에 의해 각각 폐색되며 상측에서 임시 본딩 테이프(30)에 의해 폐색된다. 따라서, 에폭시, 폴리이미드 등의 수지재가 배선층(111A 및 112B)의 상면으로 누설되지 않는다.

[0142] 이어서, 도 9의 (c1) 및 도 9의 (c2)에 나타낸 바와 같이, 임시 본딩 테이프(30)가 제거되어, 도 9의 (c2)에 나타낸 바와 같이, 배선층(111A 및 111B), 코어(10)의 일부(배선층(111A 및 111B)간의 부분), 절연층(115)의 일부(칩 커패시터(14) 둘레 부분), 절연층(115A), 및 연장부(115D)가 노출된다.

[0143] 이어서, 도 10의 (a1) 및 도 10의 (a2)에 나타낸 바와 같이, 배선층(111A 및 111B), 코어(10)의 일부(배선층(111A 및 111B)간의 부분), 절연층(115)의 일부(칩 커패시터(14) 둘레 부분), 절연층(115A), 및 연장부(115D)에 에폭시, 폴리이미드 등의 수지재를 본딩함으로써 절연층(16)을 형성한다.

[0144] 절연층(16)은 에폭시, 폴리이미드 등과 같은 수지재를 가열 및 가압함으로써 형성된다.

[0145] 이어서, 도 10의 (b1) 및 도 10의 (b2)에 나타낸 바와 같이, 비아 홀(16A-16C)이 절연층(16)을 통해 형성되고, 비아 홀(115B 및 115C)이 절연층(115)을 관통해 형성된다.

[0146] 비아 홀(115B 및 115C 및 16A-16C)은, 예를 들면 레이저 가공에 의해 형성될 수 있다.

[0147] 이어서, 도 10의 (c1) 및 도 10의 (c2)에 나타낸 바와 같이, 배선층(18A-18D), 비아 전극(19A 및 19B), 및 배선층(20A-20D)이 형성된다. 이는, 도금, 더 구체적으로는 예를 들면 세미애디티브법에 의해 구리 도금막을 형성함으로써 완성될 수 있다.

[0148] 비아 전극(17A), 비아 전극(17B), 및 비아 전극(17C)은 세미애디티브법에 의해 비아홀(16A), 비아홀(16B), 및 비아홀(16C)에 각각 형성된다. 배선층(18A-18D)은 비아 전극(17A-17C)을 형성하는 도금과 연속되게 형성된다.

[0149] 비아 전극(19A 및 19B)은 세미에디티브법에 의해 각각의 비아 홀(115B 및 115C)에 형성된다. 배선층(20A-20D)은 비아 전극(19A 및 19B)을 형성하는 도금과 연속되게 형성된다.

[0150] 이와 같이, 실시예에 따른 배선 기판(100)이 완성된다.

[0151] 이하, 실시예에 따른 배선 기판(100)의 이점을 도 11의 (a) 및 도 11의 (b) 및 도 12를 참조하여 설명한다.

[0152] 도 11의 (a) 및 도 11의 (b)는 실시예에 따른 배선 기판(100)의 제조 방법의 이점을 나타낸다. 도 11의 (a)는 도 9의 (b1)에 나타낸 칩 커패시터(14) 및 그 근방의 확대 단면도이다. 도 11의 (b)는 임시 본딩 테이프(30)가 박리된 상태를 나타낸다.

[0153] 도 11의 (a)에 나타낸 바와 같이, 칩 커패시터(14)가 임시 본딩 테이프(30)에 본딩되고 개구부(111P), 스루홀(10P), 및 개구부(112P)가 절연층(115)에 의해 밀봉된 상태에서, 임시 본딩 테이프(30)가 배선층(111A 및 111B)의 표면에서 박리된다.

[0154] 이 상태에서, 칩 커패시터(14)의 상면은 절연층(115A)에 의해 유지되고, 칩 커패시터(14)의 측면은 개구부(111P) 및 스루홀(10P)을 충전하는 절연층(115)에 의해 유지된다.

[0155] 개구부(111P)는 평면에서 볼 때 스루홀(10P)보다 크며 스루홀(10P)을 포함한다. 따라서, 절연층(115)은 개구부(111P)의 외주(평면에서 볼 때 스루홀(10P)의 외측)에 연장부(115D)를 갖는다.

[0156] 즉, 칩 커패시터(14)는 도 11의 (a)에서 점선의 타원에 의해 지시된 5개의 영역에서 절연층(115 및 115A) 및 연장부(115D)에 의해 유지된다.

[0157] 평면에서 볼 때 직사각형 링과 같은 형상으로 된 연장부(115D)가 존재하므로, 칩 커패시터(14)의 상부의 측면은 비교예보다 더 강하게 유지된다.

[0158] 평면에서 볼 때 스루홀(10P)로부터 바깥쪽으로 연장되는 연장부(115D)의 길이 및 두께는, 절연층(115 및 115A) 및 연장부(115D)에 의한 칩 커패시터(14)의 유지력이 임시 본딩 테이프(30)의 접착력을 초과하도록 적절한 값으로 설정될 수 있다.

[0159] 따라서, 이 상태에서 임시 본딩 테이프(30)가 배선층(111A 및 111B)의 표면에서 박리될 경우, 절연층(115 및 115A) 및 연장부(115D)에 의한 칩 커패시터(14)의 유지력은 임시 본딩 테이프(30)의 접착력보다 약하지 않다.

[0160] 따라서, 도 9의 (c1) 및 도 11의 (b)에 나타낸 바와 같이, 임시 본딩 테이프(30)가 도 9의 (b1)의 상태에서 박리될 경우, 칩 커패시터(14)가 절연층(115 및 115A) 및 연장부(115D)에 의해 유지된 채, 임시 본딩 테이프(30)만 박리될 수 있다.

[0161] 즉, 비교예와 달리, 칩 커패시터(14)가 임시 본딩 테이프(30)에 본딩된 상태로 칩 커패시터(14)가 절연층(115)에서 분리되는 경우를 방지할 수 있다. 이는, 도 11의 (a)에서 점선의 타원에 의해 지시된 5개의 영역에서 칩 커패시터(14)가 절연층(115 및 115A) 및 연장부(115D)에 의해 유지되기 때문이다.

[0162] 실시예에 따른 배선 기판(100)에서, 칩 커패시터(14)의 상부의 측면 둘레에 존재하는 절연층(115)의 부분을 연장부(115D)에 의해 보강함으로써, 브리지 형상의 절연층(115A)이 보강된다.

[0163] 절연층(115)은 홈(14D) 내에서 칩 커패시터(14)의 상면에 걸쳐 브리지형으로 연장되며, 칩 커패시터(14)의 측면 및 하면은 절연층(115)에 의해 유지된다. 즉, 칩 커패시터(14)의 하면, 측면, 및 상면의 대부분은 절연층(115 및 115A)에 의해 직접 유지된다. 이에 의해, 제조 공정 중 임시 본딩 테이프(30)의 박리 시에 칩 커패시터(14)가 당겨지는 것이 방지된다.

[0164] 상기 논의로부터 이해되는 바와 같이, 실시예에 따른 배선 기판(100)에서, 칩 커패시터(14)는 절연층(115 및 115A) 및 연장부(115D)에 의해 충분한 힘으로 유지될 수 있다. 결과적으로, 실시예에 따른 배선 기판(100)의 제조 방법에서는, 불량 제품의 발생 확률이 낮아질 수 있다.

[0165] 다음으로, 실시예에 따른 배선 기판(100)의 다른 이점을 도 12를 참조하여 설명한다.

[0166] 도 12는 실시예에 따른 배선 기판(100)의 다른 이점을 나타낸다.

[0167] 칩 커패시터(14)는 배선층(115 및 115A) 및 연장부(115D)에 의해 개구부(111P) 및 스루홀(10P) 내에 유지된다.

[0168] 그러나, 도 12의 예에서, 칩 커패시터(14)는, 비교예의 도 6을 참조하여 설명한 예에서와 같이, 도 10의 (c1)에 나타낸 위치에서 우측으로 어긋나 있다.

[0169] 실시예에 따른 배선 기판(100)에서, 배선층(111A)의 개구부(111P)는 평면에서 볼 때 스루홀(10P)보다 크며 스루홀(10P)을 포함한다. 따라서, 연장부(115D)의 부분은 스루홀(10P)에 대해서 칩 커패시터(14)의 오프셋의 대상측에 형성된다.

[0170] 따라서, 도 12에 나타낸 바와 같이, 칩 커패시터(14)의 위치가 우측으로 어긋날 경우에도, 칩 커패시터(14)의 단자(14C)는 배선층(111A)과 접촉하지 않는다.

[0171] 도 12에서 칩 커패시터(14)의 위치가 좌측으로 어긋나 있을 경우에도 마찬가지이며, 단자(14B)는 배선층(111A)과 접촉하지 않는다. 마찬가지로, 칩 커패시터(14)의 위치가 도 12의 관찰자 측 또는 깊이 측으로 어긋날 경우

에도, 단자(14B 또는 14C)는 배선층(111A)과 접촉하지 않는다.

[0172] 따라서, 실시예에 따른 배선 기판(100)에서, 칩 커패시터(14)의 위치가 어긋날 경우에도, 비교예의 배선 기판(50)과 달리 칩 커패시터(14)의 전기 접속 문제가 일어나지 않는다. 이와 같이, 실시예는 신뢰성이 높은 배선 기판(100)을 제공할 수 있다.

[0173] 상술한 바와 같이, 실시예에 따른 배선 기판(100)은 충분한 전자 부품의 유지력 및 높은 신뢰성을 확보할 수 있는 이점을 제공한다.

[0174] 따라서, 실시예는 신뢰성뿐만 아니라 전자 부품의 유지력이 향상된 배선 기판(100)을 제공할 수 있다.

[0175] 또한, 실시예에 따른 배선 기판(100)의 제조 공정에서, 임시 본딩 테이프(30)의 접착층(30B)의 두께는 비교예에서 사용되는 접착층(30A)의 두께의 약 절반일 수 있다. 이러한 접착층(30B)의 사용은 제조 비용의 저감에 기여한다.

[0176] 실시예에서 배선 기판(100)은 칩 커패시터(14)를 예시적인 전자 부품으로서 통합하고 있지만, 배선 기판(100)은 반도체 디바이스 등의 다른 종류의 전자 부품을 통합할 수 있다.

[0177] 상술한 실시예에서, 개구부(112P)는 평면에서 볼 때 코어(10)의 스루홀(10P)의 하측 개구단보다 크며 하측 개구단을 포함한다. 그러나, 도 7의 (a)에 나타낸 바와 같이 칩 커패시터(14)가 존재하는 세로 방향의 범위는, 스루홀(10P)과 배선층(111A)의 합이 되며 단자(14B 및 14C)의 하면이 배선층(112B)보다 높게 위치되는 세로 방향의 범위에 포함될 경우에, 개구부(112P)는 평면에서 볼 때 스루홀(10P)과 동일한 사이즈를 가지며 동일한 면적을 차지한다.

[0178] 실시예에서, 임시 본딩 테이프(30)의 박리 방향에 대한 언급은 없다. 예를 들면, 임시 본딩 테이프(30)(평면도에서 직사각형을 갖는 것으로 상정함)는 일 측면으로부터 당김으로써 박리될 수 있다. 임시 본딩 테이프(30)가 박리될 경우, 임시 본딩 테이프(30)로부터 인장력이 단자(14B 및 14C)를 거쳐 칩 커패시터(14)에 작용한다.

[0179] 이 경우에, 칩 커패시터(14)의 단자(14B 및 14C)간에 절연층(115A)이 연장되는 방향(도 9의 (b2)에서 세로 방향)의 임시 본딩 테이프(30)의 박리는 도 9의 (b2)에서 가로 방향으로의 박리가 바람직하다.

[0180] 이는, 임시 본딩 테이프(30)가 절연층(115A)의 연장 방향(도 9의 (b2)에서 세로 방향)으로 박리될 경우, 임시 본딩 테이프(30)로부터 칩 커패시터(14)에 작용하는 힘이, 임시 본딩 테이프(30)가 절연층(115 및 115A) 및 연장부(115D)의 상면과 접촉하는 간격에서 대략 일정해질 수 있다.

[0181] 반면, 임시 본딩 테이프(30)가 도 9의 (b2)에서 가로 방향으로 박리될 경우, 임시 본딩 테이프(30)로부터 칩 커패시터(14)에 작용하는 힘이, 임시 본딩 테이프(30)가 절연층(115 및 115A) 및 연장부(115D)의 상면 중 적어도 하나와 접촉하는 간격에서 절연층(115A)과의 접촉 여부에 의존하여 상대적으로 큰 범위에서 다르다.

[0182] 따라서, 임시 본딩 테이프(30)의 박리 방향이 절연층(115A)의 연장 방향과 일치하도록 배선 기판(100)을 설계하는 것이 바람직하다.

[0183] 그러나, 절연층(115 및 115A) 및 연장부(115D)에 의한 칩 커패시터(14)의 유지력이 매우 커서 임시 본딩 테이프(30)의 박리 방향이 상관없을 경우, 임시 본딩 테이프(30)의 박리 방향이 절연층(115A)의 연장 방향과 일치할 필요는 없다.

[0184] 임시 본딩 테이프(30)의 박리 방향에 수직인 방향의 절연층(115 및 115A) 및 연장부(115D)의 폭의 합과 동일한 방향의 단자(14B 및 14C)의 폭의 비가 가능한 커지도록 배선 기판(100)을 설계하는 것이 바람직하다. 또는, 임시 본딩 테이프(30)의 박리 방향에 수직인 방향으로 절연층(115 및 115A) 및 연장부(115D)의 폭의 합이 가능한 커지도록 배선 기판(100)을 설계하는 것이 바람직하다.

[0185] 이는, 수직인 방향의 절연층(115 및 115A) 및 연장부(115D)의 폭의 합이 커지는 방향으로 임시 본딩 테이프(30)가 박리될 경우, 임시 본딩 테이프(30)로부터 칩 커패시터(14)에 작용하는 힘이 감소될 수 있어서, 칩 커패시터(14)가 임시 본딩 테이프(30)에 의해 당겨지는 것을 방지할 수 있기 때문이다.

[0186] 절연층(115) 및 연장부(115D)의 애스팩트비(aspect ratio)가 서로 다를 경우(예를 들면, 도 9의 (b2)를 참조), 그 단변이 연장되는 방향으로 임시 본딩 테이프(30)를 박리함으로써 만족스러운 결과가 얻어진다.

[0187] 그러나, 절연층(115 및 115A) 및 연장부(115D)에 의한 칩 커패시터(14)의 유지력이 너무 커서 임시 본딩 테이프(30)의 박리 방향이 상관없을 경우, 상술한 해당 폭의 합의 비를 크게 설정할 필요가 없다.

[0188] 절연층(115 및 115A) 및 연장부(115D)의 에폭시, 폴리이미드 등의 수지재는 절연층(16)과 융해 점도 또는 열팽창 계수(CTE)가 상이할 수 있다.

[0189] 예를 들면, 절연층(115 및 115A) 및 연장부(115D)의 에폭시, 폴리이미드 등의 수지재는 절연층(16)보다 융해 점도가 낮고 열팽창 계수가 클 수 있다.

[0190] 이 경우에, 절연층(115 및 115A) 및 연장부(115D)를 에폭시, 폴리이미드 등의 수지재로 형성한 후에 절연층(16)을 에폭시, 폴리이미드 등의 수지재로 형성할 경우, 개구부(111P) 내의 절연층(115 및 115A) 및 연장부(115D), 홈(14D) 등 및 절연층(16) 사이에 달리 형성될 수 있는 갭을 충분히 충전할 수 있다.

[0191] 또한, 절연층(16)은, 절연층(115 및 115A) 및 연장부(115D)의 형성 후에 보다 유연하고 열 팽창 계수가 보다 큰 에폭시, 폴리이미드 등과 같은 수지재로 형성되므로, 배선 기판(100)의 평탄도는 전체적으로 향상될 수 있다.

[0192] 실시예에 따른 배선 기판(100)에서, 칩 커패시터(14)는 코어(10)의 일 면(상면)에 보다 근접 배치된다. LSI 칩(42)이 코어(10)의 일 면에 실장될 경우(도 7의 (d)), 칩 커패시터(14)와 LSI 칩(42) 사이의 거리가 짧아질 수 있으므로, LSI 칩(42)의 성능은 향상될 수 있다.

[0193] 개구부(111P)와 연통하는 홈이 배선층(111A)을 통해 형성될 수 있다.

[0194] 도 13은 실시예의 변형예에 따른 배선 기판(100A)의 일부의 평면도이다. 도 13은 제조 단계를 나타내는 도 8의 (c2)에 대응한다.

[0195] 도 13에 나타낸 바와 같이, 홈(111C1, 111C2, 111D1, 및 111D2)이 개구부(111P)와 연통하도록 배선층(111A)을 통해 형성될 수 있다(개구부(111P)의 4개 각 측면으로부터 연장됨). 코어(10)의 상면 부분은 홈(111C1, 111C2, 111D1, 및 111D2)의 하면에서 노출된다. 홈(111C1, 111C2, 111D1, 및 111D2)은 제 2 홈의 예이다.

[0196] 홈(111C1 및 111C2)은, 평면에서 볼 때 전체적으로 직사각형인 개구부(111P)의 2개의 단변 각각으로부터 그 단변에 수직인 방향으로 바깥쪽으로 곧게 연장되게 형성된다.

[0197] 홈(111D1 및 111D2)은 개구부(111P)의 2개의 장변 각각으로부터 L자형으로 연장되게 형성된다.

[0198] 홈(111D1 및 111D2)이 개구부(111P)에 접속되는 루트(root)부(111D1A 및 111D2A)는 도 9의 (a1) 및 도 9의 (a2)의 제조 단계에서 칩 커패시터(14)의 홈(14D)과 정렬되는 위치에 위치된다. 즉, 홈(111D1 및 111D2)의 루트부(111D1A 및 111D2A)는 홈(14D)의 각각의 연장부 상에 위치된다. 환언하면, 홈(111D1 및 111D2)의 루트부(111D1A 및 111D2A)를 접속하는 라인은 홈(14D)의 연장 방향과 동일한 방향이다.

[0199] 절연층(115 및 115A) 및 연장부(115D)가 에폭시, 폴리이미드 등의 수지재로 형성될 경우(도 9의 (b1) 및 도 9의 (b2) 참조), 홈(111D1 및 111D2)은, 가압에 의해 배선층(111A) 및 임시 본딩 테이프(30)에 의해 폐색되는 공간 내로 충전되는 에폭시, 폴리이미드 등의 수지재의 과잉 부분을 수용하는 공간으로서 기능할 수 있다.

[0200] 홈(14D)에 수지가 충전될 때 칩 커패시터(14)의 단자(14B 및 14C)간에 위치되는 홈(14D)에 높은 충전압이 가해질 경우, 칩 커패시터(14)는 임시 본딩 테이프(30)를 직접적으로 밀어 올리기 때문에 임시 본딩 테이프(30)로부터 분리될 수 있다. 홈(111D1 및 111D2)은 홈(14D)의 주변에 형성되어 홈(14D)에 가해지는 압력을 해방시킬 수 있게 한다.

[0201] 도 13에서 화살표로 나타낸 바와 같이 수지가 세로 방향으로 홈(14D) 내로 인입되므로, 이 방향으로 연장되는 홈(14D)은 압력을 보다 해방시킬 수 있다.

[0202] 이와 같이, 홈(111C1, 111C2, 111D1, 및 111D2)은, 가압에 의해 개구부(111P) 내로의 충전시 에폭시, 폴리이미드 등의 수지재의 과잉 부분을 수용할 수 있다.

[0203] 이러한 작용에서, 홈(111C1, 111C2)은 칩 커패시터(14)의 홈(14D)으로부터 가장 떨어진 위치에 형성되므로 개구부(111P)의 2개의 단변에서 에폭시, 폴리이미드 등의 수지재의 과잉 부분을 효율적으로 수용할 수 있다.

[0204] 홈(111D1 및 111D2)의 루트부(111D1A 및 111D2A)는 홈(14D)의 각각의 연장부에 위치되므로 에폭시, 폴리이미드 등의 수지재의 과잉 부분을 효율적으로 수용할 수 있다.

[0205] 도 13은, 홈(111C1, 111C2, 111D1, 및 111D2)은 가장 깊은 위치에서 끝나며 서로 독립적으로 형성되는 상태를 나타낸다. 또는, 이 중 적어도 2개(예를 들면, 3개)가 서로 연통할 수 있다. 홈(111C1, 111C2, 111D1, 및 111D2) 전체가 서로 연통할 수 있다.

[0206] 본 발명의 예시적의 실시예에 따른 배선 기판 및 그 제조 방법을 상술했다. 그러나, 본 발명은 앞에서 구체적으로 기술한 실시예로 한정되는 것이 아니라, 다양한 변경 및 변형이 특허청구범위에서 일탈하지 않고 이루어질 수 있다.

부호의 설명

[0207] 10 : 코어

13A : 스루홀

13B : 매설용 수지

14 : 칩 커패시터

16 : 절연층

17A, 17B, 17C : 비아 전극

18A, 18B, 18C, 18D : 배선층

20A, 20B, 20C, 20D : 배선층

19A, 19B : 비아 전극

111A, 111B : 배선층

111P : 개구부

112A, 112B, 112C, 112D : 배선층

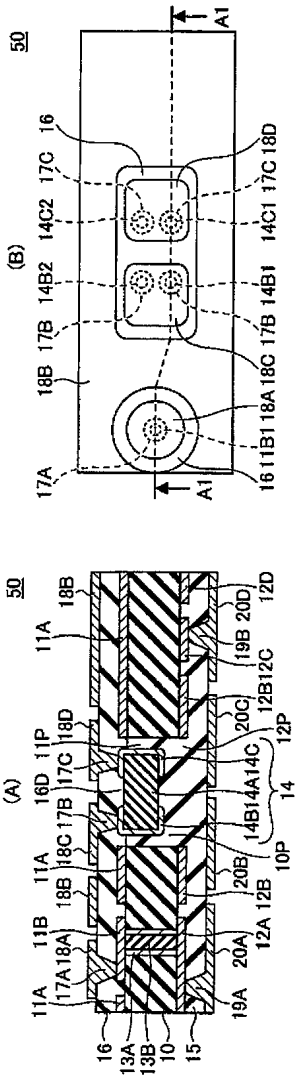
115 : 절연층

115A : 절연층

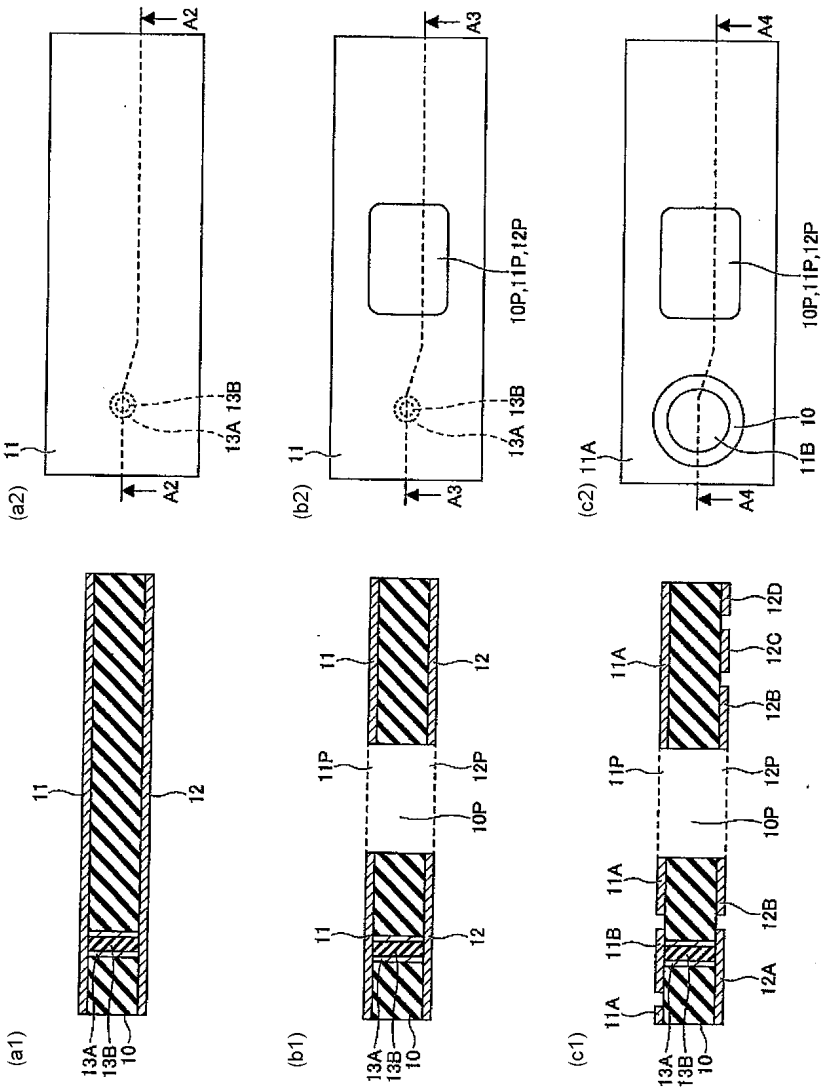
115D : 연장부

도면

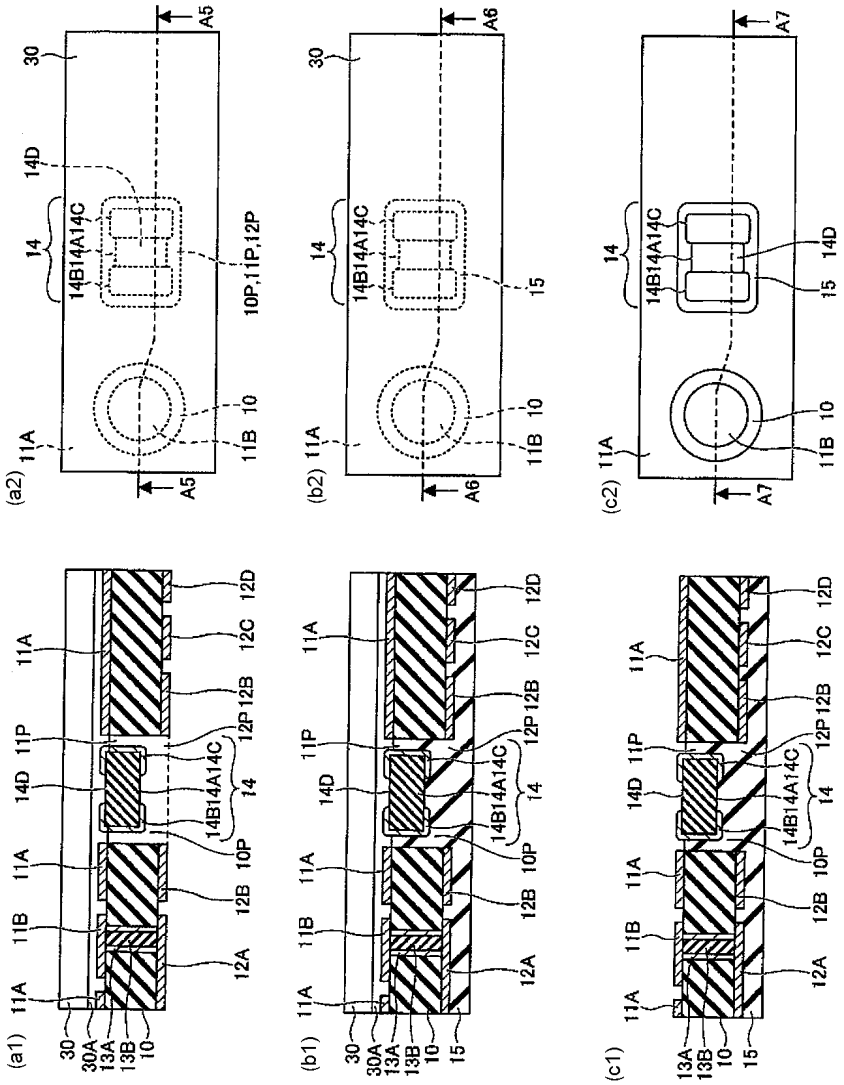
도면1



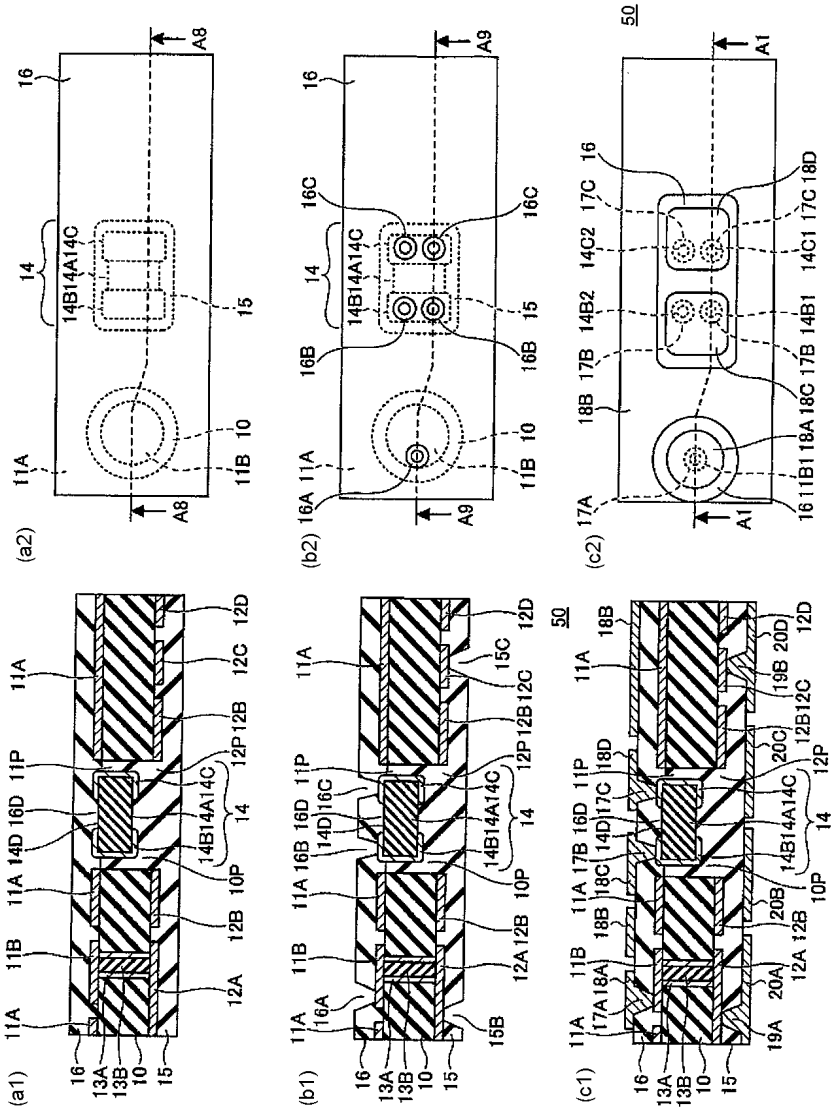
도면2


(a2)
11
A2
13A 13B
A2
(b2)
11
A3
10P,11P,12P
13A 13B
A3
(c2) 11A
A4
10P,11P,12P
11B 10
A4
(a1)
11
12
13A
13B
10
(b1)
11
12
11P
12P
10P
11
12
13A
13B
10
(c1)
11A
12D
12C
12B
11P
12P
10P
11A
12B
11B
12A
11A
13A
13B
10

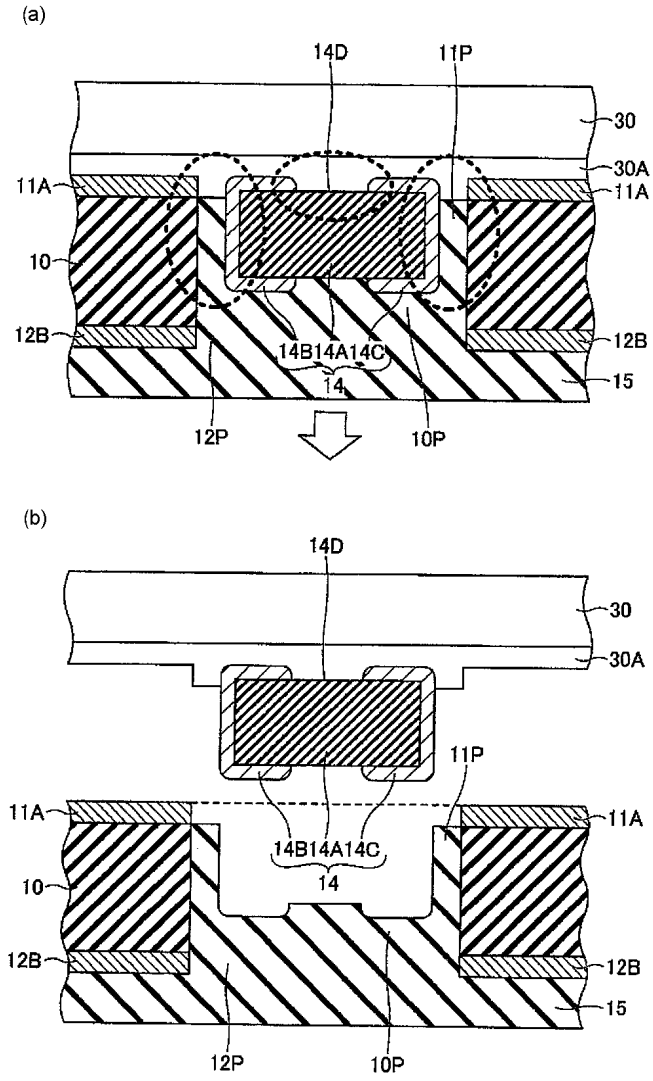
도면3


(a2)
(b2)
(c2)
(a1)
(b1)
(c1)
A5
A6
A7
30
14D
14
14B14A14C
10P,11P,12P
11A
10
11B
15
12D
12C
12B
12P
11P
10P
12A
13A
13B
30A

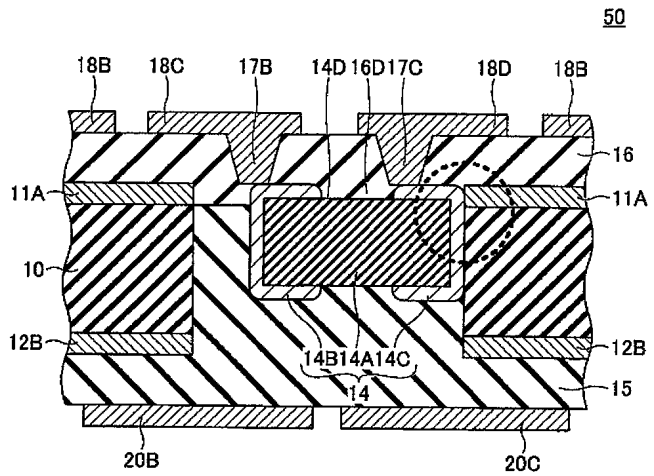
도면4



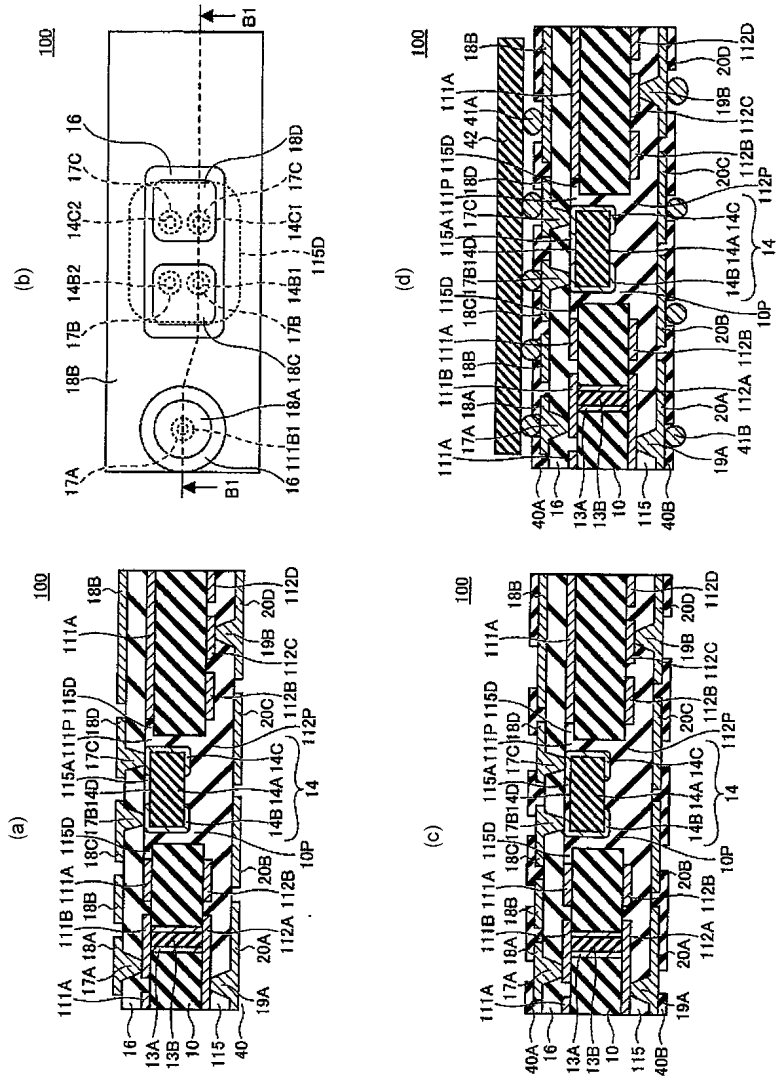
도면5


(a)
14D
11P
30
30A
11A
11A
10
12B
12B
14B14A14C
14
15
12P
10P
(b)
14D
30
30A
11P
11A
11A
14B14A14C
14
10
12B
12B
15
12P
10P

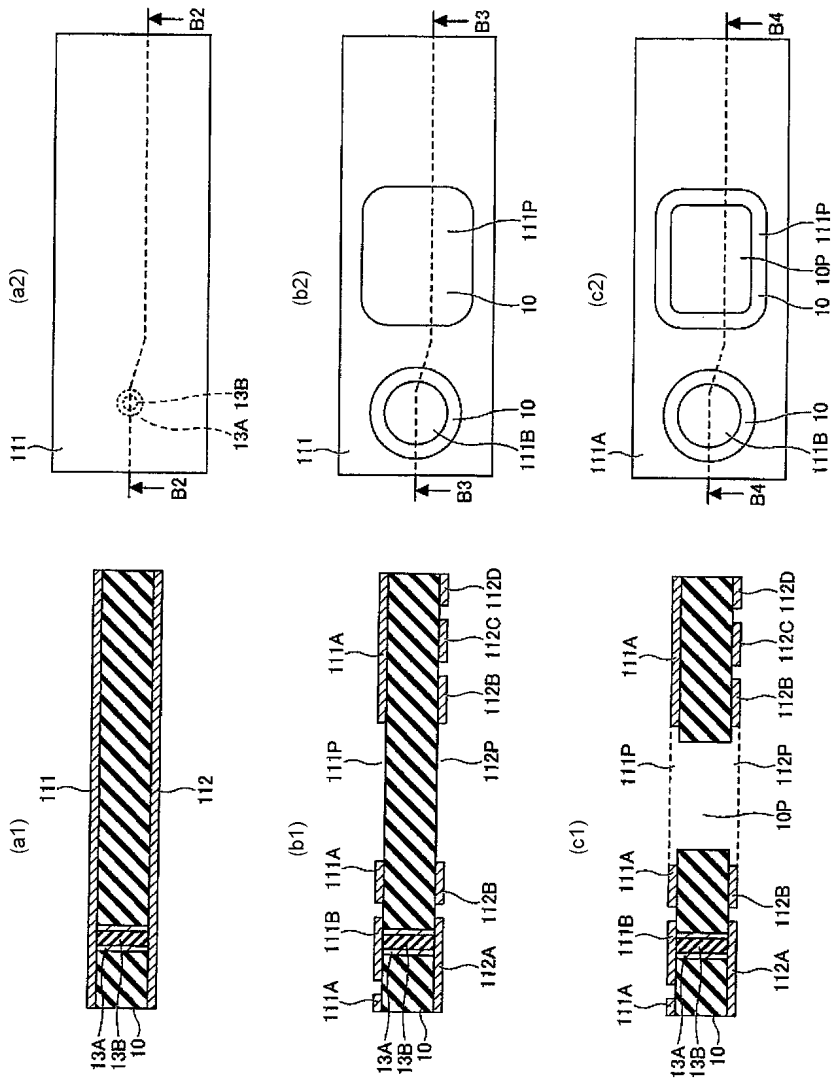
도면6


50
18B
18C
17B
14D
16D
17C
18D
18B
16
11A
11A
10
12B
12B
14B14A14C
14
15
20B
20C

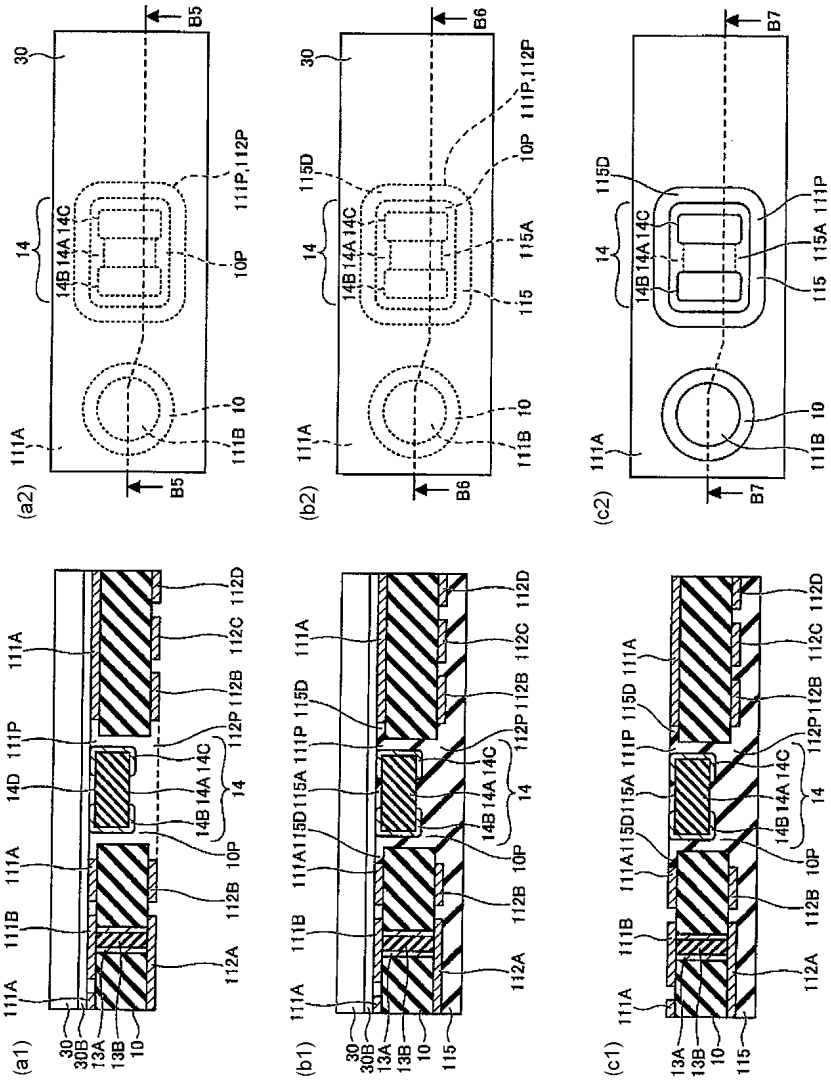
도면7


(a)
(b)
(c)
(d)
100
B1
16
17A
17B
17C
18A
18B
18C
18D
10
13A
13B
14
14A
14B
14C
20A
20B
20C
20D
40
40A
40B
41A
41B
111A
111B
111P
112A
112B
112C
112D
112P
115
115A
115D

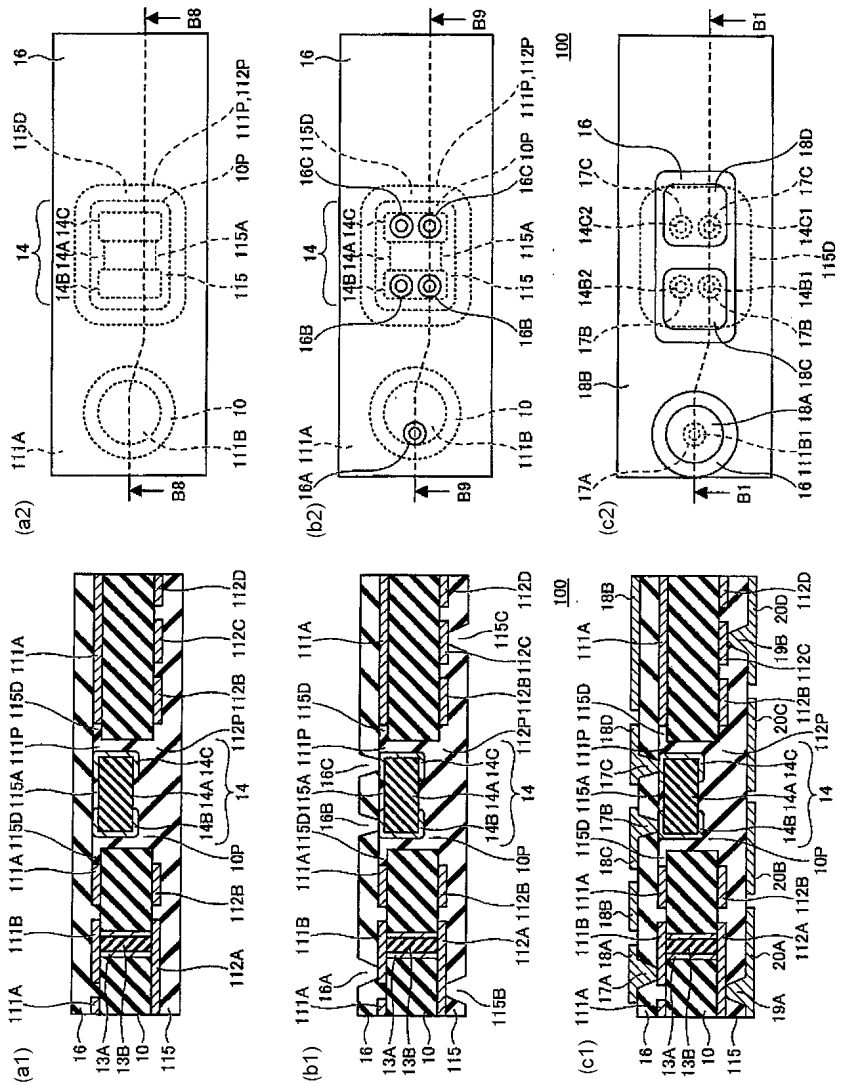
도면8


(a2)
111
13A 13B
B2
B2
(b2)
111
111P
10
111B 10
B3
B3
(c2)
111A
10 10P 111P
111B 10
B4
B4
(a1)
111
112
13A
13B
10
(b1)
111A
111P
112P
112B
112C 112D
111A
111B
112A
111A
13A
13B
10
(c1)
111A
111P
10P 112P
112B
112C 112D
111A
111B
112B
112A
111A
13A
13B
10

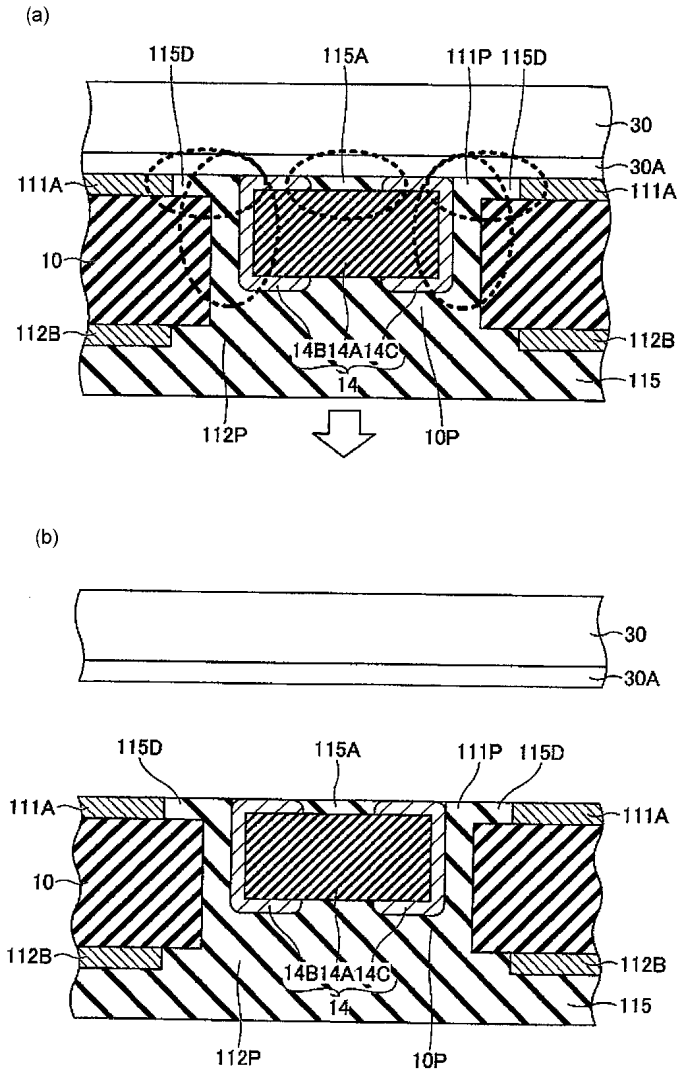
도면9


(a2)
(b2)
(c2)
(a1)
(b1)
(c1)
B5
B6
B7
30
14
14B 14A 14C
111P,112P
10P
111B 10
111A
115D
115A
115
112D
112C
112B
112P
112A
111B
14D
30B
13A
13B
10

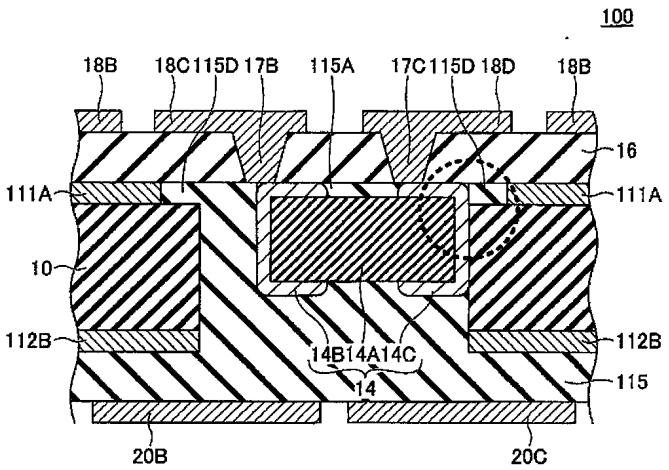
도면10


(a1)
(a2)
(b1)
(b2)
(c1)
(c2)
100
111A
111B
112A
112B
112C
112D
111P
112P
115
115A
115D
10
10P
13A
13B
14
14A
14B
14C
16
16A
16B
16C
17A
17B
17C
18A
18B
18C
18D
19A
19B
20A
20B
20C
20D
B8
B9
B1

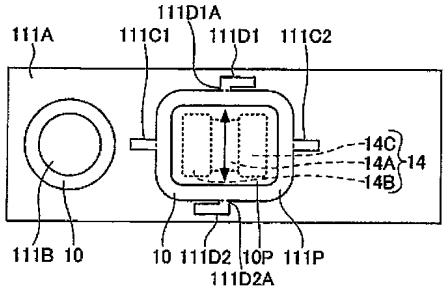
도면11


(a)
115D
115A
111P
115D
30
30A
111A
111A
10
112B
112B
14B14A14C
14
115
112P
10P
(b)
30
30A
115D
115A
111P
115D
111A
111A
10
112B
112B
14B14A14C
14
115
112P
10P

도면12


100
18B
18C
115D
17B
115A
17C
115D
18D
18B
16
111A
111A
10
112B
112B
14B14A14C
14
115
20B
20C

도면13


111D1A
111A
111C1
111D1
111C2
14C
14A
14
14B
111B
10
10
111D2
10P
111P
111D2A