



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2011년05월20일  
 (11) 등록번호 10-1035357  
 (24) 등록일자 2011년05월11일

(51) Int. Cl.

*H01L 29/786* (2006.01) *H01L 51/50* (2006.01)

(21) 출원번호 10-2009-0125032

(22) 출원일자 2009년12월15일

심사청구일자 2009년12월15일

(56) 선행기술조사문현

KR1020080104860 A

KR1020090089482 A

JP2008218495 A

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

김광숙

경기도 용인시 기흥구 농서동 산24

김민규

경기도 용인시 기흥구 농서동 산24

(74) 대리인

리엔목특허법인

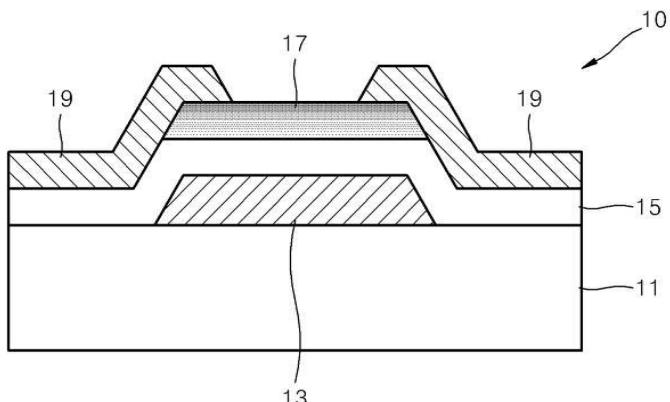
전체 청구항 수 : 총 20 항

심사관 : 이상호

(54) 산화물 반도체 박막 트랜지스터, 그 제조방법 및 산화물 반도체 박막 트랜지스터를 구비한 유기전계 발광 소자

**(57) 요 약**

Â기판, 상기 기판 상의 게이트 전극, 상기 게이트 전극 및 노출된 상기 기판 위의 게이트 절연막, 상기 게이트 절연막 위에서 상기 게이트 전극과 마주보는 위치에 있으면서, Zn의 농도 경사를 갖는 HfInZnO계 산화물 반도체로 이루어진 산화물 반도체층 및 상기 산화물 반도체층의 양측으로부터 상기 게이트 절연막 위로 연장되는 소스/드레인 영역을 포함하는 박막 트랜지스터가 제공된다.

**대 표 도 - 도1**

## 특허청구의 범위

### 청구항 1

기판;

상기 기판 상의 게이트 전극;

상기 게이트 전극 및 노출된 상기 기판 위의 게이트 절연막;

상기 게이트 절연막 위에서 상기 게이트 전극과 마주보는 위치에 있으면서, Zn의 농도 경사를 갖는 HfInZnO계 산화물 반도체로 이루어진 산화물 반도체층;

상기 산화물 반도체층의 양측으로부터 상기 게이트 절연막 위로 연장되는 소스/드레인 영역;을 포함하는 박막 트랜지스터.

### 청구항 2

제1 항에 있어서, 상기 산화물 반도체층의 하부에서 상부로 갈수록 Zn의 농도가 점진적으로 높아지는 박막 트랜지스터.

### 청구항 3

제1 항에 있어서, 상기 산화물 반도체층 내의 상기 Zn의 농도가 30~70 at % (원자 백분율) (Hf, In, Zn의 at % 의 합은 100)의 범위를 갖는 박막 트랜지스터.

### 청구항 4

기판;

상기 기판 상의 게이트 전극;

상기 게이트 전극 및 노출된 상기 기판 위의 게이트 절연막;

상기 게이트 절연막 위에서 상기 게이트 전극과 마주보는 위치에 있으면서, 상기 게이트 절연막 위의 제1 층 및 상기 제1 층 위의 제2 층으로 이루어지며, 상기 제2 층의 Zn 농도가 상기 제1 층의 Zn 농도보다 더 높은 HfInZnO계 산화물 반도체로 이루어진 산화물 반도체층; 및

상기 산화물 반도체층의 양측으로부터 상기 게이트 절연막 위로 연장되는 소스/드레인 영역;을 포함하는 박막 트랜지스터.

### 청구항 5

제4 항에 있어서, 상기 제1 층의 Zn의 농도가 30 ~ 70 at %의 범위를 갖고, 상기 제2 층의 Zn의 농도가 35 ~ 70 at %의 범위를 갖는 박막 트랜지스터.

### 청구항 6

제1 항 또는 제4 항에 있어서, 상기 산화물 반도체층 안의 Hf의 농도가 2~13 at %의 범위를 갖는 박막 트랜지스터.

### 청구항 7

제1 항 또는 제4 항에 있어서, 상기 산화물 반도체층은 비정질인 박막 트랜지스터.

### 청구항 8

제1 항 또는 제4 항에 있어서, 상기 산화물 반도체층은 결정질인 박막 트랜지스터.

### 청구항 9

제1 항 또는 제4 항에 있어서, 상기 기판과 상기 게이트 전극 사이에 베포층을 더 포함하는 박막 트랜지스터.

**청구항 10**

제1 항 또는 제4 항에 있어서, 상기 산화물 반도체층 위에 식각 정지막을 더 포함하는 박막 트랜지스터.

**청구항 11**

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 노출된 상기 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 Zn의 농도 경사를 갖는 HfInZnO계의 산화물 반도체층을 형성하는 단계; 및  
상기 산화물 반도체층의 양측으로부터 상기 게이트 절연막 위로 연장되는 소스/드레인 영역을 형성하는 단계;를  
포함하는 박막 트랜지스터의 제조 방법.

**청구항 12**

제11 항에 있어서, 상기 산화물 반도체층을 형성하는 단계는 HfO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>, ZnO의 세 개의 타겟에 각각 파워를 인  
가하여 코스퍼터링을 실시하는 박막 트랜지스터의 제조 방법.

**청구항 13**

제11 항에 있어서, 상기 산화물 반도체층의 하부에서 상부로 갈수록 Zn의 농도가 점진적으로 높아지도록 상기  
산화물 반도체층을 형성하는 박막 트랜지스터의 제조 방법.

**청구항 14**

제11 항에 있어서, 상기 산화물 반도체층 내의 상기 Zn의 농도가 30~70 at %의 범위를 갖도록 상기 산화물 반도  
체층을 형성하는 박막 트랜지스터의 제조 방법.

**청구항 15**

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 노출된 상기 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위의 제1 층 및 상기 제1 층 위의 제2 층으로 형성하되, 상기 제2 층의 Zn 농도가 상기 제1  
층의 Zn 농도보다 더 높도록 HfInZnO계 산화물 반도체층을 형성하는 단계; 및

상기 산화물 반도체층의 양측으로부터 상기 게이트 절연막 위로 연장되는 소스/드레인 영역을 형성하는 단계;를  
포함하는 박막 트랜지스터의 제조 방법.

**청구항 16**

제15 항에 있어서, 상기 제1 층의 Zn의 농도가 30~70 at %의 범위를 갖고, 상기 제2 층의 Zn의 농도가 35~70 at  
%의 범위를 갖도록 상기 산화물 반도체층을 형성하는 박막 트랜지스터의 제조 방법.

**청구항 17**

제11 항 또는 제15 항에 있어서, 상기 산화물 반도체층을 비정질 상태로 형성하는 박막 트랜지스터의 제조  
방법.

**청구항 18**

제11 항 또는 제15 항에 있어서, 상기 산화물 반도체층을 결정 상태로 형성하는 박막 트랜지스터의 제조 방법.

**청구항 19**

제11 항 또는 제15 항에 있어서, 상기 기판과 상기 게이트 전극 사이에 베퍼층을 형성하는 단계를 더 포함하는  
박막 트랜지스터의 제조 방법.

**청구항 20**

제11 항 또는 제15 항에 있어서, 상기 산화물 반도체층 위에 식각 정지막을 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 박막 트랜지스터에 관한 것으로서, 더욱 상세하게는 HfInZnO계 산화물 반도체를 채널층으로 사용하는 박막 트랜지스터, 그 제조 방법 및 이를 구비한 유기전계 발광소자에 관한 것이다.

#### 배경기술

[0002] 박막 트랜지스터(thin film transistor)는 절연성 지지 기판 위에 반도체 박막을 이용하여 만든 특별한 종류의 전계 효과 트랜지스터이다. 박막 트랜지스터는 전계 효과 트랜지스터와 마찬가지로 게이트(gate), 드레인(drain), 소ース(source)의 세 단자를 가진 소자이며, 가장 주된 기능은 스위칭 동작이다. 박막 트랜지스터는 센서, 기억 소자, 광 소자 등에도 이용되지만, 평판 디스플레이의 화소 스위칭 소자로서 주로 이용된다.

[0003] 현재 노트북, PC 모니터, TV, 모바일 기기 등 이미 상용화가 진행된 제품들은 대부분 비정질 실리콘 박막 트랜지스터(a-Si TFT)를 사용하고 있다. 비정질 실리콘은 대면적 증착이 잘 되고, 저온에서 유리 기판상에 용이하게 제작할 수 있기 때문에 박막 트랜지스터에 가장 많이 사용되고 있다. 그러나 디스플레이의 대형화 및 고화질화 추세에 따라 소자의 고성능이 요구되어, 전자 이동도가  $0.5\sim1\text{cm}^2/\text{Vs}$  수준인 비정질 실리콘 박막 트랜지스터보다 높은 이동도를 갖는 고성능 박막 트랜지스터 및 제조 기술이 요구되고 있다.

[0004] 다결정 실리콘(poly-Si TFT) 박막 트랜지스터는 수십에서 수백  $\text{cm}^2/\text{Vs}$ 의 이동도를 갖기 때문에 높은 이동도를 요구하는 데이터 구동 회로나 주변 회로 등을 기판 내에 내장할 수 있도록 하며, 트랜지스터의 채널을 작게 만들 수 있으므로 화면의 개구율을 크게 할 수 있게 한다. 또한, 고해상도가 가능하며, 구동전압과 소비전력을 낮출 수 있고, 소자 특성 열화 문제가 매우 적은 장점이 있다. 그러나 다결정 실리콘 박막 트랜지스터를 제작하기 위해서는 결정화를 위한 공정이 복잡하고 추가 비용을 발생시킨다. 그리고 제조 장비의 한계나 균일도 불량과 같은 기술적인 문제로 인하여 현재까지는 다결정 실리콘 박막 트랜지스터를 사용한 대형기판의 제조 공정이 실현되고 있지 않다.

[0005] 산화물 반도체 소자는 박막 트랜지스터의 장점과 다결정 실리콘 박막 트랜지스터의 장점을 모두 지니고 있는 소자이다. 산화물 반도체 소자는 저온 공정으로 제작이 가능하고 대면적화가 용이한 장점을 가지며 고이동도의 물질로서 다결정 실리콘과 같은 매우 양호한 전기적 특성을 가지고, 산화물 반도체층을 박막 트랜지스터의 채널 영역에 사용하기 위한 연구가 진행되고 있다.

[0006] 현재 널리 사용되고 있는 InGaZnO 산화물 반도체는 소자가 플라즈마나 외부 환경(수분이나 산소 등)에 노출되는 경우, 소자의 특성이 열화됨이 보고되고 있다. 산화물 반도체층을 보호하기 위하여 산화물 반도체층 위에 식각 정지막(etch stop layer)을 적용하고 있다. 그러나 식각 정지막의 형성 공정 조건에 따라서도 소자의 특성이 심각하게 열화될 수도 있으며 소자 특성이 열화되지 않는 공정 조건의 범위가 제한적이기 때문에 산화물 반도체의 근본적인 변화가 필요하다.

#### 발명의 내용

##### 해결 하고자하는 과제

[0007] 본 발명의 목적은 산화물 반도체 박막 트랜지스터의 전기적 특성과 안정성을 향상시킨 산화물 반도체 박막 트랜지스터, 그 제조방법 및 이를 구비한 유기전계 발광소자를 제공하는 것이다.

##### 과제 해결수단

[0008] 본 발명의 일 측면에 따라 기판, 상기 기판 상의 게이트 전극, 상기 게이트 전극 및 노출된 상기 기판 위의 게이트 절연막, 상기 게이트 절연막 위에서 상기 게이트 전극과 마주보는 위치에 있으면서, Zn의 농도 경사를 갖는 HfInZnO계 산화물 반도체로 이루어진 산화물 반도체층 및 상기 산화물 반도체층의 양측으로부터 상기 게이트

절연막 위로 연장되는 소스/드레인 영역을 포함하는 박막 트랜지스터가 제공된다.

[0009] 본 발명의 다른 일 측면에 따라 기판, 상기 기판 상의 게이트 전극, 상기 게이트 전극 및 노출된 상기 기판 위의 게이트 절연막, 상기 게이트 절연막 위에서 상기 게이트 전극과 마주보는 위치에 있으면서, 상기 게이트 절연막 위의 제1 층 및 상기 제1 층 위의 제2 층으로 이루어지며, 상기 제2 층의 Zn 농도가 상기 제1 층의 Zn 농도보다 더 높은 HfInZnO계 산화물 반도체로 이루어진 산화물 반도체층 및 상기 산화물 반도체층의 양측으로부터 상기 게이트 절연막 위로 연장되는 소스/드레인 영역을 포함하는 박막 트랜지스터가 제공된다.

[0010] 본 발명의 또 다른 일 측면에 따라 기판 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극 및 노출된 상기 기판 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 Zn의 농도 경사를 갖는 HfInZnO계의 산화물 반도체층을 형성하는 단계 및 상기 산화물 반도체층의 양측으로부터 상기 게이트 절연막 위로 연장되는 소스/드레인 영역을 형성하는 단계를 포함하는 박막 트랜지스터의 제조 방법이 제공된다.

[0011] 본 발명의 또 다른 일 측면에 따라 기판 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극 및 노출된 상기 기판 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 위의 제1 층 및 상기 제1 층 위의 제2 층으로 형성하되, 상기 제2 층의 Zn 농도가 상기 제1 층의 Zn 농도보다 더 높도록 HfInZnO계 산화물 반도체층을 형성하는 단계 및 상기 산화물 반도체층의 양측으로부터 상기 게이트 절연막 위로 연장되는 소스/드레인 영역을 형성하는 단계를 포함하는 박막 트랜지스터의 제조 방법이 제공된다.

## 효과

HfInZnO계 산화물 반도체층 안의 Zn의 농도를 경사지게 하거나 다른 농도를 갖는 적층으로 형성함으로써 채널 층의 전기적 특성을 높게 유지하면서 산화물 반도체층의 외부 환경에 노출되는 부분의 강도를 높여서 소자의 안정성을 높일 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0013] 이하에서 본 발명의 구체적인 실시형태에 대하여 첨부된 도면을 참조하여 더욱 상세하게 설명한다. 그러나 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0014] 본 명세서에서 "HfInZnO계 산화물 반도체"는 Hf, In, Zn 및 O의 조성비가 변할 수 있는 Hf, In, Zn 및 O를 포함하는 산화물 반도체를 의미한다. 본 명세서에서 Hf 및 Zn의 농도를 나타내는 at %는 원자 백분율로서 Hf, In, Zn의 at %의 합은 100이다.

[0015] 도 1은 본 발명의 실시예들에 따른 산화물 반도체층을 포함하는 박막 트랜지스터의 구조를 나타낸 단면도이다.

[0016] 도 1의 산화물 반도체 박막 트랜지스터(10)는 기판(11) 상에 형성된 게이트 전극(13), 게이트 전극(13)와 노출된 기판(11) 상에 형성된 게이트 절연막(15), 게이트 절연막(15)을 사이에 두고 게이트 전극(13)과 마주보는 산화물 반도체층(17), 산화물 반도체층(17)의 상면을 노출시키면서 산화물 반도체층(17)과 접촉하도록 산화물 반도체층(17)의 양측과 게이트 절연막(15) 위로 형성되어 있는 소스/드레인(19)을 포함한다. 산화물 반도체층(17)은 채널층을 형성한다. 선택적으로 기판(11)과 게이트 전극(13) 및 게이트 절연막(15) 사이에 베퍼층(미도시)이 위치할 수 있다. 또한, 선택적으로 산화물 반도체층(17) 위에 식각 정지층(미도시)이 위치할 수 있다.

[0017] 기판(11)은 실리콘(Si), 유리(glass) 또는 플라스틱 등이 사용될 수 있다. 게이트 전극(13)은 Ti, Pt, Ru, Cu, Au, Ag, Mo, Cr, Al, Ta, W 또는 이들의 합금과 같은 금속 또는 주석 산화물(Tin Oxide), 아연 산화물(Zinc Oxide), 인듐 산화물(Indium Oxide), ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(gallium Zinc Oxide), IGO(Indium Gallium Oxide), AZO(Aluminum Zinc Oxid)와 같은 전도성 산화물일 수 있다. 바람직하게는 Cu 또는 Mo 단일 금속층, Mo층을 포함하는 다중 금속층, Ti를 포함하는 금속층 및 Cr을 포함하는 금속층 중 어느 하나일 수 있다.

[0018] 게이트 절연막(15)은 SiO<sub>2</sub>, SiN<sub>x</sub>, SiON, HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, Ta<sub>2</sub>O<sub>5</sub> 등과 같은 유전체 또는 고유전율 유전체 또는 이들의 조합으로 이루어질 수 있다.

[0019] 산화물 반도체층(17)은 HfInZnO계의 산화물 반도체로 구성된다. HfInZnO계의 산화물 반도체는 비정질 또는 결정질일 수 있다. 본 발명의 일 실시예에서 게이트 절연막(15)과 인접하는 하부로 갈 수록 Zn의 농도가 낮아지고,

상부로 갈수록 Zn의 농도가 높아져서, Zn의 농도가 HfInZnO계 산화물 반도체층 내에서 점진적인 경사(gradien t)를 가질 수 있다. 예를 들면, HfInZnO계 산화물 반도체층의 하부는 Zn 대 In의 원자비율이 1보다 작고 ( $Zn/In < 1$ ), 상부는 Zn 대 In의 원자비율이 1보다 크도록 ( $Zn/In > 1$ ) HfInZnO계 산화물 반도체층이 Zn의 점진적인 농도 경사를 가질 수 있다. 이때 HfInZnO계 산화물 반도체층(17)의 Zn의 농도는 30 ~ 70 at % (원자 백분율) (Hf, In, Zn의 at %의 합은 100)의 범위를 가질 수 있다. 한편,  $Zn/In < 1$ 인 경우 Hf의 농도(원자 백분율)은 5~13 at % 범위일 수 있고,  $Zn/In = 1$ 인 경우 Hf의 농도는 3~10 at % 범위일 수 있고,  $Zn/In > 1$ 인 경우 Hf의 농도는 2~10 at % 범위일 수 있다. 상기 조성의 범위 내에서 HfInZnO계 산화물 반도체 박막 트랜지스터의 트랜지스터의 특성이 발현될 수 있다.

[0020] HfInZnO계 산화물 반도체에서 Zn의 농도가 증가하면, HfInZnO계 산화물 반도체의 구조를 강하게 하여 후속의 박막 형성 공정이나 플라즈마 공정 등 외부 환경에 노출되는 경우에 결함이 발생하는 문제가 줄어들며 따라서 박막 트랜지스터의 안정성이 증가한다. 그러나 HfInZnO계 산화물 반도체에서 Zn의 농도가 증가하면, HfInZnO계 산화물 반도체의 전자의 이동도가 감소되어 전기적인 특성이 저하되는 경향이 있다.

[0021] 따라서 산화물 반도체층(17)에서 게이트 절연막(15)과 인접하여 채널을 형성하는 부분으로 갈수록 전자의 이동도를 높여서 소자의 성능을 향상시키도록 Zn의 농도를 낮추고, 외부 환경에 노출되는 상부층으로 갈수록 소자의 안정성을 높이도록 Zn의 농도를 높게 할 수 있다.

[0022] 소스/드레인(19)은 게이트 전극과 마찬가지로 Ti, Pt, Ru, Cu, Au, Ag, Mo, Cr, Al, Ta, W 또는 이들의 합금과 같은 금속 또는 주석 산화물, 아연 산화물, 인듐 산화물, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(gallium Zinc Oxide), IGO(Indium Gallium Oxide), AZO(Aluminum Zinc Oxide)와 같은 전도성 산화물일 수 있다. 바람직하게는 Cu 또는 Mo 단일 금속층, Mo층을 포함하는 다중 금속층, Ti를 포함하는 금속층 및 Cr을 포함하는 금속층 중 어느 하나 일 수 있다.

[0023] 도 2는 본 발명의 다른 일 실시예에 따른 산화물 반도체층을 포함하는 박막 트랜지스터의 구조를 나타낸 단면도이다. 도 2의 박막 트랜지스터는 산화물 반도체층이 이중층(double layer)으로 형성되는 것을 제외하고는 도 1의 박막 트랜지스터와 같은 구조를 갖는다.

[0024] 즉, 도 2의 산화물 반도체 박막 트랜지스터(20)는 기판(21) 상에 형성된 게이트 전극(23), 게이트 전극(23)과 노출된 기판(21) 상에 형성된 게이트 절연막(25), 게이트 절연막(25)을 사이에 두고 게이트 전극(23)과 마주보는 산화물 반도체층(27), 산화물 반도체층(27)의 상면을 노출시키면서 산화물 반도체층(27)과 접촉하도록 산화물 반도체층(27)의 양측과 게이트 절연막(25) 위로 형성되어 있는 소스/드레인(29)을 포함한다.

[0025] 산화물 반도체층(27)은 게이트 절연막(25) 위의 제1 산화물 반도체층(27a) 및 제1 산화물 반도체층(27a) 위의 제2 산화물 반도체층(27b)으로 구성된다. 선택적으로 기판(21)과 게이트 전극(23) 및 게이트 절연막(25) 사이에 버퍼층(미도시)이 위치할 수 있다. 또한 선택적으로, 산화물 반도체층(27) 위에 식각 정지층(미도시)이 위치할 수 있다.

[0026] 기판(21)은 실리콘(Si), 유리(glass) 또는 플라스틱 등이 사용될 수 있다. 게이트 전극(23)은 Ti, Pt, Ru, Cu, Au, Ag, Mo, Cr, Al, Ta, W 또는 이들의 합금과 같은 금속 또는 주석 산화물(Tin Oxide), 아연 산화물(Zinc Oxide), 인듐 산화물(Indium Oxide), ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(gallium Zinc Oxide), IGO(Indium Gallium Oxide), AZO(Aluminum Zinc Oxid)와 같은 전도성 산화물일 수 있다. 바람직하게는 Cu 또는 Mo 단일 금속층, Mo층을 포함하는 다중 금속층, Ti를 포함하는 금속층 및 Cr을 포함하는 금속층 중 어느 하나 일 수 있다.

[0027] 게이트 절연막(25)은  $SiO_2$ ,  $SiN_x$ ,  $SiON$ ,  $HfO_2$ ,  $Al_2O_3$ ,  $Y_2O_3$ ,  $Ta_2O_5$  등과 같은 유전체 또는 고유전율 유전체 또는 이들의 조합으로 형성할 수 있다.

[0028] 제1 산화물 반도체층(27a)과 제2 산화물 반도체층(27b)은 HfInZnO계 산화물 반도체로 구성되며, 제1 산화물 반도체층(27a)의 Zn의 농도가 제2 산화물 반도체층(27b)보다 더 낮을 수 있다. 예를 들면, 제1 산화물 반도체층(27a)은 Zn 대 In의 원자비율이 1보다 작고 ( $Zn/In < 1$ ), 제2 산화물 반도체층(27b)은 Zn 대 In의 원자비율이 1보다 크도록 ( $Zn/In > 1$ ) 제1 산화물 반도체층(27a)과 제2 산화물 반도체층(27b)을 형성할 수 있다. 이때 제1 산화물 반도체층(27a)의 Zn의 농도는 30 ~ 70 at %의 범위를 가질 수 있고, 제2 산화물 반도체층(27b)의 Zn의 농도는 35 ~ 70 at %의 범위를 가질 수 있다. 한편,  $Zn/In < 1$ 인 경우 Hf의 농도(원자 백분율)은 5~13 at % 범위일 수 있고,  $Zn/In = 1$ 인 경우 Hf의 농도는 3~10 at % 범위일 수 있고,  $Zn/In > 1$ 인 경우 Hf의 농도는 2~10 at % 범위일

수 있다. HfInZnO계의 산화물 반도체는 비정질 또는 결정질일 수 있다.

[0029] 본 실시예에서는 산화물 반도체층(27)이 2개의 층으로 구성되지만, 다른 실시예에서는 산화물 반도체층(27)이 3개의 층으로 구성될 수도 있다. 이때, 게이트 절연막(25) 바로 위의 산화물 반도체층 내의 Zn의 농도가 가장 낮고, 가장 상부의 산화물 반도체층 내의 Zn의 농도가 가장 높으며, 중간의 산화물 반도체층 내의 Zn의 농도는 가장 높은 값과 가장 낮은 값 사이의 값을 가질 수 있다.

[0030] 제1 산화물 반도체층(27a)은 채널층으로 작용하고, 제2 산화물 반도체층(27b)은 채널층 및 제1 산화물 반도체층(27a)의 보호층으로 작용할 수 있어서, 제1 산화물 반도체층(27a)과 제2 산화물 반도체층(27b)의 적층 구조는 소자의 전기적인 특성을 저하시키지 않으면서 소자의 안정성을 향상시킬 수 있다.

[0031] 소스/드레인(29)은 게이트 전극과 마찬가지로 Ti, Pt, Ru, Cu, Au, Ag, Mo, Cr, Al, Ta, W 또는 이들의 합금과 같은 금속 또는 주석 산화물, 아연 산화물, 인듐 산화물, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(gallium Zinc Oxide), IGO(Indium Gallium Oxide), AZO(Aluminum Zinc Oxide)와 같은 전도성 산화물일 수 있다. 바람직하게는 Cu 또는 Mo 단일 금속층, Mo층을 포함하는 다중 금속층, Ti를 포함하는 금속층 및 Cr을 포함하는 금속층 중 어느 하나 일 수 있다.

[0032] 도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위하여 공정 순서대로 도시한 단면도들이다.

[0033] 도 3a를 참조하면, 기판(11) 위에 게이트 전극(13)을 형성한다. 기판(11)은 실리콘, 유리 또는 플라스틱 등을 사용할 수 있다.

[0034] 기판(11) 위에 Ti, Pt, Ru, Cu, Au, Ag, Mo, Cr, Al, Ta, W 또는 이들의 합금과 같은 금속층 또는 주석 산화물, 아연 산화물, 인듐 산화물, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(gallium Zinc Oxide), IGO(Indium Gallium Oxide), AZO(Aluminum Zinc Oxide)와 같은 전도성 산화물층을 형성하고, 패터닝하여 게이트 전극(13)을 형성한다. 선택적으로, 기판(11) 위에 베퍼층(미도시)를 형성한 후 게이트 전극(13)을 형성할 수도 있다.

[0035] 도 3b를 참조하면, 게이트 전극(13)가 형성된 기판(11) 위로 SiO<sub>2</sub>, SiN<sub>x</sub>, SiON, HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, Y<sub>2</sub>O<sub>3</sub>, Ta<sub>2</sub>O<sub>5</sub> 등과 같은 유전체 또는 고유전율 유전체 또는 이들의 조합으로 이루어진 박막으로 게이트 절연막(15)를 형성한다.

[0036] 도 3c를 참조하면, 게이트 절연막(15) 위로 HfInZnO계의 산화물 반도체층을 형성하고 패터닝하여 산화물 반도체층(17)을 형성한다. 이때, 게이트 절연막(15)과 접하는 하부로부터 상부로 갈수록 Zn의 농도가 증가하는 농도 경사(concentration gradient)를 갖도록 HfInZnO계의 산화물 반도체층을 형성한다.

[0037] HfInZnO계의 산화물 반도체층은 스팍터 챔버 내에서 HfO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>, ZnO의 3개의 타겟에 각각 파워를 인가하여 코스퍼팅을 실시하여 형성할 수 있다. HfInZnO계의 산화물 반도체는 비정질 또는 결정질일 수 있다. 이때 스팍터 시간에 따라 타겟들의 파워를 변화시킴에 의하여 HfInZnO계 산화물 반도체층 하부에서 상부로 갈수록 Zn의 농도가 증가하도록 HfInZnO계 산화물 반도체층 내의 Zn의 점진적인 농도 경사를 형성할 수 있다.

[0038] 예를 들면, HfInZnO계 산화물 반도체층의 하부는 Zn 대 In의 원자비율이 1보다 작고(Zn/In<1), 상부는 Zn 대 In의 원자비율이 1보다 큼(Zn/In>1) Zn의 점진적인 농도 경사를 갖도록 HfInZnO계 산화물 반도체층을 형성할 수 있다. 이때 HfInZnO계 산화물 반도체층(17)은 Zn의 농도는 30~70 at %의 범위를 가질 수 있다. 한편, Zn/In<1인 경우 Hf의 농도(원자 백분율)은 5~13 at % 범위일 수 있고, Zn/In=1인 경우 Hf의 농도는 3~10 at % 범위일 수 있고, Zn/In>1인 경우 Hf의 농도는 2~10 at % 범위일 수 있다.

[0039] Zn의 농도 경사를 갖는 산화물 반도체층(27)으로 인하여 식각 저지층을 사용하지 않는 경우 박막 트랜지스터 형성 공정을 단순하게 할 수 있다. 선택적으로 산화물 반도체층(17) 위에 절연막으로 식각 정지층(미도시)를 형성할 수도 있다.

[0040] 도 3d를 참조하면, 산화물 반도체층(17) 및 게이트 절연막(15) 위로 Ti, Pt, Ru, Cu, Au, Ag, Mo, Cr, Al, Ta, W 또는 이들의 합금과 같은 금속층 또는 주석 산화물, 아연 산화물, 인듐 산화물, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(gallium Zinc Oxide), IGO(Indium Gallium Oxide), AZO(Aluminum Zinc Oxide)와 같은 전도성 산화물층을 형성한다. 상기 금속층 또는 상기 전도성 산화물층을 패터닝하여 산화물 반도체층(17)의 양쪽으로부터 게이트 절연층(15)으로 연장되는 소스/드레인(19)를 형성한다.

[0041] 도 4a 내지 도 4d는 본 발명의 다른 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위하여 공정 순

서대로 도시한 단면도들이다. 도 4a 내지 도 4d의 박막 트랜지스터의 제조 방법은 산화물 반도체층을 이중층으로 형성하는 것을 제외하고는 도 3a 내지 도 3d의 박막 트랜지스터의 제조 방법과 같다.

[0042] 도 4a를 참조하면, 기판(21) 위에 게이트 전극(23)을 형성한다. 기판(21)은 실리콘, 유리 또는 플라스틱 등을 사용할 수 있다.

[0043] 기판(21) 위에 Ti, Pt, Ru, Cu, Au, Ag, Mo, Cr, Al, Ta, W 또는 이들의 합금과 같은 금속층 또는 주석 산화물, 아연 산화물, 인듐 산화물, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(gallium Zinc Oxide), IGO(Indium Gallium Oxide), AZO(Aluminum Zinc Oxide)와 같은 전도성 산화물층을 형성하고, 패터닝하여 게이트 전극(23)를 형성한다. 선택적으로, 기판(11) 위에 베퍼층(미도시)를 형성한 후 게이트 전극(13)을 형성할 수도 있다.

[0044] 도 4b를 참조하면, 게이트 전극(23)가 형성된 기판(21) 위로 SiO<sub>2</sub>, SiN<sub>x</sub>, SiON, HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, Y<sub>2</sub>O<sub>3</sub>, Ta<sub>2</sub>O<sub>5</sub> 등과 같은 유전체 또는 고유전율 유전체 또는 이들의 조합으로 이루어진 박막으로 게이트 절연막(25)를 형성한다.

[0045] 도 4c를 참조하면, 게이트 절연막(25) 위로 HfInZnO계의 산화물 반도체층을 형성하고 패터닝하여 산화물 반도체층(27)을 형성한다. 이때, HfInZnO계의 산화물 반도체층(27)은 게이트 절연막(25) 바로 위의 제1 산화물 반도체층(27a)과 제1 산화물 반도체층(27a) 위의 제2 산화물 반도체층(27b)의 2층으로 형성한다. 제2 산화물 반도체층(27b)의 Zn 농도가 제1 산화물 반도체층(27a)의 Zn 농도보다 더 높도록 제1 산화물 반도체층(27a)과 제2 산화물 반도체층(27b)을 형성한다. 예를 들면, 제1 산화물 반도체층(27a)은 Zn 대 In의 원자비율이 1보다 작고 (Zn/In<1), 제2 산화물 반도체층(27b)은 Zn 대 In의 원자비율이 1보다 크도록 (Zn/In>1) 제1 산화물 반도체층(27a)과 제2 산화물 반도체층(27b)을 형성할 수 있다. 이때 제1 산화물 반도체층(27a)의 Zn의 농도는 30 ~ 70 at %의 범위를 가질 수 있고, 제2 산화물 반도체층(27b)의 Zn의 농도는 35 ~ 70 at %의 범위를 가질 수 있다. 한편, Zn/In<1인 경우 Hf의 농도(원자 백분율)은 5~13 at % 범위일 수 있고, Zn/In=1인 경우 Hf의 농도는 3~10 at % 범위일 수 있고, Zn/In>1인 경우 Hf의 농도는 2~10 at % 범위일 수 있다. HfInZnO계의 산화물 반도체는 비정질 또는 결정질일 수 있다.

[0046] 제1 산화물 반도체층(27a)과 제2 산화물 반도체층(27b)은 각각 별도의 조성을 갖는 타겟을 사용하여 형성할 수 있다. 즉, 제1 산화물 반도체층(27a)은 Zn의 농도가 낮은 (Zn/In<1) HfInZnO계 산화물 반도체 제작용 타겟을 사용하고, 제2 산화물 반도체층(27b)은 Zn의 농도가 높은 (Zn/In>1) HfInZnO계 산화물 반도체 제작용 타겟을 사용하여 형성할 수 있다. 제1 산화물 반도체층(27a)과 제2 산화물 반도체층(27b)은 비정질 또는 결정질일 수 있다.

[0047] 한편, 선택적으로 제2 산화물 반도체층(27b) 위에 식각 정지층(미도시)을 형성할 수도 있다.

[0048] 또한, Zn 농도가 다른 3개의 타겟을 사용하여 산화물 반도체층(27)을 3개의 층으로 형성할 수 있다. 이때 게이트 절연막(25) 바로 위의 산화물 반도체층 내의 Zn의 농도를 가장 낮게, 가장 상부의 산화물 반도체층 내의 Zn의 농도가 가장 높게, 중간의 산화물 반도체층 내의 Zn의 농도를 가장 높은 값과 가장 낮은 값 사이의 값을 갖도록 형성할 수 있다.

[0049] 도 4d를 참조하면, 산화물 반도체층(27) 및 게이트 절연막(25) 위로 Ti, Pt, Ru, Cu, Au, Ag, Mo, Cr, Al, Ta, W 또는 이들의 합금과 같은 금속층 또는 주석 산화물, 아연 산화물, 인듐 산화물, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(gallium Zinc Oxide), IGO(Indium Gallium Oxide), AZO(Aluminum Zinc Oxide)와 같은 전도성 산화물층을 형성한다. 상기 금속층 또는 상기 전도성 산화물층을 패터닝하여 산화물 반도체층(27)의 양측으로부터 게이트 절연층(25)으로 연장되는 소스/드레인(29)를 형성한다.

[0050] 도 6은 본 발명의 일 실시예에 따른 박막 트랜지스터를 구비한 유기전계 발광소자를 설명하기 위한 단면도이다.

[0051] 도 6을 참조하면, 유기전계 발광소자(300)는 애노드 전극(131), 캐소드 전극(137) 및 애노드 전극(131)과 캐소드 전극(137) 사이에 형성된 유기 박막층(135)으로 이루어진다. 유기 박막층(135)은 정공 수송층, 유기 발광층 및 전자 수송층이 적층된 구조로 형성될 수 있으며, 정공 주입층 및 전자 주입층이 더 포함될 수 있다.

[0052] 유기전계 발광소자(300)의 동작을 제어하기 위한 박막 트랜지스터(100)는 본 발명의 HfInZnO계 산화물 반도체 박막 트랜지스터로 형성되어 있다. 박막 트랜지스터(100)는 기판(111) 위의 게이트 전극(113), 게이트 절연막(115)을 사이에 두고 게이트 전극(113) 위로 형성된 HfInZnO계 산화물 반도체층(117) 및 HfInZnO계 산화물 반도체층(117)의 양측으로 형성되어 있는 소스/드레인(119)을 포함한다.

[0053] HfInZnO계 산화물 반도체층(117)은 Zn의 농도가 HfInZnO계 산화물 반도체층(117)의 하부로부터 상부로 갈수록

증가할 수 있다. 선택적으로 HfInZnO계 산화물 반도체층(117)은 상부층의 Zn의 농도가 하부층의 Zn의 농도보다 더 높게 형성된 적층 구조로 형성될 수 있다.

[0054] 소스/드레인(119) 중 하나에 애노드 전극(131)이 전기적으로 연결되어 있다. 한편, 유기전계 발광소자는 신호를 유지하기 위한 커패시터를 더 포함할 수 있다.

#### HfInZnO계 산화물 반도체 TFT의 특성 및 안정성 측정

[0056] Glass 기판 위에 Mo으로 1000Å의 두께로 폭/길이가 150/1000nm인 게이트 전극을 형성한 뒤, 기판 및 게이트 전극 상에 SiNx/SiOx을 400/800Å의 두께로 형성하여 게이트 절연막을 형성하였다. 그리고 게이트 절연막 위로 HfInZnO계 산화물 반도체층을 300~500Å의 두께로 형성하였다.

[0057] HfInZnO계 산화물 반도체층은 스퍼터 챔버 내에서 HfO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>, ZnO의 세 개의 타겟에 각각 파워를 인가하여 코스퍼팅을 실시하여 형성하고 패터닝하였다.

[0058] 이어서 HfInZnO계 산화물 반도체층 위로 In<sub>2</sub>O<sub>3</sub>을 1000Å의 두께로 형성한 후 패터닝하여 산화물 반도체층 양측에 서 기판으로 연장되는 소스/드레인을 형성하였다.

[0059] HfInZnO계 산화물 반도체층 형성시 타겟들에 인가하는 파워를 조절하여 HfInZnO계 산화물 반도체층 안의 Zn의 농도(원자 백분율)을 변화시켰다. 다른 Zn의 농도의 산화물 반도체층을 갖는 박막 트랜지스터에 대하여 전기적 특성을 측정하였다.

[0060] 표 1은 Hf의 농도가 5 at %일 때 Zn의 농도에 따른 HfInZnO계 산화물 반도체 박막 트랜지스터의 특성 및 안정성을 특정한 결과이고, 도 5는 표 1의 HfInZnO계 산화물 반도체 박막 트랜지스터의 특성 및 안정성 값을 하나의 그래프로 나타낸 것이다.

[0061] 표 1 및 도 5에서 Zn:In은 HfInZnO계 산화물 반도체 내의 Zn 대 In의 원자비율을 나타낸다. Hf(at %)는 HfInZnO계 산화물 반도체 내의 Hf의 농도(원자 백분율)을 나타낸다. V<sub>TH</sub>(문턱 전압)은 전류를 흘릴 수 있도록 트랜지스터 내에 채널이 형성되기 위한 최소 전압이고, 이동도(mobility)는 산화물 반도체 내에서 캐리어(전자)의 평균적인 속도이다. ?V는 HfInZnO계 산화물 반도체가 DC 스트레스를 받기 전 후의 문턱 전압(V<sub>TH</sub>)의 변화폭이다. DC 스트레스는 1시간 동안 ±5V의 게이트 바이어스를 인가했을 때의 V<sub>TH</sub> 변화량(ΔV<sub>TH</sub>)이다.

표 1

Zn:In	Hf(at %)	V <sub>TH</sub> (V)	이동도 (cm <sup>2</sup> /V?s)	?V(V)
38:55 (0.69)	5.0	0.08	16.96	10.1
46:43 (1.06)	5.0	0.86	12.81	9.4
59:36 (1.69)	4.6	0.94	14.69	8.1
62:36 (1.94)	5.5	1.91	10.03	5.1

[0064] 표 1 및 도 5를 참조하면, HfInZnO계 산화물 반도체 내의 Zn 대 In의 원자비율이 0.69, 1.04, 1.69, 1.94로 변하고, Hf의 농도는 약 5 at %로 일정하다. 이 경우에 HfInZnO계 산화물 반도체 층 내의 Zn:In의 원자비율이 커질수록 문턱 전압(V<sub>TH</sub>)이 커지고, 이동도는 작아지며, 스트레스 전후의 문턱 전압의 변화폭(?V)이 작아지는 것을 알 수 있다. Zn 대 In의 원자비율이 커질수록 문턱 전압과 이동도 등 전기적 특성은 나빠지고, 문턱 전압의 변화폭과 같은 소자의 안정성은 좋아진다.

[0065] 한편, Zn:In=59:36(1.69)의 이동도가 Zn:In=46:43(1.06)의 이동도보다 작은 것은 Zn:In=59:36(1.69)의 Hf의 농도가 4.6 at %로서 Zn:In=46:43(1.06)의 Hf의 농도 5.0 at % 보다 작은 것에 기인한다.

[0066] 표 2는 Hf의 농도(원자 백분율)가 약 7 at %일 때 Zn=In 및 Zn>In에서 HfInZnO계 산화물 반도체 박막 트랜지스터의 특성 및 안정성을 특정한 결과이고, 표 3은 Hf의 농도가 약 8 at %일 때 Zn<In 및 Zn>In에서 HfInZnO계 산화물 반도체 박막 트랜지스터의 특성 및 안정성을 특정한 결과이고, 표 4는 Hf의 농도가 약 10 at %일 때 Zn<In 및 Zn=In에서 HfInZnO계 산화물 반도체 박막 트랜지스터의 특성 및 안정성을 특정한 결과이다.

[0067]

표 2

Zn:In	Hf(at %)	$V_{TH}(V)$	이동도 ( $\text{cm}^2/\text{V}\cdot\text{s}$ )	?V(V)
48:45 (1.07)	6.8	2.43	10.78	6.2
54:39 (1.38)	6.7	2.45	8.11	3.8

[0068]

표 3

Zn:In	Hf(at %)	$V_{TH}(V)$	이동도 ( $\text{cm}^2/\text{V}\cdot\text{s}$ )	?V(V)
38:55 (0.69)	7.8	1.91	11.94	9.4
62:30 (2.07)	7.8	4.59	5.95	4.1

[0069]

표 4

Zn:In	Hf(at %)	$V_{TH}(V)$	이동도 ( $\text{cm}^2/\text{V}\cdot\text{s}$ )	?V(V)
35:54 (0.65)	11.0	1.95	6.70	5.1
46:43 (1.07)	10.0	5.81	2.13	4.2

[0070]

[0071]

표 2, 표 3 및 표 4를 참조하면, Hf의 농도가 5 at %의 경우와 마찬가지로 Zn/In의 비율이 커지면 문턱 전압( $V_{TH}$ )이 커졌으며, 문턱 전압( $V_{TH}$ )의 차이는 Hf의 농도가 높을수록 더욱 크게 나타났다. 또한, Zn/In의 비율이 커지면 이동도가 작아졌다. 반면에, 문턱 전압( $V_{TH}$ )의 변화폭(?V)은 Zn/In의 비율이 커지면 커지고, Zn/In의 비율이 작아지면 작아졌다.

[0072]

표 1 내지 표 5의 결과로부터 Zn/In의 비율이 커지면, 즉, Zn의 농도가 높아지면 문턱전압이나 이동도와 같은 전기적인 특성이 나빠지는 반면, 문턱전압의 변화량과 같은 안정성은 높아지는 경향이 있는 것을 알 수 있다.

[0073]

Zn의 농도에 위의 결과로부터 HfInZnO계 산화물 반도체 박막 트랜지스터의 HfInZnO계 산화물 반도체층을 게이트 절연막에 인접한 하부는 전기적 특성이 좋도록 Zn의 농도를 낮게 하고, 연속되는 공정에 노출되는 상부는 Zn의 농도를 높게 함으로써 HfInZnO계 산화물 반도체 박막 트랜지스터의 전기적 특성과 안정성을 동시에 향상시킬 수 있음을 알 수 있다.

[0074]

상술한 본 발명의 실시예들에서는 바텀 게이트(bottom gate) 구조를 갖는 역스태거드(inverted staggered)형 박막 트랜지스터 및 그 제조방법에 대하여 설명하였으나, 본 발명은 이외에도 바텀 게이트 구조를 갖는 역코플라나(coplanar)형 박막 트랜지스터에도 동일하게 적용할 수 있다.

[0075]

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위내의 다양한 실시예가 가능함을 이해할 수 있을 것이다.

### 도면의 간단한 설명

[0076]

도 1은 본 발명의 일 실시예에 따른 산화물 반도체층을 포함하는 박막 트랜지스터의 구조를 나타낸 단면도이다.

[0077]

도 2는 본 발명의 다른 일 실시예에 따른 산화물 반도체층을 포함하는 박막 트랜지스터의 구조를 나타낸 단면도이다.

[0078]

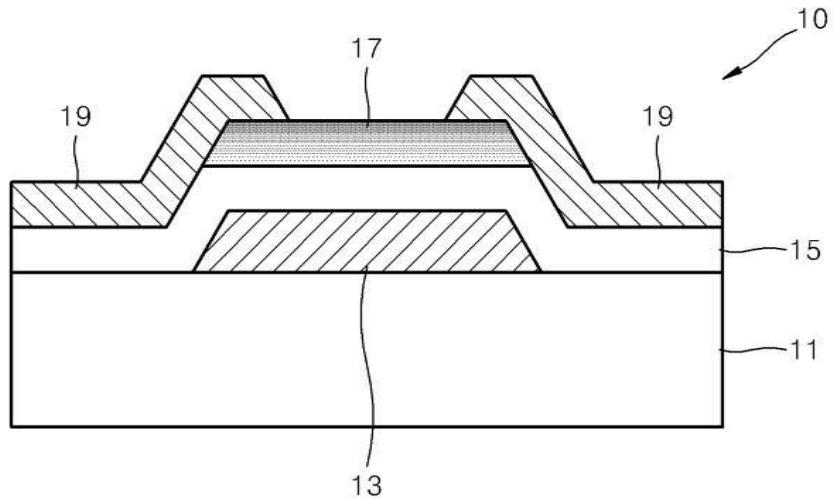
도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위하여 공정 순서대

로 도시한 단면도들이다.

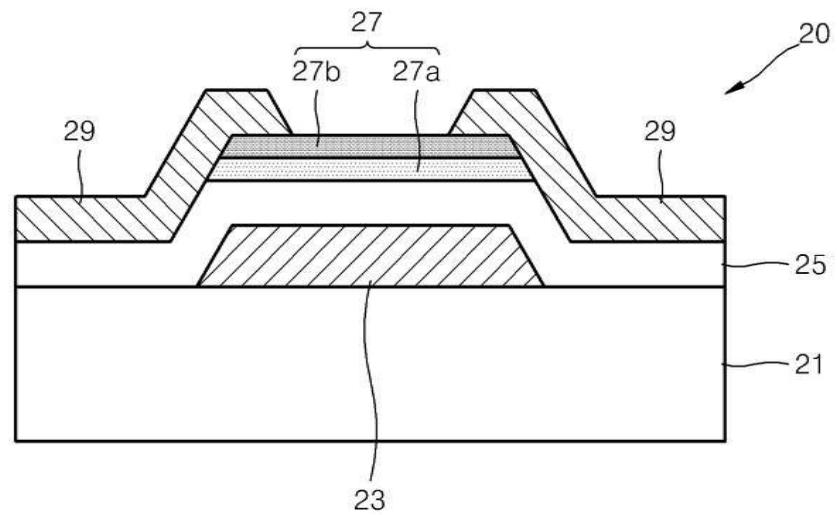
- [0081] 도 4a 내지 도 4d는 본 발명의 다른 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위하여 공정 순서대로 도시한 단면도들이다.
- [0082] 도 5는 Zn의 농도에 따른 HfInZnO계 산화물 반도체 박막 트랜지스터의 특성 및 안정성을 특정한 결과를 나타낸 그래프이다.
- [0083] 도 6은 본 발명의 일 실시예에 따른 박막 트랜지스터를 구비한 유기전계 발광소자를 설명하기 위한 단면도이다.

## 도면

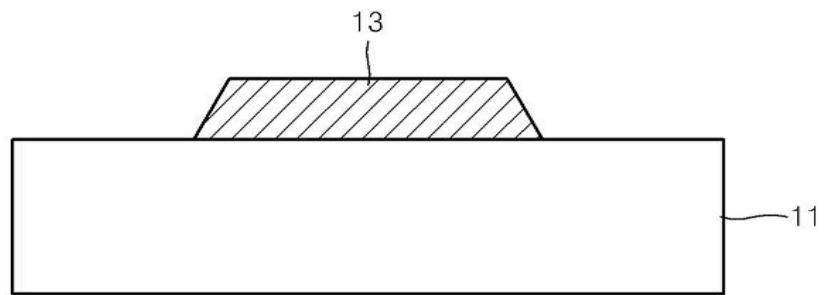
### 도면1



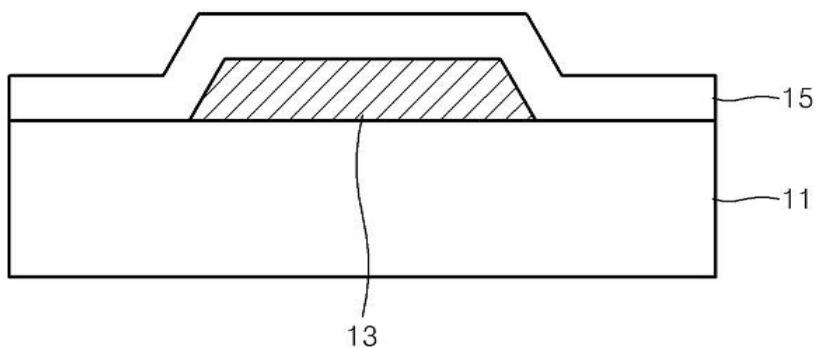
### 도면2



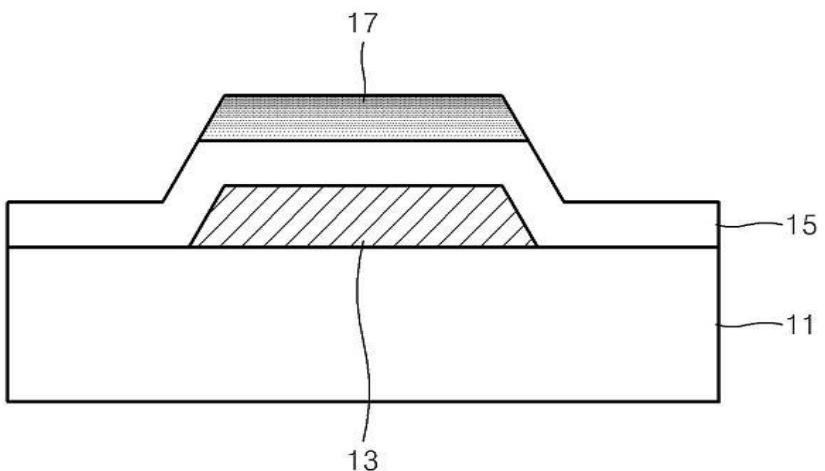
도면3a



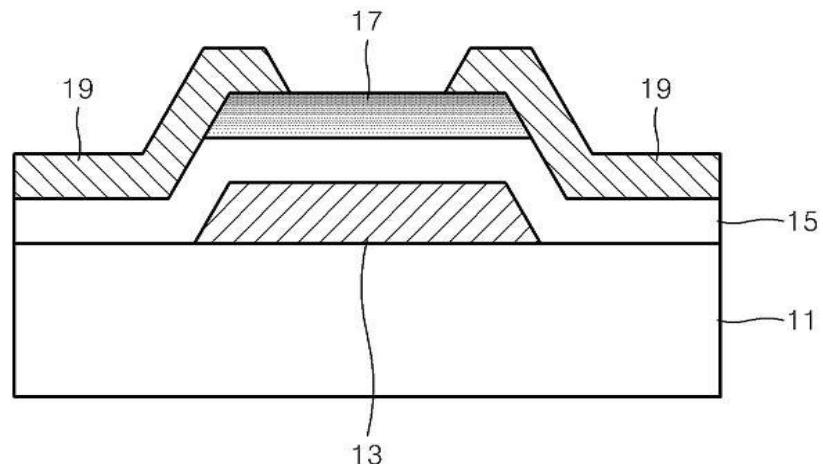
도면3b



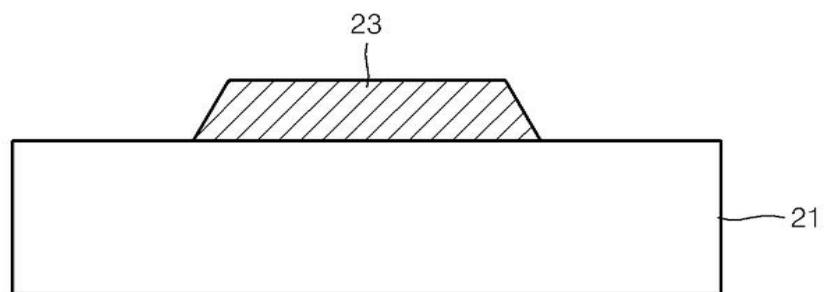
도면3c



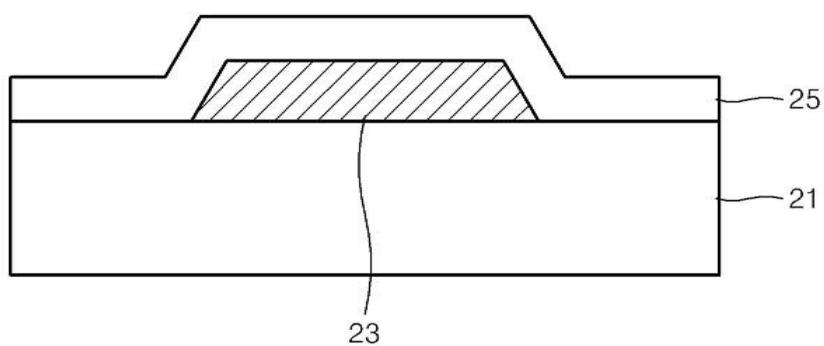
도면3d



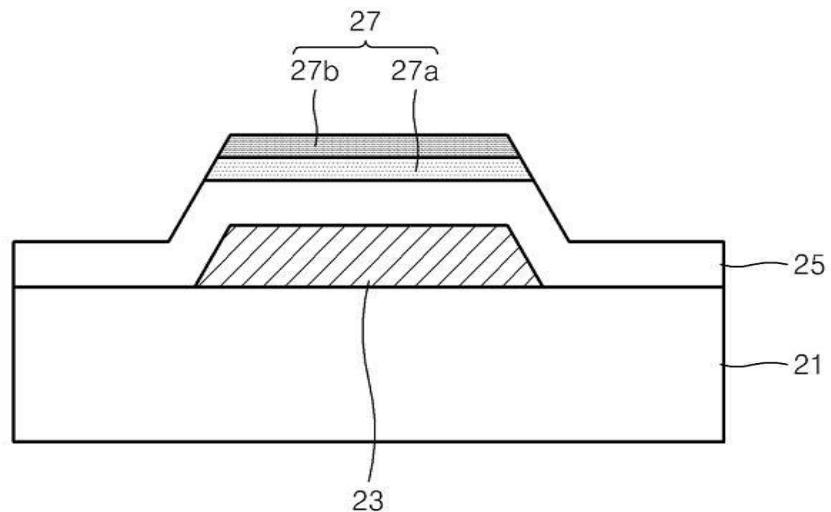
도면4a



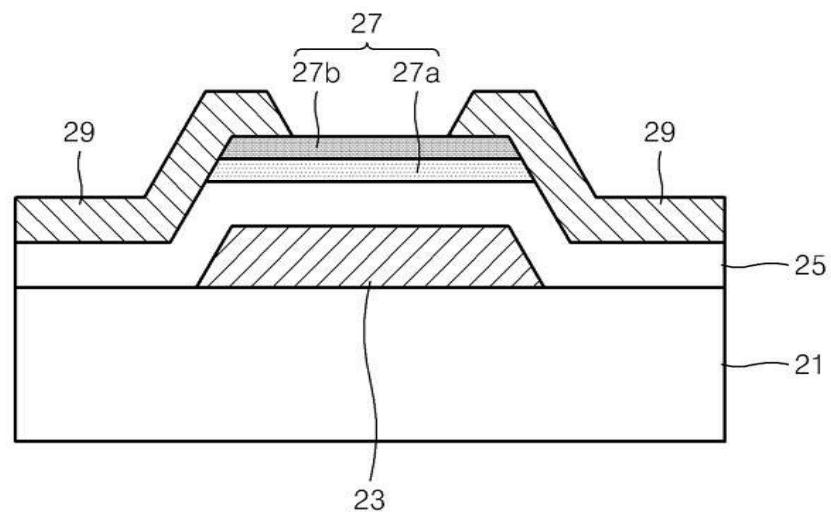
도면4b



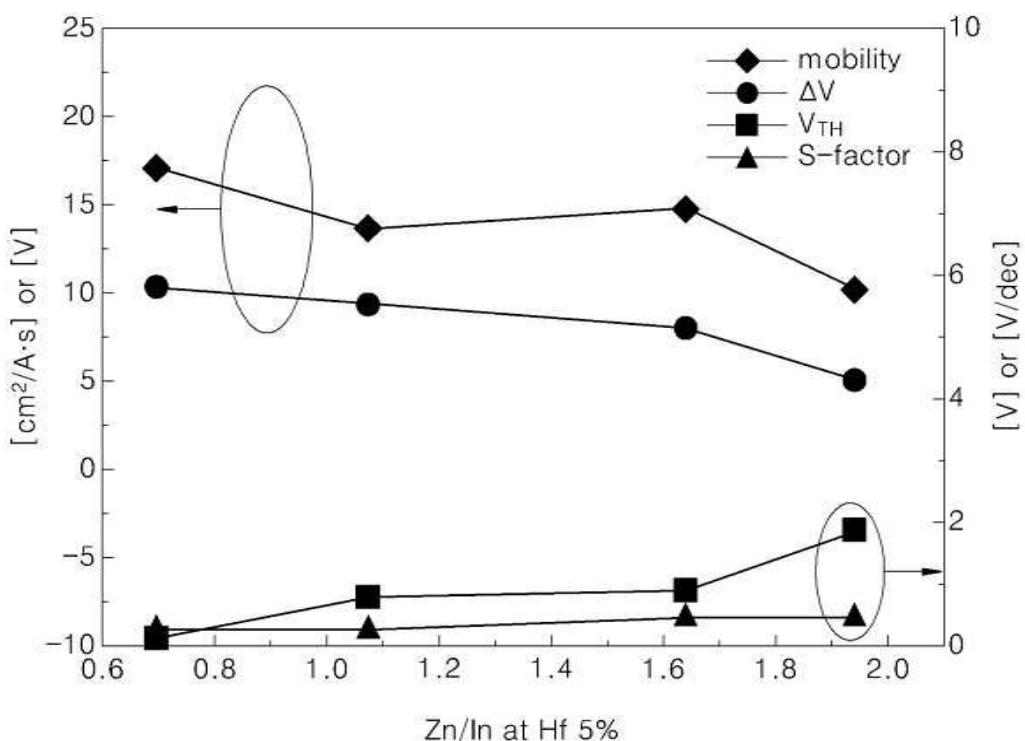
도면4c



도면4d



도면5



도면6

