[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/00 (2006.01)

[12] 发明专利说明书

专利号 ZL 00126319.6

[45] 授权公告日 2007 年 12 月 12 日

[11] 授权公告号 CN 100355013C

[22] 申请日 2000.8.30 [21] 申请号 00126319.6

[30] 优先权

[32] 1999. 8.31 [33] JP [31] 246798/99

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 柴田宽 矶部敦生

[56] 参考文献

EP040941A2 1991.10.9

CN1148269A 1997.4.23

NEC RESEARCH AND DEVELOPMENT JP NIPP ON ELECTRIC LTD TOKYO, 1994.4.1

IEEE TRANSA CTIONS ON ELECTRON DEVICES 第 45 卷第 12 期 1998.12.1

EP0450941A2 1991.10.9

PROCEEDINGS OF THE FOURTH ASLAN SYMP – OSIUM ON INFORMATION DE 1997.2.1

审查员 崔艳慧

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 梁 永 张志醒

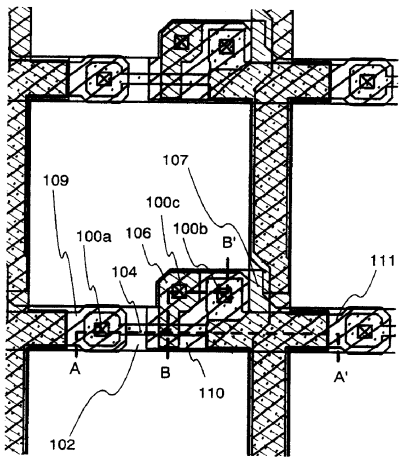
权利要求书 4 页 说明书 20 页 附图 19 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

通过保证充足存储电容值(Cs)时获得较高孔径率，同时通过以适时方式分散电容器引线的负载(象素写入电流)以有效地减少负载，从而提供一种液晶显示装置。 扫描线形成在与栅电极不同的层面上，电容器布置成与信号线平行。 每个象素通过电介质与各自独立的电容器引线连接。 这样，可避免由相邻象素的写入电流产生的电容器引线的电势变化，进而获得了满意的显示图象。



1. 一种半导体器件，包括:

在绝缘表面上的第一引线;

在所述第一引线上的第一绝缘膜;

在所述第一绝缘膜上的半导体膜;

在所述半导体膜上的第二绝缘膜;

在所述第二绝缘膜上的第二引线;

在所述第二绝缘膜上的具有岛形的栅电极，所述栅电极通过所述第二绝缘膜和所述第一绝缘膜中的接触孔与所述第一引线电连接;

在所述第二引线和所述栅电极上的第三绝缘膜; 及

在所述第三绝缘膜上的与所述半导体膜连接的第三引线。

2. 根据权利要求 1 所述的半导体器件，其特征在于: 所述半导体膜和第二引线通过第二绝缘膜交迭在一起。

3.根据权利要求 1 所述的半导体器件，其特征在于: 可呈现一种导电类型的杂质元素掺杂到其中第二引线通过第二绝缘膜交迭的半导体膜的区域。

4.根据权利要求 1 所述的半导体器件，还包括与半导体膜连接的电极和与在第三绝缘膜上的电极连接的象素电极。

5.根据权利要求 1 所述的半导体器件，其特征在于: 栅电极形成在与第一引线不同的层上。

6.根据权利要求 1 所述的半导体器件，其特征在于: 栅电极由具有从下面元素组中选择作为其主要成分的元素的膜或这些膜结合的叠加膜组成，所述元素组包括多晶 Si、W、WSi_X、Al、Ta、Cr 或 Mo，这些元素中被掺杂可呈现一种导电性的杂质元素。

7.一种制造半导体器件的方法，包括下面步骤:

在具有绝缘表面的衬底上形成第一引线;

在第一引线上形成第一绝缘膜;

在第一引线上形成半导体膜;

在半导体膜上形成第二绝缘膜;

通过可选择地刻蚀第一绝缘膜和第二绝缘膜形成通往第一引线的第一接触孔;

在第二绝缘膜上形成栅电极，所述栅电极覆盖半导体膜的一部分并经过第一接触孔和第一引线连接;

在栅电极上形成第三绝缘膜;

通过可选择地刻蚀第二绝缘膜和第三绝缘膜形成通往半导体膜的第二接触孔; 及

在第三绝缘膜上形成第三引线，所述第三引线经过第二接触孔与半导体膜连接。

8.根据权利要求 7 所述的方法，其特征在于: 以与形成栅电极相同的步骤，在第二绝缘膜上形成第二引线，覆盖半导体膜的一部分。

9.根据权利要求 7 所述的方法，还包括使覆盖第二引线的第二绝缘膜变薄的步骤，该步骤在半导体膜上形成第二绝缘膜的步骤之后。

10.根据权利要求 7 所述的方法，其特征在于: 第二绝缘膜为栅绝缘膜。

11.根据权利要求 7 所述的方法，其特征在于第一引线为扫描线。

12.根据权利要求 7 的方法，其特征在于第二引线为电容器引线。

13.根据权利要求 7 所述的方法，其特征在于第三引线为信号线。

14.一种具有根据权利要求 7 所述的方法制造的半导体器件的电子装置，其中所述电子装置是下面装置组中选择的一种，该装置组包括摄象机、数字照相机、投影仪、头戴显示器、汽车导航系统、个人计算机及信息处理终端组成。

15.一种根据权利要求 7 所述的方法制造的 EL 显示器。

16. 根据权利要求 1 所述的半导体器件，其中:

所述栅电极与一个像素中的所述第一布线电连接。

17. 根据权利要求 1 所述的半导体器件，包括:

所述第三布线与所述第二布线平行。

18. 根据权利要求 1 所述的半导体器件，还包括:

在所述第三布线上的第四绝缘膜；和

在所述第四绝缘膜上的光掩蔽膜。

19. 根据权利要求 1 所述的半导体器件，还包括:

在所述第三布线上的第四绝缘膜；和

在所述第四绝缘膜上的像素电极，所述像素电极电连接所述半导体膜。

20. 根据权利要求 1、16、17、18 和 19 中任何一项的半导体器件，其中一个存储电容器以第二绝缘膜作为电介质在第二布线与上述半导体膜通过上述第二绝缘膜重叠的地方形成。

21. 根据权利要求 1、16、17、18 和 19 中任何一项的半导体器件，其中上述第一布线位于与第二布线垂直的方向。

22. 根据权利要求 1、16、17、18 和 19 中任何一项的半导体器件，其中上述第一布线位于与第三布线垂直的方向。

23. 根据权利要求 1、16、17、18 和 19 中任何一项的半导体器件，其中上述第一布线是扫描线。

24. 根据权利要求 1、16、17、18 和 19 中任何一项的半导体器件，其中上述第二布线是电容器布线。

25. 根据权利要求 1、16、17、18 和 19 中任何一项的半导体器件，其中上述第三布线是信号线。

26. 根据权利要求 1、16、17、18 和 19 中任何一项的半导体器件，其中上述第二绝缘膜是栅绝缘膜。

27. 一种具有根据权利要求 1、16、17、18 和 19 中任何一项所述的半导体器件的电子装置，其中所述电子装置是选自视频摄像机、数字相机、投影仪、头戴式显示器、汽车导航系统、个人计算机、便携式计算机、使用记录媒质的播放器和信息处理终端中的一种装置。

28. 一种具有根据权利要求 1、16、17、18 和 19 中任何一项所述的半导体器件的电致发光显示器件。

29. 一种具有根据权利要求 1、16、17、18 和 19 中任何一项所述的半导体器件的液晶显示器。

半导体器件及其制造方法

本发明涉及一种具有由薄膜晶体管（后面称为 TFT）组成的电路的半导体器件以及制造该器件的方法。例如，本发明涉及以液晶显示板为特征的电光器件以及将这种电光器件安装在其中作为一部分的电子设备。

需要注意的是，在这里贯穿本说明书中采用的半导体器件表示的是其功能是利用了半导体特性的一般器件。电光器件、半导体电路和电子设备都是半导体器件。

近年来，利用形成在带绝缘表面的衬底上的半导体薄膜（厚度大约在几个到几百纳米）制作薄膜晶体管（TFT）的技术已经成为热门。薄膜晶体管广泛地应用于如 IC 的电子器件或电光器件上，特别地，作为液晶显示器的开关元件的 TFT 正在迅猛地发展。

为了在液晶显示器中获得高质量的图象，一种有源矩阵型液晶显示器正引起更多注意，这种液晶显示器利用作为开关元件的 TFT 连接到布置成矩阵的相应象素电极上。

在与 TFT 连接的每个象素电极中，需要保持图象信号的电势，直到下一个写入时刻，从而在有源矩阵型液晶显示器中进行高质量的显示。一般地，在每个象素电极中提供存储电容器（Cs）来保持图象信号的电势。

对于上述存储电容器（Cs）的结构和形成方法已经提出了各种建议。然而，从制造方法的可靠性和简单化的观点来看，在用于制作象素的绝缘膜中，最好是利用具有高质量的 TFT 栅绝缘膜作为存储电容器（Cs）的电介质。如图 18 所示，在传统上，通过利用扫描线提供成为上电极的电容器引线，然后通过采用上电极（电容器引线）、介电层（栅绝缘膜）及下电极（半导体膜）形成存储电容器（Cs）。

另外，从显示性能的观点来看，需要为象素提高较大电容，同时使孔径率更高。如果每个象素具有较高的孔径率，就可提高背光照明的有效利用率。因此，用于获得预定显示亮度的背光照明度可受到限制，这样可获得节能和小型化的显示器。而且由于每个象素具有较大的存储电容器，于是提高了保持显示数据的每个象素的特性，进而提

高了显示质量。另外，在显示器的点顺序驱动中，在每个信号线的驱动器电路一侧需要信号存储电容器（取样保持电容器）。然而，在每个象素中提供了较大存储电容器后，由取样保持电容器占据的表面面积变得更小，这样就使显示器更小。

随着每个显示象素间距的更加微观化，伴随着液晶显示器更小型化和高清晰度（增加象素数量），上述需要就成为要解决的问题。

还有另外的问题是，在上面提到的传统的象素结构中，很难使高孔径率和大存储电容相互匹配。

图 18 中示出了根据表 1 的设计规则而具有 19.2μm 象素尺寸的传统象素结构的实例。

表 1

Si 层：最小尺寸=0.8μm，最小间隔=1.5μm
栅电极：最小尺寸=1.0μm，最小间隔=1.5μm
扫描线：最小尺寸=1.5μm，最小间隔=1.5μm
信号线和 Si 层的接触孔：最小尺寸=1.0μm□
接触孔和 Si 层的边缘=1.0μm
接触孔和扫描（栅电极）线的最小间隔=1.3μm
信号线：最小尺寸=1.5μm，最小间隔=1.5μm
接触孔和信号线的边缘=1.3μm
象素尺寸：19.2μm□
象素 TFT：L=1.5μm，W=0.8μm，单栅
扫描线：引线宽度的最小尺寸=1.0μm
扫描线：叠加在 Si 层部分的引线宽度的最小尺寸=1.5μm
电容器引线：最小尺寸=2.0μm

传统象素结构的特点是，在两条引线（扫描线和电容器引线）连续形成中，该两条相应的引线彼此平行布置。在图 18 中，标号 10 表示半导体膜，11 表示扫描线，12 表示信号线，13 表示电极以及 14 表示电容器引线。注意图 18 为象素的简化俯视图，因此在该图中没有示出连接到电极 13 的象素电极和通往电极 13 的接触孔。

于是，在用上电极（电容器引线）、介电层（栅绝缘膜）和下电极（半导体膜）制作存储电容器时，所有用于制作象素的必要电路元件（象素 TFT、存储电容器、接触孔等）成为与栅绝缘膜相关的元件。

因此，构成电路元件的这些元件在每个象素内基本上以平面布置。

于是至关重要的是，有效地设计构建象素电路必要的电路元件以在调整好的象素尺寸内获得每个象素的高孔径率和大存储电容器。换句话说，根据所有电路元件与栅绝缘膜连接的情况，可以说需要指出的是有必要提高栅绝缘膜的利用效率。

这样，根据上述观点，在图 19 中示出了图 18 中象素电路结构实例的有效平面设计。在图 19 中，标号 21 表示单个象素区，22 表示象素开口区，23 表示存储电容器区，24 表示 A 区以及 25 表示 TFT 和接触区的一部分。

至于在图 19 中示出的为 216.7μm²（孔径率为 58.8%）的象素开口区 22 的区域，是由 64.2μm² 的存储电容器区 23、42.2μm² 的 TFT 和接触区的一部分及 34.1μm² 的 A 区 24 组成。

A 区 24 是扫描线和电容器引线的隔离区，该区是来自用于相互连接作为 TFT 栅电极的区域的引线部分，扫描线和电容器引线彼此平行布置。A 区的栅绝缘膜没有发挥本来的作用，而成为降低布线效率的因素。

上述结构中还存在的问题是对电容器引线电阻的要求很严格。

在通常的液晶显示器的驱动中，在扫描线方向可连续（在点顺序驱动情况下）或同时（在线顺序驱动下）把图象信号的电势写入到连接到扫描线的象素组。

如上所述，在象素结构中电容器引线和扫描线相互平行布置的情况下，连接到相应扫描线的象素组与共用电容器引线连接。这样，用于对应于象素写入电流的一组象素的相对电流可连续或同时流入到共用电容器引线中。为了避免由电容器引线的电势变化引起的显示质量降低，需要尽量降低电容器引线电阻。

然而，为降低电容器引线电阻而增加引线宽度意味着存储电容器的表面积扩大，同时象素的孔径率降低。

本发明针对上述问题，提出了设计方面的技术方案，于是本发明的目的是通过在保证充足存储电容器（Cs）的同时获得较高孔径率，同时通过以适时方式分散电容器引线的负载（象素写入电流）以有效地减少负载，从而提供一种液晶显示器件。

在本说明书中公开的发明结构是一种半导体器件，特征是包括:

在绝缘表面上的第一引线;

在所述第一引线上的第一绝缘膜;

在所述第一绝缘膜上的半导体膜;

在所述半导体膜上的第二绝缘膜;

在所述第二绝缘膜上与所述第一引线连接的第二引线和栅电极;

在所述第二引线和所述栅电极上的第三绝缘膜; 及

在所述第三绝缘膜上与所述半导体膜连接的第三引线。

在上述结构中，半导体器件的特征在于: 半导体膜和第二引线通过第二绝缘膜交迭在一起。

另外，在上述相应结构中，半导体器件的特征在于: 在第二引线通过第二绝缘膜与半导体膜交迭的区域，以第二绝缘膜作为电介质形成存储电容器。

另外，在上述相应结构中，半导体器件的特征在于一种导电类型的杂质元素掺杂到第二引线通过第二绝缘膜交迭的半导体膜的区域。

另外，在上述相应结构中，半导体器件的特征在于: 还包括与半导体膜连接的电极和与在第三绝缘膜上的电极连接的象素。

另外，在上述相应结构中，半导体器件的特征在于: 第一引线与第二引线在相互垂直的方向上布置。

另外，在上述相应结构中，半导体器件的特征在于: 第一引线在与第三引线垂直的方向上布置。

另外，在上述相应结构中，半导体器件的特征在于: 栅电极形成在与第一引线不同的层上。

另外，在上述相应结构中，半导体器件的特征在于: 栅电极通过图案制作成为岛形。

另外，在上述相应结构中，半导体器件的特征在于: 第一引线为扫描线。

另外，在上述相应结构中，半导体器件的特征在于: 第二引线为电容器引线。

另外，在上述相应结构中，半导体器件的特征在于: 第三引线为信号线。

另外，在上述相应结构中，半导体器件的特征在于: 第二绝缘膜为栅绝缘膜。

另外，在上述相应结构中，半导体器件的特征在于：栅电极由具有从下面元素组中选择作为其主要成分的元素的膜或这些元素结合的叠加膜组成，所述元素组包括多晶 Si、W、WSi_X、Al、Ta、Cr 或 Mo，这些元素中被掺杂可呈现某种导电性的杂质元素。

另外，另一个发明的结构为一种半导体器件，其特征在于包括：

一组以预定间隔相互平行布置并与信号线驱动器电路连接的信号线；

一组以预定间隔相互平行布置并与扫描线驱动器电路连接的扫描线；

平行于信号线的电容器引线。

另外，在上述相应结构中，半导体器件的特征在于：扫描线和信号线垂直。

另外，在上述相应结构中，半导体器件的特征在于：还包括具有栅电极和象素电极的薄膜晶体管，栅电极与扫描线连接，扫描线与信号线垂直，象素电极连接于薄膜晶体管。

另外，在上述相应结构中，半导体器件的特征在于：栅电极形成在与扫描线不同的层上。

另外，在上述相应结构中，半导体器件的特征在于：栅电极通过制作图案制成岛形。

另外，为获得上述结构，本发明的一个方面是一种制造半导体器件的方法，其特征在于包括：

第一步骤，在具有绝缘表面的衬底上形成第一引线；

第二步骤，在第一引线上形成第一绝缘膜；

第三步骤，在第一引线上形成半导体膜；

第四步骤，在半导体膜上形成第二绝缘膜；

第五步骤，通过选择性地刻蚀第一绝缘膜和第二绝缘膜形成通往第一引线的第一接触孔；

第六步骤，在第二绝缘膜上形成栅电极，所述栅电极覆盖半导体膜的一部分并经过第一接触孔和第一引线连接；

第七步骤，在栅电极上形成第三绝缘膜；

第八步骤，通过选择性地刻蚀第二绝缘膜和第三绝缘膜形成通往半导体膜的第二接触孔；及

第九步骤，在第三绝缘膜上形成第三引线，所述第三引线经过第二接触孔与半导体膜连接。

另外，在上述相应结构中，所述制造方法的特征在于：在第二绝缘膜上形成第二引线，以与形成栅电极相同的步骤覆盖半导体膜的一部分。

另外，在上述相应结构中，所述制造方法的特征在于：还包括在半导体膜上形成第二绝缘膜的步骤之后，使覆盖第二引线的第二绝缘膜部分变薄的步骤。

另外，在上述相应结构中，所述制造方法的特征在于：第二绝缘膜为栅绝缘膜，第一引线为扫描线，第二引线为电容器引线以及第三引线为信号线。

在附图中：

图 1 为象素的俯视图；

图 2 为 TFT 衬底的电路结构框图；

图 3A 和 3B 为 TFT 衬底的剖面图；

图 4 为示出了有源矩阵型液晶显示器剖面结构的示意图；

图 5 为 AM-LCD 的外观图；

图 6A 到 6F 为电子设备的实例图；

图 7A 到 7D 为电子设备的实例图；

图 8A 到 8C（1）和图 8C（2）分别为示出了制造象素部分的过程的剖面图和俯视图；

图 9A 到 9C（1）和图 9C（2）分别为示出了制造象素部分的过程的剖面图和俯视图；

图 10A 到 10C（1）和图 10C（2）分别为示出了制造象素部分的过程的剖面图和俯视图；

图 11A 和图 11B（1）和图 11B（2）分别为示出了制造象素部分的过程的剖面图和俯视图；

图 12A 和图 12B 分别为示出了制造象素部分的过程的剖面图和俯视图；

图 13 为描述 TFT 特性的图表；

图 14 为象素的俯视图；

图 15A 和 15B 为象素结构的剖面图；

图 16 为象素结构的剖面图；

图 17A 和 17B 为象素的俯视图；

图 18 为常规象素的俯视图；及

图 19 为常规象素开口区域的俯视图。

下面描述本发明的最佳实施例。

本发明的特征在于扫描线形成在与栅电极不同的层面上，从而增加了孔径比，同时增加了存储电容。图 1 中示出了本发明的象素结构的实例。

在图 1 中，由制作图案形成岛形的栅电极 106 经过形成在绝缘膜上的接触孔 100c 连接到扫描线 102 上。同时，半导体膜 104 经过接触孔 100a 与信号线 109 连接。另外，半导体膜 104 也经过接触孔 100b 与电极 110 连接。和信号线 109 或电极 110 连接的半导体区域被称为源区或漏区。另外，沟道形成区形成在源区和漏区之间，以及栅电极 106 经过栅绝缘膜存在于沟道形成区上。请注意，为简明起见，在图中没有示出源区、漏区和沟道形成区。

根据本发明，在如图 1 所示的栅电极 106 下层形成扫描线 102 的情况中，扫描线 102 布置在半导体薄膜 104 的下层上，这样可起到光屏蔽薄膜的作用。另外，随着作为半导体薄膜的下电极、作为电介质覆盖半导体膜的绝缘膜和作为电容器引线 107 的上电极形成，形成了存储电容器。需要注意的是，存储电容器可通过使覆盖半导体膜的绝缘膜部分变薄而使电容值增大。

另外，根据本发明的一个方面，每个象素的 TFT 可以是双栅结构，其中栅电极穿过绝缘膜布置在沟道形成区的上部和下部；通过恰当地设定第一绝缘膜的薄膜厚度，可限制由扫描线和另一引线形成的存储电容器，同时提高 TFT 的特性。

本发明不同于现有技术（电容器引线和扫描线平行布置），其特征在于电容器引线和信号线平行。因此，即使在相应驱动方法下连续写入的图象信号到达每个扫描线的象素上，由于每个象素连接由各自独立电容器组成的存储电容器，于是避免了相邻象素的写入电流引起电容器引线的电势的变化，因此可获得高质量显示图象。

传统上取样保持电容器设置在每个信号线中，以避免信号线电势（写电势）在写入到每条扫描线的过程中减小。在本发明中，电容器

引线平行并覆盖信号线。这样，由于信号线的寄生电容增加，提高了信号线电势的保持特性，于是就不必在外围电路部分中提供取样保持电容器。与现有技术相比，外围电路更简单了。

另外，由于如上所述的相同原因，减少了对电容器引线电阻性能的要求，同时在设计电容器引线的布置、尺寸和薄膜厚度中有更大的自由度。而且，因为扩大了电容器引线材料的选择范围，所以减轻了设计和制造的复杂程度，于是可获得较高的生产率。

根据由上述方面组成的本发明，现在对下面示出的实施例进行详细描述。

[实施例 1]

下面以投射器型液晶显示器的点顺序驱动作为例子来描述本发明的实施例。

利用 TFT 作为开关元件的有源矩阵型液晶显示器是这样构成的，它包括带有布置成矩阵的象素电极的衬底（TFT 衬底）和带有相对电极的相对衬底，该相对衬底借助于液晶层面对 TFT 衬底布置。在两个衬底之间通过衬垫等控制成预定的间隔，在显示区的外围采用密封材料，以封闭液晶层。

图 4 为本实施例的液晶显示器剖面结构示意图。在图 4 中，标号 101 表示衬底（TFT 衬底），102 表示扫描线，103 表示第一绝缘膜，104 表示半导体膜，105 表示栅绝缘膜（第二绝缘膜），106 表示栅电极，107 表示电容器引线，108 表示第三绝缘膜以及 109 和 111 表示信号线或从信号线分出的电极。标号 110 表示通过接触孔（图中未示出）与半导体膜相连的电极，接触孔形成在第三绝缘膜上。另外，栅电极 110 是把 TFT 连接到象素电极上的电极。

注意在本说明书中，术语“电极”有“引线”一部分的意思，是指引线和其它引线电连接之处，或者是指引线和半导体层接触之处。这样，为了解释方便，术语“引线”和“电极”区别使用。然而，术语“电极”始终包含有“引线”的意思。

注意标号 101 到 110 表示的部分在本说明书中确定为 TFT。另外，标号 109 和 110 可以是从引线分出的电极或者就是引线。

另外，标号 112 表示覆盖在 TFT 上的第四绝缘膜，113 表示防止 TFT 被光退化的光屏蔽层，114 表示第五绝缘膜，115 表示经过接触孔

100d 和电极 110 连接的象素电极，以及 116 表示使液晶层 117 定向的校准膜。

再来参见图 4，在相对衬底 120 上设置有相对电极 119 和校准膜 118，除此之外，需要时也可设置光屏蔽膜和颜色过滤层。

如图 2 所示，衬底（TFT 衬底）101 包括象素部分 201、扫描线驱动器电路 202 和形成在其外围的信号线驱动器电路 203。

扫描线驱动器电路 202 主要包括顺序传递扫描信号的移位寄存器。信号线驱动器电路 203 主要包括取样保持电路，该电路用于并且在根据移位寄存器的输出对输入的移位寄存器和图象信号进行采样后保持图象信号驱动信号线。

在象素部分 201 中，一组扫描线（栅引线）207 和扫描线驱动器电路 202 连接，彼此以预定间隔平行布置，一组信号线 208 和带输入图象信号端子 205 的信号线驱动器电路 203 连接，彼此以预定间隔平行布置。扫描线 207 和信号线 208 垂直。在每个交叉点布置 TFT（在图中未示出），同时，象素电极（在图中未示出）布置在由扫描线和信号线划分出的各自区域内。这样，每个象素电极根据该结构布置成矩阵。另外，连接到 GND（地）或固定电势 206 的一组电容器引线 209 和信号线 208 平行。标号 204 表示设在相对衬底上的驱动器电路。需要注意的是，为简单起见，在图 2 中只示出了几根信号线、扫描线和电容器引线。

下面参照图 1、3A 和 3B 描述制造图 4 中示出的半导体器件的简化过程。

首先，除了玻璃衬底作为衬底 101 外，还可采用石英衬底和塑料衬底。在使用玻璃衬底的情况下，预先在比玻璃变形点低约 10 到 20 度的温度下进行热处理。而且，基膜形成在其上将形成 TFT 的衬底 101 表面上，以避免衬底 101 上的杂质污染。基膜由例如二氧化硅膜、氮化硅膜或氮氧化硅膜的绝缘膜制成。

接下来在衬底上形成导电膜，然后制成图案以形成扫描线 102。如多晶-Si、WSi_X（X=2.0 到 2.8）、Al、Ta、W 和 Cr 等掺有可呈现一定导电性的杂质的导电材料及其叠加结构可用于扫描线 102。在该实施例中，以一定间隔布置的扫描线 102 由 WSi_X 膜（膜厚：100nm）和多晶硅膜（膜厚：50nm）组成的叠加结构形成，WSi_X 膜和多晶硅膜是

具有高效光阻断特性的导电材料。

接着形成第一绝缘膜 103，该膜覆盖在扫描线 102 上，其厚度大约为 500nm。含有硅的绝缘膜可通过如等离子体 CVD（化学汽相沉积）或溅射的公知方法形成，该膜可用作第一绝缘膜 103。另外，第一绝缘膜 103 可由有机绝缘材料、氧化硅膜、氮氧化硅膜或氮化硅膜的薄膜制成，或者由这些薄膜结合的叠加膜制成。

接下来通过如等离子体 CVD（化学汽相沉积）或溅射的公知方法形成厚度在 25 和 80nm（最好在 30 和 60nm）之间的半导体膜，然后构图成需要的形状。在该实施例中，通过等离子体化学汽相沉积形成厚度大约 50nm 的非晶硅。通过公知的结晶化方法，进行结晶化过程把非晶硅膜形成晶体硅（多晶硅）膜。然后在晶体硅膜上形成图案，把该膜制成岛形。虽然本实施例采用晶体硅膜（多晶硅），但不特别限制，只要是半导体膜就行。

注意通过本说明书，术语“半导体膜”是指单晶半导体膜、晶体半导体膜（如多晶硅）、非晶半导体膜（如α-Si）或者微晶半导体膜。另外，如硅锗膜的组合半导体膜也包括在“半导体膜”中。

通过如等离子体 CVD 或溅射方法形成的含硅绝缘膜，或者由已经被热氧化的半导体膜形成的氧化膜用于制作第二绝缘膜（栅绝缘膜）105，第二绝缘膜 105 可以是由一组层片的叠加结构，例如需要时由两层或三层层片组成。

为了构造用作图象信号写入开关的 TFT，利用相应岛形的半导体膜，采用公知技术有选择地掺杂杂质元素（如磷或硼），该杂质元素可把 p-型或 n-型导电性引入到岛形半导体膜中，这样形成了低电阻源区和漏区，进而形成低电阻区。该低电阻区和漏区相似，均掺杂有杂质元素（一般地为磷或硼），作为已经制成低电阻的半导体膜一部分。注意选择性地掺杂杂质元素工艺的顺序不是特别地限制。例如，杂质元素可在第一绝缘膜和栅电极形成之前掺杂，或者在栅电极形成之后掺杂。另外，LDD 区和补偿区可根据电路结构形成。需要注意的是，为简明起见，在图中没有示出相应的区域。

这样，在半导体膜 104 的源区和漏区之间形成沟道形成区。

接下来在第一绝缘膜 103 和第二绝缘膜 105 上进行选择性刻蚀，这样就可形成如图 3B 所示通往扫描线 102 的第一接触孔 100c。

接着在第二绝缘膜 105 上形成导电膜。然后制作图案形成栅电极 106 和电容器引线 107。栅电极 106 和电容器引线 107 以大约 300nm 厚度的导电材料形成，导电材料例如为多晶-Si、WSi_X（X=2.0 到 2.8）、Al、Ta、W、Cr 和 Mo 以及其叠加结构，该材料已经掺杂有呈现一定导电性的杂质元素的导电材料。另外，单层可用于形成栅电极 106 和电容器引线 107，但是在需要时也可形成由例如两层或三层的一组层片组成的叠加结构。在这种情况下，形成岛形的每个栅电极通过第一接触孔 100c 与扫描线 102 进行电连接，该接触孔 100c 和第一绝缘膜 103 和第二绝缘膜 105 一起形成。

岛形的栅电极 106 经过第二绝缘膜 105 布置在每个象素的沟道形成区上。另外，电容器引线 107 经过第二绝缘膜 105 布置在低电阻区。注意存储电容器可通过增加一个工艺而变大，在该工艺中，把电容器引线 107 与第二绝缘膜 105 重叠区域的膜部分地变薄。电容器引线 107 在信号线方向上连续布置到每个象素上，并在显示区外围与地或者与固定电位进行电连接。

接着形成覆盖栅电极 106 和电容器 107 的第三绝缘膜 108。通过如等离子体 CVD 或溅射方法形成的含硅绝缘膜可用于第三绝缘膜 108。另外，第三绝缘膜 108 可由氧化硅膜、氮氧化硅膜或氮化硅膜制成，或者由这些薄膜结合的叠加膜制成。

接着在第二绝缘膜 105 和第三绝缘膜 108 上进行选择性刻蚀，从而分别形成在图 3A 和图 3B 中示出的第二接触孔 100a 和 100b，以通往半导体膜（源区或漏区）。

接下来在第三绝缘膜 108 上形成以 Al、W、Ti 和 TiN 作为主要成分的膜或这些元素叠加结构的导电膜（膜厚度：500μm）。然后制作引线图案，这样形成信号线 109 和 111 以及连接象素电极的岛状电极 110，象素电极在之后形成。信号线 109 和 111 经过接触半导体膜的第二接触孔 110a 和 100b，或与源区连接，或与漏区连接。同样，岛状电极 110 经过通往半导体膜的第二接触孔 110a，或与源区连接，或与漏区连接。而且，信号线 109 和 111 与电容器引线 107 平行布置。

岛状电极 110 布置成和信号线 109 分开。然而，信号线 109 和岛状电极 110 均不与源区连在一起。同样，信号线 109 和岛状电极 110 与漏区也不连在一起。

该阶段的象素的俯视图对应于图 1，其中沿图中 1A-A 线和 B-B 线剖开的剖面结构的示意图分别对应于图 3A 和图 3B。

接下来形成覆盖信号线 109 和岛状电极 110 的第四绝缘膜 112。第四绝缘膜 112 可由有机绝缘材料膜、氧化硅膜、氮氧化硅膜或氮化硅膜制成，或者由这些薄膜结合的叠加膜制成。

接着，在第四绝缘膜 112 上形成具有高效屏蔽光特性的膜，该膜由如 Ti 、Al、W、Cr 或黑色树脂的材料制成，然后把该膜制作成需要的图案，这样可形成光屏蔽膜 113。光屏蔽膜 113 布置成网孔状，于是除了象素的开口部分外的其它区域可把光屏蔽掉。

在实施例 1 中，虽然光屏蔽膜 113 是电浮置的，但是如果选择低电阻膜作为光屏蔽膜，那么就可能在显示区外围把光屏蔽膜控制在可选择的电势。

接着在光屏蔽膜 113 上形成第五绝缘膜 114。用有机绝缘材料制成的膜很合适形成第五绝缘膜 114。通过利用有机绝缘材料形成第五绝缘膜 114，表面可足够平整。另外，由于有机树脂材料一般介电常数较低，于是可减少寄生电容。然而，因为有机树脂材料是吸收剂，所以不适合作保护膜。这样，第五绝缘膜 114 可以是氧化硅膜、氮氧化硅膜或氮化硅膜结合的叠加结构。

接下来，在第四绝缘膜 112 和第五绝缘膜 114 上进行有选择地刻蚀，这样形成第三接触孔 100d 通往岛状电极。为方便起见，第三接触孔 100d 由图 4 中的虚线示出。

接着形成如 ITO 膜的透明导电膜，然后制作图案以形成象素电极 115。象素电极 115 经过第三接触孔 100d 与岛状电极 110 连接。每个相应的象素电极单独布置，于是可覆盖每个象素电极的开口部分。

用于对液晶层 117 进行导向的校准膜 116 形成在制作好的 TFT 衬底上。然后 TFT 衬底和相对衬底 120 通过公知的单元结构技术结合在一起。然后，液晶材料注入到两个衬底之间并封闭在其中。这样就完成了液晶盒，其中液晶层容纳在两个衬底之间。

通过进行上述制作步骤，进而布置引线和半导体膜等，根据表 2 的设计规范，可获得表面积为 236.9μm^2 象素开口区（孔径比：64.3%）和表面积为 62.8μm^2 存储电容区。

表 2

Si 层：最小尺寸=0.8μm，最小间隔=1.5μm
栅电极：最小尺寸=1.0μm，最小间隔=1.5μm
扫描线和栅电极的接触孔：最小尺寸=1.0μm
接触孔和栅电极的边缘=1.0μm
扫描线：最小尺寸=1.5μm
信号线和 Si 层的接触孔：最小尺寸=1.0μm□
接触孔和 Si 层的边缘=1.0μm
接触孔和扫描（栅电极）线的最小间隔=1.3μm
信号线：最小尺寸=1.5μm
接触孔和信号线的边缘=1.3μm
象素尺寸：19.2μm□
象素 TFT：L=1.5μm，W=0.8μm，单栅
扫描线：引线宽度的最小尺寸=1.0μm
扫描线：叠加在 Si 层部分的引线宽度=1.5μm
电容器引线：最小尺寸=2.0μm

在实施例 1 中，在重建的象素区中，需要预备连接栅电极 106 和扫描线 102 的接触孔 100c 的区域。而且，在实施例 1 中，上部光屏蔽膜仅仅屏蔽岛状 Si 膜的沟道形成区外围部分的光。因此，需要提供带上部光屏蔽膜的结构。

根据上述结构，因为扫描线 102 对沟道形成区及其外围部分起到下部光屏蔽膜的作用，所以从液晶层 117 射来的光在 TFT 的下部交界面被反射，接着射在沟道形成区及其外围部分上。因此，避免了来自 TFT 的光泄漏的发生，可获得更好的显示效果。

[实施例 2]

在实施例 2 中，参照图 5 的透视图来描述实施例 1 所示的有源矩阵型液晶显示装置的结构。需要注意的是，对应于实施例 1 的部分用相同的标号表示。

在图 5 中，矩阵衬底包括象素部分、扫描线驱动器电路 802、信号线驱动器电路 803 和其它形成在衬底 101 上的信号处理电路。在象素部分设有象素 TFT800 和存储电容器 200，在其外围区设置的驱动器电路根据 CMOS 电路来构造。

另外，电容器引线 107 与信号线 109 的方向平行设置，作为存储

电容器 200 的上电极。电容器引线 107 同时也接地或与固定电势端连接。

分别来自扫描线驱动器电路 802 和信号线驱动器电路 803 的扫描线 102 和信号线 109 延伸到象素部分，并与象素 TFT800 连接。而且，FPC（柔性印制电路）804 连接到外部输入端子 805，利用该端子输入如图象信号的信号。FPC804 牢固地固定有加强树脂。接着连接引线 806 和 807 连接到相应的驱动器电路。在相对衬底 808 上设置有光屏蔽膜和透明电极，在图中并未示出。

[实施例 3]

通过实施本发明形成的象素矩阵电路可用于各种电光器件（有源矩阵型液晶显示器件，有源矩阵 EL 显示器和有源矩阵 EC 显示器）中。也就是说，本发明可应用在带有作为显示部分的电光器件的所有电子设备中。

下面列出这些电子设备：摄象机、数字照相机、投影仪（背投型或前投型）、头戴显示器（护目镜型显示器）、汽车导航系统、个人计算机、便携式信息终端（如可移动计算机、蜂窝电话和电子笔记本）等。在图 6A 到 6F 和图 7A 到 7D 中示出了上述中的一些例子。

图 6A 示出了个人计算机，该计算机由主机 2001、图象输入部分 2002、显示部分 2003 和键盘 2004 组成。本发明可用于显示部分 2003。

图 6B 示出了摄象机，该摄象机由主机 2101、显示部分 2102、声频输入部分 2103、操作开关 2104、电池 2105 和图象接收部分 2106 组成。本发明可用在显示部分 2102 中。

图 6C 示出了可移动计算机，该计算机由主机 2201、照相机部分 2202、图象接收部分 2203、操作开关 2204 和显示部分 2205 组成。本发明可用在显示部分 2205 中。

图 6D 示出了护目型显示器，该护目型显示器由主体 2301、显示部分 2302 和镜腿部 2303 组成。本发明可用在显示部分 2302 中。

图 6E 示出了使用其中存储有程序的记录媒介的游戏机（后面称为记录媒介），该游戏机由主机 2401、显示部分 2402、扬声器部分 2403、记录媒介 2404 和操作开关 2405。DVD（数字化视频光盘）、压缩光盘（CD）等可作为记录媒介使操作者欣赏到音乐和电影，并可进行图象游戏或上网。本发明可用在显示部分 2402 中。

图 6F 示出了数字照相机，该照相机由主体 2501、显示部分 2502、目镜部分 2503、操作开关 2504 和图象接收部分（图中未示出）组成。本发明可用于显示部分 2502。

图 7A 示出了前投型投影仪，该投影仪由投影单元 2601、屏幕 2602 等组成。本发明可用于作为投影单元 2601 一部分的液晶显示器 2808。

图 7B 示出了背投型投影仪，该投影仪由主体 2701、投影单元 2702、镜子 2703、屏幕 2704 等组成。本发明可用于作为投影单元 2702 一部分的液晶显示器 2808。

图 7C 中示出了在图 7A 和图 7B 分别示出的投影单元 2601 和 2702 结构的实例。两个投影单元 2601 和 2702 均由光源光学系统 2801、镜子 2802 和 2804 到 2806、二向色镜 2803、棱镜 2807、液晶显示器 2808、相差板 2809 和投影光学系统 2810 组成。投影光学系统 2810 由包括投射镜在内的光学系统组成。在实施例 3 中示出了三个板的系统，但并不特别地限定。例如，也可采用单板的光学系统。另外，操作者可在图 7C 中箭头示出的光学路径上适当地设置如光学透镜、偏振膜、调整相差的膜和 IR 膜等光学系统。

另外，图 7D 示出了图 7C 的光源光学系统 2801 结构的实例。在该实施例中，光源光学系统 2801 由反射器 2811、光源 2812、透镜组 2813 和 2814、偏振变换元件 2815 和聚光镜 2816 组成。注意图 7D 中示出的光源光学系统是一个实例，并不限于示出的结构。例如，操作者可适当地设定如光学透镜、偏振膜、调整相差的膜和 IR 膜。

综上所述，本发明的应用范围非常宽，可用于所有领域的电子设备中。而且本实施例的电子设备可利用实施例 1 和 2 任何结合的组合物来实现。

［实施例 4］

实施例 1 中描述了单栅 TFT 的实例，而在实施例 4 中将描述双栅 TFT 的实例。虽然如此，但它们的结构基本上相同。

首先，绝缘膜形成在具有绝缘表面的衬底 401 上，然后制作引线图案，于是形成扫描线 402（见图 8A）。扫描线 402 还起到光屏蔽膜的作用，以保护有源层不受光照射，该有源层将在后面形成。石英衬底作为衬底 401，多晶硅膜（具有 50nm 的膜厚度）和钨硅（W-Si）膜（具有 100nm 的厚度）的叠加结构用于扫描线 402。另外，多晶硅

膜使衬底免受钨硅膜的污染。

接下来使覆盖扫描线 402 的绝缘膜 403a 和 403b 形成在 100 和 1000nm（一般在 300 和 500nm 之间）之间的膜厚度（参见图 8b）。在这里，通过采用 CVD 方法形成的 100nm 厚的氧化硅和采用 LPCVD 方法形成的 280nm 厚的氧化硅膜叠加在一起。

接着形成厚度为 10 到 100nm 的非晶半导体膜。在这里通过采用 LPCVD 方法形成 69nm 厚的非晶硅膜。接下来，采用在公开号为 8-78329 的日本专利申请（特开平 8-78293）中公开的结晶技术，作为使非晶半导体膜结晶化的结晶技术，进行非晶半导体膜的结晶化。在上述出版物中公开的技术是其中促进结晶化的金属元素有选择地掺杂到非晶硅膜中，然后进行热处理。通过进行热处理，形成了其结构从掺杂区开始的晶体硅。在这里采用镍作为促使结晶化的金属元素。用于结晶化的热处理（600°C，12 小时）在释放氢的热处理（450°C，1 小时）之后进行。接着 Ni 从作为 TFT 的有源层区域中获得。作为 TFT 的有源层区域覆盖有掩膜（氧化硅膜），然后磷（P）掺杂到部分晶体硅中。接下来在 600°C 的氮气下进行 12 小时的热处理。

在去掉掩膜后，制作布线图案，以去除晶体硅膜的不需要部分，这样形成了半导体层 404（参见图 8C（1））。注意在图 8C（2）中示出了在形成半导体层 404 后的象素的俯视图。沿图 8C（2）中的虚线 A-A’ 剖开的剖面图对应于图 8C（1）。

接下来形成掩膜 405，然后磷掺杂到半导体层的一部分 406（作为存储电容器的区域），以形成存储电容器（参见图 9A）。

接着去掉掩膜 405，在形成覆盖半导体层的绝缘膜后，形成掩膜 407。然后去除在区域 406 上作为存储电容器的绝缘膜（参见图 9B）。

之后去掉掩膜 407，进行热氧化以形成绝缘膜 408a（栅绝缘膜）。经过热氧化后，栅绝缘膜的最后膜厚度变成 80nm。注意绝缘膜 408b 比作为存储电容器区域上的其它区域要稍薄（参见图 9C（1））。图 9C（2）中示出了该阶段的象素的俯视图。在图 9（2）中，沿虚线 B-B’ 剖开的剖面图对应于图 9C（1）。另外，在图 9C（1）和（2）中虚线内示出的区域是薄绝缘膜 408b 形成的区域。

沟道掺杂过程可在整个表面上或可选择地进行。该过程可把呈现 P-型或 N-型导电性的杂质元素以低含量掺杂到将成为 TFT 的沟道形

成区中。沟道掺杂过程是用于控制 TFT 阈值电压的过程。注意乙硼烷（B_2H_6）没有进行质量分离，但是硼通过等离子体受激离子掺杂方法掺杂。当然，也可采用离子注入技术进行质量分离。

接着，在绝缘膜 408a 和绝缘膜 403a 与 403b 上形成掩膜 409，以形成通往扫描线 402 的接触孔（参见图 10A）。然后在接触孔形成后去掉掩膜。

接下来形成导电膜，然后制作布线图案，以形成栅电极 410 和电容器引线 411（参见图 10B）。在这里采用掺杂有磷的硅膜（具有 150nm 的膜厚度）和钨硅膜（具有 150nm 的膜厚度）的叠加结构，需要注意的是，带有作为电介质的绝缘膜 408b 的存储电容器包括电容器引线 411 和半导体层部分 406。

然后，较低含量的磷利用栅电极 410 和电容器引线 411 作掩膜以自对准的方式进行掺杂（参见图 10C（1））。在图 10C（2）中示出了该阶段象素的俯视图。在图 10C（2）中，沿虚线 C-C' 剖开的剖面图对应于图 10C（1）。对低含量掺杂的该区域的磷含量进行调整，可使含量变成 1×10^{16} 到 5×10^{18} 原子/cm^3，一般为 3×10^{17} 到 3×10^{18} 原子/cm^3。

接下来形成掩膜 412，以较高含量掺杂磷，这样就形成了将成为源区或漏区的较高含量杂质区 4B（参见图 11A）。该较高含量杂质的磷含量可进行调整，变成 1×10^{20} 到 1×10^{21} 个原子/cm^3（一般为 2×10^{20} 到 5×10^{20} 个原子/cm^3）。与栅电极 410 交迭的半导体层 404 的区域变成沟道形成区 414，由掩膜 412 覆盖的半导体层 404 的区域变成作为 LDD 区的较低含量杂质区 415。在掺杂杂质元素后去掉掩膜 412。

在图中没有示出的是，形成在相同衬底作为象素的驱动器电路中利用了 P-型沟道 TFT，为了形成该 P-型沟道 TFT，将成为 N-型沟道 TFT 的区域覆盖有掩膜，然后掺杂有硼，以形成源区或漏区。

在去掉掩膜 412 后，钝化膜 416 接着形成，以覆盖栅电极 410 和电容器引线 411。在这里钝化膜采用厚度为 70nm 的氧化硅膜。接着进行热处理以激活杂质元素，该杂质元素以相应的含量掺杂到半导体层中可呈现 P-型导电性或 N-型导电性。热处理在 850°C 进行 30 分钟。

接下来形成由有机树脂材料制成的夹层绝缘膜 417。在这里采用厚度为 400nm 的丙烯酸树脂膜。然后在形成通往半导体层的接触孔后，

形成电极 418 和电源引线 419。在实施例 4 中，电极 418 和电源引线 419 用于三层结构的叠加膜，该叠加膜由依次通过溅射形成的 100nm 的 Ti 膜、300nm 含 Ti 的 Al 膜和 150nm 的 Ti 膜（图 11B（1））。在图 11B（2）中，沿虚线 D-D’ 剖开的剖面图对应于图 11B（1）。

然后进行氢化过程，形成由丙烯酸制成的夹层绝缘膜 420（图 12A（1））。具有高效光屏蔽特性的 100nm 的导电膜形成在夹层绝缘膜 420 上，于是形成光屏蔽层 421。之后，形成夹层绝缘膜 422，然后形成通往栅电极 418 的接触孔。形成 100nm 的透明导电膜（在这里为氧化锡铟（ITO）膜），并对其进行构图，以形成象素电极 423 和 424。在图 12A（2）中，沿虚线 E-E’ 剖开的剖面图对应于图 12A（1）。

因此，在象素区，显示区的表面区域（象素尺寸为 26μm×26μm）（孔径率为 76.5%）可得到保护，同时由 N-型 TFT 形成的象素 TFT 可形成，并且可获得足够的存储电容值（51.5fF）。

注意实施例 4 是一个实例，因此，不言而喻，本发明不限于该实施例的过程。例如，从下面一组元素中选择的元素可制造膜。该元素包括：钽（Ta）、钛（Ti）、钼（Mo）、钨（W）、铬（Cr）和硅（Si），或者从这些元素组合的合金膜（一般为 Mo-W 合金及 Mo- Ti 合金）中选择作为相应的导电膜。另外，氧化硅膜、氮化硅膜、氮氧化硅膜以及有机树脂材料（如聚酰亚胺、丙烯、聚酰胺、聚酰亚胺酰胺和 BCB（苯并环丁烯））制成的膜可作为相应的绝缘膜。

于是获得的 TFT 特性表现出满意值。在图 13 中示出了 TFT 的特性（V-I 特性）。特别地是，由于本发明是双栅结构，S-值呈现出 105.8（mV/dec）的满意值。另外，通过制造本发明的结构，在 V-I 特性图象中，表示起始点处的电压值的阈值（Vth）当 Vd=0.1V 时为 0.964V，当 Vd=5V 时为 0.886V。这样，存在了特别小的的差值 0.06。可以说差值越小，就越抑制了短沟效应。而且，迁移率（μ_{FF}）呈现出 220（cm^2/Vs）的满意值.

[实施例 5]

实施例 5 的特征在于扫描线 502a 形成在与栅电极不同的层上，另外，电容器电极 502b 形成在和扫描线相同的层上，以增加孔径率以及扩大存储电容器。本发明的象素结构的实例在图 14 和图 15A 和图 15B 中示出。

注意在图 14 中沿虚线 A-A’和 B-B’剖开的剖面结构图分别和图 15A 和 15B 对应。

在图 14 中，制成岛形的栅电极 506 经过形成在绝缘膜上的接触孔 500c 与扫描线 502a 连接。另外，半导体膜 504 经过接触孔 500b 连接到电极 510 上。连接到信号线 509 或连接到电极 510 上半导体膜的区域称为源区或漏区。另外，在源区和漏区之间形成沟道形成区，同时栅电极 506 经过栅绝缘膜存在于沟道形成区上。注意为简明起见，在图中没有示出源区和漏区以及沟道形成区。

在实施例 5 中，如图 14 所示，当在栅电极 506 的下层形成扫描线 502a 时，扫描线 502a 将形成在半导体膜 504 的下层，于是就起到光屏蔽膜的作用。另外，存储电容器与作为半导体膜的下电极、覆盖半导体膜作为电介质的绝缘膜和作为电容器引线 507 的上电极一起形成。需要注意的是存储电容可通过使覆盖半导体膜的绝缘膜部分变薄而增大。

再有，如图 15A 和 15B 所示，实施例 5 的存储电容器还可与连接到电容器引线 507 的电容器电极 502b、作为电介质的绝缘膜 503 一起形成。因此，存储电容可有效地得到保证，并可提高利用该象素结构的液晶显示装置的对比度。需要注意，标号 501 表示衬底，502 表示栅绝缘膜（第二绝缘膜），508 表示第三绝缘膜及 511 表示信号线。

根据实施例 5 的结构，每个象素的 TFT 可以是双栅结构，其中栅电极经过绝缘膜布置在沟道形成区的上部和下部，当适当调整第一绝缘膜的厚度以改进 TFT 的特性时，可抑制由扫描线形成的寄生电容。

实施例 5 中描述的象素结构的制造方法基本上与实施例 1 或 4 中的相同，因此在这里对其描述省略。

需要注意的是，实施例 5 可与实施例 1 到 4 中描述结构的任何一个进行随意组合。

[实施例 6]

实施例 6 公开了在减小象素尺寸的情况下提高孔径率并增大存储电容器。特别地，本发明的特征在于存储电容器由光屏蔽膜和象素电极形成。

图 16 为示出了本实施例的液晶显示装置的剖面图。标号 601 表示衬底（TFT 衬底），602 表示扫描线，603 表示第一绝缘膜，604 表示

半导体膜，605 表示栅绝缘膜（第二绝缘膜），606b 表示栅电极，606c 表示栅引线，606a 表示电容器引线，607 表示第三绝缘膜，608 表示经过形成在第三绝缘膜上的接触孔与象素电极 612 连接的电极。

标号 609 表示覆盖 TFT 的第四绝缘膜，610 表示避免 TFT 由于光照造成的失真的光屏蔽膜，611 表示第五绝缘膜，612 表示经过接触孔与电极 608 连接的象素电极，以及 613 表示对液晶层 614 进行导向的校准膜。

在图 16 中，相对电极 616 和校准膜 615 布置在相对衬底 617 上。光屏蔽膜或颜色过滤层也可设置在相对衬底 617 上。

如图 16 所示，本实施例的存储电容器由第一存储电容器和第二存储电容器构成，第一存储电容器由电容器引线 606a、半导体膜 604 和作为电介质的绝缘膜 605 组成；第二存储电容器由光屏蔽膜 610、象素电极 612 和作为电介质的绝缘膜 611 组成。需要注意的是绝缘膜 611 可以是有机树脂膜或者是如氮氧化硅和氧化硅等的无机绝缘膜。绝缘膜的厚度可由操作者适当地确定。

例如，既使象素尺寸设定为 14μm×14μm，通过构建图 17B 示出的象素电极也可保证存储电容值（大约 100fF）和 48.8%的孔径率。

图 17A 为形成电极 608 的步骤的俯视图，图 17B 为形成光屏蔽膜 610 和象素电极 612 的步骤的俯视图。与图 16 对应的部分用相同标号。

图需要注意的是，实施例 6 可与实施例 1 到 5 中描述结构的任何一种随意地组合。

根据本发明，在扫描线和扫描线/电容器引线隔离区内传统上作为引线区的区域（与图 19 中 A 区对应的区域）可用作为存储电容器。另外，通过构建与相应扫描线连接的象素组而使其各自连接到独立的电容器引线上，可连续地对每个象素进行信号写入，既使在进行上述信号写入时，每个象素也不会受到相邻象素写入电流的影响。另外，相应电容器引线的电负载以适时的方式被分散，于是减少了有效负载。这样，电容器引线电阻的需要就减少了。因此，根据采用本发明的液晶显示装置，可获得这样的液晶显示元件，该元件具有较高孔径率、其中带有保持充足显示信号电势的存储电容器的相应象素。所以在得到小型化及节电装置同时，可获得满意的图象显示。

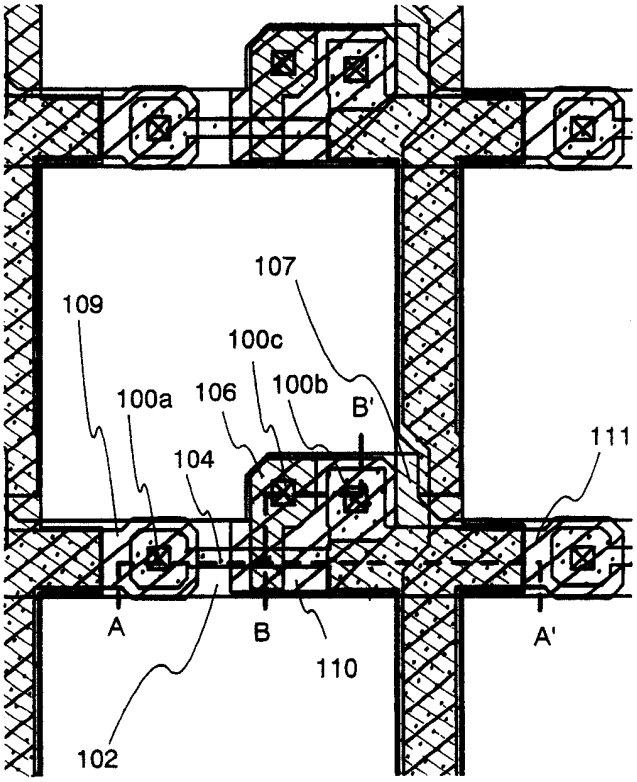


图 1

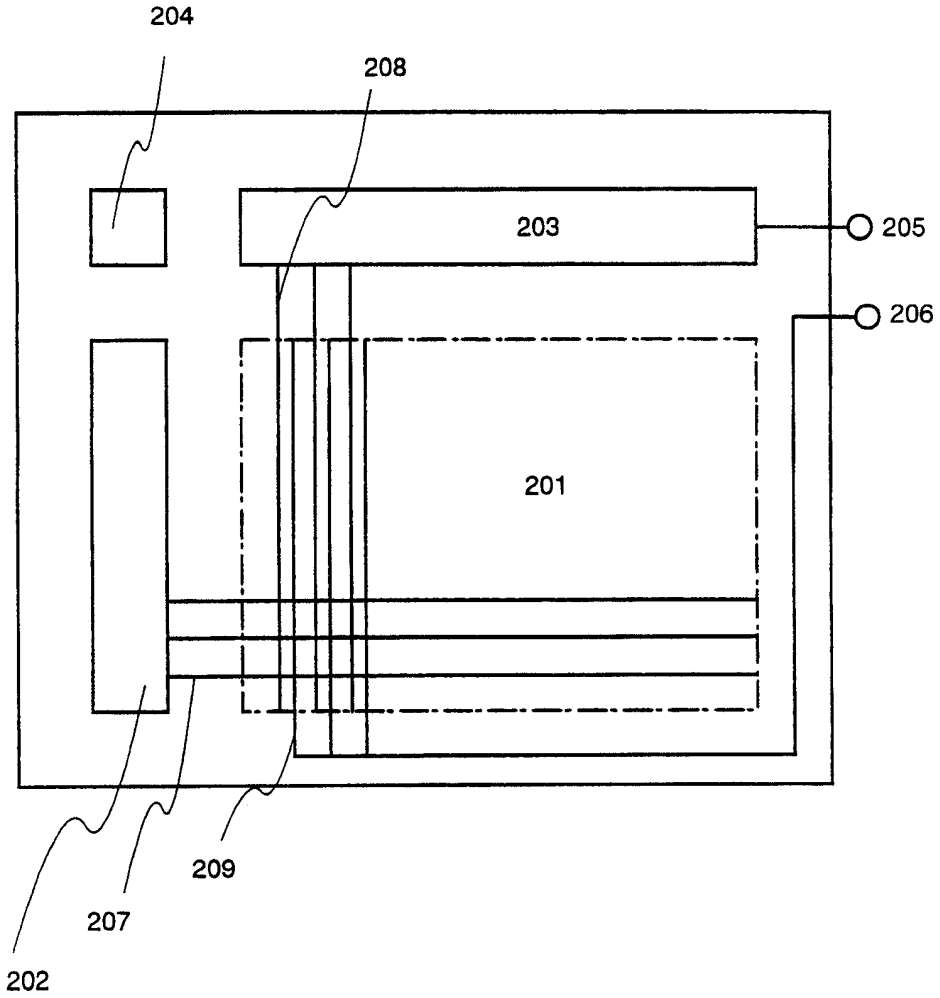


图 2

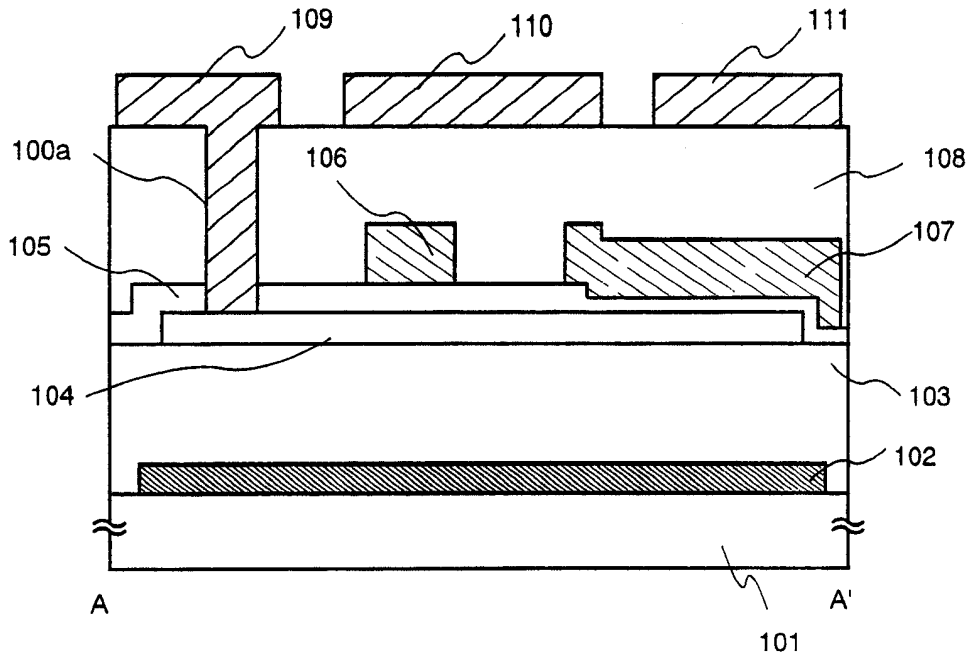


图 3A A-A'剖面图

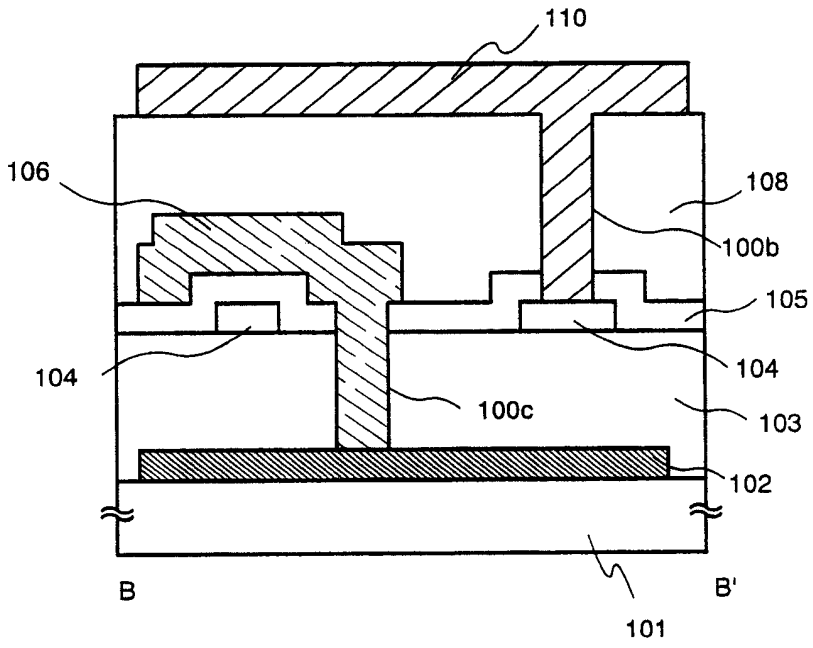


图 3B B-B'剖面图

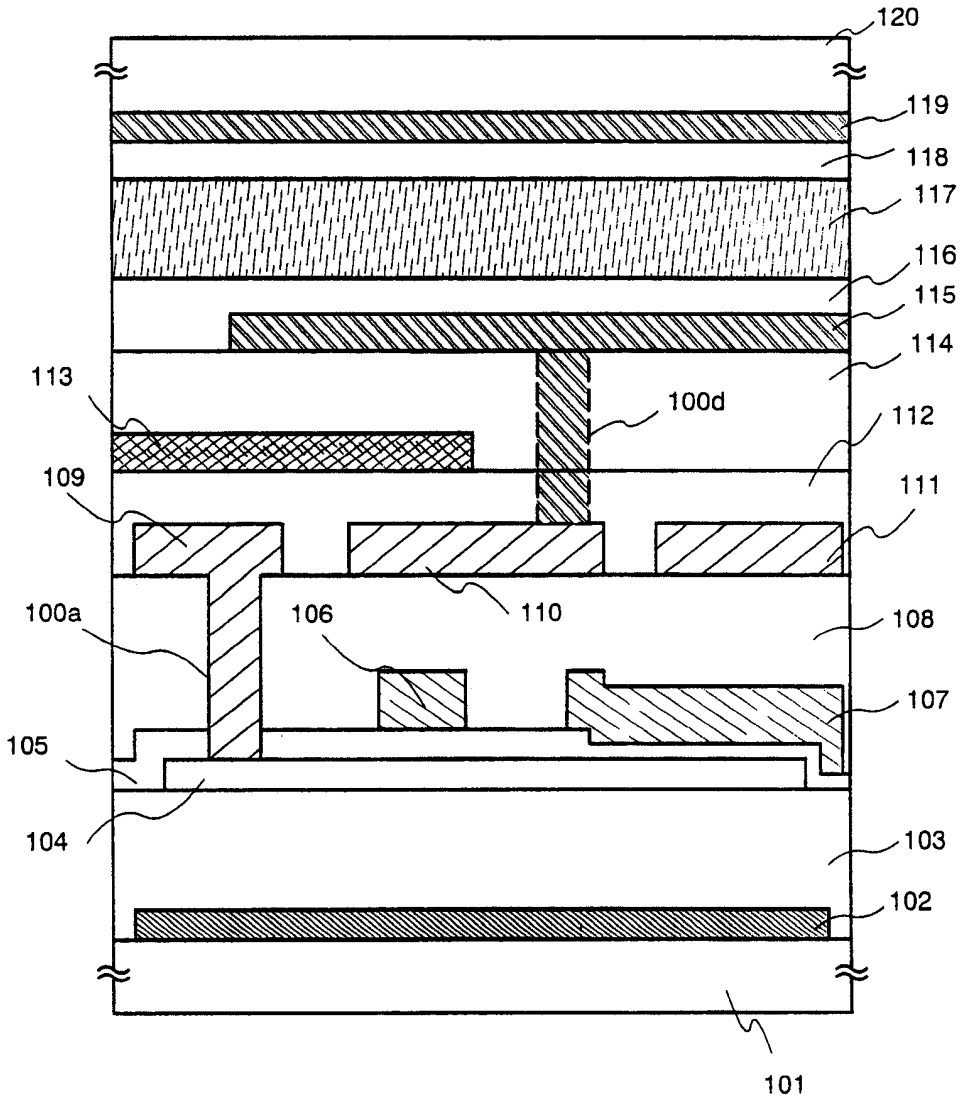

120
119
118
117
116
115
114
113
100d
112
109
111
100a
106
110
108
107
105
104
103
102
101

图 4

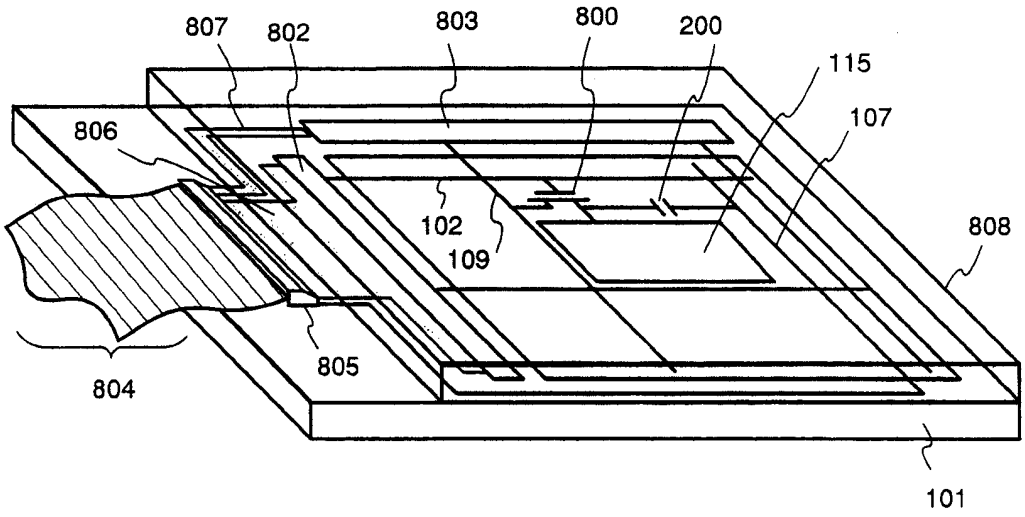


图 5

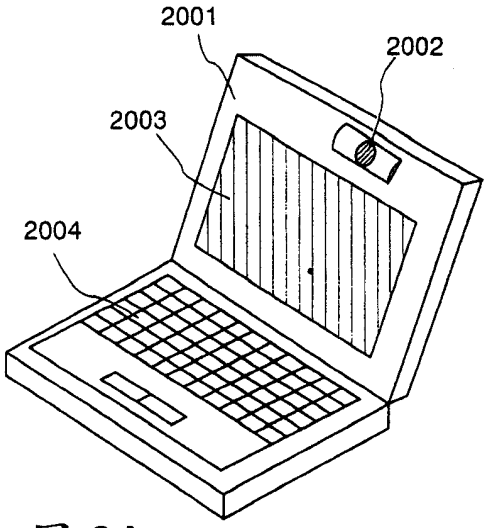


图 6A

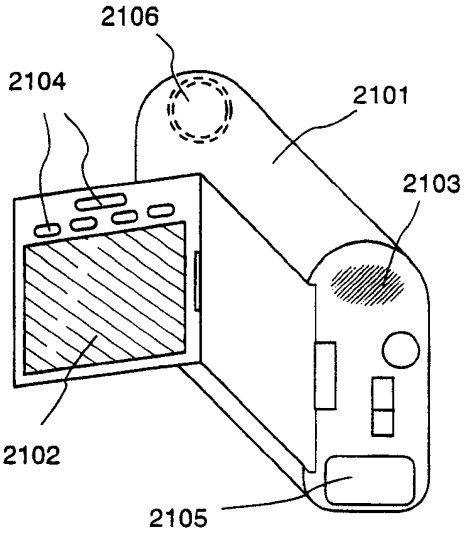


图 6B

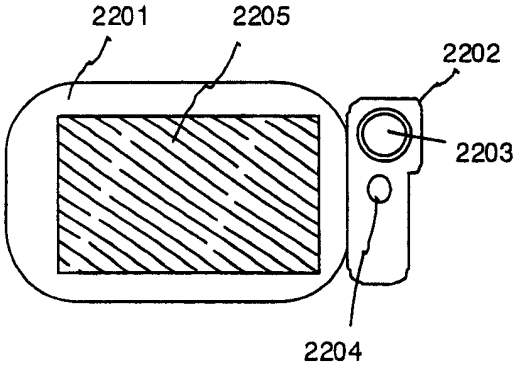


图 6C

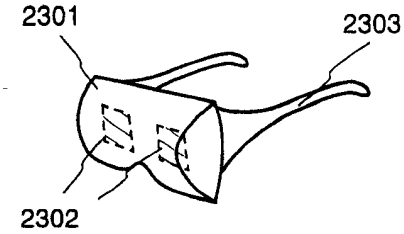


图 6D

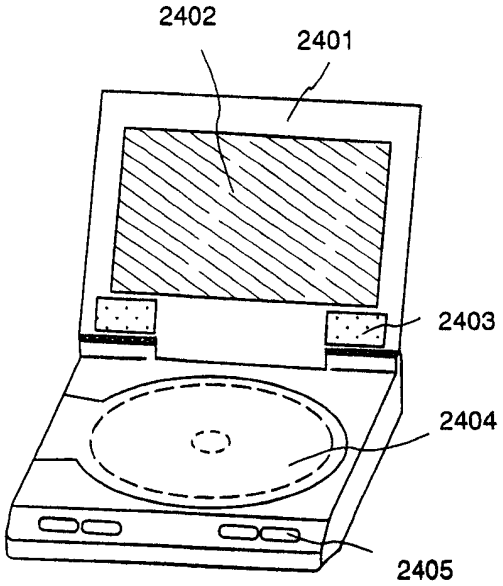


图 6E

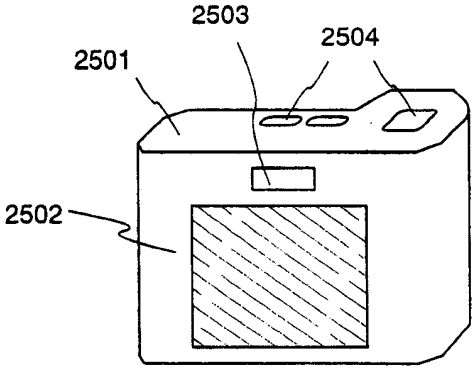


图 6F

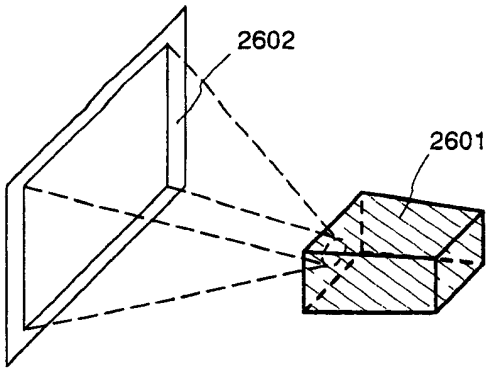


图 7A

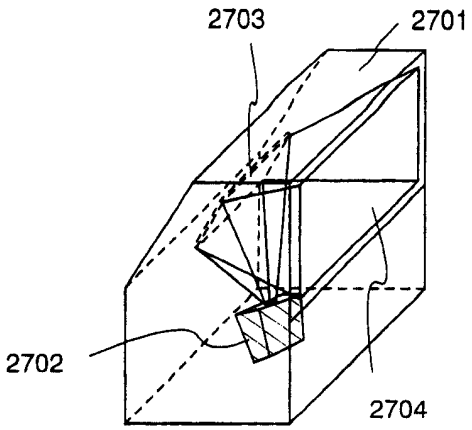


图 7B

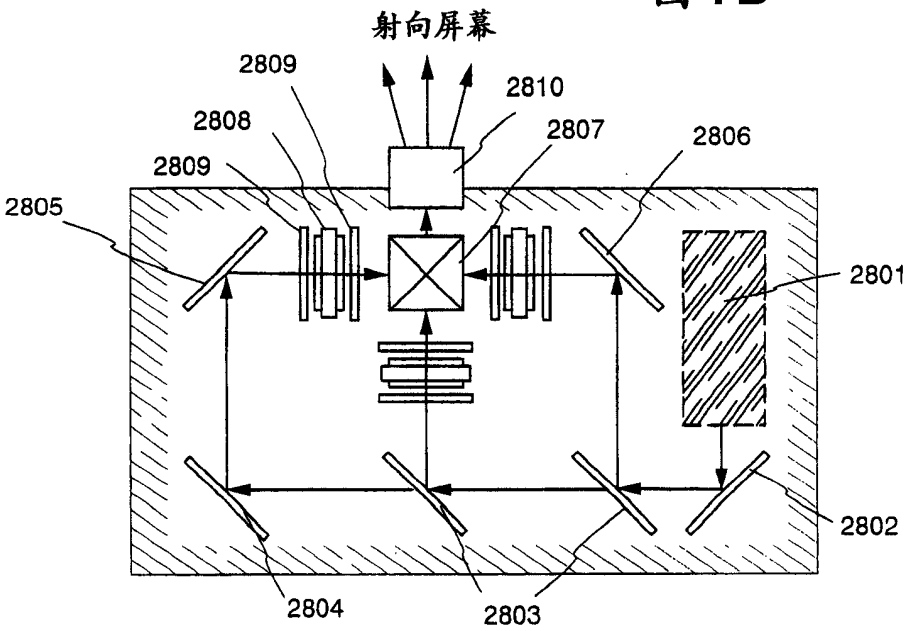


图 7C

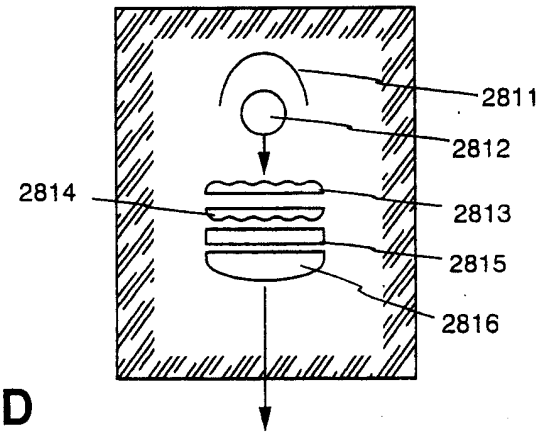


图 7D

图 8A

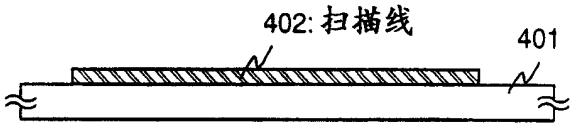


图 8B

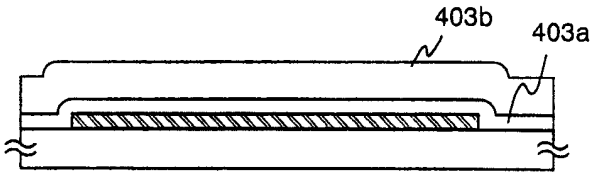


图 8C(1)

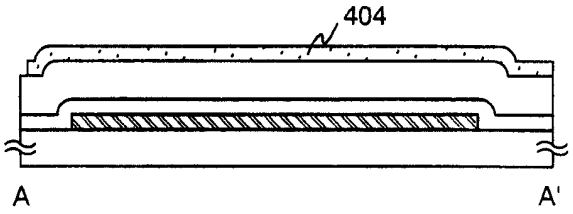


图 8C(2)

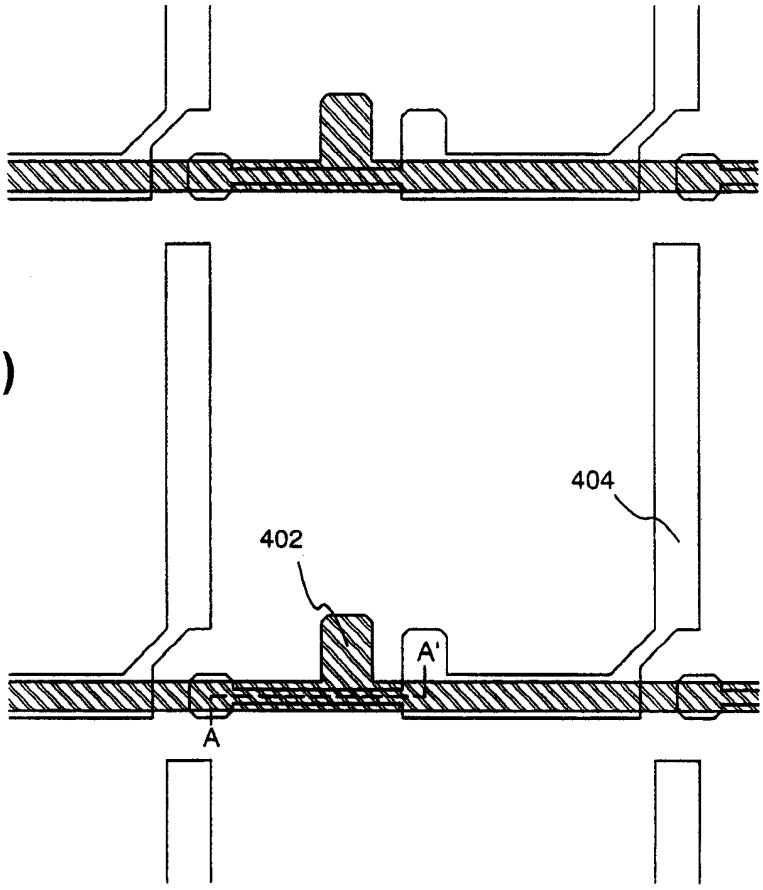


图 9A

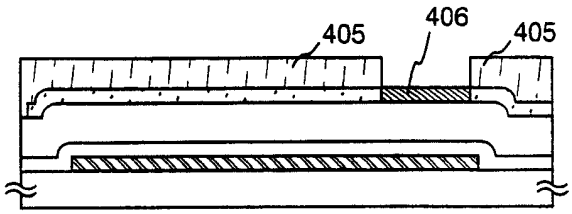


图 9B

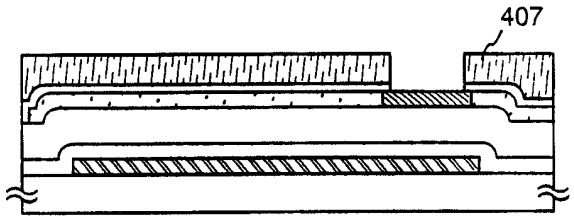


图 9C(1)

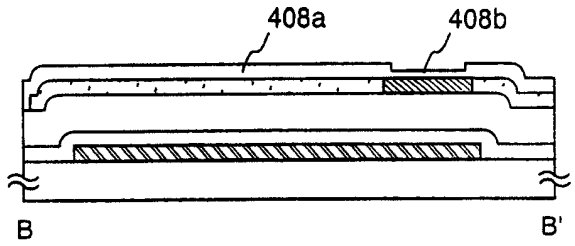
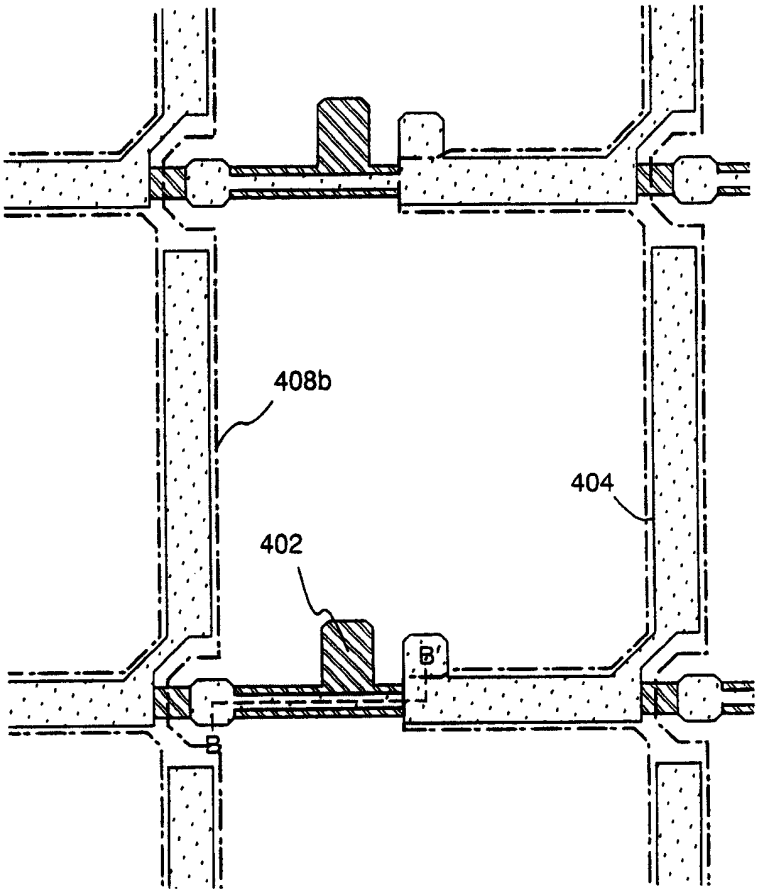


图 9C(2)



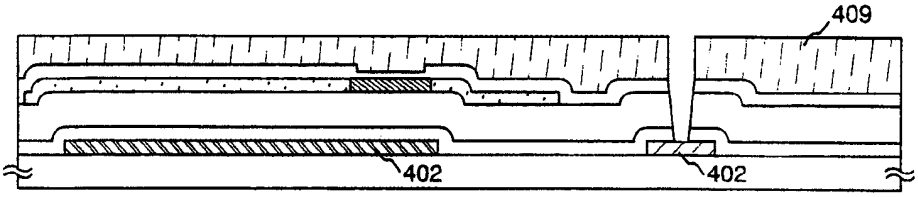


图 10A

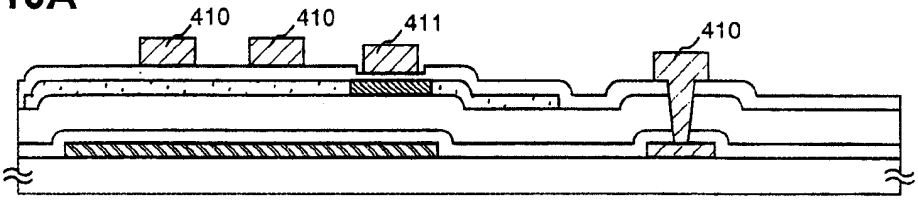


图 10B

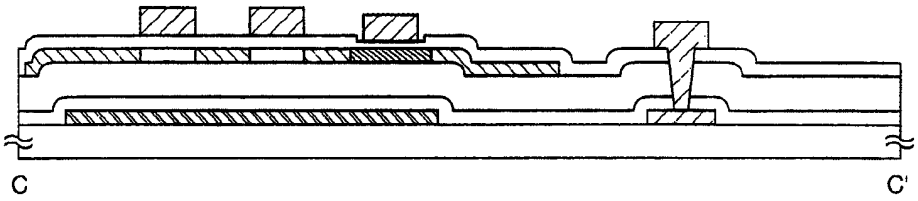


图 10C(1)

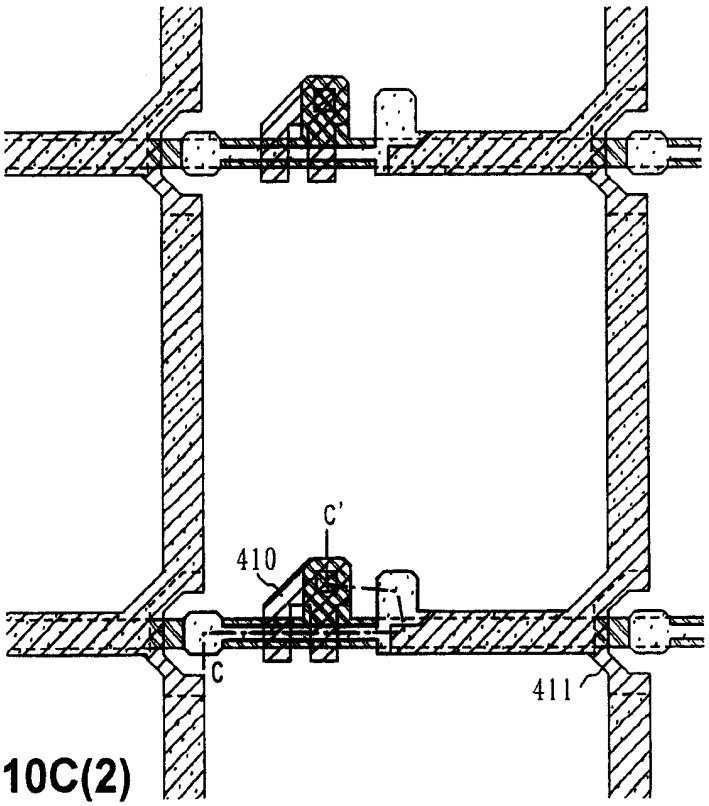


图 10C(2)

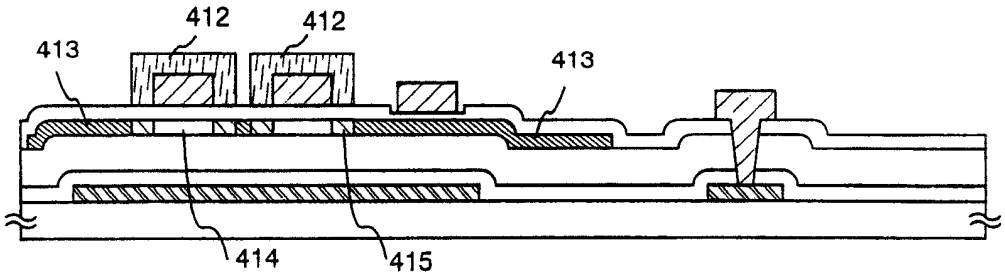


图 11A

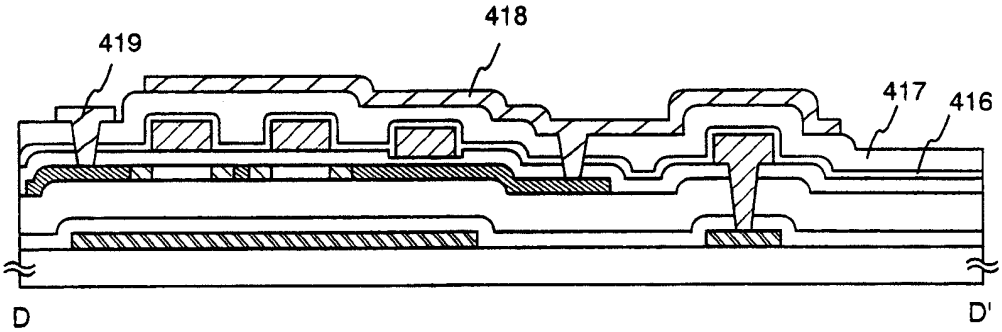


图 11B(1)

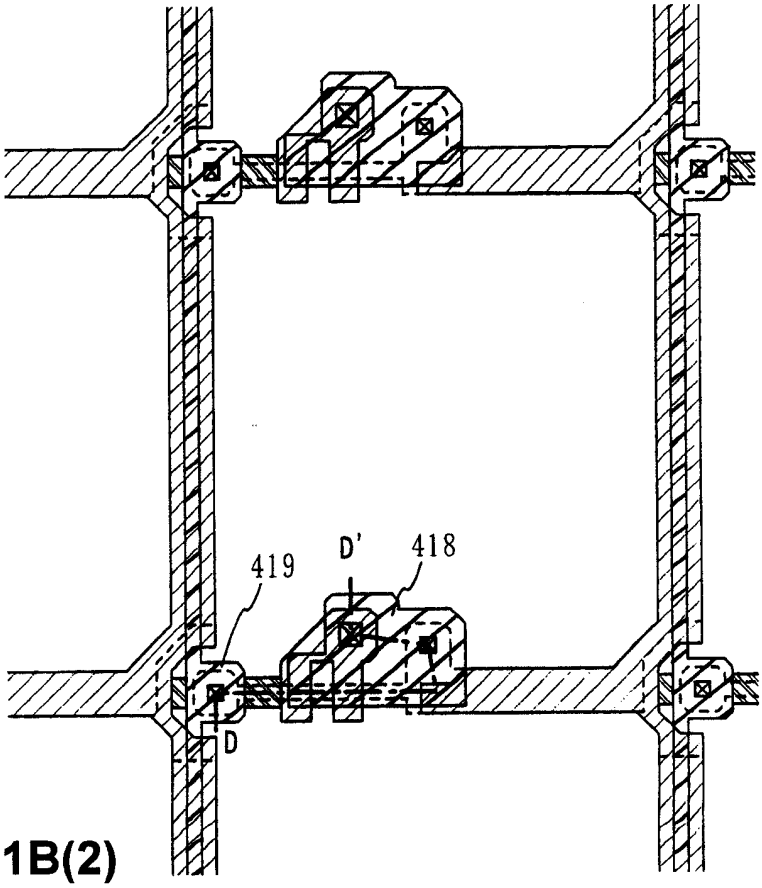


图 11B(2)

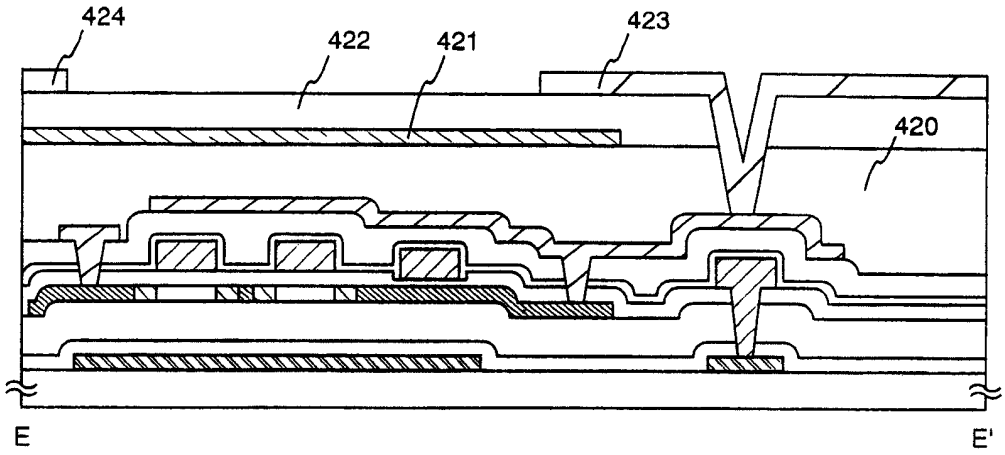


图 12A(1)

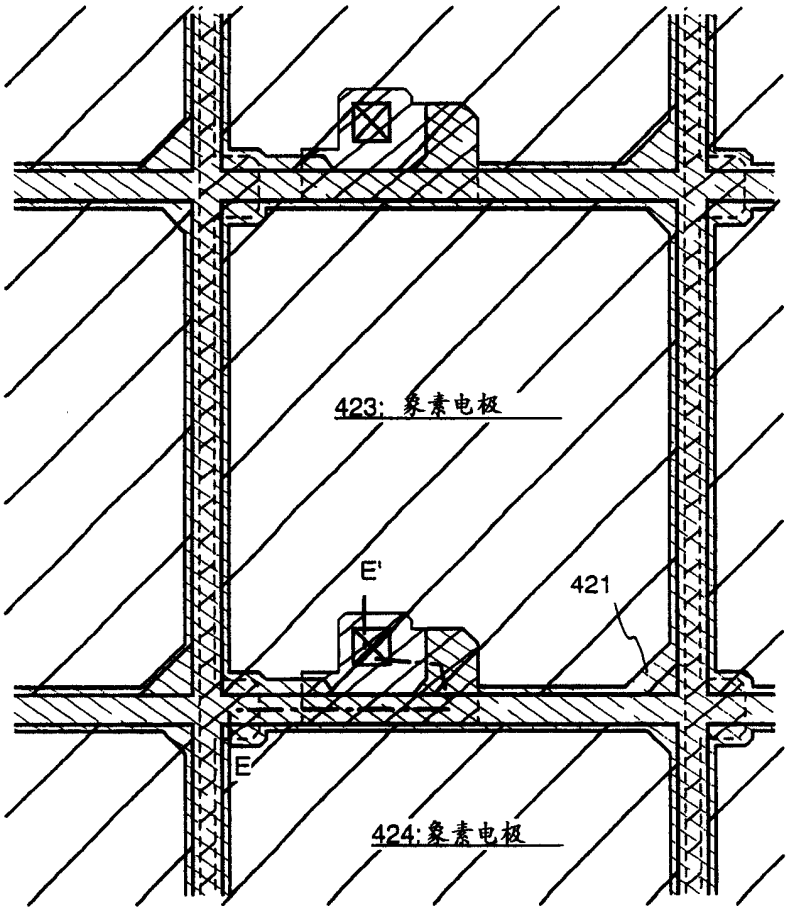


图 12A(2)

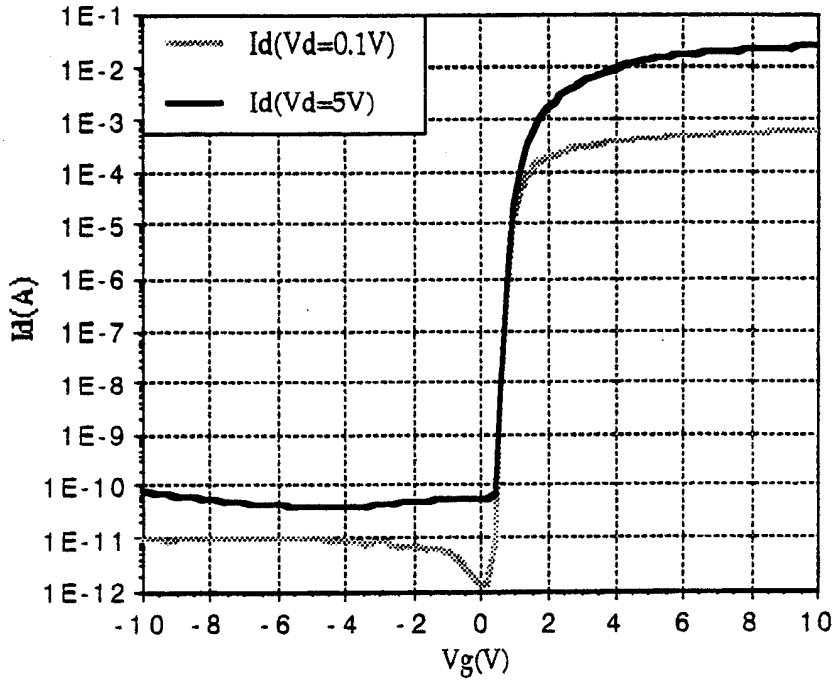

Id(Vd=0.1V)
Id(Vd=5V)
1E-1
1E-2
1E-3
1E-4
1E-5
1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
Id(A)
-10 -8 -6 -4 -2 0 2 4 6 8 10
Vg(V)

图 13

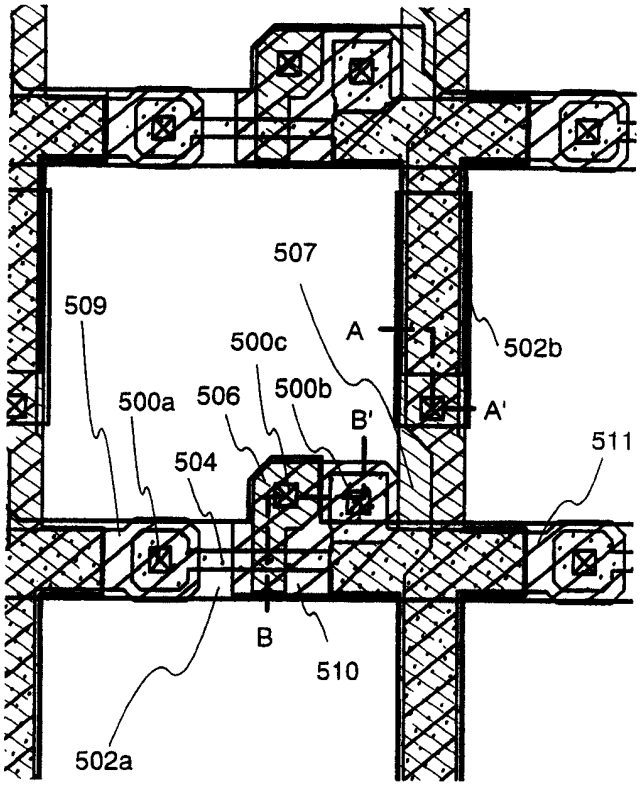


图 14

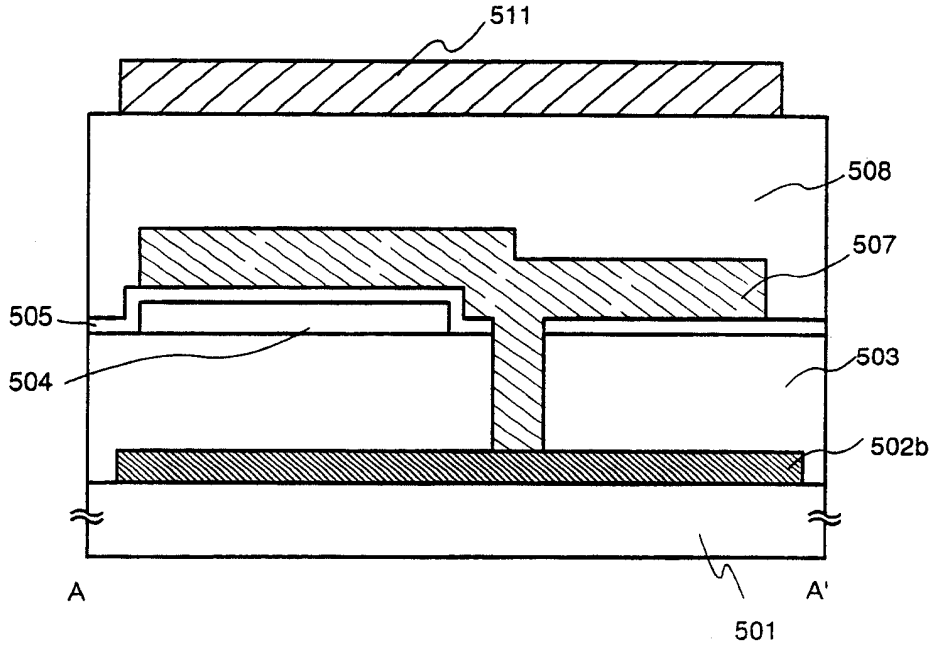


图15A A-A'剖面图

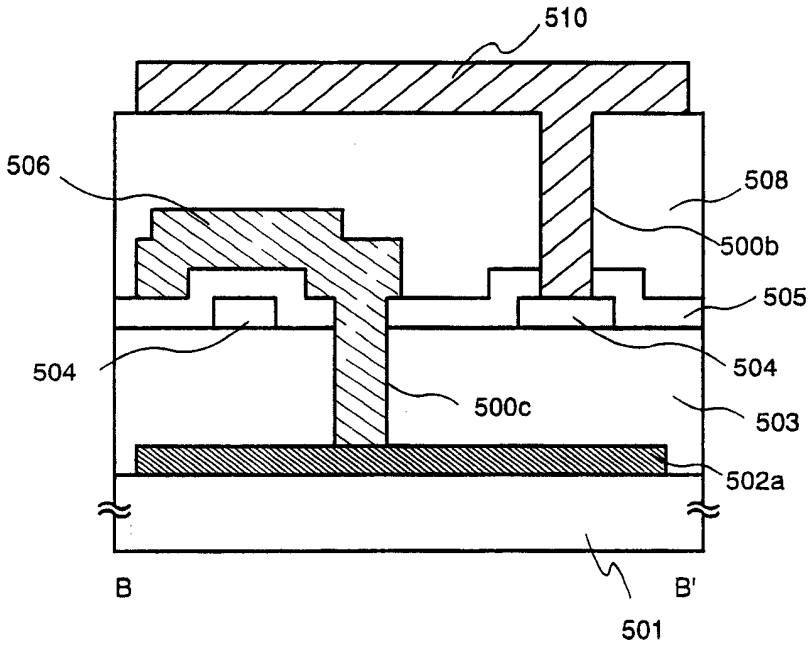


图 15B B-B'剖面图

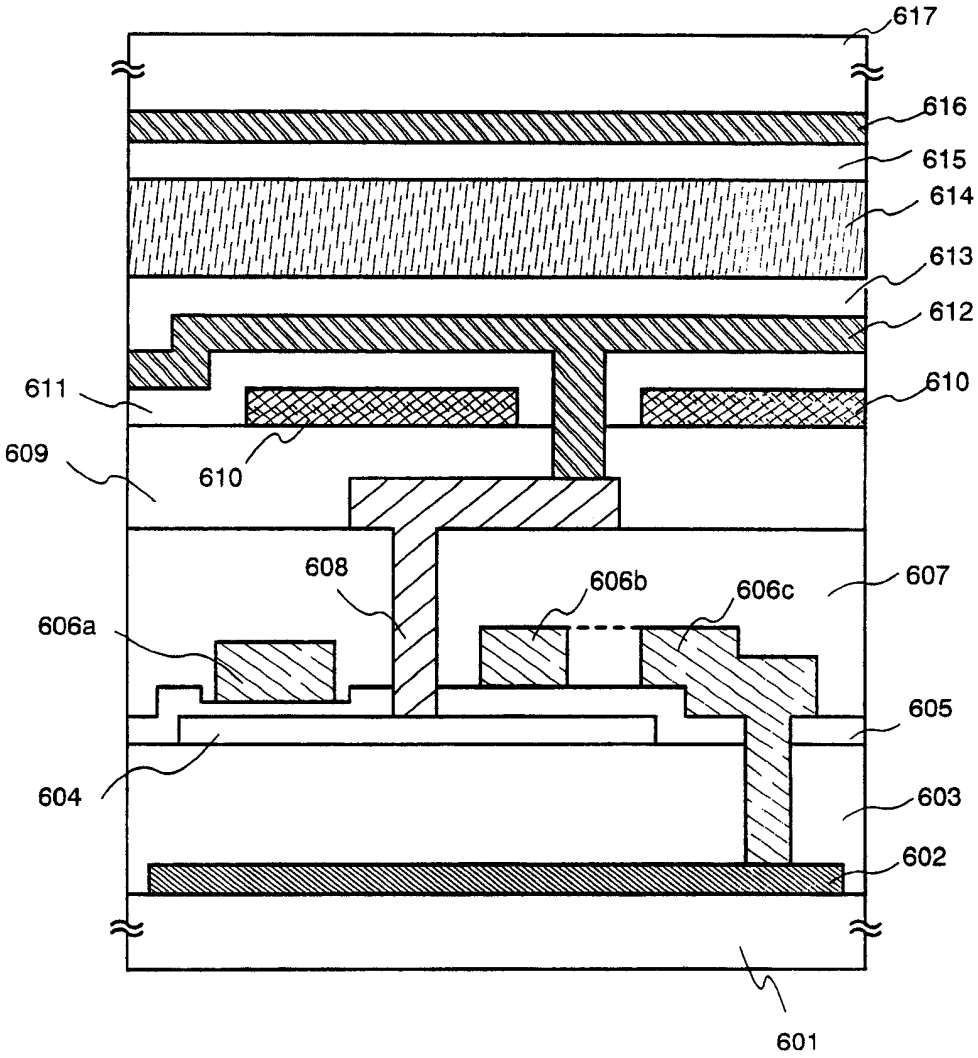

617
616
615
614
613
612
611
610
609
610
608
606b
606c
607
606a
605
604
603
602
601

图 16

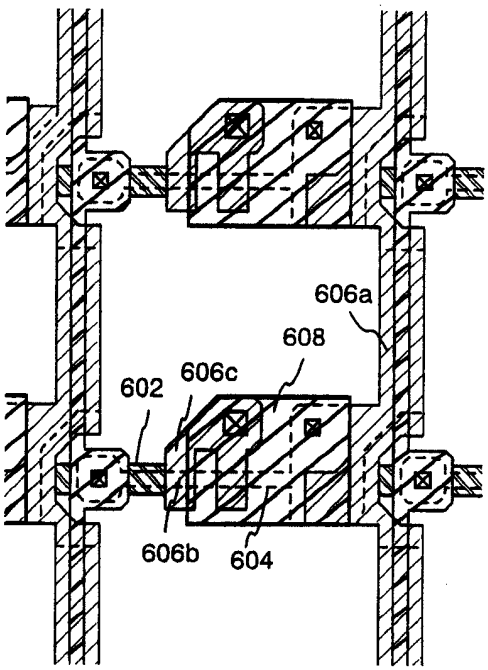


图 17A

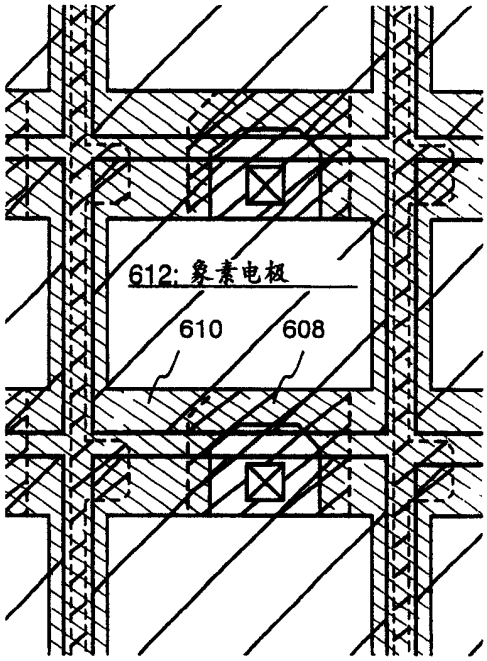
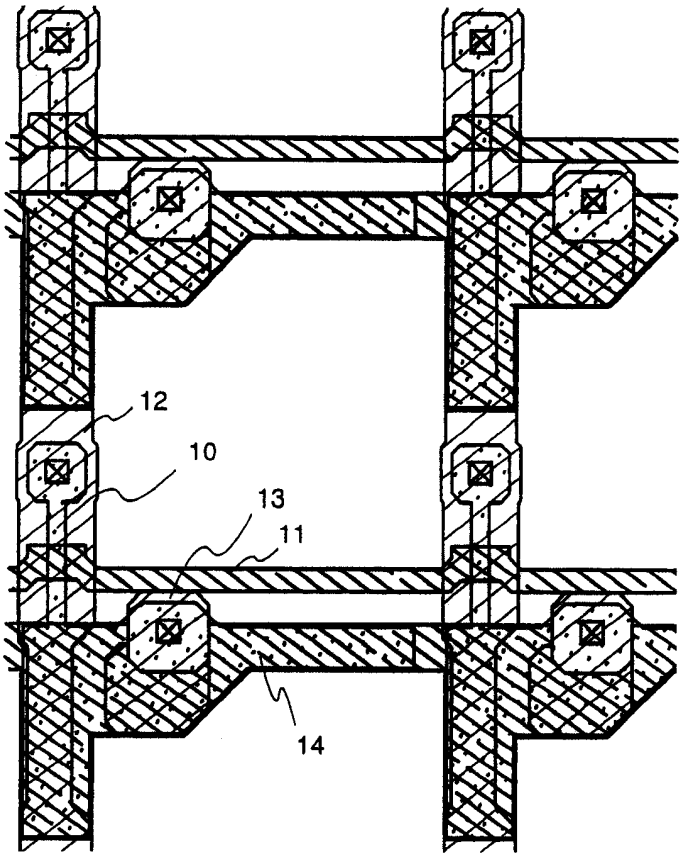


图 17B



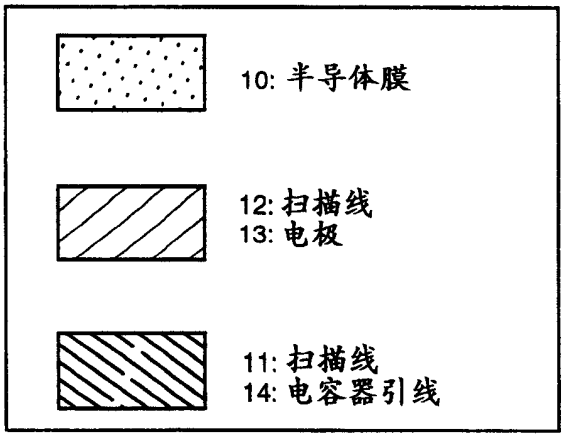
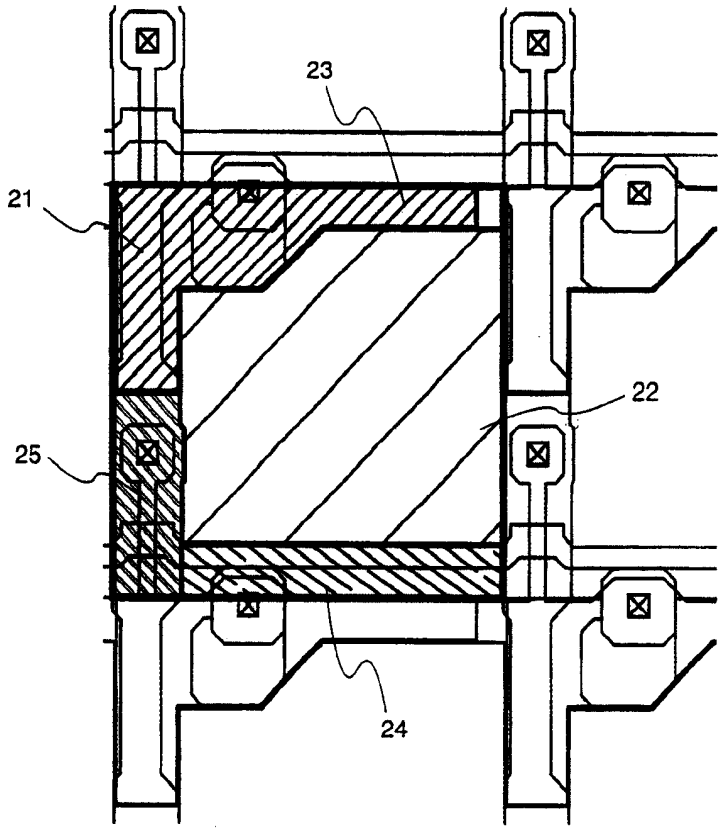


图 18

现有技术



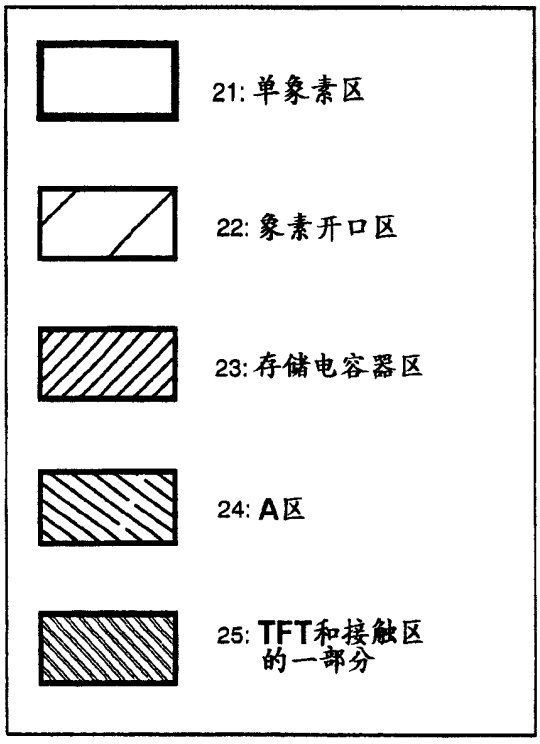


图 19
现有技术