

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4937380号
(P4937380)

(45) 発行日 平成24年5月23日(2012.5.23)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int. Cl. F I
HO 4 N 5/378 (2011.01) HO 4 N 5/335 7 8 0
HO 1 L 27/146 (2006.01) HO 1 L 27/14 A
HO 4 N 5/365 (2011.01) HO 4 N 5/335 6 5 0

請求項の数 12 (全 16 頁)

(21) 出願番号	特願2010-138173 (P2010-138173)	(73) 特許権者	594023722
(22) 出願日	平成22年6月17日(2010.6.17)		サムソン エレクトロメカニクス カ ンパニーリミテッド.
(65) 公開番号	特開2011-166726 (P2011-166726A)		大韓民国、キョンギード、スウォン、ヨン トング、マエタン3ードン 314
(43) 公開日	平成23年8月25日(2011.8.25)	(73) 特許権者	510169354
審査請求日	平成22年6月17日(2010.6.17)		ショガン大学校産業協力団 INDUSTRY-UNIVERSITY COOPERATION FOUNDA TION SOGANG UNIVERS ITY
(31) 優先権主張番号	10-2010-0011084		大韓民国、ソウル、マポグ、シンスード ン、ショガン大学校
(32) 優先日	平成22年2月5日(2010.2.5)	(74) 代理人	110000084
(33) 優先権主張国	韓国 (KR)		特許業務法人アルガ特許事務所 最終頁に続く

(54) 【発明の名称】 CMOSイメージセンサー

(57) 【特許請求の範囲】

【請求項1】

光による光学信号を電気信号に変換するN個の単位ピクセルからなるピクセルアレイと

、
前記ピクセルアレイから伝送されるリセット電圧と信号電圧に含まれたオフセット電圧と内部のオフセット電圧を除去するとともに、前記リセット電圧と前記信号電圧の相関二重サンプリングを行うフレームメモリと、

前記フレームメモリから伝送されるアナログ信号をデジタル信号に変換するアナログ/デジタル変換器とを含むことを特徴とする、CMOSイメージセンサー。

【請求項2】

前記N個の単位ピクセルそれぞれは、
リセット制御信号に基づいて駆動するリセットトランジスタと、
伝達制御信号に基づいて駆動する伝達トランジスタと、
前記伝達トランジスタのソース端子と接地との間に接続され、入射する光に比例する光電荷を生成するフォトダイオードと、

前記リセットトランジスタのソース端子と前記伝達トランジスタのドレイン端子間の共通端であるフローティング拡散ノードに伝達された信号に応じて駆動する駆動トランジスタと、

前記駆動トランジスタと前記フレームメモリとの間に接続され、選択制御信号に基づいて、前記駆動トランジスタに伝達された信号を前記フレームメモリへ伝達する選択トラン

ジスタとを含むことを特徴とする、請求項 1 に記載の CMOS イメージセンサー。

【請求項 3】

前記リセット制御信号、前記伝達制御信号および前記選択制御信号を前記単位ピクセルに伝達するロウデコーダをさらに含むことを特徴とする、請求項 2 に記載の CMOS イメージセンサー。

【請求項 4】

前記フレームメモリは、

前記ピクセルアレイから伝達されるリセット電圧と信号電圧に含まれたオフセット電圧を除去するとともに、前記リセット電圧と前記信号電圧をホールドするサンプルホールド回路、および

前記サンプルホールド回路から伝送される前記リセット電圧と前記信号電圧の相関二重サンプリングを行い、前記リセット電圧と前記信号電圧との差電圧を検出する相関二重サンプリング回路を含むことを特徴とする、請求項 1 に記載の CMOS イメージセンサー。

【請求項 5】

前記サンプルホールド回路は、

バッファ機能を行う第 1 反転増幅器と、

前記単位ピクセルの出力端と前記第 1 反転増幅器の反転端子との間に直列接続された第 1 スイッチおよび第 1 キャパシタと、

前記第 1 キャパシタの一端と前記第 1 反転増幅器の出力端との間に接続された第 2 スイッチと、

前記第 1 キャパシタの他端と前記第 1 反転増幅器の出力端との間に接続された第 3 スイッチとを含むことを特徴とする、請求項 4 に記載の CMOS イメージセンサー。

【請求項 6】

前記相関二重サンプリング回路は、

バッファ機能を行う第 2 反転増幅器と、

前記第 1 反転増幅器の出力端と前記第 2 反転増幅器の反転端子との間に接続された第 2 キャパシタと、

前記第 2 反転増幅器の反転端子と前記第 2 反転増幅器の出力端との間に接続された第 4 スイッチと、

前記第 4 スイッチに並列接続されるように、前記第 2 反転増幅器の反転端子と前記第 2 反転増幅器の出力端との間に直列接続された第 3 キャパシタおよび第 5 スイッチと、

前記第 3 キャパシタと前記第 5 スイッチ間の共通端と接地との間に接続された第 6 スイッチと、

前記第 2 反転増幅器の出力端とアナログ/デジタル変換器との間に接続された第 7 スイッチとを含むことを特徴とする、請求項 5 に記載の CMOS イメージセンサー。

【請求項 7】

前記第 2 キャパシタと前記第 3 キャパシタは同一のキャパシタンスを有することを特徴とする、請求項 6 に記載の CMOS イメージセンサー。

【請求項 8】

前記第 1 スイッチ～前記第 7 スイッチの駆動を制御するための第 1 スイッチング制御信号～第 7 スイッチング制御信号を前記フレームメモリに提供するカラムデコーダをさらに含むことを特徴とする、請求項 6 に記載の CMOS イメージセンサー。

【請求項 9】

前記第 1 スイッチと前記第 3 スイッチは、前記単位ピクセルからリセット電圧と信号電圧が伝達される時間と同時にターンオンされ、前記第 1 キャパシタの一端に前記リセット電圧と前記信号電圧が伝達されるとターンオフされることを特徴とする、請求項 6 に記載の CMOS イメージセンサー。

【請求項 10】

前記第 2 スイッチは、前記第 1 スイッチと第 3 スイッチがターンオフされた後でターンオンされ、前記第 1 反転増幅器の出力端にリセット電圧と信号電圧を伝達した後、前記リ

10

20

30

40

50

セット電圧と前記信号電圧が前記第1反転増幅器の出力端に伝達されるとターンオフされることを特徴とする、請求項9に記載のCMOSイメージセンサー。

【請求項11】

前記第4スイッチと前記第6スイッチは、前記第1キャパシタの一端にリセット電圧を伝達するために前記第1スイッチと前記第3スイッチがターンオンされるとき、前記第1スイッチおよび前記第3スイッチと同時にターンオンされ、前記第2スイッチがターンオフされるとき、前記第2スイッチと同時にターンオフされることを特徴とする、請求項10に記載のCMOSイメージセンサー。

【請求項12】

前記第5スイッチは、前記第1キャパシタの一端に信号電圧を伝達するために前記第1スイッチと第3スイッチがターンオンされるとき、前記第1スイッチおよび第3スイッチと同時にターンオンされ、前記第2スイッチが前記第1反転増幅器の出力端に信号電圧を伝達した後でターンオフされるとき、前記第2スイッチと同時にターンオフされることを特徴とする、請求項10に記載のCMOSイメージセンサー。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CMOSイメージセンサーに関する。

【背景技術】

【0002】

一般に、イメージセンサーは、携帯電話カメラ、デジタルスチルカメラ(Digital Still Camera)などに取り付けられ、視野に展開される画像を撮影して電気信号に変換し、変換された画像信号をデジタル信号に変えて伝送する。

このようなイメージセンサーは、伝送方式によってCCD(Charge Coupled Device)イメージセンサーとCMOS(Complementary Metal Oxide Semiconductor)イメージセンサーに区分される。

この際、CCDイメージセンサーは、光によって発生した電子をそのままゲートパルスを用いて出力部にまで移動させた後、これを電圧に変換し、CMOSイメージセンサーは、光によって発生した電子をそれぞれの画素内で電圧に変換した後、多数のCMOSスイッチを介して出力する。

【0003】

よって、前記CCDイメージセンサーは、電荷結合によって信号を検出し、光電流を一定の時間累積させた後で抽出するから、信号電圧を累積時間だけ増加させることができるため、光感度(Sensitivity)がよく、ノイズを減少させることができるという利点がある。ところが、前記CCDイメージセンサーは、光電荷を運送し続けなければならないため、駆動方式が複雑であり、高電圧および高電力が消費されるという欠点がある。

【0004】

そして、前記CMOSイメージセンサーは、光により発生した電子がそれぞれの画素内で電圧に変換されて伝送されるため、伝送途中で発生した電圧形態の雑音が出力信号にそのまま加えられるという欠点はあるが、CCDイメージセンサーに比べて、消費電力が低く、集積度を高めることができる。

【0005】

一方、前述したCMOSイメージセンサーは、一般にピクセルアレイを構成する単位ピクセルの動作に必要な信号に応じてロールシャッター(Rolling Shutter)駆動方式またはグローバルシャッター(Global Shutter)駆動方式で動作可能であるが、位相差AF(Auto Focus)を用いたライブビュー機能を提供するDSLR(Digital Single-Lens Reflex)カメラではグローバルシャッター駆動方式が多用されている。

【0006】

一般に、従来のグローバルシャッター駆動方式は、一つのスイッチと一つのキャパシタを用いたDRAM形態のフレームメモリ(Frame Memory)にリセット情報と信号情報を格納

10

20

30

40

50

した後、読み出す方式を主に使用している。

ところが、DRAM形態のフレームメモリにアナログデータを格納して使用する従来のグローバルシャッター駆動方式は、データを読み出すためにスイッチがターンオンされる
とき、キャパシタの電荷がデータラインの寄生キャパシタンスと共有されて電荷量の一部
が損失してしまうという問題点があるうえ、スイッチがターンオンまたはターンオフされ
るときに発生する信号依存電荷注入(Signal Dependent Charge Injection)によって信号
が歪むという問題点がある。

【0007】

また、従来のグローバルシャッター駆動方式は、キャパシタに格納された電荷量を読み
出すために、ピクセル毎或いはカラム毎にバッファを使用するが、このようなバッファの
オフセット差により固定パターンノイズ(Fixed Pattern Noise)が発生するという問題点
がある。

【発明の概要】

【発明が解決しようとする課題】

【0008】

そこで、本発明は、上述した問題点を解決するためのもので、その目的は、メモリに格
納されたデータを読み出すときに発生する電荷共有、および信号依存電荷注入による信号
歪みを防止し、固定パターンノイズの発生を防止することが可能なCMOSイメージセン
サーを提供することにある。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明は、光による光学信号を電気信号に変換するN個の
単位ピクセルからなるピクセルアレイと、前記ピクセルアレイから伝送されるリセット電
圧と信号電圧に含まれたオフセット電圧と内部のオフセット電圧を除去するとともに、前
記リセット電圧と信号電圧の相関二重サンプリングを行うフレームメモリと、前記フレ
ームメモリから伝送されるアナログ信号をデジタル信号に変換するアナログ/デジタル変換
器とを含む、CMOSイメージセンサーを提供する。

【0010】

また、本発明において、前記N個の単位ピクセルそれぞれは、リセット制御信号に基づ
いて駆動するリセットトランジスタと、伝達制御信号に基づいて駆動される伝達トランジ
スタと、前記伝達トランジスタのソース端子と接地との間に接続され、入射する光に比例
する光電荷を生成するフォトダイオードと、前記リセットトランジスタのソース端子と前
記伝達トランジスタのドレイン端子間の共通端であるフローティング拡散ノードに伝達さ
れた信号に応じて駆動する駆動トランジスタと、前記駆動トランジスタと前記フレームメ
モリとの間に接続され、選択制御信号に基づいて、前記駆動トランジスタに伝達された信
号を前記フレームメモリへ伝達する選択トランジスタとを含むことを特徴とする。

また、本発明は、前記リセット制御信号、前記伝達制御信号、および前記選択制御信号
を前記単位ピクセルに伝達するロウデコーダをさらに含むことを特徴とする。

【0011】

また、本発明において、前記フレームメモリは、前記ピクセルアレイから伝達されるリ
セット電圧と信号電圧に含まれたオフセット電圧を除去するとともに、前記リセット電圧
と前記信号電圧をホールドするサンプルホールド回路と、前記サンプルホールド回路から
伝送される前記リセット電圧と前記信号電圧の相関二重サンプリングを行い、前記リセッ
ト電圧と前記信号電圧との差電圧を検出する相関二重サンプリング回路を含むことを特徴
とする。

また、本発明において、前記サンプルホールド回路は、バッファ機能を行う第1反転増
幅器と、前記単位ピクセルの出力端と前記第1反転増幅器の反転端子との間に直列接続さ
れた第1スイッチおよび第1キャパシタと、前記第1キャパシタの一端と前記第1反転増
幅器の出力端との間に接続された第2スイッチと、前記第1キャパシタの他端と前記第1
反転増幅器の出力端との間に接続された第3スイッチとを含むことを特徴とする。

10

20

30

40

50

【0012】

また、本発明において、前記相関二重サンプリング回路は、バッファ機能を行う第2反転増幅器と、前記第1反転増幅器の出力端と前記第2反転増幅器の反転端子との間に接続された第2キャパシタと、前記第2反転増幅器の反転端子と前記第2反転増幅器の出力端との間に接続された第4スイッチと、前記第4スイッチに並列接続されるように、前記第2反転増幅器の反転端子と前記第2反転増幅器の出力端との間に直列接続された第3キャパシタおよび第5スイッチと、前記第3キャパシタと前記第5スイッチの共通端と接地との間に接続された第6スイッチと、前記第2反転増幅器の出力端とアナログ/デジタル変換器との間に接続された第7スイッチとを含むことを特徴とする。

また、本発明において、前記第2キャパシタと前記第3キャパシタは同一のキャパシタンスを有することを特徴とする。

10

【0013】

また、本発明は、前記第1スイッチ～第7スイッチの駆動を制御するための第1スイッチング制御信号～第7スイッチング制御信号を前記フレームメモリに提供するカラムデコーダをさらに含むことを特徴とする。

また、本発明において、前記第1スイッチと前記第3スイッチは、前記単位ピクセルからリセット電圧と信号電圧が伝達される時間と同時にターンオンされ、前記第1キャパシタの一端に前記リセット電圧および前記信号電圧が伝達されるとターンオフされることを特徴とする。

【0014】

20

また、本発明において、前記第2スイッチは、前記第1スイッチと前記第3スイッチがターンオフされた後でターンオンされ、前記第1反転増幅器の出力端にリセット電圧と信号電圧を伝達した後、前記リセット電圧および前記信号電圧が前記第1反転増幅器の出力端に伝達されるとターンオフされることを特徴とする。

また、本発明において、前記第4スイッチと第6スイッチは、前記第1キャパシタの一端にリセット電圧を伝達するために前記第1スイッチと第3スイッチがターンオンされる時、前記第1スイッチおよび第3スイッチと同時にターンオンされ、前記第2スイッチがターンオフされる時、前記第2スイッチと同時にターンオフされることを特徴とする。

【0015】

30

また、本発明において、前記第5スイッチは、前記第1キャパシタの一端に信号電圧を伝達するために前記第1スイッチと第3スイッチがターンオンされる時、前記第1スイッチおよび第3スイッチと同時にターンオンされ、前記第2スイッチが前記第1反転増幅器の出力端に信号電圧を伝達した後でターンオフされる時、前記第2スイッチと同時にターンオフされることを特徴とする。

【発明の効果】

【0016】

本発明によれば、ソースフォロワ(source follower)が動作する間のみサンプルキャパシタに出力信号を格納し、格納が終わると、キャパシタがフリップアラウンド(Flip Around)されて相関二重サンプリングのためのキャパシタにピクセルの出力信号が格納されるようにするから、サンプルキャパシタが他の寄生キャパシタと共有される現象を防止することができるので、電荷共有による電荷損失を防止することができる。

40

【0017】

また、本発明は、出力信号がサンプルキャパシタに格納されると、まず、サンプルキャパシタの一方のノードをオフさせるから、信号側のスイッチチャンネルに格納された電荷によるキャパシタの電荷量の変化が発生しないので、信号依存電荷注入による信号歪み現象を防止することができる。

また、本発明は、ピクセルアレイのオフセットとサンプルホールド回路のオフセットが共に相関二重サンプリングされるので、オフセットによる固定パターンノイズの発生を防止することができる。

50

【図面の簡単な説明】

【0018】

【図1】本発明の実施例に係るCMOSイメージセンサーを示す図である。

【図2】図1に示したピクセルアレイおよびフレームメモリの構成を示す詳細図である。

【図3】図2に示したピクセルアレイ、サンプルホールド回路および相関二重サンプリング(CDS)回路を駆動させるための駆動タイミングを示すタイミング図である。

【図4】図3に示したタイミングによるCMOSイメージセンサーの駆動を示す図である。

【図5】図3に示したタイミングによるCMOSイメージセンサーの駆動を示す図である。

【図6】図3に示したタイミングによるCMOSイメージセンサーの駆動を示す図である。

【図7】図3に示したタイミングによるCMOSイメージセンサーの駆動を示す図である。

【発明を実施するための形態】

【0019】

本発明の目的、特定の利点および新規の特徴は添付図面に連関する以下の詳細な説明と好適な実施例からさらに明白になるであろう。

これに先立ち、本明細書および請求の範囲に使用された用語または単語は、通常的で辞典的な意味で解釈されてはならず、発明者が自分の発明を最善の方法で説明するために用語の概念を適切に定義することができるという原則に基づき、本発明の技術的思想に符合する意味と概念で解釈されなければならない。

【0020】

本発明において、各図面の構成要素に参照番号を付加するにおいて、同一の構成要素については、他の図面上に表示されても、出来る限り同一の番号を付することに留意すべきであろう。なお、本発明を説明するにおいて、関連した公知の技術に対する具体的な説明が本発明の要旨を無駄に乱すおそれがあると判断される場合、その詳細な説明は省略する。

【0021】

以下、添付図面を参照して本発明の好適な実施例を詳細に説明する。

図1は本発明の実施例に係るCMOSイメージセンサーを示す図、図2は図1に示したピクセルアレイおよびフレームメモリの構成を示す詳細図である。

本発明の実施例に係るCMOSイメージセンサーは、図1に示すように、ピクセルアレイ(Pixel Array)10、フレームメモリ20、ロウデコーダ(Row Decoder)30、カラムデコーダ(Column Decoder)40、およびアナログ/デジタル変換器(Analog-Digital Converter:以下「ADC」という)50を含むように構成される。

前記ピクセルアレイ10は、図2に示すように、N個の単位ピクセル12からなり、光による光学画像(Optical Image)を受け入れて電気信号に変換する。

この際、前記ピクセルアレイ10を成すそれぞれの単位ピクセル12は、フォトダイオード(Photo Diode、PD)、伝達トランジスタ(Transfer Transistor、TX)、リセットトランジスタ(Reset Transistor、RX)、駆動トランジスタ(Drive Transistor、DX)、および選択トランジスタ(Select Transistor、SX)を含む。

【0022】

前記フォトダイオードPDは、外部の光学画像の入力を受ける受光部であって、入射する光に比例して光電荷を生成する。

このようなフォトダイオードPDは、伝達トランジスタTXと接地GNDとの間に接続される。

前記伝達トランジスタTXは、フォトダイオードPDから発生した光電荷をフローティング拡散ノードFDを経て駆動トランジスタDXのゲート端子に伝達する。

このために、前記伝達トランジスタTXは、ドレイン端子が前記フローティング拡散ノ

10

20

30

40

50

ードFDに接続され、ソース端子は前記フォトダイオードPDに接続され、ゲート端子は伝達制御信号入力端TGに接続される。

【0023】

前記リセットトランジスタRXは、駆動トランジスタDXのゲート端子にリセット電圧を印加する。

このために、前記リセットトランジスタRXは、ドレイン端子が駆動電源VDDに接続され、ソース端子は前記フローティング拡散ノードFDに接続され、ゲート端子はリセット制御信号入力端RSTに接続される。

【0024】

一方、前記駆動トランジスタDXは、ゲート端子に印加された光電荷の大きさに比例してソースドレイン間の電流を発生する。

このために、前記駆動トランジスタDXは、ドレイン端子が駆動電源VDDに接続され、ソース端子は選択トランジスタSXのドレイン端子に接続され、ゲート端子は前記伝達トランジスタTXのドレイン端子と前記リセットトランジスタRXのソース端子との共通端、すなわちフローティング拡散ノードFDに接続される。

【0025】

前記選択トランジスタSXは、前記駆動トランジスタDXで生成された電流を前記フレームメモリ20のサンプルホールド回路22へ伝達する。

このために、前記選択トランジスタSXは、ドレイン端子が前記駆動トランジスタDXのソース端子に接続され、ソース端子は前記フレームメモリ20のサンプルホールド回路22に接続され、ゲート端子は選択制御信号入力端SXNに接続される。

このように単位ピクセル12に含まれた伝達トランジスタTX、リセットトランジスタRXおよび選択トランジスタSXは、ゲート端子にロウデコーダ30から制御信号TG、RST、SXNが伝達されるときに動作する。

【0026】

このような構成を有する前記ピクセルアレイ10は、前記ロウデコーダ30から前記伝達トランジスタTXおよびリセットトランジスタRXのゲート端子に高レベル状態の制御信号TG、RSTが供給され且つ選択トランジスタSXのゲート端子に低レベル状態の制御信号SXNが供給されるとき、前記選択トランジスタSXのドレイン端子にリセット信号VRS Tが伝達される。

また、前記ピクセルアレイ10は、前記伝達トランジスタTXと前記リセットトランジスタRXのゲート端子に低レベル状態の制御信号TG、RSTが供給され且つ前記リセットトランジスタSXのゲート端子に高レベル状態の制御信号SXNが供給されるとき、前記リセット信号が前記フレームメモリ20のサンプルホールド回路22へ伝達される。

【0027】

そして、前記ピクセルアレイ10は、前記ロウデコーダ30から前記伝達トランジスタTXのゲート端子に高レベル状態の制御信号TGが供給され且つ前記リセットトランジスタRXと選択トランジスタSXのゲート端子に低レベル状態の制御信号RST、SXNが供給されるとき、前記選択トランジスタSXのドレイン端子に信号電圧SIGが伝達される。

また、前記ピクセルアレイ10は、前記ロウデコーダ30から前記伝達トランジスタTXとリセットトランジスタRXのゲート端子に高レベル状態の制御信号TG、RSTが供給され、選択トランジスタSXのゲート端子に高レベル状態の制御信号SXNが供給されるとき、前記信号電圧SIGが前記フレームメモリ20のサンプルホールド回路22へ伝達される。

【0028】

前記フレームメモリ20は、図2に示すように、前記ピクセルアレイ10から伝達されるリセット電圧VRS Tと信号電圧VSI Gに含まれたオフセット電圧を除去するとともに、前記リセット電圧VRS Tと前記信号電圧VSI Gをホールドするサンプルホールド回路22と、前記サンプルホールド回路22から伝送される前記リセット電圧VRS Tと

10

20

30

40

50

前記信号電圧 V_{SIG} の相関二重サンプリング (CDS) を行う CDS 回路 24 とを含む。

前記サンプルホールド回路 22 は、バッファ機能を行う第 1 反転増幅器 AP1、前記単位ピクセル 12 の出力端と前記第 1 反転増幅器 AP1 の反転端子 (-) との間に直列接続された第 1 スイッチ S1N および第 1 キャパシタ C1、前記第 1 キャパシタ C1 の一端と前記第 1 反転増幅器 AP1 の出力端との間に接続された第 2 スイッチ S1NB、並びに前記第 1 キャパシタ C1 の他端と前記第 1 反転増幅器 AP1 の出力端との間に接続された第 3 スイッチ S1NP を含む。

この際、第 1 キャパシタ C1 の一端は前記第 1 スイッチ S1N に接続され、前記第 1 キャパシタ C1 の他端は前記第 1 反転増幅器 AP1 の反転端子に接続され、前記第 1 反転増幅器 AP1 の出力端は前記 CDS 回路 24 に接続される。

10

【0029】

前記 CDS 回路 24 は、バッファ機能を行う第 2 反転増幅器 AP2、前記第 1 反転増幅器 AP1 の出力端と前記第 2 反転増幅器 AP2 の反転端子 (-) との間に接続された第 2 キャパシタ C2、前記第 2 反転増幅器 AP2 の反転端子と前記第 2 反転増幅器 AP2 の出力端との間に接続された第 4 スイッチ S2N、前記第 4 スイッチ S2N に並列接続されるように、前記第 2 反転増幅器 AP2 の反転端子と前記第 2 反転増幅器 AP2 の出力端との間に直列接続された第 3 キャパシタ C3 および第 5 スイッチ S2NB、前記第 3 キャパシタ C3 と前記第 5 スイッチ S2NB の共通端と接地 GND との間に接続された第 6 スイッチ S2NP、および前記第 2 反転増幅器 AP2 の出力端と ADC50 との間に接続された

20

第 7 スイッチ READN を含む。

この際、第 7 スイッチ READN は、第 4 スイッチ S2N および第 5 スイッチ S2NB の一端と第 2 反転増幅器 AP2 の出力端との共通端に一端が接続され、他端は前記 ADC50 に接続される。

【0030】

前記第 2 キャパシタ C2 と前記第 3 キャパシタ C3 は、同一のキャパシタンスまたは異なるキャパシタンスを有することができるが、好ましくは同一のキャパシタンスを有する。

前記ロウデコーダ 30 は、CIS (CMOS Image Sensor) 制御部 (図示せず) から伝送される制御信号に基づいて、前記ピクセルアレイ 10 に含まれたトランジスタ TX、RX、SX の駆動を制御するための制御信号 TG、RST、SXN を前記ピクセルアレイ 10 に伝達する。

30

前記カラムデコーダ 40 は、前記 CIS 制御部 (図示せず) から伝送される制御信号に基づいて、前記フレームメモリ 20 に含まれたスイッチの駆動を制御するための制御信号を前記フレームメモリ 20 に伝達する。

前記 ADC50 は、前記フレームメモリ 20 から伝送されるアナログ信号をデジタル信号に変換する。

【0031】

図 3 は、図 2 に示したピクセルアレイ、サンプルホールド回路および CDS 回路を駆動させるための駆動タイミングを示すタイミング図、図 4 ~ 図 7 は図 3 に示したタイミングによる CMOS イメージセンサの駆動を示す図である。

40

ここで、図 3 は N 個の単位ピクセル 12 からなるピクセルアレイ 10、N 個のサンプルホールド回路 22、および N 個の CDS 回路 24 を駆動するための駆動タイミングを示すタイミング図である。

【0032】

リセットサンプリングのために、前記ロウデコーダ 30 は、リセットトランジスタ RX のゲート端子に高レベル状態のリセット制御信号 RST を提供し、伝達トランジスタ TX と選択トランジスタ SX のゲート端子には低レベル状態の伝達制御信号 TG と選択制御信号 SXN を伝達する。

これにより、前記リセットトランジスタ RX がターンオンされ、前記伝達トランジスタ

50

T Xと選択トランジスタS Xはターンオフされるので、リセット電圧V R S Tがフローティング拡散ノードF Dを経て駆動トランジスタD Xのゲート端子に印加される。

【 0 0 3 3 】

また、前記ロウデコーダ3 0は、前記リセットトランジスタR Xのゲート端子に高レベル状態のリセット制御信号R S Tを提供するとともに、低レベル状態の伝達制御信号T Gを高レベル状態に変更して前記伝達トランジスタT Xに伝達する。

これにより、前記リセットトランジスタT Xがターンオン状態を維持する状態で前記伝達トランジスタT Xがターンオンされ、フォトダイオードP Dによって発生した電荷がフローティング拡散ノードF Dを介して駆動トランジスタD Xのゲート端子に印加される。

この際、フローティング拡散ノードF D、すなわち前記駆動トランジスタD Xのゲート端子には、リセット電圧V R S TとフォトダイオードP Dによって発生した信号電圧との差電圧が印加される。

10

【 0 0 3 4 】

その後、ロウデコーダ3 0は、前記リセットトランジスタR Xのゲート端子には高レベル状態のリセット制御信号R S Tを提供し、前記伝達トランジスタT Xのゲート端子には低レベル状態の伝達制御信号T Gを提供する。

これにより、前記リセットトランジスタR Xはターンオン状態を維持し、前記伝達トランジスタT Xはターンオフされるので、前記駆動トランジスタD Xのゲート端子にはリセット電圧V R S Tのみが伝達される。

【 0 0 3 5 】

その後、前記ロウデコーダ3 0は、低レベル状態のリセット制御信号R S Tと伝達制御信号T Gを前記リセットトランジスタR Xと前記伝達トランジスタT Xのゲート端子に提供し、高レベル状態の選択制御信号S X Nを前記選択トランジスタS Xのゲート端子に提供する。

20

これにより、前記リセットトランジスタR Xと前記伝達トランジスタT Xはターンオフされ、前記選択トランジスタS Xはターンオンされるので、前記選択トランジスタS Xのドレイン端子に提供されたリセット電圧V R S Tを前記フレームメモリ2 0のサンプルホールド回路2 2へ伝達する。

【 0 0 3 6 】

一方、前記ロウデコーダ3 0が前記選択トランジスタS Xのゲート端子に高レベル状態の選択制御信号S X Nを提供するとき、前記カラムデコーダ4 0は、高レベル状態の第1スイッチング制御信号S 1 0 ~ S 1 N、第3スイッチング制御信号S 1 0 P ~ S 1 N P、第4スイッチング制御信号S 2 0 ~ S 2 N、および第6スイッチング制御信号S 2 0 P ~ S 2 N Pと、低レベル状態の第2スイッチング制御信号S 1 0 B ~ S 1 N Bおよび第5スイッチング制御信号S 2 0 B ~ S 2 N Bを前記フレームメモリ2 0のサンプルホールド回路2 2およびC D S回路2 4に印加する。

30

これにより、図4に示すように、サンプルホールド回路2 2の第1スイッチS 1 Nと第3スイッチS 1 N Pがターンオンされ、サンプルホールド回路2 2の第2スイッチS 1 N Bはターンオフされ、C D S回路2 4の第4スイッチS 2 Nと第6スイッチS 2 N Pはターンオンされ、C D S回路2 4の第5スイッチS 2 N Bはターンオフされる。

40

【 0 0 3 7 】

この際、前記ピクセルアレイ1 0の出力電圧であるリセット電圧V R S Tは、前記第1スイッチS 1 Nを介して前記第1キャパシタC 1の一端に印加され、前記第1キャパシタC 1の他端には前記第1反転増幅器A P 1のオフセット電圧V O S 1が印加される。

そして、前記第2キャパシタC 2の一端には、前記第3スイッチS 1 N Pによって前記第1キャパシタC 1の他端に印加された第1反転増幅器A P 1のオフセット電圧V O S 1が印加され、第2キャパシタC 2の他端には、前記第2反転増幅器A P 2のオフセット電圧V O S 2が印加される。

【 0 0 3 8 】

また、前記第3キャパシタC 3の一端には前記第2反転増幅器A P 2のオフセット電圧

50

VOS2が印加され、前記第3キャパシタC3の他端は接地GNDに接続される。

これにより、前記第1キャパシタC1には、第1反転増幅器AP1のオフセット電圧VOS1と前記ピクセルアレイ10の出力電圧としてのリセット電圧VRSSTとの差電圧VOS1 - VRSSTが格納され、前記第2キャパシタC2には、前記第2反転増幅器AP2のオフセット電圧VOS2と前記第1反転増幅器AP1のオフセット電圧VOS1との差電圧VOS2 - VOS1が格納される。

【0039】

また、前記第3キャパシタC3には、第2反転増幅器AP2のオフセット電圧VOS2が格納され、前記第2反転増幅器AP2の出力端である前記第7スイッチREADNの一端には、前記第2反転増幅器AP2のオフセット電圧VOS2が伝達される。

10

その後、前記ロウデコーダ30は、前記選択トランジスタSXのゲート端子に低レベル状態の選択制御信号SXNを供給し、前記カラムデコーダ40は、低レベル状態の第1スイッチング制御信号S10～S1Nおよび第3スイッチング制御信号S10P～S1NPと高レベル状態の第2スイッチング制御信号S10B～S1NBを前記フレームメモリ20のサンプルホールド回路22およびCDS回路24に印加する。

これにより、図5に示すように、サンプルホールド回路22の第1スイッチS1Nと第3スイッチS1NPはターンオフされ、サンプルホールド回路22の第2スイッチS1NBはターンオンされ、CDS回路24の第4スイッチS2Nと第6スイッチS2NPはターンオン状態を維持し、CDS回路24の第5スイッチS2NBはターンオフ状態を維持する。

20

【0040】

この際、前記ピクセルアレイ10の出力電圧としてのリセット電圧VRSSTは、前記第2スイッチS1NBを介して、前記第1反転増幅器AP1の出力端である前記第2キャパシタC2の一端に伝達される。

これにより、前記第2キャパシタC2には、前記第2反転増幅器AP2のオフセット電圧VOS2と前記リセット電圧VRSSTとの差電圧VOS2 - VRSSTが格納される。

【0041】

このようにリセット電圧VRSSTが前記フレームメモリ20のサンプルホールド回路22に伝達されると、前記カラムデコーダ40は、低レベル状態の第1スイッチング制御信号S10～S1N、第2スイッチング制御信号S10B～S1NB、第3スイッチング制御信号S10～S1NP、第4スイッチング制御信号S20～S2N、第5スイッチング制御信号S20B～S2NB、および第6スイッチング制御信号S20P～S2NPを前記フレームメモリ20のサンプルホールド回路22およびCDS回路24に印加する。

30

これにより、前記サンプルホールド回路22とCDS回路24に含まれた第1スイッチS1N、第2スイッチS1NB、第3スイッチS1NP、第4スイッチS2N、第5スイッチS2NBおよび第6スイッチS2NPは全てターンオフされる。

【0042】

一方、前記カラムデコーダ40が低レベル状態のスイッチング制御信号を前記フレームメモリ20のサンプルホールド回路22およびCDS回路24に供給するとき、前記ロウデコーダ30は、高レベル状態の伝達制御信号TG、低レベル状態のリセット制御信号RSTおよび選択制御信号SXNを伝達トランジスタTX、リセットトランジスタRXおよび選択トランジスタSXのゲート端子にそれぞれ供給する。

40

これにより、前記リセットトランジスタRXと前記選択トランジスタSXはターンオフされ且つ前記伝達トランジスタTXはターンオンされるので、前記フォトダイオードPDによって発生した信号電圧VSI Gを前記フローティング拡散ノードFDを経て前記駆動トランジスタDXのゲート端子に伝達する。

【0043】

その後、前記ロウデコーダ30は、高レベル状態の選択制御信号SXNを前記選択トランジスタSXのゲート端子に供給し、低レベル状態の伝達制御信号TGを前記伝達トランジスタTXのゲート端子に供給する。

50

これにより、前記選択トランジスタ $S X$ はターンオンされ、前記伝達トランジスタ $T X$ はターンオフされ、前記リセットトランジスタ $R X$ はターンオフ状態を維持する。

【 0 0 4 4 】

このように、前記ロウデコーダ 3 0 から高レベル状態の選択制御信号 $S X N$ が前記選択トランジスタ $S X$ のゲート端子に伝達されると、前記選択トランジスタ $S X$ は、駆動トランジスタ $D X$ を介して伝達された信号電圧 $S I G$ を前記フレームメモリ 2 0 のサンプルホールド回路 2 2 へ伝達する。

【 0 0 4 5 】

一方、前記ロウデコーダ 3 0 が前記選択トランジスタ $S X$ のゲート端子に高レベル状態の選択制御信号 $S X N$ を提供するとき、前記カラムデコーダは、高レベル状態の第 1 スイッチング制御信号 $S 1 0 \sim S 1 N$ 、第 3 スイッチング制御信号 $S 1 0 P \sim S 1 N P$ および第 5 スイッチング制御信号 $S 2 0 B \sim S 2 N B$ と、低レベル状態の第 2 スイッチング制御信号 $S 1 0 B \sim S 1 N B$ 、第 4 スイッチング制御信号 $S 2 0 \sim S 2 N$ および第 6 スイッチング制御信号 $S 2 0 P \sim S 2 N P$ を前記フレームメモリ 2 0 のサンプルホールド回路 2 2 および $C D S$ 回路 2 4 に印加する。

これにより、図 6 に示すように、サンプルホールド回路 2 2 の第 1 スイッチ $S 1 N$ と第 3 スイッチ $S 1 N P$ がターンオンされ、サンプルホールド回路 2 2 の第 2 スイッチ $S 1 N B$ はターンオフされ、 $C D S$ 回路 2 4 の第 4 スイッチ $S 2 N$ と第 6 スイッチ $S 2 N P$ はターンオフされ、 $C D S$ 回路 2 4 の第 5 スイッチ $S 2 N B$ はターンオンされる。

【 0 0 4 6 】

この際、前記ピクセルアレイ 1 0 の出力信号である信号電圧 $S I G$ は、前記第 1 スイッチ $S 1 N$ を介して前記第 1 キャパシタ $C 1$ の一端に印加され、前記第 1 キャパシタ $C 1$ の他端には前記第 1 反転増幅器 $A P 1$ のオフセット電圧 $V O S 1$ が印加される。

そして、前記第 2 キャパシタ $C 2$ の一端には、前記第 3 スイッチ $S 1 N P$ によって、前記第 1 キャパシタ $C 1$ の他端に印加された第 1 反転増幅器 $A P 1$ のオフセット電圧 $V O S 1$ が印加され、前記第 2 キャパシタ $C 2$ の他端には前記第 2 反転増幅器 $A P 2$ のオフセット電圧 $V O S 2$ が印加される。

【 0 0 4 7 】

また、前記第 3 キャパシタ $C 3$ の一端には前記第 2 反転増幅器 $A P 2$ のオフセット電圧 $V O S 2$ が印加され、前記第 3 キャパシタ $C 3$ の他端、すなわち第 2 反転増幅器 $A P 2$ の出力端にはリセット電圧 $V R S T$ と第 1 反転増幅器 $A P 1$ のオフセット電圧 $V O S 1$ との差電圧 $V R S T - V O S 1$ が印加される。

これにより、前記第 1 キャパシタ $C 1$ には、第 1 反転増幅器 $A P 1$ のオフセット電圧 $V O S 1$ と前記ピクセルアレイ 1 0 の出力電圧としての信号電圧 $V S I G$ との差電圧 $V O S 1 - V S I G$ が格納され、前記第 2 キャパシタ $C 2$ には、前記第 2 反転増幅器 $A P 2$ のオフセット電圧 $V O S 2$ と前記第 1 反転増幅器 $A P 1$ のオフセット電圧 $V O S 1$ との差電圧 $V O S 2 - V O S 1$ が格納される。

【 0 0 4 8 】

また、前記第 3 キャパシタ $C 3$ には、前記第 2 反転増幅器 $A P 2$ のオフセット電圧 $V O S 2$ と、リセット電圧 $V R S T$ と第 1 反転増幅器 $A P 1$ のオフセット電圧 $V O S 1$ 間の差電圧 $V R S T - V O S 1$ との差電圧 $V O S 2 - (V R S T - V O S 1)$ が格納される。

【 0 0 4 9 】

このように前記第 3 キャパシタ $C 3$ に $V O S 2 - (V R S T - V O S 1)$ の電圧が格納される理由は、電荷保存則によって、図 5 における前記第 2 キャパシタ $C 2$ と前記第 3 キャパシタ $C 3$ に格納される総電荷量 $Q 1$ と、図 6 における前記第 2 キャパシタ $C 2$ と前記第 3 キャパシタ $C 3$ に格納される総電荷量 $Q 2$ とが同一でなければならないためである。

すなわち、図 5 における第 2 キャパシタ $C 2$ と前記第 3 キャパシタ $C 3$ に格納される総電荷量 $Q 1$ は、 $C 2 \times (V O S 2 - V R S T) + C 3 \times V O S 2$ であり、図 6 における前記第 2 キャパシタ $C 2$ と前記第 3 キャパシタ $C 3$ に格納される総電荷量 $Q 2$ は、 $C 2 \times (V O S 2 - V O S 1) + C 3 \times (V O S 2 - V O U T')$ (ここで、 $V O U T'$ は第 7 ス

10

20

30

40

50

イッチ READNの一端にかかる電圧を意味する)である。

【0050】

この際、第2キャパシタC2のキャパシタンスと第3キャパシタC3のキャパシタンスとが同一の場合、電荷保存則によって $Q1 = Q2$ ので、 $C2 \times (VOS2 - VRST) + C3 \times VOS2 = C2 \times (VOS2 - VOS1) + C3 \times (VOS2 - VOUT')$ となるので、 $VOUT' = VRST - VOS1$ となる。

【0051】

その後、前記ロウデコーダ30は、前記選択トランジスタSXのゲート端子に低レベル状態の選択制御信号SXNを供給し、前記カラムデコーダ40は、低レベル状態の第1スイッチング制御信号S10~S1Nおよび第3スイッチング制御信号S10P~S1NPと、高レベル状態の第2スイッチング制御信号S10B~S1NBを前記フレームメモリ20のサンプルホールド回路22およびCDS回路24に印加する。

これにより、図7に示すように、サンプルホールド回路22の第1スイッチS1Nと第3スイッチS1NPはターンオフされ、サンプルホールド回路22の第2スイッチS1NBはターンオンされ、CDS回路24の第4スイッチS2Nと第6スイッチS2NPはターンオフ状態を維持し、CDS回路24の第5スイッチS2NBはターンオン状態を維持する。

【0052】

この際、前記ピクセルアレイ10の出力電圧である信号電圧VSIGは、前記第2スイッチS1NBを介して、前記第1反転増幅器AP1の出力端としての前記第2キャパシタC2の一端に伝達される。

これにより、前記第2キャパシタC2には、前記第2反転増幅器AP2のオフセット電圧VOS2と前記信号電圧VSI Gとの差電圧 $VOS2 - VSI G$ が格納される。

【0053】

また、前記第3キャパシタC3には、前記第2反転増幅器AP2のオフセット電圧VOS2と、リセット電圧VRSTと信号電圧VSI G間の差電圧 $VRST - VSI G$ との差電圧 $VOS2 - (VRST - VSI G)$ が格納される。

すなわち、前記第2反転増幅器AP2の出力端には、リセット電圧VRSTと信号電圧VSI Gとの差電圧 $VRST - VSI G$ が伝達される。

【0054】

このように前記第3キャパシタC3に $VOS2 - (VRST - VSI G)$ の電圧が格納される理由は、電荷保存則によって、図6における前記第2キャパシタC2と前記第3キャパシタC3に格納される総電荷量Q2と、図7における前記第2キャパシタC2と前記第3キャパシタC3に格納される総電荷量Q3とが同一でなければならぬためである。

すなわち、図6における前記第2キャパシタC2と前記第3キャパシタC3に格納される総電荷量Q2は、 $C2 \times (VOS2 - VOS1) + C3 \times (VOS2 - (VRST - VSI G))$ であり、図7における前記第2キャパシタC2と前記第3キャパシタC3に格納される総電荷量Q3は、 $C2 \times (VOS2 - VSI G) + C3 \times (VOS2 - VOUT)$ (ここで、VOUTは第7スイッチREADNの一端にかかる電圧を意味する。)である。

【0055】

この際、第2キャパシタC2のキャパシタンスと第3キャパシタC3のキャパシタンスとが同一の場合、電荷保存則によって $Q2 = Q3$ なので、 $C2 \times (VOS2 - VOS1) + C3 \times (VOS2 - (VRST - VSI G)) = C2 \times (VOS2 - VSI G) + C3 \times (VOS2 - VOUT)$ となるので、 $VOUT = VRST - VSI G$ となる。

【0056】

このように、CDS回路24が前記リセット電圧VRSTおよび信号電圧VSI GのCDSを行ってリセット電圧VRSTと信号電圧VSI Gとの差電圧 $VRST - VSI G$ を検出すると、前記カラムデコーダ40は、第7スイッチング制御信号READ0~READNを前記第7スイッチREADNに伝達し、前記第7

10

20

30

40

50

スイッチング制御信号 $READ0 \sim READN$ に基づいてターンオンされ、リセット電圧 V_{RST} と信号電圧 V_{SIG} との差電圧 $V_{RST} - V_{SIG}$ を前記 $ADC50$ へ伝送する。

これにより、前記 $ADC50$ は、前記 CDS 回路 24 から伝送されたリセット電圧 V_{RST} と信号電圧 V_{SIG} との差電圧 $V_{RST} - V_{SIG}$ をデジタル信号に変換する。

【0057】

このように本発明の実施例に係る $CMOS$ イメージセンサーは、単位ピクセル 12 のソースフォロワ (Source Follower)、すなわち駆動トランジスタ D_X が動作する間にのみサンプルホールド回路 22 のサンプルキャパシタ、すなわち第 2 キャパシタ C_2 にピクセルアレイ 10 の出力信号 (リセット電圧または信号電圧) を格納し、格納が終わると、第 2 キャパシタ C_2 がフリップアラウンド (Flip Around) されて CDS 回路 24 の第 3 キャパシタ C_3 にピクセルアレイ 10 の出力信号が格納されるため、サンプルキャパシタが他の寄生キャパシタと共有される現象が発生しないので、電荷共有による電荷損失がなくなる。

10

【0058】

また、本発明の実施例に係る $CMOS$ イメージセンサーは、ピクセルアレイ 10 の出力信号 (すなわち、リセット電圧と信号電圧) がサンプルキャパシタとしての第 2 キャパシタ C_2 に格納された後、先ずサンプルキャパシタの一方のノードをオフさせるため、信号側のスイッチチャンネルに格納された電荷による第 2 キャパシタ C_2 の電荷量の変化が発生しないので、信号依存電荷注入による信号歪み現象が発生しない。

20

【0059】

本発明の実施例に係る $CMOS$ イメージセンサーは、ピクセルアレイ 10 のオフセットとサンプルホールド回路 22 のオフセットが CDS されるので、ピクセルアレイ 10 とサンプルホールド回路 22 のオフセットによる固定パターンノイズの発生を防止することができる。

すなわち、本発明の実施例に係る $CMOS$ イメージセンサーは、リセットトランジスタ R_X と伝達トランジスタ T_X をターンオンさせて単位ピクセル 12 がリセットされると、全ての単位ピクセル 12 のリセット時の出力信号 (すなわち、リセット電圧) が一時的にフローティング拡散ノード FD に格納され、順次選択トランジスタ S_X と第 1 スイッチ S_{1N} をターンオンさせてリセット時の出力値をそれぞれのサンプルホールド回路 22 のサンプルキャパシタに格納する。

30

そして、当該ピクセルのリセット時の出力信号がサンプルキャパシタに格納されると、リセット時の出力信号を CDS 回路 24 の第 2 キャパシタ C_2 に格納する。

【0060】

このように全てのピクセルアレイ 10 のリセット時の出力信号が全て格納されると、リセットトランジスタ R_X をターンオフさせ、伝達トランジスタ T_X をターンオンさせてフローティング拡散ノード FD に信号情報 (すなわち、信号電圧) を一時的に格納し、リセット時の出力信号が格納される方法と同様の方法で、順次選択トランジスタ S_X と第 1 スイッチ S_{1N} をターンオンさせて信号情報をサンプルホールド回路 22 に格納する。

【0061】

一方、当該ピクセルの信号情報がサンプルキャパシタに全て格納されると、 CDS を行う。

40

【0062】

この際、ピクセルアレイ 10 のオフセットとサンプルホールド回路 22 のオフセットが共に CDS されるので、ピクセルアレイ 10 のオフセットとサンプルホールド回路 22 のオフセットは共に除去される。

これにより、サンプルホールド回路 22 と CDS 回路 24 の出力は、第 1 スイッチ S_{1N} がターンオフされる間には同一の値を出力し続けるため、カラムデコーダ 40 を介して順次読み込んでアナログ/デジタル変換を行うことができる。

【0063】

50

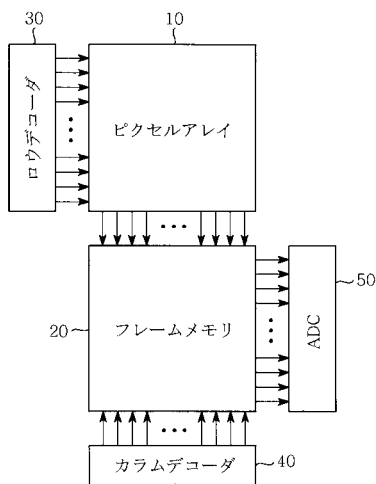
以上、本発明の好適な実施例を参照して説明したが、当該技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された本発明の思想および領域から逸脱することなく、本発明に様々な修正および変更を加え得るのが理解できるであろう。

【符号の説明】

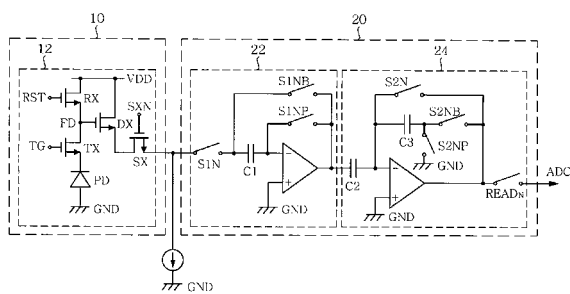
【0064】

- 10 ピクセルアレイ
- 12 単位ピクセル
- 20 フレームメモリ
- 22 サンプルホールド回路
- 24 CDS回路
- 30 ロウデコーダ
- 40 カラムデコーダ
- 50 ADC

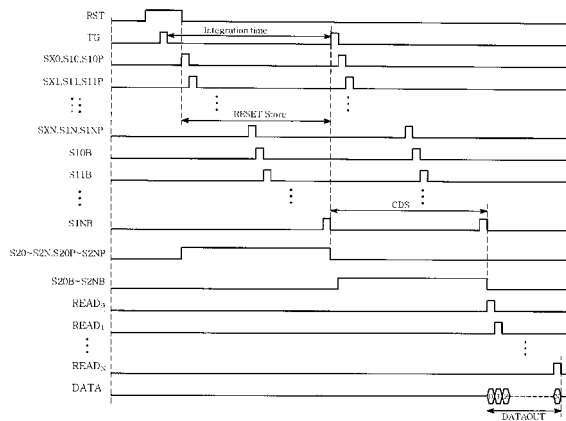
【図1】



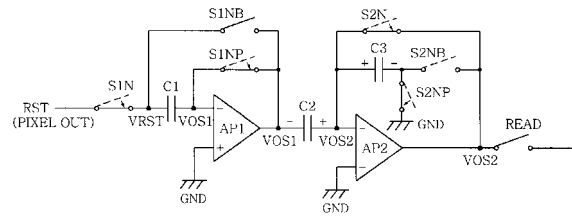
【図2】



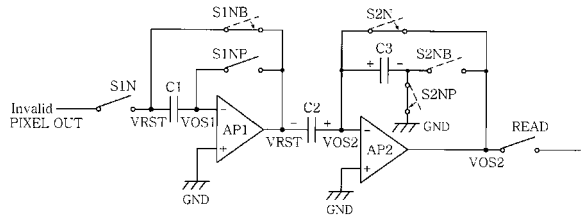
【図3】



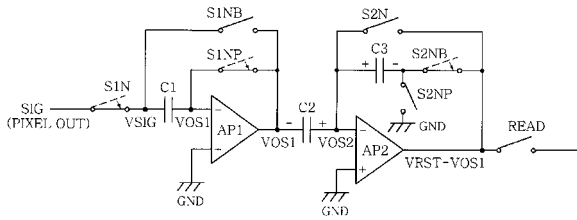
【図4】



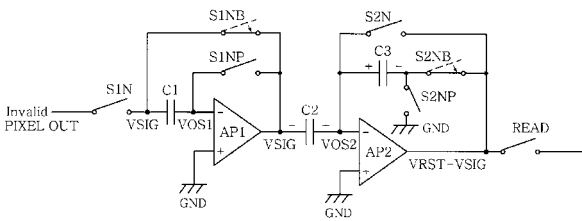
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (74)代理人 100068700
弁理士 有賀 三幸
- (74)代理人 100077562
弁理士 高野 登志雄
- (74)代理人 100096736
弁理士 中嶋 俊夫
- (74)代理人 100117156
弁理士 村田 正樹
- (74)代理人 100111028
弁理士 山本 博人
- (72)発明者 キム・ビュン フン
大韓民国、ギョンギ - ド、スウォン、ヨントン - グ、ヨントン - ドン、ベキゾックゴル 9 ダンジ
アパート、ロッセ アパート、946 - 905
- (72)発明者 ビュム・ジン ウック
大韓民国、ギョンギ - ド、ゴヤン - シ、イルサンドン - グ、マド2ン - ドン、ガンチョン マウル
、ハンシン アパート、205 - 401
- (72)発明者 チョイ・ウォン テ
大韓民国、ギョンギ - ド、ファッション - シ、バンソン - ドン、シビュム ダウン マウル ダシュ
プ、キャッスル アパート、305 - 103

審査官 若林 治男

- (56)参考文献 特開2003 - 169251 (JP, A)
特開2005 - 328213 (JP, A)
特開2004 - 200792 (JP, A)
特開2000 - 032342 (JP, A)
国際公開第2006 / 113271 (WO, A1)
特開2005 - 223918 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5 / 30 - 5 / 378
H01L 27 / 146