

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 7 月 13 日 (13.07.2023)



(10) 国际公布号
WO 2023/130548 A1

(51) 国际专利分类号:
H03M 9/00 (2006.01)

安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(21) 国际申请号: PCT/CN2022/078110

(22) 国际申请日: 2022 年 2 月 25 日 (25.02.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210023003.1 2022年1月10日 (10.01.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 黄克琴 (HUANG, Keqin); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。 冀康灵 (JI, Kangling); 中国

(74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP); 中国上海市黄浦区制造局路787号二幢202B室, Shanghai 200011 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: PARALLEL-TO-SERIAL CONVERSION CIRCUIT, PARALLEL-TO-SERIAL CONVERSION CIRCUIT LAYOUT AND MEMORY

(54) 发明名称: 并串转换电路、并串转换电路版图及存储器

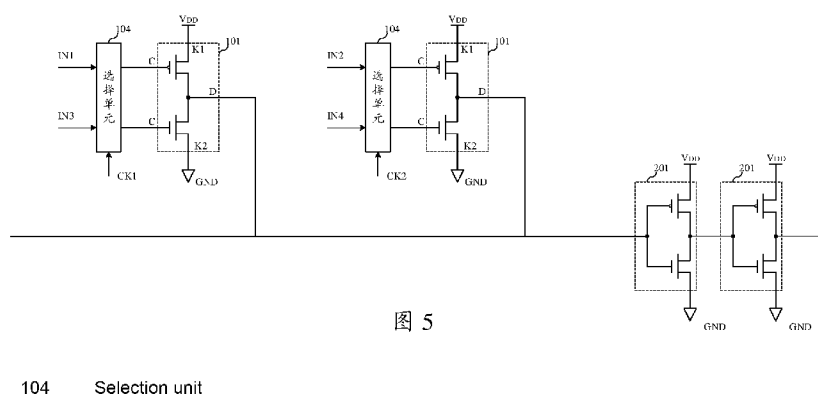


图 5

104 Selection unit

(57) Abstract: A parallel-to-serial conversion circuit, a parallel-to-serial conversion circuit layout and a memory, relating to the field of semiconductor circuit design. The parallel-to-serial conversion circuit comprises: a plurality of parallel branches (101), each parallel branch (101) comprising: a first input end, a second input end, a control end and an output end, wherein the first input end is used for receiving a high-level signal, the second input end is used for receiving a low-level signal, the control end is connected to a selection unit, and the output end is connected to a serial wire (102); selection units (104) used for receiving a selection signal and at least two branch signals, and configured to select, on the basis of the selection signal, one branch signal to be transmitted to the parallel branches (101); the serial wire (102) used for organizing signals output by the plurality of parallel branches (101) into a serial signal; and a driving unit (103) connected to the serial wire (102) and used for enhancing the driving capability of the serial wire (102), an output end of the driving unit (103) being used for outputting the serial signal.



SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种并串转换电路、并串转换电路版图及存储器, 涉及半导体电路设计领域, 包括: 多个并行支路(101), 每一并行支路(101)都包括: 第一输入端、第二输入端、控制端和输出端; 其中, 第一输入端用于接收高电平信号、第二输入端用于接收低电平信号、控制端连接选择单元, 输出端连接串行导线(102); 选择单元(104)用于接收选择信号和至少两路支路信号, 被配置为, 基于选择信号, 选择一路支路信号传输至并行支路(101)中; 串行导线(102)用于将多个并行支路(101)输出的信号组织成串行信号; 驱动单元(103), 连接串行导线(102), 用于增强串行导线(102)的驱动能力, 驱动单元(103)的输出端用于输出串行信号。

并串转换电路、并串转换电路版图及存储器

交叉引用

5 [0001] 本公开要求于 2022 年 01 月 10 日递交的名称为“并串转换电路、并串转换电路版图及存储器”、申请号为 202210023003.1 的中国专利申请的优先权，其通过引用被全部并入本公开。

技术领域

[0002] 本公开涉及半导体电路设计领域，特别涉及一种并串转换电路、并串转换电路版图及存储器。

10 背景技术

[0003] 对于存储器中的并串转换电路，需要各个并行输入与串行输出的延迟保持一致，因此在电路设计中需要额外绕线，以使各个并行输入到串行输出的连线距离一致。

15 [0004] 同理，对于存储器中的串并转换电路，串行输入与各个并行输出的延迟保持一致，因此在电路设计中需要额外绕线，以使串行输入到各个并行输出的连线距离一致。

[0005] 由于转换电路的额外绕线，增大了转换电路的负载，从而减低了转换电路的性能，负载过大的线路中传输的信号摆幅小且波形占空比偏差较大，容易造成存储器的写入/读出错误。

20 发明内容

[0006] 本公开实施例提供了一种并串转换电路，包括：多个并行支路，每一并行支路都包括：第一输入端、第二输入端、控制端和输出端；其中，第一输入端用于接收高电平信号、第二输入端用于接收低电平信号、控制端连接选择单元，输出端连接串行导线；选择单元用于接收选择信号和至少两路支路信号，
25 被配置为，基于选择信号，选择一路支路信号传输至并行支路中；串行导线用于将多个并行支路输出的信号组织成串行信号；驱动单元，连接串行导线，用于增强串行导线的驱动能力，驱动单元的输出端用于输出串行信号。

[0007] 另外，选择单元包括：多路选择器和选择子单元；多路选择器用于接收至少两路支路信号，并连接选择子单元；选择子单元用于接收选择命令，并基于选择命令生成选择信号；多路选择器被配置为，基于选择信号，选择一路支路信号通过控制端传输至并行支路中。

5 [0008] 另外，多路选择器仅接收两路支路信号，选择命令为内部时钟信号。

[0009] 另外，选择信号的周期为内部时钟信号周期的 n 倍，且 n 为多个并行支路的支路数。

[0010] 另外，同一选择单元所接收的选择信号和支路信号中，至多一者为连续信号，为了防止其他并行支路的信号影响，同一选择单元所连接的选择信号和
10 支路信号中，至多一者为连续信号。

[0011] 另外，多个并行支路所连接的选择单元所接收的选择信号中，高电平数据交替分布。

[0012] 另外，多个并行支路所连接的选择单元所接收的选择信号中，高电平数据具有重叠部分。

15 [0013] 另外，并行支路包括：开关 PMOS 管和开关 NMOS 管；开关 PMOS 管的栅极和开关 NMOS 管的栅极作为并行支路的控制端，用于连接选择单元；开关 PMOS 管的源极和开关 NMOS 管的漏极连接串行导线；开关 PMOS 管的漏极作为并行支路的第一输入端，用于接收高电平信号；开关 NMOS 管的源极作为并行支路的第二输入端，用于接收低电平信号。

20 [0014] 另外，驱动单元包括：两个反相器，其中，一反相器的输入端连接串行导线，输出端连接另一反相器的输入端，另一反相器的输出端用于输出串行信号。

[0015] 另外，反相器包括：驱动 PMOS 管和驱动 NMOS 管；驱动 PMOS 管的栅极和驱动 NMOS 管的栅极连接，驱动 PMOS 管的源极和驱动 NMOS 管的漏极
25 连接；驱动 PMOS 管的漏极用于接收高电平信号，驱动 NMOS 管的源极用于接收低电平信号。

[0016] 本公开实施例提供了一种并串转换电路版图，用于形成上述并串转换电路，包括：并行支路版图，用于形成并行支路，以及形成与并行支路连接的选

择单元；驱动单元版图，用于形成驱动单元；其中，每一并行支路版图和驱动单元版图设置在不同版图层中，且多个并行支路版图所在的版图层基于驱动单元版图所在的版图层对称设置；连接并行支路版图和驱动单元版图的串行导线基于驱动单元版图所在的版图层对称设置。

5 [0017] 另外，并行支路版图和驱动单元版图在垂直于版图层方向的投影部分重合。

[0018] 另外，并行支路版图和驱动单元版图在垂直于版图层方向的投影不重合。

[0019] 本公开实施例提供了一种存储器，存储器中应用上述并串转换电路。

10 [0020] 本公开实施例提供了一种存储器，存储器的版图架构采用上述并串转换电路版图。

附图说明

[0021] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对
15 实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领缺普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0022] 图 1 为本公开一实施例提供的并串转换电路的结构示意图；

[0023] 图 2 为本公开一实施例提供的各并行支路的结构示意图；

20 [0024] 图 3 为本公开一实施例提供的选择单元的结构示意图；

[0025] 图 4 为本公开一实施例提供的驱动单元的结构示意图；

[0026] 图 5 为本公开一实施例提供的基于图 1~图 4 所示结构构件的并串转换电路的结构示意图；

[0027] 图 6 为本公开一实施例提供的图 5 所示电路中选择信号的波形示意图；

25 [0028] 图 7 为本公开一实施例提供的图 6 所示电路中选择信号的具体波形图；

[0029] 图 8 和图 9 为本公开另一实施例提供的具有两个并行支路的并串转换电路版图的结构示意图；

[0030] 图 10 和图 11 为本公开另一实施例提供的具有四个并行支路的并串转换电路版图的结构示意图。

具体实施方式

[0031] 由于转换电路的额外绕线，增大了转换电路的负载，从而减低了转换电路的性能，负载过大的线路中传输的信号摆幅小且波形占空比偏差较大，容易造成存储器的写入/读出错误。

[0032] 本公开实施例提供了一种并串转换电路，极大的降低转换电路内部节点的负载，有效提高转换电路内部节点的性能，使得转换电路内的信号具有较大的摆幅，且占空比损失较小。

[0033] 本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。以下各个实施例的划分是为了描述方便，不应对本公开的具体实现方式构成任何限定，各个实施例在不矛盾的前提下可以相互结合，相互引用。

[0034] 图 1 为本实施例提供的并串转换电路的结构示意图，图 2 为本实施例提供的各并行支路的结构示意图，图 3 为本实施例提供的选择单元的结构示意图，图 4 为本实施例提供的驱动单元的结构示意图，图 5 为本实施例提供的基于图 1~图 4 所示结构构件的并串转换电路的结构示意图，图 6 为本实施例提供的图 5 所示电路中选择信号的波形示意图，图 7 为本实施例提供的图 6 所示电路中选择信号的具体波形图，以下结合附图对本实施例提供的并串转换电路作进一步详细说明，具体如下：

[0035] 参考图 1，并串转换电路，包括：多个并行支路 101、串行导线 102 和驱动单元 103。

[0036] 具体参考图 2，每一并行支路 101 都包括：第一输入端 K1、第二输入端 K2、控制端 C 和输出端 D；其中，第一输入端 K1 用于接收高电平信号 V_{DD} ，第二输入端 K2 用于接收低电平信号 GND，控制端 C 连接选择单元 104，输出端 D 连接串行导线 102。

[0037] 选择单元 104 用于接收选择信号和至少两路支路信号，选择单元 104 被

配置为，基于选择信号，选择一路支路信号传输至并行支路 101 中。

[0038] 串行导线 102 用于将多个并行支路 101 输出的信号组织成串行信号。

[0039] 驱动单元 103，连接串行导线 102，用于增强串行导线 102 的驱动能力，驱动单元 103 的输出端用于输出串行信号。

5 [0040] 每一并行支路 101 通过选择单元 104 接收多路并行信号，接收的多路并行信号通过选择信号进行选择数据，实现了通过单一并行支路 101 传输多路并行信号，从而节省了所需设置的并行支路 101 的数量，进一步节省了所需设置的串行导线 102 的长度，从而降低了串行导线 102 的负载；另外，通过节省并行支路 101 的数量，节省了部分并行支路版图所占用的版图面积，从而减小并
10 串转换电路的版图面积，实现更大程度的集成；另外，通过节省并行支路 101 的数量，节省了设置并行支路 101 的版图层，从而减少了并串转换电路的版图层高。

[0041] 继续参考图 2，并行支路 101 包括：开关 PMOS 管和开关 NMOS 管；其中，开关 PMOS 管的栅极和开关 NMOS 管的栅极作为并行支路 101 的控制端 C，
15 用于连接选择单元 104，开关 PMOS 管的源极和开关 NMOS 管的漏极连接串行导线 102，开关 PMOS 管的漏极作为并行支路 101 的第一输入端 K1，用于接收高电平信号 V_{DD} ，开关 NMOS 管的漏极作为并行支路 101 的第二输入端 K2，用于接收低电平信号 GND。

[0042] 开关 PMOS 管的栅极和开关 NMOS 管的栅极都作为控制端 C，使得开关
20 PMOS 管和开关 NMOS 只能基于选择单元 104 输出的并行信号导通其中一个，当开关 PMOS 管导通时，串行导线 102 与高电平信号 V_{DD} 相连，以输出一个高电平信号，当开关 NMOS 管导通时，串行导线 102 与低电平信号 GND 相连，以输出一个低电平信号。

[0043] 需要说明的是，本公开实施例通过接地作为接收的低电平信号 GND，通
25 过内部电源电压作高电平信号 V_{DD} ，并不构成对本实施例的限定；在其他实施例中，可以选择任意可被存储器识别为高电平的电源信号提供高电平信号，同理可以选择任意可被存储器识别为低电平的电源信号提供低电平信号。

[0044] 另外，对于开关 PMOS 管和开关 NMOS 管，具体“源极”和“漏极”的连接方式，并不构成对本实施例的限定，在其他实施例中，可以采用“漏极”

替换“源极”，“源极”替换“漏极”的连接方式。

[0045] 另外，对于上述限定的开关 PMOS 管的漏极作为第一输入端 K1，开关 NMOS 管的漏极作为第二输入端 K2，并不构成对本实施例的限定；在其他实施例中，可以采用开关 PMOS 管的漏极作为第二输入端 K2，开关 NMOS 管的漏极作为第一输入端 K1；此时，当开关 PMOS 管导通时，串行导线 102 与低电平信号 GND 相连，以输出一个低电平信号，当开关 NMOS 管导通时，串行导线 102 与高电平信号 V_{DD} 相连，以输出一个高电平信号。

[0046] 在一些实施例中，参考图 3，选择单元 104 包括：多路选择器 301 和选择子单元 302。

[0047] 多路选择器 301 用于接收至少两路支路信号，并连接选择子单元 302。

[0048] 选择子单元 302 用于接收选择命令，并基于选择命令生成选择信号，多路选择器 301 被配置为基于选择信号，选择一路支路信号通过控制端 C 传输至并行支路 101 中。

[0049] 在一些实施例中，参考图 4，驱动单元 103 包括：两个反相器，其中，一反相器的输入端连接串行导线 102，输出端连接另一反相器的输入端，另一反相器的输出端用于输出串行信号。

[0050] 继续参考图 4，反相器包括：驱动 PMOS 管和驱动 NMOS 管，驱动 PMOS 管的栅极和驱动 NMOS 管的栅极相连接，驱动 PMOS 管的源极和驱动 NMOS 管的漏极连接，驱动 PMOS 管的漏极用于接收高电平信号 V_{DD} ，驱动 NMOS 管的源极用于接收低电平信号 GND。

[0051] 驱动 PMOS 管的栅极和驱动 NMOS 管的栅极相连接作为反相器的输入端，当输入高电平时，驱动 NMOS 管导通，反相器的输出端与低电平信号 GND 相连，以输出低电平数据，当输入低电平时，驱动 PMOS 管导通，反相器的输出端与高电平信号 V_{DD} 相连，以输出高电平数据，从而实现数据的反相；另外，输出的高电平数据为高电平信号 V_{DD} ，输出的低电平数据为低电平信号 GND，从而增加了信号的摆幅，且减小了信号的占空比损失。

[0052] 在一个例子中，若选择单元 104 接收的支路信号为两路，即多路选择器 301 仅接收两路支路信号，并结合图 1~图 4 电路，形成图 5 所示电路。

[0053] 在本公开示例中，选择命令可以选用内部时钟信号 CK，在其他示例中，选择命令可以采用外部信号作为指令进行控制。

[0054] 图 5 的示例以并串转换电路具有 2 个并行支路为例进行具体介绍，并不构成对并串转换电路中并行支路的数量限定，具体如下：

- 5 [0055] 具体地，根据选择命令生成的对应于各选择单元 104 的选择信号的周期为内部时钟信号周期的 n 倍， n 为并串转换电路中并行支路 101 的支路数；因此，在本示例中，选择信号的周期为内部时钟信号周期的 2 倍；在其他实施例中，若并串转换电路中并行支路的支路数为 n ，则根据选择命令生成的对应于各选择单元的选择信号的周期为内部时钟信号周期的 n 倍。
- 10 [0056] 具体参考图 6，用于第一并行支路控制的第一选择信号 CK1 的周期和用于第二并行支路控制的第二选择信号 CK2 的周期为内部时钟信号 CK 周期的 2 倍。

[0057] 需要说明的是，对于第一选择信号 CK1 和第二选择信号 CK2 信号图中所示的斜线可以为高电平，也可以为低电平，因此可以形成如图 7 所示的 4 组第
15 一选择信号 CK1 和第二选择信号 CK2。

[0058] 参考图 7 中第三组电平分布可知，多个并行支路 101 所连接的选择单元 104 所接收的选择信号中，高电平数据交替分布；参考图 7 中第一、二和四组电平分布可知，多个并行支路 101 所连接的选择单元 104 所接收的选择信号中，高电平数据具有重叠部分。

- 20 [0059] 参考图 6，第一选择信号 CK1 用于控制第一支路信号 IN1 和第三支路信号 IN3 的输出，第二选择信号 CK2 用于控制第二支路信号 IN2 和第四支路信号 IN4 的输出。

[0060] 具体地，当 CK1 为高电平时，第一支路信号 IN1 通过选择单元 104 控制并行支路 101 将高电平信号 V_{DD} 或低电平信号 GND 输入串行导线 102；当 CK2 为高电平时，第二支路信号 IN2 通过选择单元 104 控制并行支路 101 将高电平信号 V_{DD} 或低电平信号 GND 输入串行导线 102；当 CK1 为低电平时，第一支路信号 IN1 通过选择单元 104 控制并行支路 101 将高电平信号 V_{DD} 或低电平信号 GND 输入串行导线 102；当 CK2 为低电平时，第二支路信号 IN2 通过选择单元 104 控制并行支路 101 将高电平信号 V_{DD} 或低电平信号 GND 输入串行导线 102。

25

[0061] 需要说明的是，为了防止其他并行支路的信号影响，同一选择单元所连接的选择信号和支路信号中，至多一者为连续信号，使得其他并行支路在工作时，其他并行支路中的开关 PMOS 管或开关 NMOS 管并不导通，其他并行支路不会对串行导线 102 中信号造成影响。

5 [0062] 在一个例子中，第一选择信号 CK1 和第二选择信号 CK2 为间断信号，即图 6 所示的斜线电平为空；在一个例子中，传输至选择单元的支路信号 IN1、IN2、IN3 和 IN4 为间断信号，此时，当第一选择信号 CK1 和第二选择信号 CK2 为有效信号时，支路信号 IN1、IN2、IN3 和 IN4 具有有效电平；在一个例子中，选择信号和支路信号都为间断信号，且选择信号和支路信号的有效电平具有交集。

10 [0063] 在其他示例中，每个并行支路用于接收大于 2 路支路信号，例如采用图 5 所示选择单元嵌套连接的方式实现并行支路接收大于 2 路支路信号，也可以用每个选择单元接收大于 2 路支路信号实现每个并行支路接收大于 2 路支路信号。

[0064] 本公开实施例通过每一并行支路通过选择单元接收多路并行信号，接收的多路并行信号通过选择信号进行选择数据，实现了通过单一并行支路传输多
15 路并行信号，从而节省了所需设置的并行支路的数量，进一步节省了所需设置的串行导线的长度，从而降低了串行导线的负载；另外，通过节省并行支路的数量，节省了部分并行支路版图所占用的版图面积，从而减小并串转换电路的版图面积，实现更大程度的集成；另外，通过节省并行支路的数量，节省了设置并行支路的版图层，从而减少了并串转换电路的版图层高。

20 [0065] 需要说明的是，上述实施例所提供的并串转换电路中所揭露的特征，在不冲突的情况下可以任意组合，可以得到新的并串转换电路实施例。

[0066] 本公开另一实施例提供一种并串转换电路版图，用于形成上述实施例提供的并串转换电路，通过节省并行支路的数量，节省了部分并行支路版图所占用的版图面积，从而减小并串转换电路的版图面积，实现更大程度的集成；另
25 外，通过节省并行支路版图的数量，节省了设置并行支路版图的版图层，从而减少了并串转换电路版图的版图层高；通过将并行支路版图所在版图层基于驱动单元版图所在的版图层对称设置，实现并行输入与串行输出的延迟保持一致。

[0067] 图 8 和图 9 为本实施例提供的具有两个并行支路的并串转换电路版图的结构示意图，图 10 和图 11 为本实施例提供的具有四个并行支路的并串转换电

路版图的结构示意图，以下结合附图对本实施例提供的并串转换电路版图作进一步详细说明，具体如下：

[0068] 参考图 8 和图 9，并串转换电路版图，包括：

5 [0069] 并行支路版图 401，用于形成并行支路，以及形成与并行支路连接的选择单元。

[0070] 驱动单元版图 402，用于形成驱动单元。

[0071] 其中，每一并行支路版图 401 和驱动单元版图 402 设置在不同版图层中，且多个并行支路版图 401 所在的版图层基于驱动单元版图 402 所在的版图层对称设置，连接并行支路版图 401 和驱动单元版图 402 的串行导线基于驱动单元
10 版图所在的版图层对称设置。通过将并行支路版图 401 所在版图层基于驱动单元版图 402 所在的版图层对称设置，实现并行输入与串行输出的延迟保持一致。

[0072] 通过节省并行支路的数量，节省了部分并行支路版图 401 所占用的版图面积，从而减小并串转换电路的版图面积，实现更大程度的集成；另外，通过节省并行支路版图 401 的数量，节省了设置并行支路版图 401 的版图层，从而
15 减少了并串转换电路版图的版图层高。

[0073] 在一个例子中，参考图 8，并行支路版图 401 和驱动单元版图 402 在垂直于版图层方向的投影不重合，即并行支路版图 401 和驱动单元版图 402 沿版图层的不同方向设置。

[0074] 在一个例子中，参考图 9，并行支路版图 401 和驱动单元版图 402 在垂直
20 于版图层方向的投影部分重合，即并行支路版图 401 和驱动单元版图 402 沿版图层的同一方向设置，以进一步节省并串转换电路的版图面积。

[0075] 本实施例以并串转换电路包括两个并行支路 401 或四个并行支路 401 为例，进行具体并串转换电路版图的说明，具体如下：

[0076] 参考图 8 和图 9，驱动单元版图 402 设置在并串转换电路的中间版图层位置，由于需要各个并行输入与串行输出的延迟保持一致，即设置在驱动单元版图 402 两侧且与驱动单元版图 402 所在版图层距离相等的并行支路版图 401 对
25 称设置，且在垂直于版图层延伸方向上，对称设置的两个并行支路版图 401 在版图层上的投影相重合，以实现并行支路版图 401 与驱动单元版图 402 连接的

串行导线的长度相等。

[0077] 参考图 10 和图 11, 驱动单元版图 402 设置在并串转换电路的中间版图层位置, 由于需要各个并行输入与串行输出的延迟保持一致, 设置在驱动单元版图 402 同侧的并行支路版图 401 在版图层中串行导线的长度随着并行支路版图 401 所在版图层与驱动单元版图 402 所在版图层的距离增大而逐渐减小, 以满足设置在驱动单元版图 401 同侧的并串转换电路 401 与驱动单元版图 402 连接的串行导线的长度相等, 设置在驱动单元版图 402 两侧且与驱动单元版图 402 所在版图层距离相等的并行支路版图 401 对称设置, 且在垂直于版图层延伸方向上, 对称设置的两个并行支路版图 401 在版图层上的投影相重合, 以实现对称设置的并行支路版图 401 与驱动单元版图 402 连接的串行导线的长度相等。

[0078] 需要说明的是, 当并串转换电路中并行支路 401 的数量大于 4, 其版图基于图 10 和图 11 所示版图进行构建, 以满足所有并串转换电路 401 与驱动单元版图 402 连接的串行导线的长度相等。

[0079] 需要说明的是, 以上并串转换电路版图的描述, 与上述并串转换电路实施例的描述是类似的, 具有同并串转换电路实施例相似的有益效果, 因此不做赘述。对于本公开实施例并串转换电路版图中未披露的技术细节, 请参照本公开实施例中并串转换电路的描述而理解。

[0080] 本公开又一实施例提供一种存储器, 存储器采用上述实施例的并串转换电路, 或存储器的版图架构采用上述并串转换电路版图构建。

[0081] 在一些实施例中, 存储器为动态随机存取存储器 DRAM 芯片, 其中, 动态随机存取存储器 DRAM 芯片的内存符合 DDR2 内存规格。

[0082] 在一些实施例中, 存储器为动态随机存取存储器 DRAM 芯片, 其中, 动态随机存取存储器 DRAM 芯片的内存符合 DDR3 内存规格。

[0083] 在一些实施例中, 存储器为动态随机存取存储器 DRAM 芯片, 其中, 动态随机存取存储器 DRAM 芯片的内存符合 DDR4 内存规格。

[0084] 在一些实施例中, 存储器为动态随机存取存储器 DRAM 芯片, 其中, 动态随机存取存储器 DRAM 芯片的内存符合 DDR5 内存规格。

[0085] 本领域的普通技术人员可以理解, 上述各实施例是实现本公开的具体实

施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开的精神和范围。

权利要求书

1. 一种并串转换电路，包括：

多个并行支路，每一所述并行支路都包括：第一输入端、第二输入端、控制端和输出端；

5 其中，所述第一输入端用于接收高电平信号、所述第二输入端用于接收低电平信号、所述控制端连接选择单元，所述输出端连接串行导线；

所述选择单元用于接收选择信号和至少两路支路信号，被配置为，基于所述选择信号，选择一路所述支路信号传输至所述并行支路中；

所述串行导线用于将多个所述并行支路输出的信号组织成串行信号；

10 驱动单元，连接所述串行导线，用于增强所述串行导线的驱动能力，所述驱动单元的输出端用于输出所述串行信号。

2. 根据权利要求 1 所述的并串转换电路，其中，所述选择单元包括：多路选择器和选择子单元；

所述多路选择器用于接收至少两路所述支路信号，并连接所述选择子单元；

15 所述选择子单元用于接收选择命令，并基于所述选择命令生成所述选择信号；

所述多路选择器被配置为，基于所述选择信号，选择一路所述支路信号通过所述控制端传输至所述并行支路中。

20 3. 根据权利要求 2 所述的并串转换电路，其中，所述多路选择器仅接收两路所述支路信号，所述选择命令为内部时钟信号。

4. 根据权利要求 3 所述的并串转换电路，其中，所述选择信号的周期为所述内部时钟信号周期的 n 倍，且所述 n 为多个所述并行支路的支路数。

5. 根据权利要求 3 所述的并串转换电路，其中，同一所述选择单元所接收的所述选择信号和所述支路信号中，至多一者为连续信号。

25 6. 根据权利要求 3 所述的并串转换电路，其中，多个所述并行支路所连接的选择单元所接收的所述选择信号中，高电平数据交替分布。

7. 根据权利要求 3 所述的并串转换电路，其中，多个所述并行支路所连接的选

择单元所接收的所述选择信号中，高电平数据具有重叠部分。

8. 根据权利要求 1 所述的并串转换电路，其中，所述并行支路包括：开关 PMOS 管和开关 NMOS 管；

所述开关 PMOS 管的栅极和所述开关 NMOS 管的栅极作为所述并行支路的
5 控制端，用于连接所述选择单元；

所述开关 PMOS 管的源极和所述开关 NMOS 管的漏极连接所述串行导线；

所述开关 PMOS 管的漏极作为所述并行支路的第一输入端，用于接收所述
高电平信号；

所述开关 NMOS 管的源极作为所述并行支路的第二输入端，用于接收所述
10 低电平信号。

9. 根据权利要求 1 所述的并串转换电路，其中，所述驱动单元包括：两个反相器，其中，一所述反相器的输入端连接所述串行导线，输出端连接另一所述反相器的输入端，另一所述反相器的输出端用于输出所述串行信号。

10. 根据权利要求 9 所述的并串转换电路，其中，所述反相器包括：驱动 PMOS
15 管和驱动 NMOS 管；

所述驱动 PMOS 管的栅极和所述驱动 NMOS 管的栅极连接，所述驱动
PMOS 管的源极和所述驱动 NMOS 管的漏极连接；

所述驱动 PMOS 管的漏极用于接收所述高电平信号，所述驱动 NMOS 管的
源极用于接收所述低电平信号。

20 11. 一种并串转换电路版图，用于形成权利要求 1~10 中任一项所述并串转换电
路，包括：

并行支路版图，用于形成并行支路，以及形成与所述并行支路连接的所述
选择单元；

驱动单元版图，用于形成驱动单元；

25 其中，每一所述并行支路版图和所述驱动单元版图设置在不同版图层中，
且多个所述并行支路版图所在的版图层基于所述驱动单元版图所在的版图层对
称设置；

连接所述并行支路版图和所述驱动单元版图的串行导线基于所述驱动单元版图所在的版图层对称设置。

12. 根据权利要求 11 所述的并串转换电路版图，其中，所述并行支路版图和所述驱动单元版图在垂直于所述版图层方向的投影部分重合。
- 5 13. 根据权利要求 11 所述的并串转换电路版图，其中，所述并行支路版图和所述驱动单元版图在垂直于所述版图层方向的投影不重合。
14. 一种存储器，所述存储器中应用权利要求 1~10 中任一项所述并串转换电路。
15. 一种存储器，所述存储器的版图架构采用权利要求 11~13 中任一项所述的并串转换电路版图。

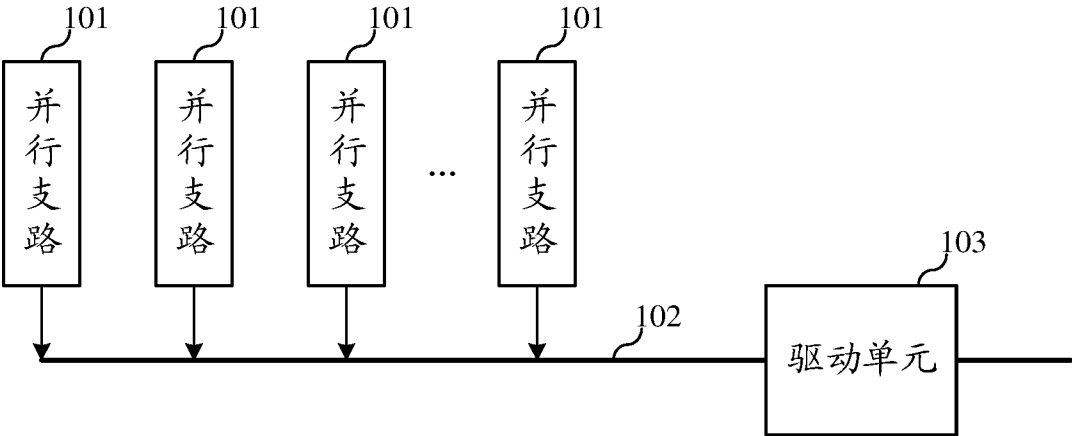


图 1

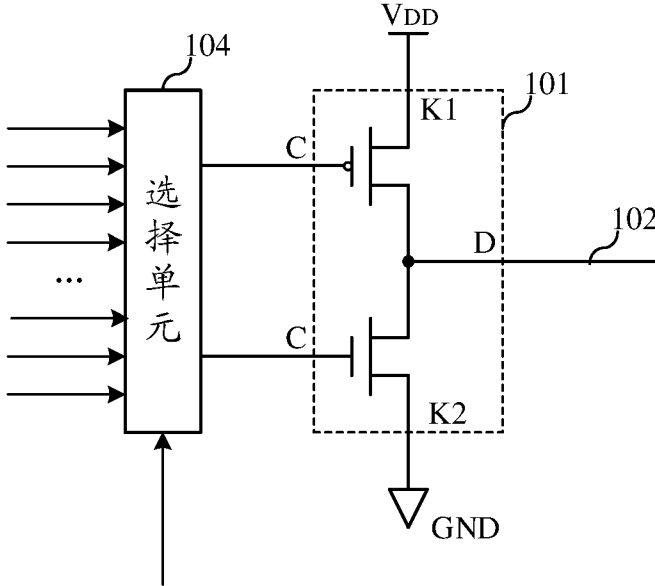


图 2

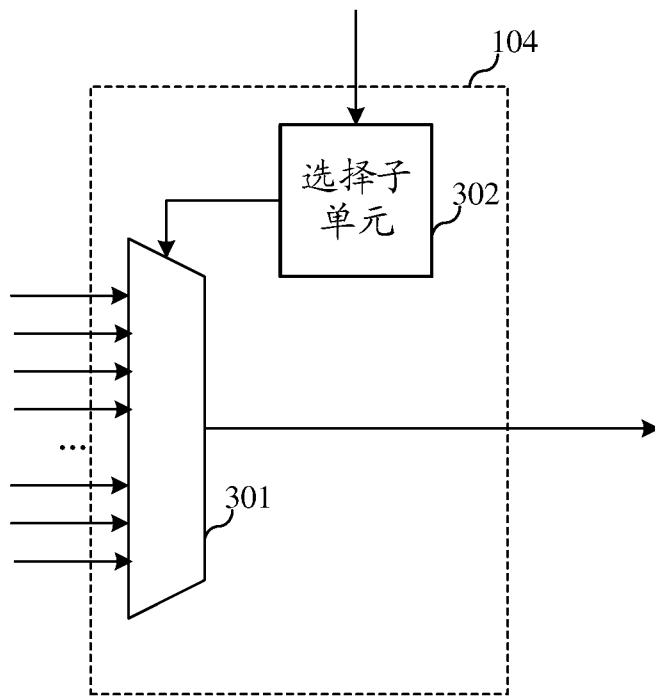


图 3

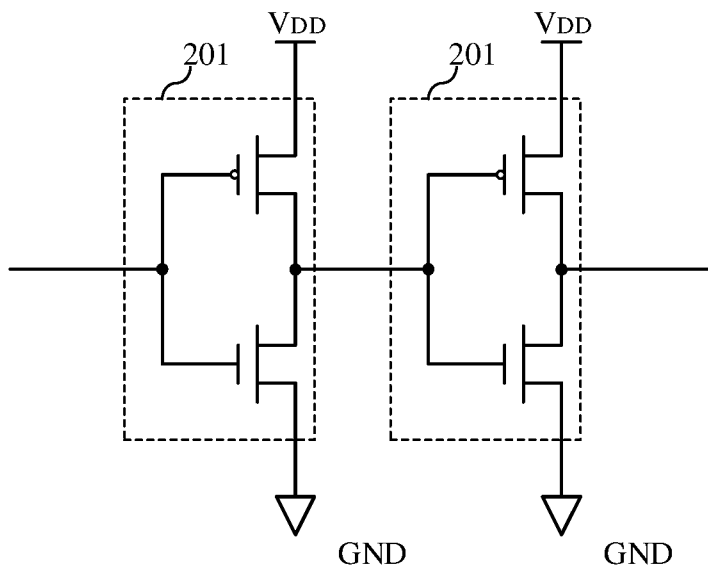


图 4

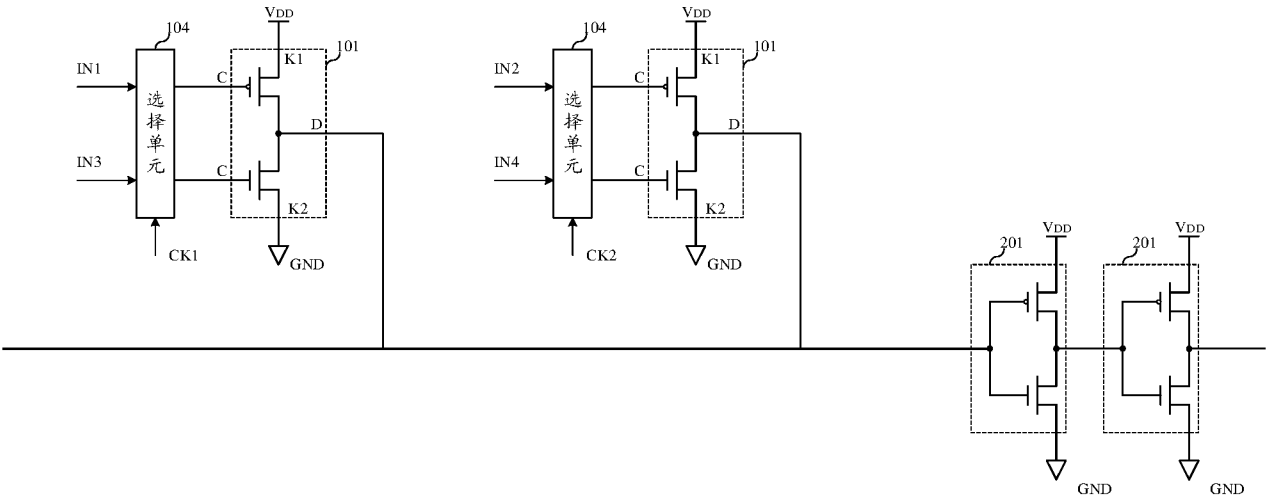


图 5

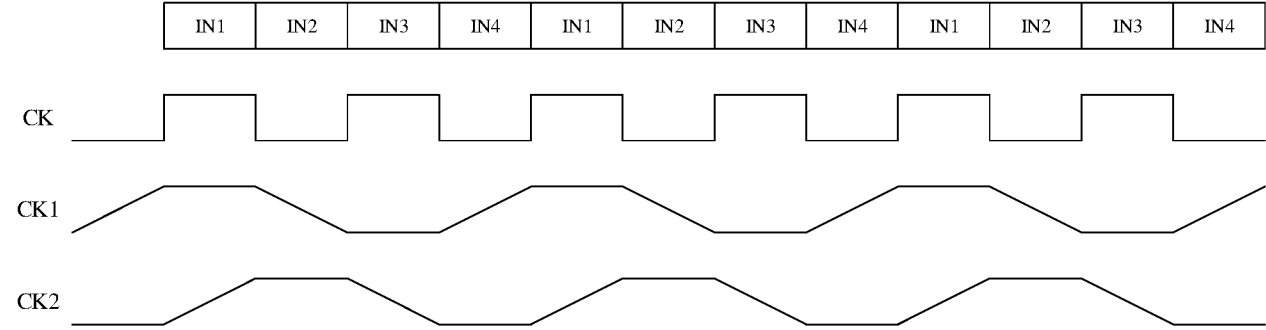


图 6

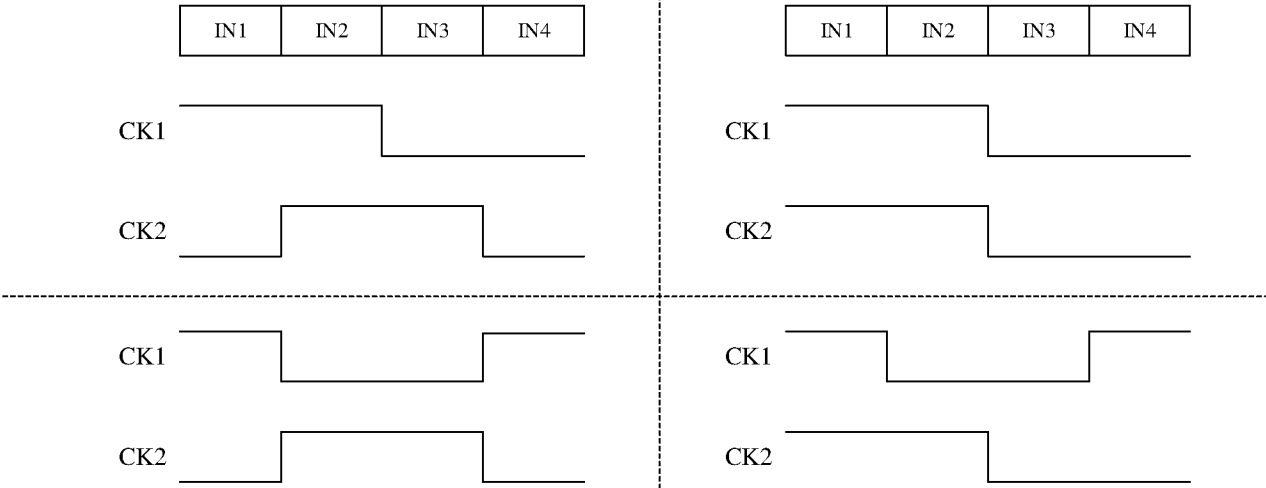


图 7

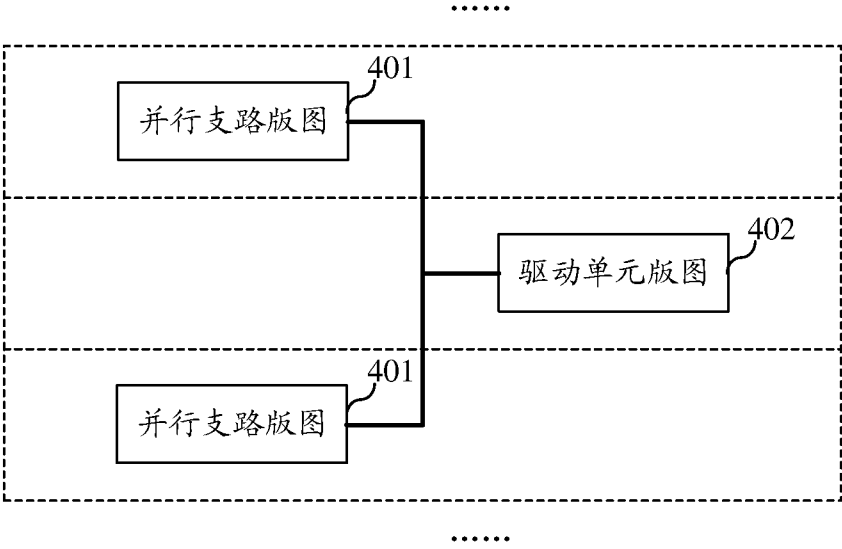


图 8

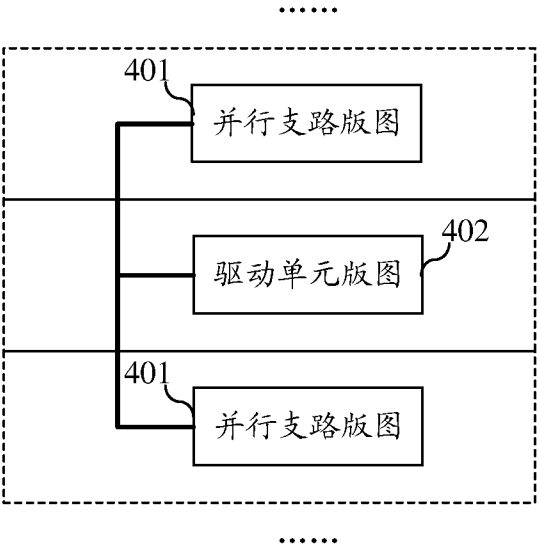


图 9

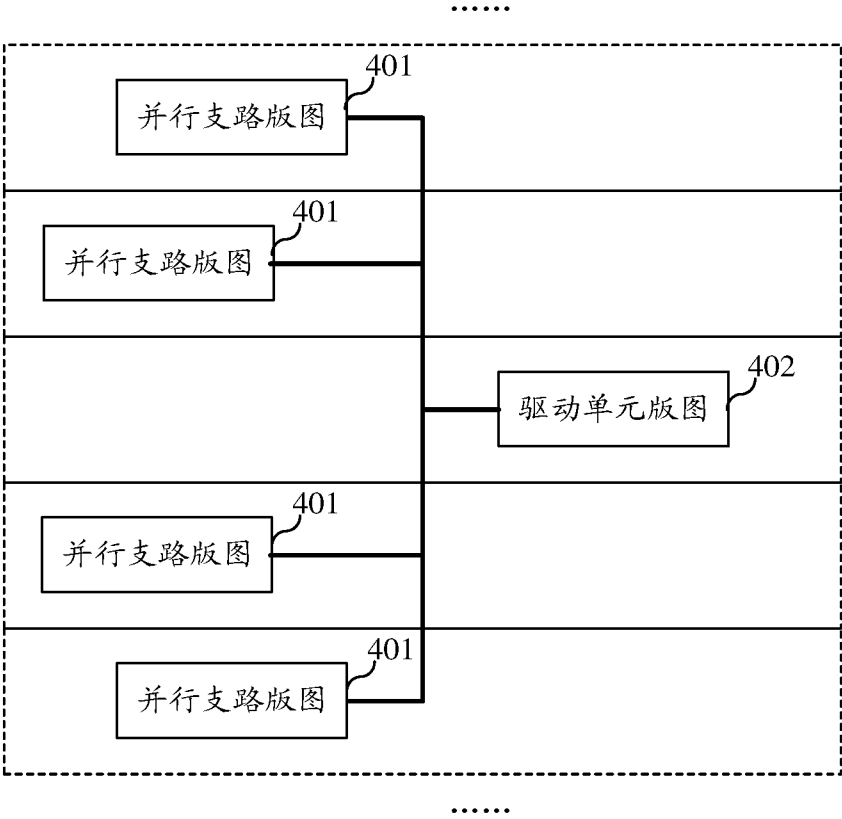


图 10

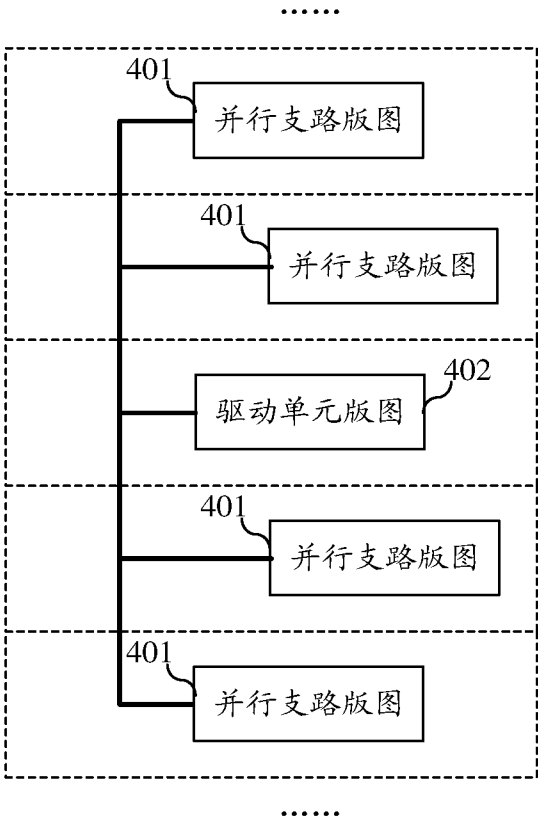


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/078110

A. CLASSIFICATION OF SUBJECT MATTER

H03M 9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 并串, 转换, 串行, 并行, 选择, 驱动, convert, serial, parallel, select+, driv+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 111049523 A (SUZHOU RIGOL PRECISION ELECTRIC TECHNOLOGIES CO., LTD.) 21 April 2020 (2020-04-21) description, paragraphs 35-50, and figure 3	1-15
A	CN 108924459 A (SHANGHAI SHUNJIU ELECTRONIC TECHNOLOGY CO., LTD.) 30 November 2018 (2018-11-30) entire document	1-15
A	CN 107437945 A (LOONGSON TECHNOLOGY CO., LTD.) 05 December 2017 (2017-12-05) entire document	1-15
A	CN 112600567 A (SHANGHAI WEIJIN ELECTRONIC TECHNOLOGY CO., LTD.) 02 April 2021 (2021-04-02) entire document	1-15
A	CN 112712839 A (CHANGXIN MEMORY TECHNOLOGIES (SHANGHAI) INC.) 27 April 2021 (2021-04-27) entire document	1-15
A	US 6201658 B1 (FUJITSU LIMITED) 13 March 2001 (2001-03-13) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 September 2022

Date of mailing of the international search report

27 September 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/078110

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111049523	A	21 April 2020	None			
CN	108924459	A	30 November 2018	None			
CN	107437945	A	05 December 2017	None			
CN	112600567	A	02 April 2021	None			
CN	112712839	A	27 April 2021	CN	211404065	U	01 September 2020
				WO	2021077777	A1	29 April 2021
				US	2021249055	A1	12 August 2021
				EP	3893241	A1	13 October 2021
US	6201658	B1	13 March 2001	US	6449115	B1	10 September 2002
				JP	H0845240	A	16 February 1996

国际检索报告

国际申请号

PCT/CN2022/078110

A. 主题的分类

H03M 9/00 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H03M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, WPI, EPODOC, CNKI: 并串, 转换, 串行, 并行, 选择, 驱动, convert, serial, parallel, select+, driv+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 111049523 A (苏州普源精电科技有限公司) 2020年4月21日 (2020 - 04 - 21) 说明书第35-50段, 图3	1-15
A	CN 108924459 A (上海顺久电子科技有限公司) 2018年11月30日 (2018 - 11 - 30) 全文	1-15
A	CN 107437945 A (龙芯中科技术有限公司) 2017年12月5日 (2017 - 12 - 05) 全文	1-15
A	CN 112600567 A (上海微阱电子科技有限公司) 2021年4月2日 (2021 - 04 - 02) 全文	1-15
A	CN 112712839 A (长鑫存储技术上海有限公司) 2021年4月27日 (2021 - 04 - 27) 全文	1-15
A	US 6201658 B1 (FUJITSU LIMITED) 2001年3月13日 (2001 - 03 - 13) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年9月19日

国际检索报告邮寄日期

2022年9月27日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

林婉娟

电话号码 86-(10)-53961343

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/078110

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	111049523	A	2020年4月21日	无	
CN	108924459	A	2018年11月30日	无	
CN	107437945	A	2017年12月5日	无	
CN	112600567	A	2021年4月2日	无	
CN	112712839	A	2021年4月27日	CN 211404065 U	2020年9月1日
				WO 2021077777 A1	2021年4月29日
				US 2021249055 A1	2021年8月12日
				EP 3893241 A1	2021年10月13日
US	6201658	B1	2001年3月13日	US 6449115 B1	2002年9月10日
				JP H0845240 A	1996年2月16日