



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

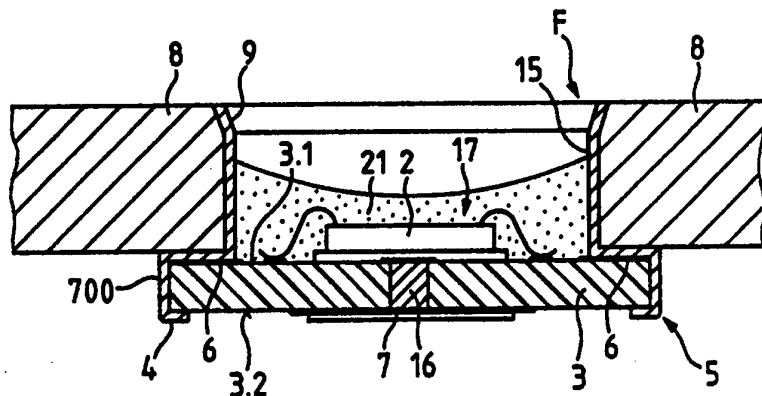
<p>(51) Classification internationale des brevets ⁶ : G11C 5/00, G06K 19/077</p>	<p>A1</p>	<p>(11) Numéro de publication internationale: WO 95/28713</p> <p>(43) Date de publication internationale: 26 octobre 1995 (26.10.95)</p>
<p>(21) Numéro de la demande internationale: PCT/CH95/00079</p> <p>(22) Date de dépôt international: 7 avril 1995 (07.04.95)</p> <p>(30) Données relatives à la priorité: 1160/94-7 18 avril 1994 (18.04.94) CH</p> <p>(71) Déposant (pour tous les Etats désignés sauf US): GAY FRERES VENTE ET EXPORTATION S.A. [CH/CH]; 12, rue des Glacis-de-Rive, CH-1207 Genève (CH).</p> <p>(72) Inventeur; et (75) Inventeur/Déposant (US seulement): BERNEY, Jean-Claude [CH/CH]; CH-1343 Les Charbonnières (CH).</p> <p>(74) Mandataire: FREI PATENTANWALTSBÜRO; Hedwigsteig 6, Postfach 768, CH-8029 Zürich (CH).</p>	<p>(81) Etats désignés: CA, JP, KR, US, brevet européen (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Publiée Avec rapport de recherche internationale.</p>	

(54) Title: ELECTRONIC MEMORY DEVICE

(54) Titre: DISPOSITIF A MEMOIRE ELECTRONIQUE

(57) Abstract

A miniature electronic memory device comprising at least one integrated memory circuit (2, 20), an interconnection interface (3) and a housing (1) for at least one integrated memory circuit (2, 20), wherein at least one portion (7, 70) of the interconnection interface (3) forms an electrical contact for at least one integrated memory circuit (2, 20), and at least one portion of the housing (1) has a projecting portion (14) enabling easier attachment of the memory device to a support (8) so that said memory device can record data relating to the history of said support (8) or to elements in its environment.



(57) Abrégé

Le dispositif à mémoire électronique miniaturisé selon l'invention comporte au moins un circuit intégré mémoire (2, 20), une interface d'interconnexion (3) et un boîtier (1), ledit boîtier (1) est un logement pour au moins un circuit intégré mémoire (2, 20), au moins une partie (7, 70) de ladite interface d'interconnexion (3) forme un contact électrique pour au moins un circuit intégré mémoire (2, 20) et au moins une partie dudit boîtier (1) est agencée d'un dégagement (14) pour faciliter la fixation dudit dispositif à mémoire sur ledit support (8), afin que ledit dispositif à mémoire puisse documenter des informations relatives au curriculum vitae de ce support (8) ou à des éléments se trouvant dans son environnement.

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AT	Autriche	GB	Royaume-Uni	MR	Mauritanie
AU	Australie	GE	Géorgie	MW	Malawi
BB	Barbade	GN	Guinée	NE	Niger
BE	Belgique	GR	Grèce	NL	Pays-Bas
BF	Burkina Faso	HU	Hongrie	NO	Norvège
BG	Bulgarie	IE	Irlande	NZ	Nouvelle-Zélande
BJ	Bénin	IT	Italie	PL	Pologne
BR	Brésil	JP	Japon	PT	Portugal
BY	Bélarus	KE	Kenya	RO	Roumanie
CA	Canada	KG	Kirghizistan	RU	Fédération de Russie
CF	République centrafricaine	KP	République populaire démocratique de Corée	SD	Soudan
CG	Congo	KR	République de Corée	SE	Suède
CH	Suisse	KZ	Kazakhstan	SI	Slovénie
CI	Côte d'Ivoire	LI	Liechtenstein	SK	Slovaquie
CM	Cameroun	LK	Sri Lanka	SN	Sénégal
CN	Chine	LU	Luxembourg	TD	Tchad
CS	Tchécoslovaquie	LV	Lettonie	TG	Togo
CZ	République tchèque	MC	Monaco	TJ	Tadjikistan
DE	Allemagne	MD	République de Moldova	TT	Trinité-et-Tobago
DK	Danemark	MG	Madagascar	UA	Ukraine
ES	Espagne	ML	Mali	US	Etats-Unis d'Amérique
FI	Finlande	MN	Mongolie	UZ	Ouzbékistan
FR	France			VN	Viet Nam
GA	Gabon				

DISPOSITIF À MÉMOIRE ÉLECTRONIQUE

La présente invention concerne un dispositif à mémoire électronique et un procédé pour l'assemblage de ce dispositif selon les revendications.

- 5 Il existe à l'heure actuelle de nombreux dispositifs à mémoire de petites dimensions, sans source interne d'alimentation pouvant être lues, voir lues et écrites par un système adéquat. Ces dispositifs peuvent être incorporés dans de nombreux systèmes tels que "cartes à puce" qui sont utilisées comme moyen de se procurer de l'argent (cartes de crédit, cartes bancaires, etc), les cartes à prépaiement (téléphone, machines à café, parkings, etc). Ces dispositifs
- 10 peuvent aussi être incorporés dans des systèmes de clés électroniques ou d'étiquettes électroniques. Dans ce dernier type d'application, plus particulièrement, les informations contenues dans la mémoire concernent le plus souvent le support sur lequel le dispositif à mémoire est monté. Il peut s'agir aussi
- 15 bien de cartes d'appareils électroniques, de plaques frontales d'instruments, de bâtis de machines, de composants complexes, etc. Il est donc très important d'utiliser un dispositif qui puisse facilement être adapté à tous ces types d'utilisation tout en assurant la protection des éléments électroniques sensibles.

- 2 -

Or plusieurs points importants obèrent la fiabilité de la plupart de ces dispositifs à mémoire et limitent leurs domaines d'application.

5 Premièrement ils sont montés sur des supports en matière plastique qui peuvent facilement se déformer, voire être détruits, lors de contraintes mécaniques ou thermiques même relativement courantes. L'utilisation de ces dispositifs à mémoire est donc limitée à des applications dans lesquelles leurs destructions éventuelles n'entraîneraient pas le cas échéant de conséquences trop fâcheuses.

10 Deuxièmement l'accès à la mémoire nécessite plusieurs contacts électriques, contacts qui sont une source importante et endémique de mauvais fonctionnements. Il est donc fréquent que le dispositif à mémoire (carte, clé, etc) ne puisse plus être introduit dans l'appareil de lecture,
15 ou ne puisse plus être lu par ce dernier.

 Troisièmement les applications possibles de ces dispositifs à mémoire sont limitées par l'étendue et par la forme souvent standardisée de leurs supports et de leurs appareils de lecture. La manière de fixation
20 ou d'assemblage de ces dispositifs à mémoire sur des supports et la manière d'accès aux informations de leurs mémoires restreignent drastiquement les domaines potentiels d'application.

25 La présente invention a pour but d'apporter une solution à ces différents problèmes par un dispositif à mémoire électronique d'une construction particulièrement fiable et flexible dans ses applications.

30 Conformément à l'invention, ce but est atteint dans un dispositif à mémoire électronique miniaturisé comportant un boîtier servant à la fois de logement

- et de moyen de fixation d'un sous-ensemble électronique sur des supports. Ledit sous-ensemble électronique comporte un interface d'interconnexion, sur lequel est monté au moins un circuit intégré mémoire avec lecture ou lecture/écriture superposé à l'alimentation en courant électrique. Ce boîtier se
- 5 laisse incorporer plus ou moins intégralement dans un support. Il peut assumer des charges plus ou moins complexes, il peut être intégré mécaniquement, électroniquement et fonctionnellement.
- 10 Ledit interface d'interconnexion est fixé à l'intérieur d'une extrémité du boîtier. De préférence cette fixation est réalisée par insertion. Pour cela l'interface est serti au moins partiellement d'une extrémité dudit boîtier. L'interface comporte des zones métallisées agencées de manière à assurer, après assemblage, les liaisons entre les bornes d'une alimentation en courant électrique
- 15 d'au moins un circuit intégré. Ces contacts électriques se situent sur ledit interface d'interconnexion (contacts centraux). Ces contacts électroniques peuvent aussi se situer sur le boîtier (contacts périphériques).
- 20 De préférence au moins un circuit intégré mémoire est connecté électriquement et mécaniquement sur des surfaces de l'interface d'interconnexion, formant ainsi un sous-ensemble électronique. De même au moins un circuit intégré mémoire peut être connecté électriquement et mécaniquement sur une ou deux surfaces de l'interface d'interconnexion. En plus il est possible de
- 25 contacter un composant supplémentaire. Un tel composant supplémentaire peut, à titre d'exemple être un autre circuit intégré mémoire ou il peut être une alimentation en courant électrique. Selon l'invention au moins une borne d'au moins un circuit intégré mémoire est relié électriquement à au moins un contact central dudit interface d'interconnexion et au moins deux bornes d'une
- 30 alimentation en courant électrique sont reliés électriquement à au moins deux contacts centraux.

Le dispositif est caractérisé par le fait que l'une des extrémités dudit boîtier est formée à pouvoir y fixer ledit sous-ensemble électronique à l'aide d'un moyen de fixation. Pour cela, ledit boîtier comporte au moins une partie tubulaire permettant de fixer le boîtier dans un pendant dudit support. Ce pendant
5 peut, à titre d'exemple être un trou pratiqué dans le support. Ce trou pratiqué peut être borgne ou traversant. Le boîtier est de préférence de forme tubulaire, mais il peut avoir toute forme, pourvue que la forme soit adaptée à la fonction, par exemple au moyen de fixation ou de la dimension du sous-ensemble électronique.

10

De préférence ce support est de matière électro-conductrice, mais il peut aussi être de matière purement diélectrique ou de matière purement conductrice. Ladite fixation de la partie tubulaire se réalise à titre d'exemple par déformation d'une autre extrémité dudit boîtier ou par exemple par contact vissé
15 d'une zone filetée du boîtier. Après être fixé sur un support de matière électro-conductrice, ce boîtier peut permettre un contact électrique entre le sous-ensemble et ledit support.

20

Cette construction permet de réaliser un dispositif à mémoire miniaturisé robuste, indépendamment et universellement utilisable, qui se laisse monter à l'aide du boîtier sur un vaste échantillon de supports divers. Ainsi le boîtier sert à la fois de protection mécanique, de moyen de fixation sur un support et
25 de contact électrique du dispositif à mémoire. Le dispositif à mémoire selon l'invention peut, vu ses dimensions réduites et ses moyens de fixation variables, être incorporé dans un bon nombre d'objets sans présenter d'inconvénients de par sa présence. Le dispositif peut être intégré intégralement dans un support. Il peut par exemple assumer des charges fonctionnellement importantes sur ce support. Mais il est aussi concevable que le dispositif soit isolé
30 électroniquement de ce support, qu'il soit même dissimulé ou incorporé dans

ce support. Pour garantir une dissimulation ou une protection supplémentaire, le boîtier se laisse couvrir par exemple par un couvercle détachable ou par une pince ad hoc détachable, afin de pouvoir couvrir temporairement le dispositif à mémoire.

5

Le dispositif à mémoire peut contenir des informations qui se rapportent à l'objet dans lequel il est incorporé ou à la personne qui porte l'objet. Ces informations peuvent donner des indications quant à la provenance ou l'appartenance de l'objet ou de la personne. Ces informations peuvent aussi donner des indications quant à l'identité ou l'état de l'objet ou de la personne. Ainsi le dispositif sert de curriculum vitae du support ou de l'objet duquel ce support fait parti. Pendant toute la durée de vie de ce support ou de cet objet, il peut mémoriser des données ou informations importantes. Plus généralement, le dispositif sert de garde mémoire à des éléments se trouvant dans son environnement. Le dispositif à mémoire est spécialement adapté à être incorporé dans des cartes de circuits imprimés comme support. Il n'est pas nécessaire d'incorporer le dispositif, il peut être simplement fixé sur un objet. Le dispositif à mémoire est ainsi accessible à l'écriture/lecture et à l'alimentation en courant électrique, de sorte que ledit dispositif garde des informations relatives à l'état de ces cartes imprimées lors de leur procédé de production et lors de leurs utilisaton future. Grâce au couvercle détachable ou à la pince ad hoc détachable, le dispositif à mémoire reste protégé lors des passages dans des milieux hostiles lors du procédé de production des cartes imprimées ou lors de leurs utilisation future.

10

15

20

25

L'invention est décrite ci-après à l'aide d'exemples et de références aux figures jointes, dans lesquelles:

- 5 - la figure 1 est une vue schématique latérale et représente un premier mode de réalisation préféré d'un dispositif à mémoire selon l'invention avec un sous-ensemble électronique comportant un seul circuit intégré mémoire.

- 10 - la figure 2 est une vue schématique latérale et représente un deuxième mode de réalisation préféré d'un dispositif à mémoire selon l'invention avec un sous-ensemble électronique comportant deux circuits intégrés mémoires.

- 15 - la figure 3 est une vue schématique latérale et représente un troisième mode de réalisation préféré d'un dispositif à mémoire selon l'invention avec un sous-ensemble électronique comportant un circuit intégré mémoire et un composant supplémentaire.

- 20 - la figure 4 est une vue schématique latérale et représente un quatrième mode de réalisation préféré d'un dispositif à mémoire selon l'invention avec un sous-ensemble électronique comportant un seul circuit intégré mémoire.

- 25 - la figure 5 est une vue en élévation du premier mode de réalisation préféré d'un dispositif à mémoire selon la figure 1 pour montrer l'insertion partielle de l'interface d'interconnexion du sous-ensemble électronique.

- 30 - la figure 6 est une vue latérale du premier mode de réalisation préféré d'un dispositif à mémoire selon la figure 1 et après rivure du boîtier sur un support.

- 7 -

- figure 7 est une vue latérale d'un dispositif à mémoire selon l'invention avec un cinquième mode de réalisation préféré avec un circuit intégré mémoire et après vissage du boîtier sur un support.
- 5 - la figure 8 est une vue latérale du cinquième mode de réalisation préféré d'un dispositif à mémoire monté sur un support selon la figure 7 avec un couvercle détachable.
- la figure 9 est une vue latérale (à gauche) et en élévation (à droite) du
10 premier mode de réalisation préféré d'un dispositif à mémoire monté sur un support selon la figure 6 avec une pince ad hoc détachable.

Sur la **figure 1** est représenté en vue schématique latérale un premier mode
15 de réalisation préféré d'un dispositif à mémoire selon l'invention. Dans un boîtier 1 se trouve un interface d'interconnexion 3 et sur ledit interface d'interconnexion 3 est connecté électriquement et mécaniquement un circuit intégré mémoire 2. L'interface d'interconnexion 3 et le circuit intégré mémoire 2 forment un sous-ensemble électronique 17. L'interface d'interconnexion 3
20 est serti du boîtier 1. Le circuit intégré mémoire 2 se trouve à l'intérieur dudit boîtier 1 sur la surface supérieure de l'interface d'interconnexion 3 et il est couvert d'une couche de protection 21.

25 Ledit boîtier 1 sert de logement pour ledit circuit intégré mémoire 2. Le boîtier 1 est de matière électro-conductrice. Ainsi le boîtier 1 est par exemple métallique ou il est de matière diélectrique avec des conduits électriques ou il est de matière diélectrique sans des conduits électriques. Dans ce premier mode de réalisation préféré le boîtier 1 possède une symétrie circulaire (voire
30 la figure 5) et est agencé d'un dégagement 14. Ainsi le boîtier 1 comporte une extrémité basse déformable 4 avec un diamètre plus grand comparée à une

extrémité haute déformable 9 avec un diamètre plus petit. L'extrémité basse déformable 4 sert d'insertion du sous-ensemble électrique à l'aide de l'interface d'interconnexion 3, l'extrémité haute déformable 9 sert de fixation d'au moins une partie tubulaire du boîtier 1 dans un pendant du support. Ce pendant peut, à titre d'exemple être un trou pratiqué dans le support. Ce trou pratiqué peut être borgne ou traversant. Notons que cette configuration très compacte et robuste permet d'utiliser le dispositif selon l'invention pour réaliser des exécutions très miniaturisées. Le diamètre dudit boîtier 1 se monte à environ 4mm^2 par contre sa hauteur s'élève à environ 1,6mm. Ce boîtier tubulaire 1 se laisse obtenir par exemple par une méthode de formage connue à l'homme du métier.

Ledit interface d'interconnexion 3 peut être un circuit imprimé comportant des zones métallisées sur ses deux surfaces. Conformément à la figure 1, le circuit intégré mémoire 2 est monté sur la surface supérieure 3.1. De préférence l'interface d'interconnexion 3 est fait à la base de matière plastique et consiste donc par exemple d'une feuille mince en polyimide avec des couches de zones métallisées.

20

Ledit circuit intégré mémoire 2 comporte des bornes permettant d'assurer par fils électriques (bonding) les liaisons entre le circuit intégré 2 et les zones métallisées de l'interface d'interconnexion 3. Ces liaisons pourraient également être effectuées par thermocompression (bumps) ou tout autre méthode connue. On connaît à l'heure actuelle des circuits intégrés mémoires 2 de type EEPROM (Electrically Erasable Programmable Read-Only Memory) qui peuvent être lus, voire lus et écrits, directement sur les bornes d'alimentation en courant électrique. Bien que ces circuits intégrés 2 soient encore peu connus, nous n'entrerons pas en détail dans la description de leur fonctionnement, celui-ci faisant l'objet de demandes de brevet spécifiques. Il suffit de savoir

30

que ces circuits ne demandent que deux connexions électriques, un premier pôle d'alimentation relié à la masse, et le second pôle d'alimentation.

5 Un premier pôle d'alimentation du circuit intégré mémoire 2 est relié à un contact central 7 sur la surface inférieure 3.2 par l'intermédiaire d'un trou métallisé 16. Un second pôle d'alimentation du circuit intégré mémoire 2 est relié à une partie 6 et à un contact périphérique 700 électriquement conductible et accessible de l'extérieur du boîtier 1. Dans cette configuration, un système
10 de lecture pourra donc accéder aux deux bornes d'alimentation en courant électrique du circuit intégré mémoire 2 en établissant deux contacts, l'un avec le contact central 7 de l'interface d'interconnexion 3, l'autre avec le contact périphérique 700 du boîtier 1.

15

Ledit interface d'interconnexion 3 est serti d'au moins une partie de fixation 5 d'une extrémité basse déformable 4 dudit boîtier 1. Cette insertion peut se faire après avoir réalisé les liaisons entre le circuit intégré mémoire 2 et les zones métallisées de l'interface d'interconnexion 3. De préférence l'interface
20 d'interconnexion 3 est serti partiellement par une partie tubulaire du boîtier 1 (voire figure 5). En plus en choisissant une matière de contact électrique 6 ductile, par exemple de l'or ou de l'argent, les contacts électriques 6 s'établissent quasi automatiquement sous la pression lors de l'insertion et sans qu'un soudage ne soit nécessaire. Après l'insertion de l'interface d'interconnexion 3
25 le circuit intégré mémoire 2 se laisse couvrir d'une couche de protection 21. Cette couche de protection 21 peut, à titre d'exemple consister d'une goutte de colle ou de résine durcie.

30 Le dispositif à mémoire selon l'invention représente plusieurs avantages en comparaison avec un dispositif à mémoire semblable publié dans la demande

de brevet internationale PCT/CH93/00133 du 24 mai 1993. Cette étiquette électronique ne possède pas les avantages d'un boîtier tubulaire et montre l'inconvénient d'un procédé d'assemblage compliqué, nécessitant une quantité de fixation à colle pour lier les divers éléments. La présente invention possède en plus l'avantage que toute la surface inférieure 3.2 de l'interface d'interconnexion 3 est accessible de l'extérieur. Ceci permet dans la réalisation de plusieurs trous métallisés à travers l'interface d'interconnexion 3 accessibles de l'extérieur (voire figures 2,3 et 4).

10

Ainsi le boîtier 1 joue à la fois un rôle électrique en servant de contact électrique, et il joue un rôle mécanique en assurant la rigidité de l'assemblage du circuit intégré mémoire 2 et du contact central 7. Cependant son rôle sur le plan mécanique et électronique ne se limite pas à cela, ce qui ressort des figures suivantes.

15

Sur la **figure 2** est représenté en vue schématique latérale un deuxième mode de réalisation préféré d'un dispositif à mémoire selon l'invention avec un circuit intégré mémoire et un composant supplémentaire, qui représente un deuxième circuit intégré mémoire. Le premier et le deuxième mode de réalisation préféré sont semblables dans la plupart des détails. Ainsi nous nous référons pour ces détails à la description de la figure 1 et discutons par la suite seulement les différences par rapport au premier mode de réalisation préféré selon la figure 1.

20

25

Le composant supplémentaire peut être un élément électronique quelconque, active ou passive. Dans ce mode de réalisation préféré elle est à titre d'exemple un deuxième circuit intégré mémoire 20, mais elle peut aussi être un circuit de commande ou un interface input/output en silicium. Lesdits deux

30

circuits intégrés mémoires 2,20 sont montés par thermocompression sur les surfaces opposées de l'interface d'interconnexion 3, le circuit intégré mémoire 2 est monté sur la surface supérieure 3.1, le circuit intégré mémoire 20 est monté sur la surface inférieure 3.2. Les deux circuits intégrés mémoires 2,20 sont couverts chacun d'une couche de protection 21. Lesdits deux circuits intégrés mémoires 2,20 et l'interface d'interconnexion 3 forment un sous-ensemble électronique 17.

Dans ce deuxième mode de réalisation préféré d'un dispositif à mémoire selon l'invention les deux pôles d'alimentation du premier circuit intégré mémoire 2 de la surface supérieure 3.1 sont reliés à deux contacts centraux 7,70 sur la surface supérieure 3.1. Quant au deuxième circuit intégré mémoire 20 de la surface inférieure 3.2, ses deux pôles d'alimentation sont reliés à respectivement deux contacts centraux 7,70 sur la surface inférieure 3.2. Ces deux contacts centraux 7,70 sont à leur tour reliés par l'intermédiaire des deux trous métallisés 16,160 avec respectivement deux contacts centraux 7,70 sur la surface supérieure 3.1. Ces contacts centraux 7,70 sur la surface supérieure 3.2 sont reliés à deux parties 6,60 et à respectivement deux contacts périphériques 700,7000 séparés l'un de l'autre et électriquement conductible et accessible de l'extérieur du boîtier 1.

Ainsi un système de lecture pourra donc accéder aux deux bornes d'alimentation en courant électrique des deux circuits intégrés mémoires 2,20 en établissant deux contacts, l'un avec le contact périphérique 700 et l'autre avec le contact périphérique 7000 du boîtier 1. Selon l'invention il est bien sûr possible de relier davantage, ça veut dire plus que deux contact centraux 7,70 à travers l'interface d'interconnexion. De même il est possible de relier plus que deux circuits intégrés mémoires 2,20 à plus que deux contacts périphériques 700,7000.

- 12 -

Sur la **figure 3** est représenté en vue schématique latérale un troisième mode de réalisation préféré d'un dispositif à mémoire selon l'invention avec un circuit intégré mémoire et un composant supplémentaire, qui représente une alimentation en courant électrique. Il y a une grande ressemblance dans la plupart des détails avec le premier et deuxième mode de réalisation préféré. Ainsi nous nous référons pour ces détails aux descriptions des figures 1 et 2 et discutons par la suite seulement les différences.

10 Ledit circuit intégré mémoire 2 et ladite alimentation en courant électrique 22 sont montés sur les surfaces opposées de l'interface d'interconnexion 3, le circuit intégré mémoire 2 est monté sur la surface supérieure 3.1, le composant supplémentaire 22 est monté sur la surface inférieure 3.2. Ils sont tous les deux couverts d'une couche de protection 21. Ledit circuit intégré mémoires 2, 15 l'alimentation en courant électrique 22 et l'interface d'interconnexion 3 forment un sous-ensemble électronique 17.

Dans ce troisième mode de réalisation préféré d'un dispositif à mémoire selon l'invention les deux pôles d'alimentation du circuit intégré mémoire 2 de la surface supérieure 3.1 sont reliés à deux contacts centraux 7,70 sur la surface supérieure 3.1. Ces deux contacts centraux 7,70 sont reliés par l'intermédiaire des deux trous métallisés 16,160 avec respectivement deux contacts centraux 7,70 sur la surface inférieure 3.2. Ces deux contacts centraux 7,70 sur la surface supérieure 3.2 sont en plus reliés à deux parties 6,60 et à respectivement deux contacts périphériques 700,7000 séparés l'un de l'autre et électriquement conductible et accessible de l'extérieur du boîtier 1. Quant à l'alimentation en courant électrique 22 de la surface inférieure 3.2, ses deux pôles d'alimentation sont aussi reliés aux deux contacts centraux 7,70 sur la surface inférieure 30 3.2.

Ainsi un système de lecture pourra donc accéder aux deux bornes d'alimentation en courant électrique dudit circuit intégré mémoire 2 et de l'alimentation en courant électrique 22 en établissant deux contacts, l'un avec le contact périphérique 700 et l'autre avec le contact périphérique 7000 dudit boîtier 1.

5

Cette construction offre l'avantage unique, que le composant supplémentaire est une alimentation en courant électrique 22. Une telle alimentation en courant électrique 22 peut par exemple être simplement une bobine comme source d'électricité ou elle peut par exemple être un accumulateur avec un système de stabilisation du courant électrique. L'homme du métier, connaissant la présente invention, peut réaliser une vaste gamme de réalisations différentes.

10

Comme les deux bornes dudit circuit intégré mémoire 2 et les deux bornes de ladite alimentation en courant électrique 22 sont reliées électriquement, le circuit intégré mémoire 2 peut être alimenté en courant électrique par cette alimentation, ce qui augmente la performance et l'indépendance du dispositif à mémoire selon l'invention, car le circuit intégré mémoire 2 peut maintenant être nourri de l'alimentation en courant électrique 22.

20

De plus il est possible de ne pas réaliser les contacts périphériques 700, 7000 dudit boîtier 1 et de fournir l'alimentation en courant électrique par exemple par une bobine RF, qui sert ainsi à la fois de source d'électricité et de moyen de lecture/écriture de l'extérieur, afin que ledit dispositif à mémoire puisse documenter des informations relative au curriculum vitae de ce support 8.

25

Sur la figure 4 est représenté en vue schématique latérale un quatrième mode de réalisation préféré d'un dispositif à mémoire selon l'invention avec un cir-

30

cuit intégré mémoire. Il y a une grande ressemblance dans la plupart des détails avec les premier et deuxième modes de réalisation préféré. Ainsi nous nous référons pour ces détails aux descriptions des figures 1 et 2 et discutons par la suite seulement les différences.

5

Dans ce mode de réalisation préféré d'un dispositif à mémoire selon l'invention un circuit intégré mémoires 2 et l'interface d'interconnexion 3 forment un sous-ensemble électronique 17. Les deux pôles d'alimentation du circuit intégré mémoire 2 de la surface supérieure 3.1 sont reliés à deux contacts centraux 7,70 sur la surface supérieure 3.1. Ces deux contacts centraux 7,70 sont reliés par l'intermédiaire des deux trous métallisés 16,160 avec respectivement deux contacts centraux 7,70 sur la surface inférieure 3.2. Ces deux contacts centraux 7,70 sur la surface inférieure 3.1 sont séparés l'un de l'autre électriquement et du boîtier 1. Ils sont accessible de l'extérieur à travers les contacts centraux 7,70 de l'interface d'interconnexion 3, permettent ainsi l'alimentation en courant électrique et l'accès d'un système de lecture/écriture au circuit intégré 2.

20

Sur la figure 5 est représenté en vue en élévation le premier mode de réalisation préféré d'un dispositif à mémoire selon la figure 1 pour montrer l'insertion du sous-ensemble électronique 17 à l'aide de l'interface d'interconnexion. Cette vue latérale montre bien que l'interface d'interconnexion 3 se laisse à titre d'exemple sertir partiellement par une partie tubulaire de fixation 5 d'une extrémité basse déformable 4 du boîtier 1. Cette partie de fixation 5 représente par exemple des griffes, qui permettent de sertir l'interface d'interconnexion 3. Cette insertion est une méthode connue à l'homme du métier. Elle est éprouvée, robuste et durable.

30

Sur la **figure 6** est représenté en vue latérale du premier mode de réalisation préféré d'un dispositif à mémoire selon la figure 1 et après rivure comme moyen de fixation du boîtier sur un support. Ledit boîtier 1 est agencé d'un dégagement 14 pour faciliter la fixation dudit dispositif à mémoire sur ledit support 8 et que ledit boîtier 1 est agencé d'une extrémité haute déformable 9 pour être rivé sur ledit support 8. De préférence ce support 8 est de matière électro-conductrice. Après être fixé sur ce support 8, le boîtier 1 permet un contact électrique entre l'interface d'interconnexion 3 et ledit support 8 en matière électro-conductrice. Le moyen de fixation F consiste donc dans une déformation de ladite extrémité haute déformable 9 dans un trou pratiqué 15 dudit support 8. Une rivure est une méthode connue à l'homme du métier.

Sur la **figure 7** est représenté en vue latérale un dispositif à mémoire selon l'invention avec un cinquième mode de réalisation préféré avec un circuit intégré mémoire et après vissage comme moyen de fixation du boîtier sur un support. Le premier et le cinquième mode de réalisation préféré sont semblables dans la plupart des détails. Nous nous référons pour ces détails à la description de la figure 1 et discutons par la suite seulement les différences par rapport au premier mode de réalisation préféré selon la figure 1.

Selon la figure 7 le boîtier 1 est agencé d'une zone fileté 11 pour être vissé dans un trou taraudé 12 sur un support 8, de préférence sur un support 8 en matière électro-conductrice. Le vissage comme moyen de fixation F permet ainsi un contact électrique entre l'interface d'interconnexion 3 et ledit support 8 en matière électro-conductrice à travers le boîtier 1.

Le boîtier 1 et son filetage 11 se laissent par exemple obtenir par décolletage. Cette décolletage comme fabrication de filetages de même que le vissage

comme moyen de fixation F sont des méthodes connues à l'homme du métier.

5 Le dispositif à mémoire selon l'invention peut, vu ses dimensions réduites et ses moyens de fixation variables, être incorporé dans un bon nombre d'objets sans présenter d'inconvénients de par sa présence. Il est ainsi possible, comme montré dans la figure 7, de noyer le dispositif à mémoire entièrement dans le support 8, afin que le dispositif à mémoire soit dissimulé dans le support 8.

10

Sur la figure 8 est représenté en vue latérale un cinquième mode de réalisation préféré d'un dispositif à mémoire monté sur un support selon la figure 7 avec un couvercle détachable, afin de pouvoir couvrir temporairement le dispositif à mémoire. Ce couvercle détachable 13 est par exemple métallique
15 ou de matière plastique. Selon figure 8 le couvercle détachable 13 possède une symétrie circulaire et est agencé de telle manière de pouvoir renfermer le dispositif à mémoire quasi totalement tout en étant facilement détachable.

20 Ledit dispositif à mémoire est miniaturisé robuste, indépendamment et universellement utilisable et se laisse monter à l'aide du boîtier 1 sur un vaste échantillon de supports 8 divers. Du fait que le couvercle détachable 13 peut couvrir dispositif à mémoire résultent au moins deux avantages:

25 Premièrement, le dispositif à mémoire se laisse dissimuler quasi totalement avec ce couvercle détachable 13. Le dispositif à mémoire ainsi dissimulé peut contenir des informations qui se rapportent à un objet dans lequel il est incorporé ou à une personne qui porte l'objet. Ces informations peuvent donner des indications quant à la provenance ou l'appartenance de l'objet ou de la
30 personne. Ces informations peuvent aussi donner des indications quant à l'identité ou l'état de l'objet ou de la personne.

Deuxièmement, le dispositif à mémoire se laisse munir d'une protection additive avec ce couvercle détachable 13. Cette protection additive peut être de grande importance, par exemple lorsqu'on utilise le dispositif à mémoire comme indicateur incorporé dans des cartes de circuits imprimés lors de leur procédé de production. Dans cette fonction d'indicateur le dispositif peut garder des informations relatives à l'état de ces cartes imprimées lors de leur procédé de production. La protection supplémentaire est nécessaire, car la production de cartes imprimées inclut aussi des passages du dispositif dans des milieux hostiles, par exemple lors des opérations de soudage des composants, de soudure à la vague, de passage au four, etc. Le couvercle détachable 13 se laisse facilement détacher pour accéder au dispositif à mémoire.

L'invention revendique donc l'utilisation d'un dispositif à mémoire électronique, caractérisé en ce que ledit dispositif à mémoire est incorporé dans une carte de circuits imprimés comme support 8, que ledit dispositif à mémoire est accessible à l'écriture/lecture et à l'alimentation en courant électrique, de sorte que ledit dispositif à mémoire garde des informations relatives à l'état de ces cartes imprimées lors de leurs procédés de production et lors de leurs utilisations futures.

Sur la **figure 9** est représenté en vue latérale (à gauche) et en élévation (à droite) un premier mode de réalisation préféré d'un dispositif à mémoire monté sur un support selon la figure 6 avec une pince ad hoc 10 détachable, afin de pouvoir couvrir temporairement le dispositif à mémoire. Cette pince ad hoc détachable 10 est par exemple métallique ou de matière diélectrique ou plastique. Selon figure 9 le couvercle détachable 10 possède une symétrie circulaire et est agencé de telle manière de pouvoir renfermer le dispositif à mémoire quasi totalement et d'être facilement, par exemple à l'aide d'une fonction de ressort incorporé détachable. Concernant la fonction de cette

pince ad hoc détachable 10, elle est similaire à celle du couvercle détachable 13 et nous référons ainsi à la description du couvercle détachable 13 selon la figure 8.

5

Il existe bien sur bien d'autres formes d'exécution du dispositif selon l'invention, mais leur description n'apporterait pas d'éléments supplémentaires à la compréhension de cette dernière.

REVENDICATIONS

5

1. Dispositif à mémoire électronique miniaturisé comportant au moins un circuit intégré mémoire (2,20) et un interface d'interconnexion (3), **caractérisé en ce qu'il comporte un boîtier (1), que ledit boîtier (1) sert de logement pour un sous-ensemble électronique (17) et qu'au moins une**
10 **partie (6) dudit boîtier (1) est agencée de manière à permettre la fixation dudit dispositif à mémoire sur un support (8), afin que ledit dispositif à mémoire puisse documenter des informations relative à ce support (8) ou à des éléments se trouvant dans son environnement.**

15

2. Dispositif selon la revendication 1, **caractérisé en ce que ledit boîtier (1) est en partie tubulaire.**

20

3. Dispositif selon une des revendications 1 ou 2, **caractérisé en ce que ledit boîtier (1) est agencé d'une zone fileté (11) pour être vissé sur ledit support (8).**

25

4. Dispositif selon une des revendications 1 ou 2, **caractérisé en ce que ledit boîtier (1) est agencé d'un dégagement (14) pour faciliter la fixation dudit dispositif à mémoire sur ledit support (8) et que ledit boîtier (1) est agencé d'une extrémité haute déformable (9) pour être rivé au moins partiellement sur ledit support (8).**

30

5. Dispositif selon une des revendications 1 ou 2, **caractérisé en ce qu'au moins un circuit intégré mémoire (2,20) et un composant supplémentaire (22) sont connectés électriquement et mécaniquement sur des surfaces opposées dudit interface d'interconnexion (3), formant ainsi un sous-ensemble électronique (17).**
- 5
6. Dispositif selon la revendication 5, **caractérisé en ce que ledit composant supplémentaire est une alimentation en courant électrique (22), qu'au moins deux bornes d'au moins un circuit intégré mémoire (2,20) sont reliées électriquement à au moins deux contacts centraux (7,70) dudit interface d'interconnexion (3) par ledit interface d'interconnexion (3).**
- 10
7. Dispositif selon la revendication 6, **caractérisé en ce que ladite alimentation en courant électrique (22) est une bobine RF, permettant l'alimentation en courant électrique voire l'écriture/lecture d'au moins un circuit intégré mémoire (2,20) à travers d'au moins deux contacts centraux (7,70) dudit interface d'interconnexion (3).**
- 15
8. Dispositif selon la revendication 5, **caractérisé en ce que ledit interface d'interconnexion (3) est serti d'au moins une partie de fixation (5) d'une extrémité basse déformable (4) dudit boîtier (1).**
- 20
9. Dispositif selon la revendication 8, **caractérisé en ce que ladite partie de fixation (5) sont des griffes.**
- 25
10. Dispositif selon la revendication 8, **caractérisé en ce que ladite partie de**
- 30

fixation (5) forme au moins un contact électrique (6) avec une zone métallisée dudit interface d'interconnexion (3), permettant au moins un contact électrique d'au moins un circuit intégré mémoire (2,20) avec au moins un contact périphérique (700,7000) dudit boîtier (1).

5

11. Dispositif selon la revendication 10, caractérisé en ce qu'au moins une borne d'au moins un circuit intégré mémoire (2,20) est reliée électriquement à au moins un contact central (7,70) dudit interface d'interconnexion (3).

10

12. Dispositif selon la revendication 11, caractérisé en ce qu'au moins un circuit intégré mémoire (2,20) est accessible à l'écriture/lecture et à l'alimentation en courant électrique par au moins un contact central (7,70) dudit interface d'interconnexion (3) et par au moins un contact périphérique (700,7000) dudit boîtier (1).

15

13. Dispositif selon une des revendications 1 à 12, caractérisé en ce que le dispositif à mémoire monté sur ledit support (8) est couvert par une pince ad hoc détachable (10), afin de pouvoir couvrir temporairement le dispositif à mémoire.

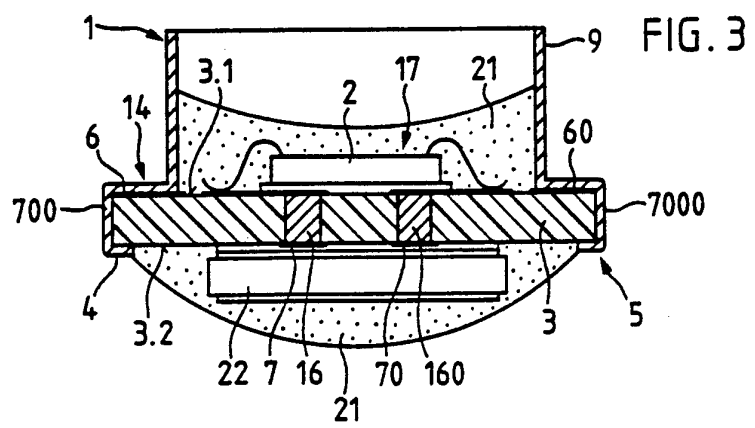
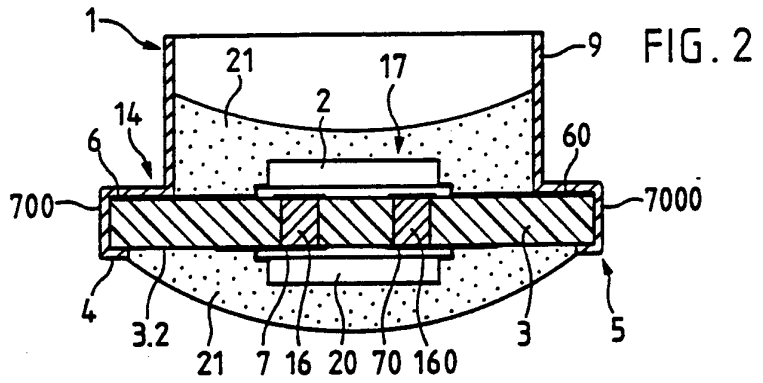
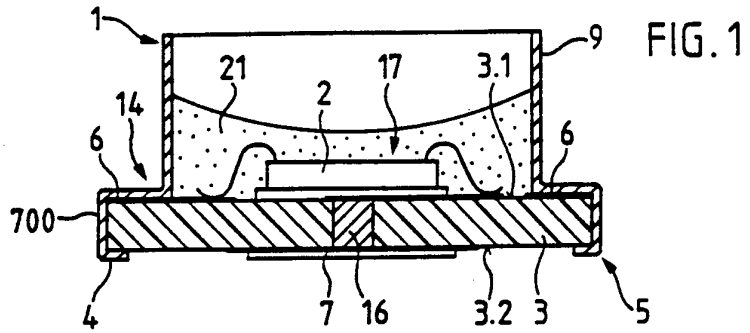
20

25

14. Dispositif selon une des revendications 1 à 12, caractérisé en ce que le dispositif à mémoire monté sur ledit support (8) est couvert par un couvercle détachable (13), afin de pouvoir couvrir temporairement le dispositif à mémoire.

30

15. Utilisation d'un dispositif à mémoire électronique selon la revendication 1, caractérisé en ce que ledit dispositif à mémoire est incorporé dans une carte de circuits imprimés comme support (8), que ledit dispositif à mémoire est accessible à l'écriture/lecture et à l'alimentation en courant électrique, de sorte que ledit dispositif à mémoire garde des informations relatives à l'état de ces cartes imprimées lors de leurs procédés de production et lors de leurs utilisation future.



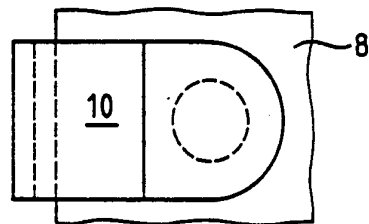
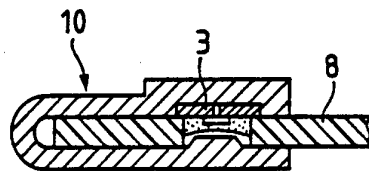
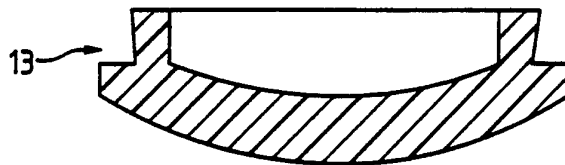
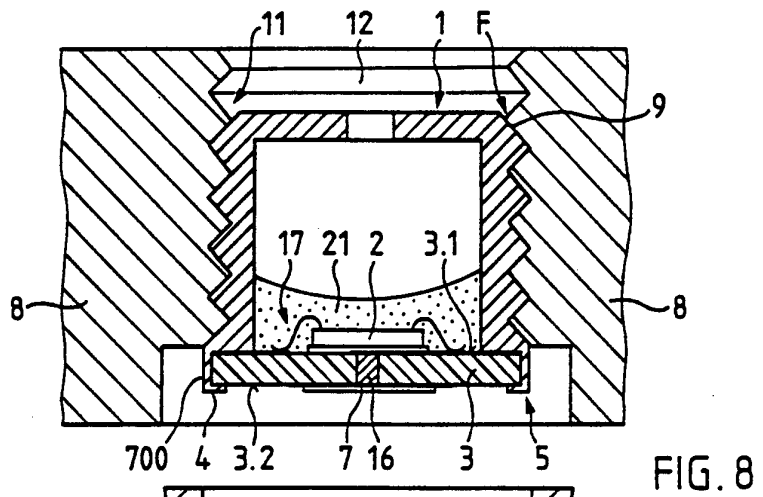
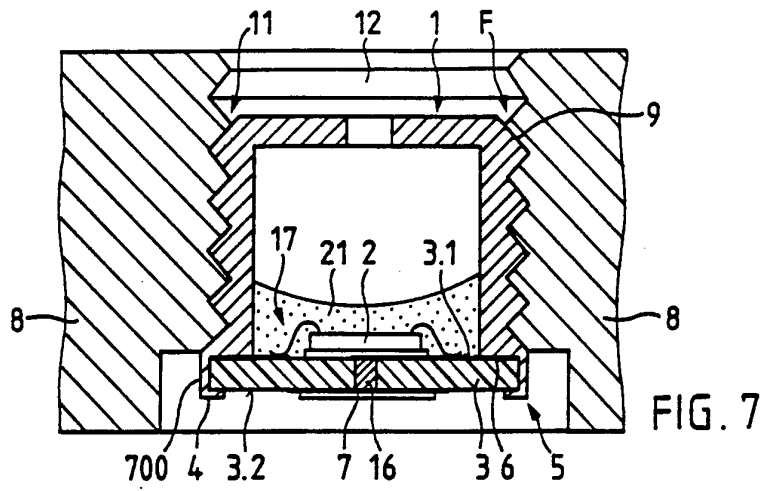


FIG. 9

INTERNATIONAL SEARCH REPORT

International Application No

PCT/CH 95/00079

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 6 G11C5/00 G06K19/077

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 IPC 6 G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 11 no. 143 (E-504) ,9 May 1987 & JP,A,61 281559 (NIPPON KOGAKU KK) see abstract	1,2,5
A	---	12,15
X	PATENT ABSTRACTS OF JAPAN vol. 17 no. 616 (P-1643) ,12 November 1993 & JP,A,51 089626 (HITACHI MAXELL) see abstract	1,2
A	---	5-7,12, 15
X	WO,A,93 24902 (BERNEY) 9 December 1993 see the whole document	1,2
A	---	8-12,15
	--- -/--	

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

7 July 1995

Date of mailing of the international search report

14. 07. 95

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax (+31-70) 340-3016

Authorized officer

Degraeve, L

INTERNATIONAL SEARCH REPORT

International Application No

PCT/CH 95/00079

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	EP,A,0 647 943 (GAY FRERES VENDE ET EXPORTATIONS) 12 April 1995 see the whole document ---	1,2,4, 8-12
A	FR,A,2 546 327 (PACINI) 23 November 1984 see the whole document ---	1,14
A	PATENT ABSTRACTS OF JAPAN vol. 12 no. 111 (E-598) [2958] ,8 April 1988 & JP,A,62 241358 (HITACHI) see abstract ---	1
A	PATENT ABSTRACTS OF JAPAN vol. 12 no. 411 (P-770) ,31 October 1988 & JP,A,63 147212 (SUZUKI SHIGEHISA) see abstract ---	5-7,12, 15
A	PATENT ABSTRACTS OF JAPAN vol. 8 no. 259 (P-317) [1696] ,28 November 1984 & JP,A,59 129979 (SHARP) see abstract ---	1
A	PATENT ABSTRACTS OF JAPAN vol. 10 no. 38 (P-428) [2095] ,14 February 1986 & JP,A,60 185284 (MATSUSHITA) see abstract ---	1
A	WO,A,93 07620 (SKORSKI) 15 April 1993 see page 1, line 18 - page 1, line 38; figure 1 ---	1
A	WO,A,93 18485 (CONTROL MODULE INC) 16 September 1993 see page 5, line 10 - page 8, line 17; figures 1-3,5 ---	1
A	FR,A,2 655 368 (VACHETTE) 7 June 1991 see page 4, line 35 - page 6, line 27 see page 10, line 16 - page 10, line 18 see figure 1 ---	1
A	US,A,4 145 760 (WARD ET. AL) 20 March 1979 see the whole document -----	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/CH 95/00079

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO-A-9324902	09-12-93	EP-A- 0597055 JP-T- 6511581	18-05-94 22-12-94
EP-A-647943	12-04-95	CA-A- 2132784	09-04-95
FR-A-2546327	23-11-84	NONE	
WO-A-9307620	15-04-93	EP-A- 0607133	27-07-94
WO-A-9318485	16-09-93	US-A- 5374818	20-12-94
FR-A-2655368	07-06-91	NONE	
US-A-4145760	20-03-79	DE-C- 2947100 FR-A, B 2423029 GB-A, B 2037521 NL-A- 7902352 WO-A- 7900914	07-03-85 09-11-79 09-07-80 15-10-79 15-11-79

RAPPORT DE RECHERCHE INTERNATIONALE

Dem. Internationale No
PCT/CH 95/00079

A. CLASSEMENT DE L'OBJET DE LA DEMANDE CIB 6 G11C5/00 G06K19/077		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) CIB 6 G11C		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	PATENT ABSTRACTS OF JAPAN vol. 11 no. 143 (E-504) ,9 Mai 1987 & JP,A,61 281559 (NIPPON KOGAKU KK) voir abrégé	1,2,5
A	---	12,15
X	PATENT ABSTRACTS OF JAPAN vol. 17 no. 616 (P-1643) ,12 Novembre 1993 & JP,A,51 089626 (HITACHI MAXELL) voir abrégé	1,2
A	---	5-7,12, 15
X	WO,A,93 24902 (BERNEY) 9 Décembre 1993 voir le document en entier	1,2
A	---	8-12,15
-/--		
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents		
<input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
° Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent	"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention	
"E" document antérieur, mais publié à la date de dépôt international ou après cette date	"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément	
"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)	"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier	
"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens	"&" document qui fait partie de la même famille de brevets	
"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée		
Date à laquelle la recherche internationale a été effectivement achevée <div style="text-align: center; font-weight: bold;">7 Juillet 1995</div>	Date d'expédition du présent rapport de recherche internationale <div style="text-align: center; font-weight: bold;">14.07.95</div>	
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016	Fonctionnaire autorisé <div style="text-align: center; font-weight: bold;">Degraeve, L</div>	

RAPPORT DE RECHERCHE INTERNATIONALE

Dema Internationale No
PCT/CH 95/00079

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
E	EP,A,0 647 943 (GAY FRERES VENTE ET EXPORTATIONS) 12 Avril 1995 voir le document en entier ---	1,2,4, 8-12
A	FR,A,2 546 327 (PACINI) 23 Novembre 1984 voir le document en entier ---	1,14
A	PATENT ABSTRACTS OF JAPAN vol. 12 no. 111 (E-598) [2958] ,8 Avril 1988 & JP,A,62 241358 (HITACHI) voir abrégé ---	1
A	PATENT ABSTRACTS OF JAPAN vol. 12 no. 411 (P-770) ,31 Octobre 1988 & JP,A,63 147212 (SUZUKI SHIGEHISA) voir abrégé ---	5-7,12, 15
A	PATENT ABSTRACTS OF JAPAN vol. 8 no. 259 (P-317) [1696] ,28 Novembre 1984 & JP,A,59 129979 (SHARP) voir abrégé ---	1
A	PATENT ABSTRACTS OF JAPAN vol. 10 no. 38 (P-428) [2095] ,14 Février 1986 & JP,A,60 185284 (MATSUSHITA) voir abrégé ---	1
A	WO,A,93 07620 (SKORSKI) 15 Avril 1993 voir page 1, ligne 18 - page 1, ligne 38; figure 1 ---	1
A	WO,A,93 18485 (CONTROL MODULE INC) 16 Septembre 1993 voir page 5, ligne 10 - page 8, ligne 17; figures 1-3,5 ---	1
A	FR,A,2 655 368 (VACHETTE) 7 Juin 1991 voir page 4, ligne 35 - page 6, ligne 27 voir page 10, ligne 16 - page 10, ligne 18 voir figure 1 ---	1
A	US,A,4 145 760 (WARD ET AL) 20 Mars 1979 voir le document en entier -----	1

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Dema Internationale No
PCT/CH 95/00079

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO-A-9324902	09-12-93	EP-A- 0597055 JP-T- 6511581	18-05-94 22-12-94
EP-A-647943	12-04-95	CA-A- 2132784	09-04-95
FR-A-2546327	23-11-84	AUCUN	
WO-A-9307620	15-04-93	EP-A- 0607133	27-07-94
WO-A-9318485	16-09-93	US-A- 5374818	20-12-94
FR-A-2655368	07-06-91	AUCUN	
US-A-4145760	20-03-79	DE-C- 2947100 FR-A, B 2423029 GB-A, B 2037521 NL-A- 7902352 WO-A- 7900914	07-03-85 09-11-79 09-07-80 15-10-79 15-11-79