(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-182000
(P2009-182000A)
(43)公開日　平成21年8月13日(2009.8.13)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/768	(2006.01)	H01L	21/90	K	4K030
H01L 23/522	(2006.01)	H01L	21/316	M	5F033
H01L 21/316	(2006.01)	H01L	21/314	M	5F058
H01L 21/314	(2006.01)	C23C	16/56		
C23C 16/56	(2006.01)	C23C	16/42		

審査請求 未請求　請求項の数 24　ＯＬ　（全 18 頁）　最終頁に続く

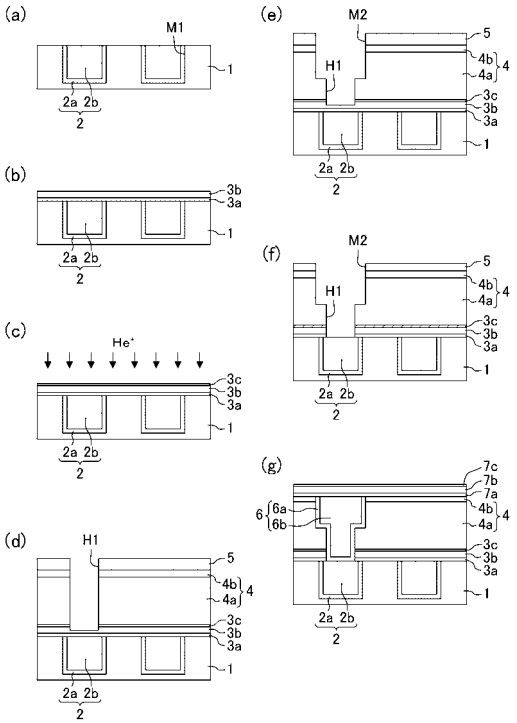
(21)出願番号　特願2008-17362(P2008-17362)
(22)出願日　平成20年1月29日(2008.1.29)

(71)出願人　000005821
パナソニック株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100077931
弁理士　前田　弘
(74)代理人　100110939
弁理士　竹内　宏
(74)代理人　100110940
弁理士　嶋田　高久
(74)代理人　100113262
弁理士　竹内　祐二
(74)代理人　100115059
弁理士　今江　克実
(74)代理人　100115691
弁理士　藤田　篤史

最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】
【課題】十分なＥＭ耐性および配線間ＴＤＤＢ寿命を確保しつつ、層間絶縁膜の低誘電率化を行っても絶縁膜ライナー膜厚を薄くすることができ、配線間の実効比誘電率Ｋｅｆｆを低減した高速で高信頼性な配線を得ることができる。
【解決手段】第１の絶縁膜１には配線溝Ｍ１が形成されており、配線溝Ｍ１内にはＣｕ膜２ｂが設けられている。Ｃｕ膜２ｂの上にはＳｉＣＮ膜３ａ、ＳｉＣＯ膜３ｂおよびＳｉＯＣ膜４ａが順に設けられており、ＳｉＯＣ膜４ａはＳｉＣＮ膜３ａおよびＳｉＣＯ膜３ｂよりも低誘電率な絶縁膜である。ＳｉＣＯ膜３ｂの上面には、高密度化処理が施されて高密度膜３ｃが形成されている。
【選択図】図１



【特許請求の範囲】
【請求項１】
半導体基板上の層形成絶縁膜に形成された配線溝と、
前記配線溝内に設けられた銅膜と、
前記銅膜の上及び前記層形成絶縁膜の上に設けられた第一の絶縁性バリア膜と、
前記第一の絶縁性バリア膜の上に設けられた第二の絶縁性バリア膜と、
前記第二の絶縁性バリア膜の上に設けられ、前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜よりも誘電率が低い低誘電率な絶縁膜とを有し、
前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜のうちの少なくとも一方の絶縁性バリア膜の少なくとも上面は、膜密度が高い高密度膜であることを特徴とする半導体装置。
【請求項２】
前記第二の絶縁性バリア膜と前記低誘電率な絶縁膜との間に窒化シリコン膜が設けられていることを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記高密度膜は、前記第二の絶縁性バリア膜の上面または前記第二の絶縁性バリア膜全体に形成されており、前記第一の絶縁性バリア膜よりも高密度であることを特徴とする請求項１または２に記載の半導体装置。
【請求項４】
前記高密度膜の膜密度は、２．０ｇ／ｃｍ^{3}以上であることを特徴とする請求項１から３の何れか一つに記載の半導体装置。
【請求項５】
前記第一の絶縁性バリア膜は、シリコンカーボン窒化膜であり、
前記第二の絶縁性バリア膜は、シリコンカーボン酸化膜であることを特徴とする請求項１から４の何れか一つに記載の半導体装置。
【請求項６】
半導体基板上の層形成絶縁膜に形成された配線溝と、
前記配線溝内に設けられた銅膜と、
前記銅膜の上及び前記層形成絶縁膜の上に設けられた第一の絶縁性バリア膜と、
前記第一の絶縁性バリア膜の上に設けられた第二の絶縁性バリア膜とを有し、
前記第一の絶縁性バリア膜又は前記第二の絶縁性バリア膜のうちどちらか一方は窒化シリコン膜であることを特徴とする半導体装置。
【請求項７】
前記第一の絶縁性バリア膜又は前記第二の絶縁性バリア膜のうち前記窒化シリコン膜ではない絶縁性バリア膜は、シリコンカーボン窒化膜又はシリコンカーボン酸化膜であることを特徴とする請求項６に記載の半導体装置。
【請求項８】
半導体基板上の層形成絶縁膜に形成された配線溝と、
前記配線溝内に設けられた銅膜と、
前記銅膜の上及び前記層形成絶縁膜の上に設けられた第一の絶縁性バリア膜と、
前記第一の絶縁性バリア膜の上に設けられた第二の絶縁性バリア膜と、
前記第二の絶縁性バリア膜の上に設けられ、前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜よりも誘電率が低い低誘電率な絶縁膜とを有し、
前記銅膜と前記低誘電率な絶縁膜との間には、窒化シリコン膜が設けられていることを特徴とする半導体装置。
【請求項９】
前記窒化シリコン膜は、前記第二の絶縁性バリア膜と前記低誘電率な絶縁膜との間に設けられていることを特徴とする請求項８に記載の半導体装置。
【請求項１０】
前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜のうちの一方は、前記窒化

シリコン膜であり、
前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜のうちの他方は、シリコンカーボン窒化膜又はシリコンカーボン酸化膜であることを特徴とする請求項８に記載の半導体装置。
【請求項１１】
前記窒化シリコン膜の膜厚は、５ｎｍ以下であることを特徴とする請求項６から１０の何れか一つに記載の半導体装置。
【請求項１２】
半導体基板上に形成された層形成絶縁膜に配線溝を形成する工程（ａ）と、
前記工程（ａ）の後に、前記配線溝内に銅膜を堆積させて配線を形成する工程（ｂ）と、
前記工程（ｂ）の後に、前記銅膜の上及び前記層形成絶縁膜の上に第一の絶縁性バリア膜を形成する工程（ｃ）と、
前記工程（ｃ）の後に、前記第一の絶縁性バリア膜の上に第二の絶縁性バリア膜を形成する工程（ｄ）と、
前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜の少なくとも一方の絶縁性バリア膜の少なくとも上面に対して高密度化処理を行う工程（ｅ）と、
前記第二の絶縁性バリア膜の上に、前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜よりも誘電率が低い低誘電率な絶縁膜を形成する工程（ｆ）とを有することを特徴とする半導体装置の製造方法。
【請求項１３】
前記工程（ｃ）と前記工程（ｄ）の間に、前記第一の絶縁性バリア膜の上面に対して高密度化処理を行う工程（ｇ）を有することを特徴とする請求項１２に記載の半導体装置の製造方法。
【請求項１４】
前記工程（ｅ）の後に、前記第二の絶縁性バリア膜の上に窒化シリコン膜を形成する工程（ｈ）を有することを特徴とする請求項１２または１３に記載の半導体装置の製造方法。
【請求項１５】
前記高密度化処理として、プラズマ処理又は酸化処理を行うことを特徴とする請求項１２から１４の何れか一つに記載の半導体装置の製造方法。
【請求項１６】
前記プラズマ処理は、ヘリウム、アルゴン、窒素、アンモニアおよび酸素のいずれかのガスを用いることを特徴とする請求項１５に記載の半導体装置の製造方法。
【請求項１７】
前記高密度化処理では、膜密度を２．０ｇ／ｃｍ^{3}以上とすることを特徴とする請求項１２から１６の何れか一つに記載の半導体装置の製造方法。
【請求項１８】
前記第一の絶縁性バリア膜としてシリコンカーボン窒化膜を用い、
前記第二の絶縁性バリア膜としてシリコンカーボン酸化膜を用いることを特徴とする請求項１２から１７のいずれか１つに記載の半導体装置の製造方法。
【請求項１９】
半導体基板上に形成された層形成絶縁膜に配線溝を形成する工程（ｉ）と、
前記工程（ｉ）の後に、前記配線溝内に銅膜を堆積させて配線を形成する工程（ｊ）と、
前記工程（ｊ）の後に、前記銅膜の上及び前記層形成絶縁膜の上に、第一の絶縁性バリア膜および第二の絶縁性バリア膜を順に形成する工程（ｋ）と、
前記工程（ｋ）の後に、前記第二の絶縁性バリア膜の上に、前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜よりも誘電率が低い低誘電率な絶縁膜を形成する工程（ｌ）とを備え、

前記工程（ｋ）では、前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜のうちの一方を窒化シリコン膜とすることを特徴とする半導体装置の製造方法。
【請求項２０】
前記工程（ｋ）では、前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜のうちの前記窒化シリコン膜ではない絶縁性バリア膜をシリコンカーボン窒化膜又はシリコンカーボン酸化膜とすることを特徴とする請求項１９に記載の半導体装置の製造方法。
【請求項２１】
半導体基板上に形成された層形成絶縁膜に配線溝を形成する工程（ｉ）と、
前記工程（ｉ）の後に、前記配線溝内に銅膜を堆積させて配線を形成する工程（ｊ）と、
前記工程（ｊ）の後に、前記銅膜の上及び前記層形成絶縁膜の上に、第一の絶縁性バリア膜および第二の絶縁性バリア膜を順に形成する工程（ｋ）と、
前記工程（ｋ）の後に、前記第二の絶縁性バリア膜の上に、前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜よりも誘電率が低い低誘電率な絶縁膜を形成する工程（ｌ）と、
前記銅膜と前記低誘電率な絶縁膜との間に、窒化シリコン膜を形成する工程（ｍ）を有していることを特徴とする半導体装置の製造方法。
【請求項２２】
前記工程（ｋ）と前記工程（ｌ）との間で前記工程（ｍ）を行い、
前記工程（ｍ）では、前記第二の絶縁性バリア膜の上に前記窒化シリコン膜を形成することを特徴とする請求項２１に記載の半導体装置の製造方法。
【請求項２３】
前記工程（ｍ）では、前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜のうちの一方を前記窒化シリコン膜とし、前記第一の絶縁性バリア膜および前記第二の絶縁性バリア膜のうちの他方をシリコンカーボン窒化膜又はシリコンカーボン酸化膜とすることを特徴とする請求項２１に記載の半導体装置の製造方法。
【請求項２４】
前記窒化シリコン膜の膜厚を5nm以下とすることを特徴とする請求項１９から２３の何れか一つに記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置およびその製造方法に関し、特に配線上の絶縁性ライナー膜の膜質を改善することにより半導体装置の信頼性を向上させる技術に関する。
【背景技術】
【０００２】
近年、半導体装置（特に、半導体集積回路装置）の高集積化、高機能化及び高速化に伴って、その内部配線として銅（Ｃｕ）もしくは銅を主体とした配線（以下、Ｃｕ配線と記す）が多く用いられている。このＣｕ配線は一般的にダマシン法により、形成される。その代表例は特許文献１および２に記されている。このダマシン法では、形成されたＣｕ配線の最表面に露出したＣｕの上に、Ｃｕ拡散を防止する絶縁性ライナー膜を形成し、その絶縁性ライナー膜の上に、層間膜となる絶縁膜を形成することが一般的である。その絶縁性ライナー膜の代表例としては、窒化シリコン膜（ＳｉＮ）、ＳｉＣＮ膜、ＳｉＣＯ膜、ＳｉＣ膜及びそれらの積層構造が挙げられ、このような絶縁性ライナー膜はプラズマＣＶＤ（Chemical Vapor Deposition）により成膜されて形成されている。
【０００３】
一方、配線間の容量低減による高速化を目指して、近年、層間膜の低誘電率化が進んでいると共に、比較的誘電率の高い絶縁性ライナー膜の低誘電率化が検討されている。層間膜としてはＳｉＯＣベースの低誘電率膜を使うのが一般的であり、層間膜の低密度化および層間膜へのポア（空孔）形成により層間膜の低誘電率化（ｋ≦３．０）が図られている

。

【０００４】

また、絶縁性ライナー膜としては、ＳｉＮの比誘電率ｋが７．０程度でありＳｉＣＮ，ＳｉＣＯおよびＳｉＣの比誘電率が５．２未満であるので、比誘電率の高いＳｉＮの代わりにＳｉＣＮ，ＳｉＣＯ，ＳｉＣ及びこれらの組み合わせを用いることが主流となっている。

【０００５】

図３に、従来技術により作成された３層配線構造を示す。この３層配線構造は、低誘電率膜であるＳｉＯＣ膜（ｋ＝３．０）１０１と、タンタル系バリアメタル膜１０２ａとＣｕ膜１０２ｂとからなる第１の配線層１０２と、ＳｉＣＮ膜（ｋ＝４．８）１０３ａとＳｉＣＯ膜（ｋ＝４．５）１０３ｂとの積層構造からなる絶縁性ライナー膜１０３と、ｋ＝２．７であるＳｉＯＣ膜１０４ａ及びｋ＝３．０であるＳｉＯＣ膜１０４ｂ、タンタル系バリアメタル膜１０５ａとＣｕ膜１０５ｂとからなる第２の配線層１０５と、ＳｉＣＮ膜（ｋ＝４．８）１０６ａとＳｉＣＯ膜（ｋ＝４．５）１０６ｂとの積層構造からなる絶縁性ライナー膜１０６と、ｋ＝２．７であるＳｉＯＣ膜１０７ａ及びｋ＝３．０であるＳｉＯＣ膜１０７ｂと、タンタル系バリアメタル膜１０８ａとＣｕ膜１０８ｂとからなる第３の配線層１０８と、ＳｉＣＮ膜（ｋ＝４．８）１０９ａとＳｉＣＯ膜（ｋ＝４．５）１０９ｂとの積層構造からなる絶縁性ライナー膜１０９とからなっている。ここで、ｋ＝２．７であるＳｉＯＣ膜１０４ａ，１０７ａは、膜質を強化するために成膜後にＵＶキュアが照射されている。

【０００６】

なお、ＳｉＣＯ膜は、Ｓｉ－ＣベースにＯが結合したものである。また、ＳｉＯＣ膜は、Ｓｉ－Ｏの骨格がベースで、Ｓｉ－Ｏの骨格に－CH_3基が結合したものである。ＳｉＯＣ膜とＳｉＣＯ膜とではこのように骨格ベースが相異なるので、ＳｉＯＣ膜の方がＳｉＣＯ膜よりも低密度である。

【特許文献１】特開２００２－９１５０号公報

【特許文献２】特開２００４－１５８８３２号公報

【非特許文献１】Ｙ．Ｈａｙａｓｈｉ，Ｋ．Ｔｓｕｍｕｒａ，Ｍ．Ｓｈｉｍａｄａ，Ｋ．Ｗａｔａｎａｂｅ，Ｈ．Ｍｉｙａｊｉｍａ，Ｔ．Ｕｓｕｉ，Ｈ．Ｓｈｉｂａｔａ，“Ｈｉｇｈ Ｐｅｒｆｏｒｍａｎｃｅ Ｕｌｔｒａ Ｌｏｗ－ｋ （ｋ＝２．０ ／ ｋｅｆｆ＝２．４） Ｈｙｂｒｉｄ Ｄｉｅｌｅｃｔｒｉｃｓ ／ Ｃｕ Ｄｕａｌ－Ｄａｍａｓｃｅｎｅ Ｉｎｔｅｒｃｏｎｎｅｃｔｓ ｗｉｔｈ Ｓｅｌｅｃｔｉｖｅ Ｂａｒｒｉｅｒ Ｌａｙｅｒ ｆｏｒ ３２ｎｍ－Ｎｏｄｅ”，Ａｄｖａｎｃｅｄ Ｍｅｔａｌｌｉｚａｔｉｏｎ Ｃｏｎｆｅｒｅｎｃｅ ２００６ ｐ．３７－３８

【発明の開示】

【発明が解決しようとする課題】

【０００７】

上記のような従来の製造方法において形成された配線構造において配線間の実効比誘電率ｋｅｆｆを今後更に下げるためには、ＳｉＣＮ膜１０３ａ，１０６ａおよび１０９ａならびにＳｉＣＯ膜１０３ｂ，１０６ｂおよび１０９ｂを薄膜化する方法と、低誘電率なＳｉＯＣ膜１０１，１０４ａおよび１０７ａの比誘電率ｋを更に低くする方法とが挙げられる。

【０００８】

まず、絶縁性ライナー膜を薄膜化した場合に半導体装置の信頼性への影響を調べた結果を図４および図５に示す。図４は、第１の配線層１０２の幅が０．０６μｍでありその長さが１５０μｍであり、第２の配線層１０５の幅が０．２１μｍでありその長さが５μｍであり、ビア径が０．０７μｍである１６個のチェーンで評価したエレクトロマイグレーション（ＥＭ;Electro Migration）の試験結果である。この結果から、絶縁性ライナー膜１０３がＳｉＣＯ膜／ＳｉＣＮ膜＝３０ｎｍ／３０ｎｍよりも薄膜化するに従いＥＭ寿命が劣化することが新たに判明した。また、図５は、第２の配線層１０５の配線間のＴＤＤ

Ｂ（Time Dependent Dielectric Breakdown）を評価した結果である。この結果からも、絶縁性ライナー膜１０３が薄膜化するに従いＴＤＤＢ寿命が劣化することが新たに判明した。

【０００９】

図６を用いて、半導体装置におけるこのような信頼性の劣化原因を説明する。低誘電率膜であるＳｉＯＣ膜１０４ａおよび１０７ａは、比誘電率が低いほど多くの水分を含有する。その理由は、ＳｉＯＣ中の微小空孔（ポア）、または、工程中のアッシング等のプラズマ処理により形成されたダメージ層に、水分が吸湿されやすいためである。このようにして低誘電率なＳｉＯＣ膜１０４ａに吸湿された水分は薄膜化したＳｉＣＮ膜１０３ａおよびＳｉＣＯ膜１０３ｂを透過しやすくなり、ＳｉＣＮ膜１０３ａおよびＳｉＣＯ膜１０３ｂの下に設けられた第１の配線層１０２の表面が水分にさらされ、その結果、Ｃｕ膜１０２ｂの表面が酸化される。低誘電率なＳｉＯＣ膜１０７ａについても同様のことが言え、低誘電率なＳｉＯＣ膜１０７ａに吸湿された水分は薄膜化したＳｉＣＮ膜１０６ａおよびＳｉＣＯ膜１０６ｂを透過しやすくなり、ＳｉＣＮ膜１０６ａおよびＳｉＣＯ膜１０６ｂの下に設けられた第２の配線層１０５の表面が水分にさらされ、その結果、Ｃｕ膜１０５ｂの表面が酸化される。

【００１０】

Ｃｕ膜１０２ｂおよび１０５ｂの表面が酸化されると銅酸化膜（CuO_2膜）が形成され、その銅酸化膜と銅酸化膜の上の絶縁性ライナー膜との界面密着性が劣化し、ＥＭ時のＣｕの界面拡散速度が増加し、ＥＭ寿命の劣化を引き起こす。また、CuO_2ができるとＣｕ金属に比べＣｕがイオン化されやすくなるので、そのＣｕイオンが配線間電界で移動しやすくなり、配線間ＴＤＤＢが劣化する。また、絶縁性ライナー膜１０３とＳｉＯＣ膜１０１との界面又は、絶縁性ライナー膜１０６とＳｉＯＣ膜１０４ｂとの界面に水分が存在することにより、その水分が配線間リーク電流を増加させると共にＣｕイオンの拡散を加速するため、配線間ＴＤＤＢが更に劣化する。

【００１１】

それを裏付けるために、ＳｉＣＯ膜およびＳｉＣＮ膜の透水性の膜厚依存性を評価した結果を図７（ｂ）に示す。図７（ｂ）に示す結果は、図７（ａ）に示すように吸湿性SiO_2膜を下地とし、その下地を上記ＳｉＣＯ膜またはＳｉＣＮ膜でキャップし、吸湿性SiO_2膜のストレスの経時変化を評価した結果である。この評価は、ＳｉＣＯ膜およびＳｉＣＮ膜に透水性があれば、大気中の水分がＳｉＣＮ膜およびＳｉＣＯ膜をそれぞれ透過し、その水分が下地の吸湿性SiO_2膜に吸湿され、下地の吸湿性SiO_2膜にストレス変化が発生することを利用したものである。図７（ｂ）に示すように、ＳｉＣＮ膜は、膜厚を３０ｎｍまで厚くしても透水性があることが分かる。一方、ＳｉＯＣ膜は、膜厚が１０ｎｍ未満であれば透水性があるが、その膜厚が２０ｎｍ以上となるとストレスの経時変化が起こっておらず透水性が無いことが分かる。但し、実際の工程中では、各種のダメージおよびストレス等を受けたり、ＳｉＯＣ膜自体にもプロセスばらつきがあることから、実際にはＳｉＯＣ膜は膜厚が２０ｎｍ程度でも透水性を持つ可能性があり、その結果、図４および図５に示すように、ＥＭ特性の劣化およびＴＤＤＢ特性の劣化が起こっているものと考えられる。

【００１２】

別途非特許文献１でも、低誘電率膜中の水分が絶縁性ライナー膜を透過してＣｕ配線表面を酸化することによりＥＭ特性が劣化するというモデルを提唱しており、Ｃｕ配線の表面をＣｕＳｉＮとすればＣｕ配線の表面における酸化を防止することができＥＭ特性を改善することができることを示している。

【００１３】

但し、非特許文献１の手法では、Ｃｕをシリサイド化させてＣｕＳｉＮ膜を形成しているため、Ｃｕ配線の断面積の減少を招来する。その結果、Ｃｕ配線の配線抵抗が高くなると共に、Ｃｕをシリサイドさせる反応がＣｕ表面の状態およびＣｕ表面の温度に非常に敏感であるために配線抵抗のウェハ面内ばらつきを増大させるという問題がある。

【００１４】
一方、配線間の実効比誘電率ｋｅｆｆを低減させるもう一つの方法である低誘電率膜の誘電率を更に低減させるためには、低誘電率膜における空孔径をさらに増大させて低誘電率膜の膜密度を更に低減させる必要がある。しかし、低誘電率膜の膜密度を低減させると低誘電率膜のダメージ耐性が劣化するので、低誘電率膜中の水分が増加して、上記課題が益々深刻になる。
【００１５】
本発明は、上記の問題点を解決するもので、十分なＥＭ耐性および配線間ＴＤＤＢ寿命を確保しつつ、層間絶縁膜の低誘電率化を行っても、絶縁性ライナー膜の膜厚を薄くすることができ、配線間の実効比誘電率Ｋｅｆｆを低減した高速で高信頼性な配線を得ることができる半導体装置およびその製造方法を提供する。
【課題を解決するための手段】
【００１６】
本発明の第１の半導体装置は、半導体基板上の層形成絶縁膜に形成された配線溝と、配線溝内に設けられた銅膜と、銅膜の上及び層形成絶縁膜の上に設けられた第一の絶縁性バリア膜と、第一の絶縁性バリア膜の上に設けられた第二の絶縁性バリア膜と、第二の絶縁性バリア膜の上に設けられ、第一の絶縁性バリア膜および第二の絶縁性バリア膜よりも誘電率が低い低誘電率な絶縁膜とを有している。第一の絶縁性バリア膜および第二の絶縁性バリア膜のうちの少なくとも一方の絶縁性バリア膜の少なくとも上面は、膜密度が高い高密度膜である。
【００１７】
本発明の第１の半導体装置では、第二の絶縁性バリア膜と低誘電率な絶縁膜との間に窒化シリコン膜が設けられていることが好ましい。
【００１８】
本発明の第１の半導体装置では、高密度膜は、第二の絶縁性バリア膜の上面または第二の絶縁性バリア膜全体に形成されており、第一の絶縁性バリア膜よりも高密度であることが好ましい。
【００１９】
本発明の第１の半導体装置では、高密度膜の膜密度は２．０ｇ／ｃｍ^{3}以上であることが好ましい。
【００２０】
本発明の第１の半導体装置では、第一の絶縁性バリア膜は、シリコンカーボン窒化膜であり、第二の絶縁性バリア膜は、シリコンカーボン酸化膜であることが好ましい。
【００２１】
本発明の第２の半導体装置は、半導体基板上の層形成絶縁膜に形成された配線溝と、配線溝内に設けられた銅膜と、銅膜の上及び層形成絶縁膜の上に設けられた第一の絶縁性バリア膜と、第一の絶縁性バリア膜の上に設けられた第二の絶縁性バリア膜とを有している。第一の絶縁性バリア膜又は第二の絶縁性バリア膜のうちどちらか一方は窒化シリコン膜である。
【００２２】
本発明の第２の半導体装置では、第一の絶縁性バリア膜又は第二の絶縁性バリア膜のうち窒化シリコン膜ではない絶縁性バリア膜は、シリコンカーボン窒化膜又はシリコンカーボン酸化膜であることが好ましい。
【００２３】
本発明の第３の半導体装置は、半導体基板上の層形成絶縁膜に形成された配線溝と、配線溝内に設けられた銅膜と、銅膜の上及び層形成絶縁膜の上に設けられた第一の絶縁性バリア膜と、第一の絶縁性バリア膜の上に設けられた第二の絶縁性バリア膜と、第二の絶縁性バリア膜の上に設けられ、第一の絶縁性バリア膜および第二の絶縁性バリア膜よりも誘電率が低い低誘電率な絶縁膜とを有している。銅膜と低誘電率な絶縁膜との間には、窒化シリコン膜が設けられている。

【００２４】
本発明の第３の半導体装置では、窒化シリコン膜は、第二の絶縁性バリア膜と低誘電率な絶縁膜との間に設けられていることが好ましい。
【００２５】
本発明の第３の半導体装置では、第一の絶縁性バリア膜および第二の絶縁性バリア膜のうちの一方は、窒化シリコン膜であり、第一の絶縁性バリア膜および第二の絶縁性バリア膜のうちの他方は、シリコンカーボン窒化膜又はシリコンカーボン酸化膜であることが好ましい。
【００２６】
本発明の第３の半導体装置では、窒化シリコン膜の膜厚は、５ｎｍ以下であることが好ましい。
【００２７】
本発明の第１の半導体装置の製造方法は、半導体基板上に形成された層形成絶縁膜に配線溝を形成する工程（ａ）と、工程（ａ）の後に、配線溝内に銅膜を堆積させて配線を形成する工程（ｂ）と、工程（ｂ）の後に、銅膜の上及び層形成絶縁膜の上に第一の絶縁性バリア膜を形成する工程（ｃ）と、工程（ｃ）の後に、第一の絶縁性バリア膜の上に第二の絶縁性バリア膜を形成する工程（ｄ）と、第一の絶縁性バリア膜および第二の絶縁性バリア膜の少なくとも一方の絶縁性バリア膜の少なくとも上面に対して高密度化処理を行う工程（ｅ）と、第二の絶縁性バリア膜の上に、第一の絶縁性バリア膜および第二の絶縁性バリア膜よりも誘電率が低い低誘電率な絶縁膜を形成する工程（ｆ）とを有している。
【００２８】
本発明の第１の半導体装置の製造方法では、工程（ｃ）と工程（ｄ）の間に、第一の絶縁性バリア膜の上面に対して高密度化処理を行う工程（ｇ）を有することが好ましい。
【００２９】
本発明の第１の半導体装置の製造方法では、工程（ｅ）の後に、第二の絶縁性バリア膜の上に窒化シリコン膜を形成する工程（ｈ）を有することが好ましい。
【００３０】
本発明の第１の半導体装置の製造方法では、高密度化処理として、プラズマ処理又は酸化処理を行うことが好ましい。
【００３１】
本発明の第１の半導体装置の製造方法では、プラズマ処理は、ヘリウム、アルゴン、窒素、アンモニアおよび酸素のいずれかのガスを用いることが好ましい。
【００３２】
本発明の第１の半導体装置の製造方法では、高密度化処理では、膜密度を２．０ｇ／ｃｍ^{3}以上とすることが好ましい。
【００３３】
本発明の第１の半導体装置の製造方法では、第一の絶縁性バリア膜としてシリコンカーボン窒化膜を用い、第二の絶縁性バリア膜としてシリコンカーボン酸化膜を用いることが好ましい。
【００３４】
本発明の第２の半導体装置の製造方法は、半導体基板上に形成された層形成絶縁膜に配線溝を形成する工程（ｉ）と、工程（ｉ）の後に、配線溝内に銅膜を堆積させて配線を形成する工程（ｊ）と、工程（ｊ）の後に、銅膜の上及び層形成絶縁膜の上に、第一の絶縁性バリア膜および第二の絶縁性バリア膜を順に形成する工程（ｋ）と、工程（ｋ）の後に、第二の絶縁性バリア膜の上に、第一の絶縁性バリア膜および第二の絶縁性バリア膜よりも誘電率が低い低誘電率な絶縁膜を形成する工程（ｌ）とを備え、工程（ｋ）では、第一の絶縁性バリア膜および第二の絶縁性バリア膜のうちの一方を窒化シリコン膜とする。
【００３５】
本発明の第２の半導体装置の製造方法では、工程（ｋ）では、第一の絶縁性バリア膜および第二の絶縁性バリア膜のうちの窒化シリコン膜ではない絶縁性バリア膜をシリコンカ

ーボン窒化膜又はシリコンカーボン酸化膜とすることが好ましい。

【００３６】

本発明の第３の半導体装置の製造方法は、半導体基板上に形成された層形成絶縁膜に配線溝を形成する工程（ｉ）と、工程（ｉ）の後に、配線溝内に銅膜を堆積させて配線を形成する工程（ｊ）と、工程（ｊ）の後に、銅膜の上及び層形成絶縁膜の上に、第一の絶縁性バリア膜および第二の絶縁性バリア膜を順に形成する工程（ｋ）と、工程（ｋ）の後に、第二の絶縁性バリア膜の上に、第一の絶縁性バリア膜および第二の絶縁性バリア膜よりも誘電率が低い低誘電率な絶縁膜を形成する工程（ｌ）と、銅膜と低誘電率な絶縁膜との間に、窒化シリコン膜を形成する工程（ｍ）を有している。

【００３７】

本発明の第３の半導体装置の製造方法では、工程（ｋ）と工程（ｌ）との間で工程（ｍ）を行い、工程（ｍ）では、第二の絶縁性バリア膜の上に窒化シリコン膜を形成することが好ましい。

【００３８】

本発明の第３の半導体装置の製造方法では、工程（ｍ）では、第一の絶縁性バリア膜および第二の絶縁性バリア膜のうちの一方を窒化シリコン膜とし、第一の絶縁性バリア膜および第二の絶縁性バリア膜のうちの他方をシリコンカーボン窒化膜又はシリコンカーボン酸化膜とすることが好ましい。

【００３９】

本発明の第３の半導体装置の製造方法では、窒化シリコン膜の膜厚を5nm以下とすることが好ましい。

【発明の効果】

【００４０】

以上のように、本発明によれば、高密度処理を行えば第二の絶縁性バリア膜の少なくとも一部分を高密度にすることができるので、第二の絶縁性バリア膜が薄くても、第二の絶縁性バリア膜の上に設けられた低誘電率な絶縁膜からの水分の浸透を防止することができ、第二の絶縁性バリア膜の下に設けられた銅膜の表面酸化を防止することができる。従って、配線のＥＭ耐性と配線間ＴＤＤＢ寿命とを十分確保しつつ、実効比誘電率が低い配線構造を得ることができる。

【００４１】

また、本発明によれば、透水性に対する防止能の高い窒化シリコン膜を積層したライナー膜構造を有しているので、ライナー膜トータルの膜厚が薄くても、ライナー膜の上に設けられた低誘電率な絶縁膜からの水分の浸透を防止することができ、ライナー膜の下に設けられた銅膜の表面酸化を防止できる。従って、配線のＥＭ耐性と配線間ＴＤＤＢ寿命を十分確保しつつ、実効比誘電率が低い配線構造を得ることができる。なお、ここでいう窒化シリコン膜とは、膜厚が例えば５ｎｍ以下の非常に薄い窒化シリコン膜である。

【発明を実施するための最良の形態】

【００４２】

以下、本発明の実施の形態を示す半導体装置およびその製造方法について、図面を参照しながら具体的に説明する。なお、本発明は、以下に示す実施形態に限定されない。

【００４３】

（実施の形態１）

以下、本発明の実施の形態１の半導体装置およびその製造方法を説明する。

【００４４】

図１（ａ）～（ｇ）は本実施の形態１の半導体装置の製造方法における各工程を示す断面図である。

【００４５】

まず、シリコン基板（図示せず）上に、低誘電率な絶縁膜である炭素含有シリコン酸化膜（ＳｉＯＣ）（比誘電率ｋは例えば３．０）からなる層形成絶縁膜としての第１の絶縁膜１（膜厚は例えば１５０ｎｍ）及びプラズマ酸化膜（図示せず，膜厚は例えば３０ｎｍ

）を順に成膜する。その後、プラズマ酸化膜の上に第１の配線の配線溝パターン（不図示）をフォトリソグラフィー法により形成し、ドライエッチング法によりプラズマ酸化膜と第１の絶縁膜１とをエッチングし、深さが例えば１７０ｎｍである配線溝Ｍ１を形成する（工程（ａ））。

【００４６】

次に、配線溝Ｍ１内およびプラズマ酸化膜の上に、タンタル系バリアメタル膜２ａ（膜厚は例えば１５ｎｍ）およびシードＣｕ層（層厚は例えば３０ｎｍ）を順にスパッタ法により成膜する。その後、電界めっき法によりＣｕ膜２ｂ（膜厚は例えば４００ｎｍ）を成膜し、N_2雰囲気でアニール（アニール温度は例えば３００℃）を行う。その後、ＣＭＰ法により配線溝Ｍ１内以外のＣｕ膜２ｂおよびタンタル系バリアメタル膜２ａを除去する。と同時に、プラズマ酸化膜を削り取り、第１の絶縁膜１を上面から２０ｎｍの厚み分を削り取る。これにより、図１（ａ）に示すように、配線溝Ｍ１内に、タンタル系バリアメタル膜２ａおよびＣｕ膜２ｂを有する第１の配線（配線）２（高さは例えば１２０ｎｍ）が形成される（工程（ｂ））。

【００４７】

次に、Ｃｕ膜２ｂ上の酸化膜を還元するためにNH_3又はH_2系のガスを用いたプラズマ処理を行う。その後、大気開放せずに、図１（ｂ）に示すように、Ｃｕ膜２ｂの上および第１の絶縁膜１の上にＳｉＣＮ膜３ａ（第一の絶縁性バリア膜，膜厚は例えば１０ｎｍ）とＳｉＣＯ膜３ｂ（第二の絶縁性バリア膜，膜厚は例えば２０ｎｍ）とを順にプラズマＣＶＤ法により成膜する（工程（ｃ）および工程（ｄ））。これらの膜は４ＭＳ（テトラメチルシラン：$Si(CH_3)_4$）を原料として形成され、２００ｍｍウェハ対応装置を用いる場合には典型的には以下の条件で成膜する。

＜ＳｉＣＮ成膜条件＞

４ＭＳの流量：５０ｓｃｃｍ
NH_3の流量：７０ｓｃｃｍ
Ｈｅの流量：７００ｓｃｃｍ
圧力：６９０Ｐａ
ＨＲＦ（High Radio Frequency）：５８０Ｗ
ＬＲＦ（Low Radio Frequency）：７０Ｗ
ステージ温度：３９５℃

＜ＳｉＣＯ成膜条件＞

４ＭＳの流量：３００ｓｃｃｍ
Ｈｅの流量：２５００ｓｃｃｍ
CO_2の流量：１９００ｓｃｃｍ
圧力：５３３Ｐａ
ＨＲＦ：４５０Ｗ
ＬＲＦ：１００Ｗ
ステージ温度：３９５℃

なお、この成膜条件でのＳｉＣＮ膜３ａにおける組成はＳｉ／Ｃ／Ｎ＝４２／３６／２２（ａｔｍ％）であり、ＳｉＣＯ膜３ｂにおける組成はＳｉ／Ｏ／Ｃ＝３８／２６／３６（ａｔｍ％）である（これらの組成はＸＰＳ（X-ray photoelectron spectroscopy）の分析結果である）。

【００４８】

また、成膜段階における比誘電率ｋ値に関しては、ＳｉＣＮは４．８であり、ＳｉＣＯは４．５である。

【００４９】

その後、図１（ｃ）に示すように、Ｈｅプラズマ処理を行うことにより、ＳｉＣＯ膜３ｂの表面に高密度膜３ｃを形成する（工程（ｅ））。ＳｉＣＯ膜の膜密度は、プラズマ処理をしなければ１．８ｇ／ｃｍ^{3}程度であるが、Ｈｅプラズマ処理を行えば２．０ｇ／ｃｍ^{3}以上となる。この際、Ｈｅプラズマ処理では膜組成（Ｓｉ／Ｃ／Ｏの比率）の変化は

ほとんどない。

【００５０】

なお、Ｈｅプラズマの条件としては、２００ｍｍウェハ対応装置を用いる場合には例えば以下の通りである。

＜Ｈｅプラズマの条件＞

Ｈｅの流量：１８０ｓｃｃｍ、圧力：５６０Ｐａ

ＲＦパワー：１５５０Ｗ

ウェハ温度：４００℃

その後、層形成絶縁膜としての第２の絶縁膜４としてＳｉＯＣ膜４ａ（比誘電率は例えば２．７、膜厚は例えば２００ｎｍ）とＳｉＯＣ膜４ｂ（比誘電率は例えば３．０、膜厚は例えば５０ｎｍ）との積層膜を形成し（工程（ｆ））、その後ＵＶキュアを行いＳｉＯＣ膜４ａの強度を向上させる。このＵＶキュアにより、ＳｉＯＣ膜４ａの膜厚は例えば２００ｎｍから１８０ｎｍにシュリンクする。その後、ＳｉＯＣ膜４ｂの上に、ＴＥＯＳ原料によるプラズマ酸化膜５（膜厚は例えば８０ｎｍ）を成膜する。その後、通常のデュアルダマシン法によりフォトリソグラフィー法、ドライエッチ法、アッシングおよび洗浄により、ビアホールＨ１を形成する（図１（ｄ））。この際のビアエッチでは、最低でもＳｉＣＮ膜３ａを完全に除去しないようにする。

【００５１】

その後、ビアホールＨ１をレジストプラグで埋め込み平坦化した後に、フォトリソグラフィー法、ドライエッチ法、アッシング及び洗浄により配線溝Ｍ２を形成する（図１（ｅ））。その後、全面エッチによりビアホールＨ１の底部のＳｉＣＯ膜３ｂおよびＳｉＣＮ膜３ａを除去し、洗浄を行う（図１（ｆ））。この全面エッチの際には、プラズマ酸化膜５の一部も除去される（エッチ後のプラズマ酸化膜５の膜厚は例えば５０ｎｍである）。

【００５２】

その後、ビアホールＨ１の底部のＣｕ膜６ｂ上の酸化膜を還元するためにH_2雰囲気中においてアニール（加熱温度は例えば２５０℃）を行い、大気開放せずプラズマ酸化膜５の上にタンタル系バリアメタル膜６ａ（膜厚は例えば１５ｎｍ）およびシードＣｕ層（層厚は例えば３０ｎｍ）をスパッタ法により順に成膜し、その後、電界めっき法によりＣｕ膜６ｂ（膜厚は例えば４００ｎｍ）を成膜し、N_2雰囲気でアニール（アニール温度は例えば３００℃）を行う。その後、ＣＭＰ法により配線溝Ｍ２内以外のＣｕ膜６ｂおよびタンタル系バリアメタル膜６ａを除去し、プラズマ酸化膜５を削り取り、さらには、表面から２０ｎｍ分のＳｉＯＣ膜４ｂを削り取る。これにより、図１（ｇ）に示すように、配線溝Ｍ２内には、タンタル系バリアメタル膜６ａおよびＣｕ膜６ｂを有する第２のＣｕ配線６（高さは例えば１２０ｎｍ）が形成される。

【００５３】

その後、再度、NH_3又はH_2系のプラズマ処理を行った後、大気開放せずにＣｕ膜６ｂの上およびＳｉＯＣ膜４ｂの上にＳｉＣＮ膜７ａ（膜厚は例えば１０ｎｍ）とＳｉＣＯ膜７ｂ（膜厚は例えば２０ｎｍ）とをプラズマＣＶＤ法により順に成膜し、その後、Ｈｅプラズマ処理を行い、ＳｉＣＯ膜７ｂの表面に高密度膜７ｃを形成する（図１（ｇ））。以上のような工程を繰り返すことにより、多層配線を形成することができる。

【００５４】

以上の実施の形態１によると、プラズマＣＶＤ法により形成されたＳｉＣＯ膜３ｂがＨｅプラズマ処理により膜組成を変えることなく高密度膜３ｃとなるため、ＳｉＣＯ膜３ｂが薄膜であってもＳｉＣＯ膜３ｂの膜厚を厚くしたのと同等の効果が得られ、ＳｉＯＣ膜４ａからの水分の浸透を防止することができる。従って、ＳｉＯＣ膜４ａの直下のＣｕ膜２ｂの上面が水分に接触することを抑制できるため、Ｃｕ膜２ｂの上面が酸化されることを抑制でき、ＳｉＣＮ膜３ａとＣｕ膜２ｂとの良好な密着性を確保できる。同様の理由から、ＳｉＣＮ膜７ａとＣｕ膜６ｂとの良好な密着性を確保することができる。

【００５５】

また、配線間の第１の絶縁膜１とＳｉＣＮ膜３ａとの界面、又はＳｉＯＣ膜４ｂとＳｉ

ＣＮ膜７ａとの界面に水分が入ることを抑制できる。従って、配線およびビアのＥＭ耐性ならびに配線間のＴＤＤＢが劣化することなく、半導体装置の良好な寿命を確保することができる。

【００５６】

なお、実施の形態１は、以下に示す構成であってもよい。

【００５７】

高密度処理の具体的な方法としては、Ｈｅプラズマ処理を行う代わりに、Ａｒ等の他の希ガスを用いてプラズマ処理を行っても良い。イオンの衝突エネルギーにより、ＳｉＣＯ膜３ｂの表面が高密度化されることとなる。

【００５８】

また、窒素（$Ｎ_2$）ガスまたはアンモニア（$ＮＨ_3$）ガス等の反応性ガスを使ったプラズマ処理により、ＳｉＣＯ膜３ｂの表面を窒化させて未結合手のＳｉ等をＳｉＮ化させてもよい（工程（ｈ））。この場合、ＳｉＣＯ膜３ｂを上記実施の形態１に比べてさらに高密度化させることができるので、透水性に対する防止能を高めることができる。その上、ＳｉＣＯ膜３ｂの表面が窒化されることによりその表面にはＳｉＮ膜が形成され、ＳｉＮ膜自体が透水性に対する防止能に優れているので、透水性に対する防止能をさらに高めることができる。同様のことは、ＳｉＣＯ膜７ｂの表面を窒化させた場合にも言える。

【００５９】

また、酸素（$Ｏ_2$）ガスまたは$Ｎ_2Ｏ$等の酸化系ガスを使ってＳｉＣＯ膜３ｂまたはＳｉＣＯ膜７ｂの酸化を強化しても、透水性に対する防止能を高めることができる。

【００６０】

ここで、$ＮＨ_3$プラズマの条件としては、例えば、２００ｍｍウェハ対応装置を用いた場合には以下の通りである。

＜$ＮＨ_3$プラズマの条件＞

$ＮＨ_3$の流量：３００ｓｃｃｍ、圧力：５３０Ｐａ

ＲＦパワー：４００Ｗ

ウェハ温度：４００℃

また、高密度処理においては、ラジカル処理またはガスクラスターイオンビームによる表面処理を行っても良い。

【００６１】

さらに、ＳｉＣＯ膜およびＳｉＣＮ膜の膜厚としては、ＳｉＣＯ膜３ｂの膜厚（高密度膜３ｃの膜厚を含む）が３０ｎｍ～５ｎｍであり、ＳｉＣＮ膜３ａの膜厚が３０ｎｍ～１ｎｍであり、ＳｉＣＯ膜３ｂの膜厚とＳｉＣＮ膜３ａの膜厚のトータルが５０ｎｍ以下であれば、半導体装置において容量を低減させることができるとともに信頼性を確保することができるので好ましい。同様のことは、ＳｉＣＯ膜７ｂおよびＳｉＣＮ膜７ａに対しても言える。なお、Ｃｕ配線上にＳｉＣＮ膜を設けなければ、ＳｉＣＯ膜がＣｕ膜の表面に直接接触することになり、成膜時にＣｕ膜の表面が酸化されてＣｕ膜が剥離する虞がある。従って、Ｃｕ膜の上には、膜厚が最低でも１ｎｍであるＳｉＣＮ膜を設けることが好ましい。

【００６２】

特に図７で示したように、ＳｉＣＯ膜の方がＳｉＣＮ膜に比べて透水性に対する防止能が優れており且つ比誘電率も低いため、ＳｉＣＮ膜３ａを極力薄くしてＳｉＣＯ（高密度膜３ｃを含む）膜３ｂを厚くすれば、ＳｉＣＮ膜３ａおよびＳｉＣＯ膜３ｂの積層膜を薄膜化することができるとともにその積層膜の比誘電率を低くすることができるので好ましい。

【００６３】

その上、本実施形態では、ＳｉＣＯ膜３ｂ，７ｂに対して高密度化処理を行ったが、ＳｉＣＯ膜３ｂ，７ｂを高密度化するのと同様の処理をＳｉＣＮ膜３ａ，７ａに対して行えば（工程（ｇ））、ＳｉＣＮ膜３ａ，７ａを高密度化することができるので透水性に対する防止能をさらに高めることができるという効果がある。また、ＳｉＣＮ膜３ａ，７ａの

みを高密度化することでも、透水性に対する防止能を高めることは可能であるので、ＳｉＣＮ膜３ａ，７ａのみを高密度化してもよい。

【００６４】

また、ＳｉＣＯ膜３ｂ，７ｂの表面に対して高密度化処理を行ったが、ＳｉＣＯ膜３ｂ，７ｂの全体に対して高密度化処理を行っても良い。ただし、ＳｉＣＯ膜３ｂ，７ｂの上面は、その下面と比較して高密度となる。また、ＳｉＣＮ膜３ａ，７ａに対しても高密度化処理を行う場合には、ＳｉＣＮ膜３ａ，７ａの上面にのみ高密度化処理を行っても良いし、ＳｉＣＮ膜３ａ，７ａの全体に対して高密度化処理を行っても良い。ただし、ＳｉＣＮ膜３ａ，７ａの上面は、その下面と比較して高密度となる。

【００６５】

（実施の形態２）

次に、本発明の実施の形態２の半導体装置およびその製造方法を説明する。

【００６６】

図２（ａ）～（ｆ）は本実施の形態２の半導体装置の製造方法における各工程を示す断面図である。

【００６７】

まず、シリコン基板（図示せず）上に、低誘電率な絶縁膜である炭素含有シリコン酸化膜（ＳｉＯＣ）（比誘電率ｋは例えば３．０）からなる層形成絶縁膜としての第１の絶縁膜１（膜厚は例えば１５０ｎｍ）及びプラズマ酸化膜（図示せず，膜厚は例えば３０ｎｍ）を順に成膜する。その後、プラズマ酸化膜の上に第１の配線の配線溝パターン（不図示）をフォトリソグラフィー法により形成し、ドライエッチング法によりプラズマ酸化膜と第１の絶縁膜１とをエッチングし、深さが例えば１７０ｎｍである配線溝Ｍ１を形成する（工程（ｉ））。

【００６８】

次に、配線溝Ｍ１内およびプラズマ酸化膜の上に、タンタル系バリアメタル膜２ａ（膜厚は例えば１５ｎｍ）およびシードＣｕ層（層厚は例えば３０ｎｍ）を順にスパッタ法により成膜する。その後、電界めっき法によりＣｕ膜２ｂ（膜厚は例えば４００ｎｍ）を成膜し、N_2雰囲気でアニール（アニール温度は例えば３００℃）を行う。その後、ＣＭＰ法により配線溝Ｍ１内以外のＣｕ膜２ｂおよびタンタル系バリアメタル膜２ａを除去する。と同時に、プラズマ酸化膜を削り取り、第１の絶縁膜１を上面から２０ｎｍの厚み分を削り取る。これにより、図２（ａ）に示すように、配線溝Ｍ１内に、タンタル系バリアメタル膜２ａおよびＣｕ膜２ｂを有する第１の配線（配線）２（高さは例えば１２０ｎｍ）が形成される（工程（ｊ））。

【００６９】

その後、Ｃｕ膜２ｂ上の酸化膜を還元するためにNH_3又はH_2系のガスを用いたプラズマ処理を行った後、大気開放せずに図２（ｂ）に示すようにＣｕ膜２ｂの上および第１の絶縁膜１の上にＳｉＣＮ膜３ａ（第一の絶縁性バリア膜，膜厚は例えば１０ｎｍ）とＳｉＣＯ膜３ｂ（第二の絶縁性バリア膜，膜厚は例えば１０ｎｍ）とＳｉＮｘ膜３ｄ（窒化シリコン膜，膜厚は例えば５ｎｍ）を順にプラズマＣＶＤ法により成膜する（工程（ｋ））。ここで、ＳｉＮｘの比誘電率ｋ値は７．０である。

【００７０】

その後、層形成絶縁膜としての第２の絶縁膜４としてＳｉＯＣ膜４ａ（比誘電率は例えば２．７、膜厚は例えば２００ｎｍ）とＳｉＯＣ膜４ｂ（比誘電率は例えば３．０、膜厚は例えば５０ｎｍ）との積層膜を形成し（工程（ｌ））、その後ＵＶキュアを行いＳｉＯＣ膜４ａの強度を向上させる。このＵＶキュアにより、ＳｉＯＣ膜４ａの膜厚は例えば２００ｎｍから１８０ｎｍにシュリンクする。その後、ＳｉＯＣ膜４ｂの上に、ＴＥＯＳ原料によるプラズマ酸化膜５（膜厚は例えば８０ｎｍ）を成膜する。その後、通常のデュアルダマシン法によりフォトリソグラフィー法、ドライエッチ法、アッシングおよび洗浄により、ビアホールＨ１を形成する（図２（ｃ））。この際のビアエッチでは、最低でもＳｉＣＮ膜３ａを完全に貫通しないようにする。

【００７１】
その後、ビアホールＨ１をレジストプラグで埋め込み平坦化した後に、フォトリソグラフィー法、ドライエッチ法、アッシング及び洗浄により配線溝Ｍ２を形成する（図２（ｅ））。その後、全面エッチによりビアホールＨ１の底部のＳｉＣＯ膜３ｂおよびＳｉＣＮ膜３ａを除去し、洗浄を行う（図２（ｆ））。この全面エッチの際に、プラズマ酸化膜５の一部も除去される（除去後のプラズマ酸化膜５の膜厚は例えば５０ｎｍである）。
【００７２】
その後、ビアホールＨ１の底部のＣｕ膜６ｂ上の酸化膜を還元するためにH_2雰囲気中においてアニール（加熱温度は例えば２５０℃）を行い、大気開放せずプラズマ酸化膜５の上にタンタル系バリアメタル膜６ａ（膜厚は例えば１５ｎｍ）およびシードＣｕ層（層厚は例えば３０ｎｍ）をスパッタ法により順に成膜し、その後、電界めっき法によりＣｕ膜６ｂ（膜厚は例えば４００ｎｍ）を成膜し、N_2雰囲気でアニール（アニール温度は例えば３００℃）を行う。その後、ＣＭＰ法により配線溝Ｍ２内以外のＣｕ膜６ｂおよびタンタル系バリアメタル膜６ａを除去し、プラズマ酸化膜５を削り取り、さらには、表面から２０ｎｍ分のＳｉＯＣ膜４ｂとを削り取る。これにより、図２（ｆ）に示すように、配線溝Ｍ２内には、タンタル系バリアメタル膜６ａおよびＣｕ膜６ｂを有する第２のＣｕ配線６（高さは例えば１２０ｎｍ）が形成される。
【００７３】
その後、再度、NH_3又はH_2系のプラズマ処理を行った後、大気開放せずにＣｕ膜６ｂの上およびＳｉＯＣ膜４ｂの上にＳｉＣＮ膜７ａ（膜厚は例えば１０ｎｍ）とＳｉＣＯ膜７ｂ（膜厚は例えば１０ｎｍ）とＳｉＮｘ膜７ｄ（膜厚は例えば５ｎｍ）をプラズマＣＶＤ法により順に成膜する（図２（ｆ））。以上のような工程を繰り返すことにより、多層配線を形成することができる。
【００７４】
以上の実施の形態２によると、プラズマＣＶＤ法により形成されたＳｉＮｘ膜３ｄは、高密度であるので（具体的には、膜密度は２．０ｇ／ｃｍ^{3}以上）、薄膜であっても透水性に対する防止能に優れており、よって、薄膜でもＳｉＯＣ膜４ａからの水分の浸透を防止することができる。従って、ＳｉＮｘ膜３ｄの直下のＣｕ膜２ｂの上面が水分に触れることがないので酸化されることを防止でき、その結果、ＳｉＣＮ膜３ａとＣｕ膜２ｂとの良好な密着性を確保することができる。同様の理由から、ＳｉＣＮ膜７ａとＣｕ膜６ｂとの良好な密着性を確保することができる。
【００７５】
また、配線間の第１の絶縁膜１とＳｉＣＮ膜３ａとの界面、又はＳｉＯＣ膜４ｂとＳｉＣＮ膜７ａとの界面に水分が入ってくることを抑制することができる。従って、配線およびビアのＥＭ耐性ならびに配線間のＴＤＤＢが劣化することなく、半導体装置の良好な寿命を確保することができる。
【００７６】
また、ＳｉＮｘ膜３ｄ，７ｄは比誘電率ｋが約７と高いため、その膜厚が５ｎｍ以下であり且つ絶縁性ライナー膜全体の膜厚の４０％以下程度に薄膜にすることにより、処理速度および信頼性に影響を与えることなく低k_{eff}が実現可能である。
【００７７】
なお、実施の形態２は、以下に示す構成であってもよい。
【００７８】
ＳｉＮｘ膜３ｄ，７ｄの成膜前に実施の形態１の各種プラズマ処理（高密度化処理）を施せば、言い換えるとＳｉＣＯ膜３ｂ又はＳｉＣＮ膜３ａのどちらかに高密度化処理を施せば、高密度化処理を施さない場合に比べて透水性に対する防止能を高めることができるため好ましい。また、ＳｉＣＯ膜３ｂとＳｉＣＮ膜３ａの両方に高密度化処理を施す方がより好ましい。
【００７９】
また、ＳｉＮｘ膜３ｄは、ＳｉＣＯ膜３ｂの下に設けられていても良く、ＳｉＣＮ膜３

ａの下に設けられていても良く、ＳｉＣＮ膜３ａの代わりに設けられていても良く、ＳｉＣＯ膜３ｂの代わりに設けられていても良い。言い換えると、ＳｉＮｘ膜３ｄはＣｕ膜２ｂとＳｉＯＣ膜４ａとの間のどこかに設けられていればよい。ただし、ＳｉＣＮ膜３ａの代わりに設ける場合には、ＳｉＮｘ膜３ｄは、ＳｉＣＯ膜３ｂの下に設けられることになる。同様のことは、ＳｉＮｘ膜７ｄに対しても言える。

【００８０】

上記ＳｉＮｘ膜、ＳｉＣＯ膜およびＳｉＣＮ膜の膜厚に関しては、ＳｉＮｘ膜３ｄの膜厚が１～５ｎｍであり、ＳｉＣＯ膜３ｂの膜厚が３０～５ｎｍであり、ＳｉＣＮ膜３ａの膜厚が３０～１ｎｍであり、ＳｉＮｘ膜３ｄの膜厚とＳｉＣＯ膜３ｂの膜厚とＳｉＣＮ膜３ａの膜厚との合計が５０ｎｍ以下であれば、半導体装置において容量を低減させることができるとともに信頼性を確保することができるので好ましい。同様のことは、ＳｉＮｘ膜７ｄ、ＳｉＣＯ膜７ｂおよびＳｉＣＮ膜７ａに対しても言える。なお、Ｃｕ膜上にＳｉＣＮ膜を設けなければ、ＳｉＣＯ膜がＣｕ膜の表面に直接接触することになり、成膜時にＣｕ膜の表面が酸化されてＣｕ膜が剥離する虞がある。従って、Ｃｕ膜の上には、膜厚が最低でも１ｎｍであるＳｉＣＮ膜又はＳｉＮｘ膜を設けることが好ましい。

【００８１】

また、ＳｉＮおよびＳｉＣＮはＳｉＣＯに比べて比誘電率が高いため、ＳｉＮｘ膜３ｄ及びＳｉＣＮ膜３ａを極力薄膜にしてＳｉＣＯ膜３ｂを分厚くする方が、ＳｉＮｘ膜３ｄ、ＳｉＣＮ膜３ａおよびＳｉＣＯ膜３ｂからなる積層膜を薄膜化することができ、且つ、その積層膜の比誘電率を低くすることができるので好ましい。

【００８２】

その上、第１の実施形態と同様に、ＳｉＮｘ膜３ｄおよびＳｉＣＮ膜３ａのどちらか一方、又はＳｉＮｘ膜３ｄ及びＳｉＣＮ膜３ａの両方に対してプラズマ処理を行って高密度化させれば、透水性に対する防止能を高めることができるため好ましい。

【産業上の利用可能性】

【００８３】

本発明の半導体装置およびその製造方法は、十分なＥＭ耐性および配線間ＴＤＤＢ寿命を確保しつつ、層間絶縁膜の低誘電率化を行っても絶縁性ライナー膜膜厚を薄くすることができ、配線間の実効比誘電率Ｋｅｆｆを低減した高速で高信頼性な配線を実現するための技術等に有用である。

【図面の簡単な説明】

【００８４】

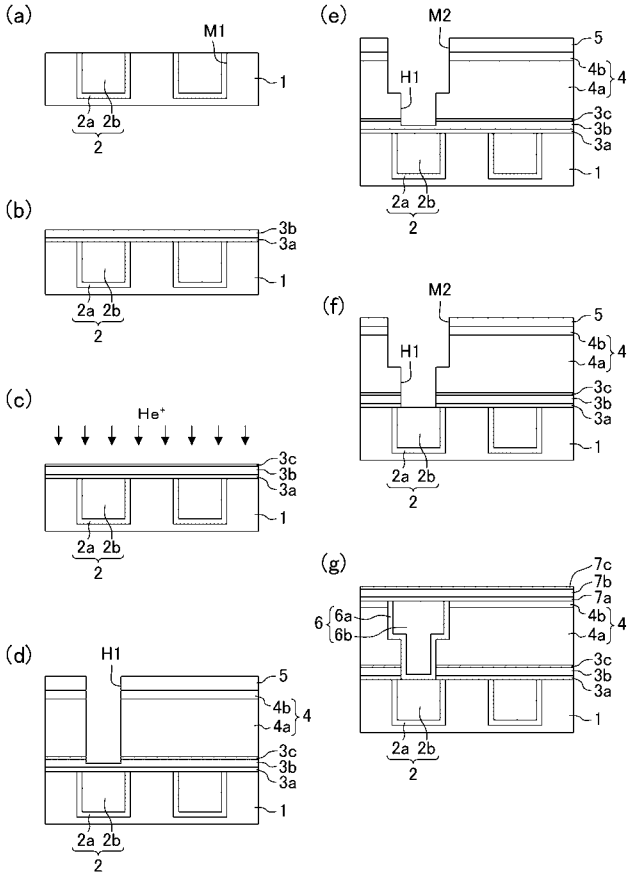
【図１】本発明の実施の形態１の半導体装置の製造方法における各工程を示す断面図
【図２】本発明の実施の形態２の半導体装置の製造方法における各工程を示す断面図
【図３】従来の半導体装置の製造方法による配線構造断面図
【図４】従来の半導体装置の製造方法による配線構造におけるビアチェーンＥＭ評価結果
【図５】従来の半導体装置の製造方法による配線構造における配線間ＴＤＤＢ評価結果
【図６】ＥＭ及び配線間ＴＤＤＢ劣化原因メカニズムの説明図
【図７】ＳｉＣＯ膜およびＳｉＣＮ膜の透水性の評価結果

【符号の説明】

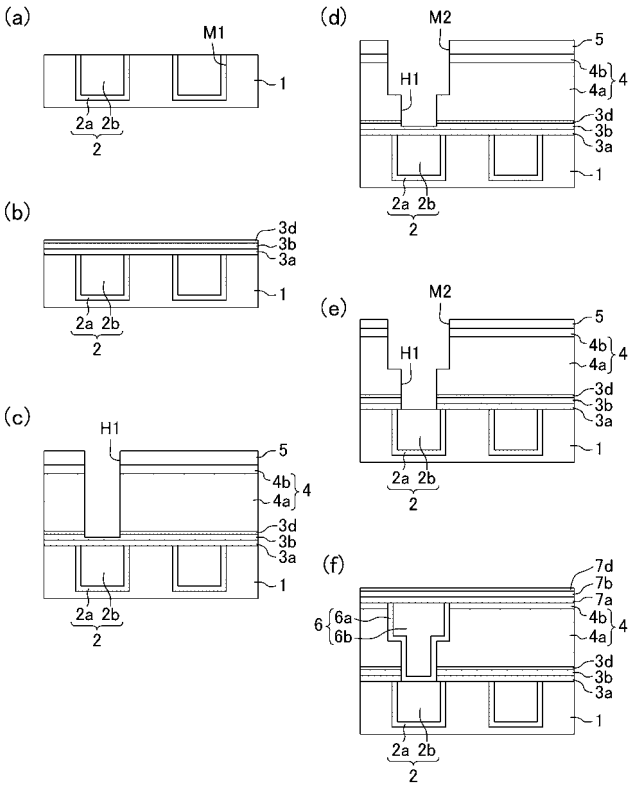
【００８５】

１　第１の絶縁膜（層形成絶縁膜）
Ｍ１，Ｍ２　配線溝
２ｂ，６ｂ　銅膜
３ａ，７ａ　ＳｉＣＮ膜（第１の絶縁性バリア膜）
３ｂ，７ｂ　ＳｉＣＯ膜（第２の絶縁性バリア膜）
３ｃ，７ｃ　高密度膜
３ｄ，７ｄ　ＳｉＮｘ膜（窒化シリコン膜）
４　第２の絶縁膜
４ａ　ＳｉＯＣ膜（低誘電率な絶縁膜）

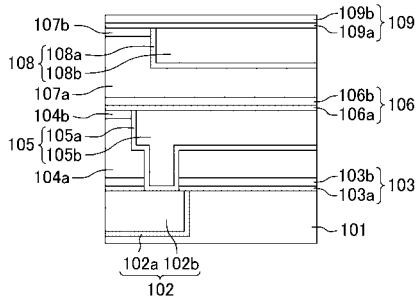
【図１】



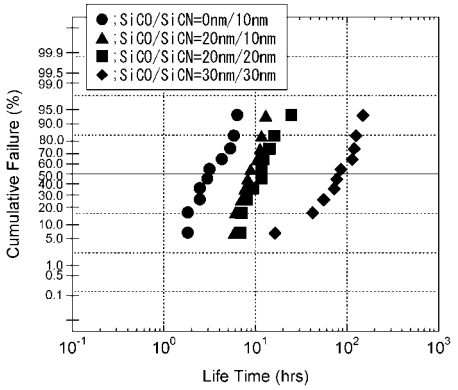
【図２】



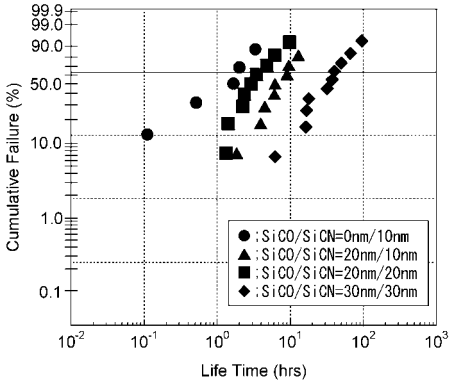
【図３】



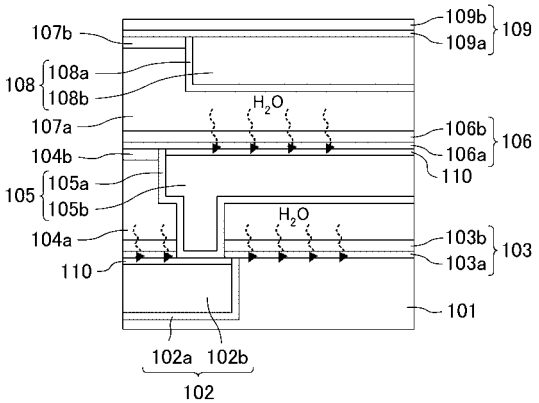
【図４】



【図５】

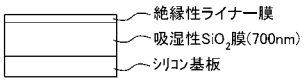


【図６】

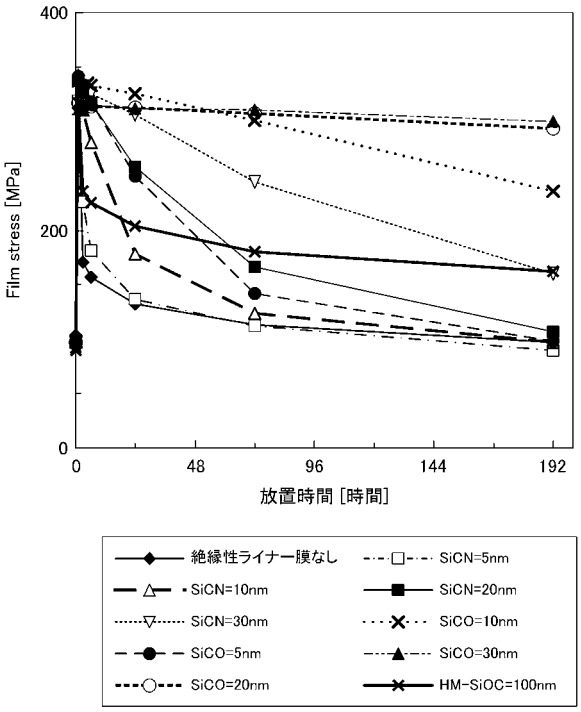


【図７】

(a)


絶縁性ライナー膜
吸湿性SiO_2膜(700nm)
シリコン基板

(b)


400
200
0
Film stress [MPa]
0
48
96
144
192
放置時間 [時間]
絶縁性ライナー膜なし
SiCN=5nm
SiCN=10nm
SiCN=20nm
SiCN=30nm
SiCO=10nm
SiCO=5nm
SiCO=30nm
SiCO=20nm
HM-SiOC=100nm

フロントページの続き

(51)Int.Cl.	F I	テーマコード（参考）
Ｃ２３Ｃ 16/42 (2006.01)		

(74)代理人 100117581
弁理士 二宮 克也
(74)代理人 100117710
弁理士 原田 智雄
(74)代理人 100121728
弁理士 井関 勝守
(74)代理人 100124671
弁理士 関 啓
(74)代理人 100131060
弁理士 杉浦 靖也
(72)発明者 松本 晋
大阪府門真市大字門真１００６番地 松下電器産業株式会社内

Ｆターム(参考) 4K030 AA06 AA13 AA14 AA16 BA41 BA42 BB12 CA04 CA17 DA04
DA08 FA01 LA15
5F033 HH11 HH21 HH32 JJ11 JJ21 JJ32 KK11 KK21 KK32 MM01
MM02 MM12 MM13 NN06 NN07 PP15 PP27 QQ00 QQ09 QQ11
QQ37 QQ48 QQ54 QQ89 QQ90 QQ92 QQ94 QQ98 RR01 RR04
RR06 SS01 SS03 SS15 TT02 XX05 XX20
5F058 BA05 BD02 BD04 BD06 BD18 BE10 BF27 BF29 BF30 BF62
BF73 BF74 BG03 BH04 BH16 BJ02