

公告本

申請日期	87.4.1
案 號	871001881
類 別	H01L ²⁷ / ₀₉₂

A4
C4

445632

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	CMOS積體電路配置及其製造方法
	英 文	Integrated CMOS Circuit Arrangement and Method for its Production
二、發明 人	姓 名	1. 菲斯羅赫曼 (Fischer, Hermann) 2. 郝夫曼弗南 (Hofmann, Franz)
	國 籍	1. 德國 2. 德國
	住、居所	1. 德國慕尼黑 80807 弗勞斯德街 11 號 2. 德國慕尼黑 80995 漢貝格街 25b
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	納特布斯克 (Natebusch) 歐姆克 (Ohmke)

445632

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

德 國 (地區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權
1997年 5月13日 19720008.7 號 (主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

當 MOS 技術藉由類似的降低尺寸之原理將結構縮減到最小時，MOS 電晶體和 CMOS 電路之特性基本上仍維持在微米的範圍之中，但是，例如，在通道長度約小於 200nm 之 MOS 電晶體的情形中，會發生短通道和穿透效應。

雖然這些效應部分可以藉由增加基板摻雜補償，但是如此高的基板摻雜特別會導致在通道內之電荷載子移動率的減少，在通道內之電荷載子移動率的減少尤其在 p 通道 MOS 電晶體中會變的特別明顯。

在 CMOS 電路配置中，尤其是在反相器，NAND 和 NOR 閘，位移暫存器，記憶體，邏輯和類比電路中，使用製造之 n 通道 MOS 電晶體和 p 通道 MOS 電晶體不僅具有大小相同的單位電壓，也有相同的互導和相同的飽和電流，其他相同的方法已提出，藉由給定 p 通道 MOS 電晶體之通道寬-長比大於 n 通道 MOS 電晶體 2 倍，建構 n 通道 MOS 電晶體和 p 通道 MOS 電晶體，以完成相同的互導和相同的飽和電流（例如，請參見 K. Hoffman 在 1996 年所著之第三版 VLSI-Entwurf Modelle und Schaltungen [VLSI Design Models and Circuits] 第 333 到 339 頁），此係打算補償 p 通道 MOS 電晶體中之電洞移動率低於 n 通道 MOS 電晶體中之電子移動率 2 倍，但是，p 通道 MOS 電晶體之面積和雜散電容會增加此量測的結果。

A. Sadek 等人在 1995 年 Solid-State Electronics 第 38 期 9 卷 1731-1734 頁和 K. Ismael 在義大利 Erice 的 1995 年 International School of materials science

五、發明說明(2)

and technology的演講論文集第19到20頁提出藉由在通道區提供一受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層增加p通道MOS電晶體之通道中的電洞移動率，此層所受之應力係來自其具有單晶矽晶格常數的實際作用，此層之晶格與xy平面匹配，為此，會有壓縮應力存在在SiGe的x和y方向，而張開應力則會出現在z方向，其對應於成長方向。此論文中之異質結構中之假晶層(pseudomorphic layer)以此種方式彈性地受到應力。為了要製造CMOS電路配置，要形成通道含有 $\text{Si}_{1-x}\text{Ge}_x$ 層之p通道MOS電晶體和形成通道由單晶矽製成之n通道MOS電晶體，此處需要兩個個別的製程方塊，以製造p通道MOS電晶體和n通道MOS電晶體。

本發明係根據可以降低空間需求和降低製程佈局製造CMOS積體電路配置之詳加說明的問題，此外，本發明也詳加說明製造此CMOS電路配置的方法。

此問題係根據本發明藉由申請專利範圍第1項之CMOS積體電路配置和其產生之申請專利範圍第3項的方來解決，本發明還包括申請專利範圍附屬項。

根據本發明之CMOS積電路實現在至少具有第一矽層，受到應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層和第二矽層之半導體基板中，至少一p通道MOS電晶體和至少一n通道MOS電晶體兩者皆製作在半導體基板中，本發明中知悉，適當地對p通道MOS電晶體進行植入，會形成埋入式導電通道(所謂的埋入式通道)，然而在n通道MOS電晶體中，導電通道係沿著基板表面形成，也就是形成在閘極介電質的

五、發明說明(3)

介面(所謂的表面通道),之後,在 CMOS 電路配置之中,在 p 通道 MOS 電晶體區之 $\text{Si}_{1-x}\text{Ge}_x$ 層中形成通道,而在 n 通道 MOS 電晶體區之第二矽層區中形成導電通道,結果,電荷載子移動率則由 p 通道 MOS 電晶體區中之 $\text{Si}_{1-x}\text{Ge}_x$ 層和由 n 通道 MOS 電晶體區中之第二矽層決定。

對於 p 通道 MOS 電晶體,可以採用 $\text{Si}_{1-x}\text{Ge}_x$ 層中之較高電洞移動率,在 $\text{Si}_{1-x}\text{Ge}_x$ 層成長時,會在 $\text{Si}_{1-x}\text{Ge}_x$ 層的 z 方向產生張應力,此 z 方向之張應力會使重(heavy)電洞之帶(band)能量增加且會使垂直於應力方向(即,在電荷載子的傳輸方向)之平面中的 T 點改變能帶分散,在此情形下,帶曲線變成像輕電洞者而使電洞質量減輕,在此情形下, p 通道 MOS 電晶體和 n 通道 MOS 電晶體所需之空間相同,同時,可確定有相同的互導和相同的飽和電流,因此, p 通道 MOS 電晶體和 n 通道 MOS 電晶體可以在一個製程順序中製成, $\text{Si}_{1-x}\text{Ge}_x$ 層延伸於 n 通道 MOS 電晶體的通道區之下,且不會干擾 n 通道 MOS 電晶體之工作。

$\text{Si}_{1-x}\text{Ge}_x$ 層之鍺含量最好在 25% 和 50% 之間,即 $x=0.25\sim 0.50$, 受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層的厚度最好在 5nm 和 10nm 之間,經常在文獻中稱為緩衝層且排列在 $\text{Si}_{1-x}\text{Ge}_x$ 層之下的第一矽層之厚度最好在 30nm 和 70nm 之間,在文獻中經常稱為帽(cap)層之第二矽層的厚度最好在 5nm 和 12nm 之間。

第一矽層, 受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層和第二矽層係藉由磊

五、發明說明(4)

晶成長形成在至少在主區域之範圍中由矽構成之半導體基板的主區域上，適當的半導體基板為單晶矽晶圓，要不然就是SOI基板或在主區域之範圍中由SiC構成之基板。

定義n通道MOS電晶體和p通道MOS電晶體之工作區的絕緣結構最好先形成在主區域之上，然後再藉由選擇性磊晶成長第一矽層，受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層和第二矽層，此可確保受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層成長，在工作區沒有任何缺陷。

本發明將採用圖示之實施範例更詳細說明於後。圖式簡單說明如下：

第1圖為在磊晶成長第一矽層，受應力之 $\text{Si}_{1-x}\text{Ge}_x$ 層和第二矽層之後具有絕緣結構的半導體基板，其界定了p通道MOS電晶體的工作區和p通道MOS電晶體的工作區。

第2圖為在形成閘極介電質，閘極電極和源極／汲極區之後的半導體基板截面圖。

n型摻雜井2係用180keV能量和 $4 \times 10^{13} \text{ cm}^{-2}$ 劑量的砷，藉由有遮罩的佈植形成在由具有，例如，對應 $\Omega\text{-cm}$ 電阻率之基本摻雜準位的p型摻雜單晶矽製成之基板1中（參見第1圖）。

然後藉由有遮罩的硼佈植形成p型摻雜井3，硼係以50到70keV的能量和1到 $2 \times 10^{13} \text{ cm}^{-2}$ 的劑量佈植。

之後，在LOCOS製程形成絕緣結構4，例如，該結構在n型摻雜井2區域定義p通道MOS電晶體之工作區和在p型摻雜井3區域定義n通道MOS電晶體之工作區，二擇

五、發明說明(5)

其一地，絕緣結構4也可以在淺溝渠絕緣製程中藉由用絕緣材料填滿溝渠而形成，此絕緣結構4降到低於n型摻雜井2和p型摻雜井3之基板1。

接著藉由使用含有 SiH_2Cl_2 之製程氣體的選擇性磊晶成長第一矽層5，在文獻中常稱為緩衝層之第一矽層5成長30到70nm厚，此第一矽層5為p型摻雜，以設定在稍後製作之n通道MOS電晶體和p通道MOS電晶體的臨限電壓，為此，加入氫化硼(B_2H_6)到製程氣體中，直到層厚達到15到25nm為止，然後在沒有氫化硼的情形，再成長沒有摻雜的第一矽層5，厚度為10到50nm，在成長第一層5期間的製程溫度在750和850℃之間。

之後藉由使用含有 GeH_4 之製程氣體，在550和700℃之間的製程溫度，選擇性磊晶成長 $\text{Si}_{1-x}\text{Ge}_x$ 層6，例如，形成之 $\text{Si}_{1-x}\text{Ge}_x$ 層6，其銻含量X為0.25，而層厚10nm，二擇其一地，可以與銻含量X為0.5一起形成層厚5nm之 $\text{Si}_{1-x}\text{Ge}_x$ 層6。

然後藉由使用含有 SiH_2Cl_2 之製程氣體的選擇性磊晶成長層厚5到12nm的無摻雜且在文獻上常稱為帽層之第二矽層7，在此情形下，溫度係在550和700℃之間。

接著藉由在750℃下120分鐘的熱氧化法形成由 SiO_2 製成之閘極介電質8，例如，此形成之閘極介電質8的層厚為4.5nm(參見第2圖)，在此氧化期間，大約要消耗第二矽層7的Si2nm，因此，第二矽層7的使用，有可能會藉由矽的氧化而形成閘極介電質8，以此方式

五、發明說明 (b)

產生之氧化矽，因其有較佳的耐久性，所以優於 SiGe 的氧化物。

對於各種情形下之 p 通道 MOS 電晶體和 n 通道 MOS 電晶體的閘極電極 9 係藉由沈積和建構 n⁺ 型摻雜的多晶矽層而形成，之後再藉由使用具有 20 到 30keV 能量和 4 到 $8 \times 10^{15} \text{ cm}^{-2}$ 劑量之硼及 / 或 BF_2 作遮罩佈植，而形成用於 p 通道 MOS 電晶體之 p 型摻雜源極 / 汲極區 10，再次使用具有 100-130keV 能和 $4-8 \times 10^{15} \text{ cm}^{-2}$ 劑量之砷作遮罩佈置，而形成用於 n 通道 MOS 電晶體之 n 型摻雜源極 / 汲極區 11。

在製程週期中之溫度負載的結果，硼摻雜會在第一矽層 (5) 之中擴散且分佈此摻雜在表面區域之中，在此方式下，對於 n 通道 MOS 電晶體而言，在表面區域之中可以得到足夠高的摻雜。

為了最佳化電晶體特性，可以已知之兩段式佈植法分別提供 LDD 縱深和 HDD 縱深給 p 型摻雜源極 / 汲極區 10 和 n 型摻雜源極 / 汲極區 11。

CMOS 電路配置可以已知之沈積披覆層，開接觸孔和形成金屬化層等方式完成（並未詳細圖予說明）。

在各種情形下，n 型摻雜井 2 和 p 型摻雜井 3 都是用 $1.5 \times 10^{18} \text{ cm}^{-3}$ 的最大雜質濃度形成，此高雜質濃度係要防止穿透效應，此高雜質濃度在電路配置中是可允許的，因為 n 型摻雜井 2 和 p 型摻雜井 3 都是在磊晶之前產生，因此，就閘極介電質 8 的介面而言，大量的摻雜並不

五、發明說明(7)

能達成。

在上述之CMOS電路配置中，給定應用適當的控制訊號，在p通道MOS電晶體配置中，埋入的導電通道係形成在n型摻雜2的 $\text{Si}_{1-x}\text{Ge}_x$ 層6之中，在另一方面，在n通道MOS電晶體配置中，若驅動適當，則導電通道形成在p型摻雜#3中之第二矽層7的表面上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

煩請委員明示，本發明是否變更原實質內容

五、發明說明 (8)

符號對照表

- | | |
|----|--------------------------------|
| 1 | 基板 |
| 2 | n 型摻雜井 |
| 3 | p 型摻雜井 |
| 4 | 絕緣結構 |
| 5 | 第一矽層 |
| 6 | $\text{Si}_{1-x}\text{Ge}_x$ 層 |
| 7 | 第二矽層 |
| 8 | 閘極介電質 |
| 9 | 閘極電極 |
| 10 | p 型摻雜之源極 / 汲極區 |
| 11 | n 型摻雜之源極 / 汲極區 |

(請先閱讀背面之注意事項再填寫本頁)

訂

訂

四、中文發明摘要(發明之名稱: CMOS積體電路配置及其製造方法)

一 在其中有實現 p 通道 MOS 電晶體和 n 通道 MOS 電晶體之半導體基板具有最好藉由選擇性磊晶成長之第一矽層(5), 受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6) 和第二矽層(7), 在此情形下, 埋入式通道係形成在 p 通道 MOS 電晶體的受應力 $\text{Si}_{1-x}\text{Ge}_x$ 層之中, 而表面通道則形成在 n 通道 MOS 電晶體的第二矽層(7) 之中。

英文發明摘要(發明之名稱 Integrated CMOS Circuit Arrangement and Method for its Production)

A semiconductor substrate, in which a p-channel MOS transistor and an n-channel MOS transistor are realized, has a first silicon layer (5), a stressed $\text{Si}_{1-x}\text{Ge}_x$ layer (6) and a second silicon layer (7) which are preferably grown by selective epitaxy. In the on state, a buried channel is formed in the stressed $\text{Si}_{1-x}\text{Ge}_x$ layer in the p-channel MOS transistor and a surface channel is formed in the second silicon layer (7) in the n-channel MOS transistor.

六、申請專利範圍

第 87104881 號「CMOS 積體電路配置及其製造方法」專利案
(90 年 4 月修正)

六 申請專利範圍：

1. 一種 CMOS 積體電路配置，其特徵為：

- 提供之半導體基板(1)至少具有一第一矽層(5)，
一受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6) 和一第二矽層(7)，
- 受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)基本上具有與第一矽層
(5) 和第二矽層(7) 相同的晶格常數，
- 受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)在 Z 方向中具有張應力，此
 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)是在 Z 方向中生長，
- p 通道 MOS 電晶體和 n 通道 MOS 電晶體係製作
在該半導體基板中。

2. 如申請專利範圍第 1 項之電路配置，其中

- 第一矽層(5) 具有 30nm 和 70nm 之間的厚度，
- 受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6) 具有 5nm 至 10nm 之間的厚
度，且銻含量在 50 原子% 和 25 原子% 之間，
- 第二矽層(7) 具有 5nm 和 12nm 之間的厚度。

3. 一種 CMOS 積體電路配置之製造方法，其特徵為：

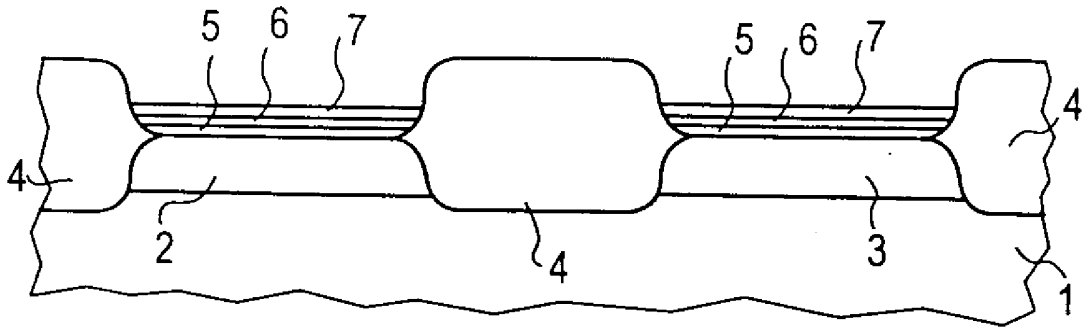
- 至少在主區域之範圍中由矽組成之半導體基板(1)的
主區域上磊晶成長第一矽層(5)，受應力的 $\text{Si}_{1-x}\text{Ge}_x$
層(6) 和第二矽層(7)，
- 受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)在 Z 方向中具有張應力，此
 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)是在 Z 方向中生長，

六、申請專利範圍

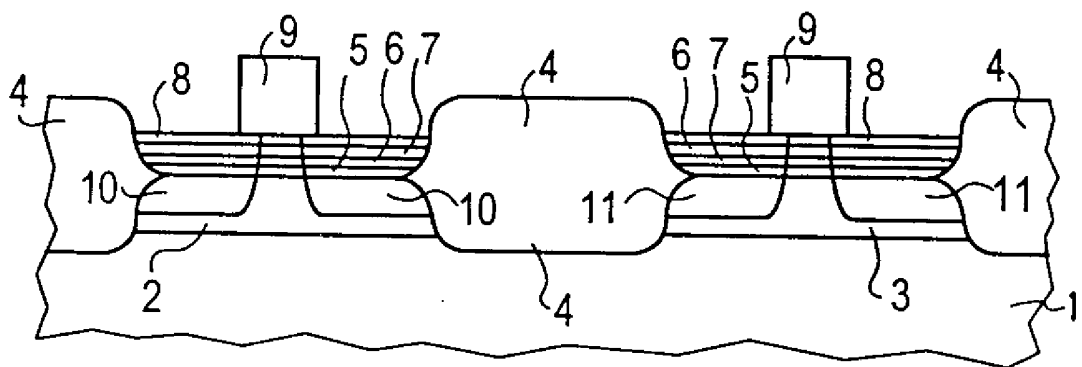
- 在該半導體基板(1)中形成p通道MOS電晶體和n通道MOS電晶體。
- 4.如申請專利範圍第3項之方法，其中
- 形成絕緣結構以定義一種用於n通道MOS電晶體之工作區和用於p通道MOS電晶體之工作區，
 - 在成長第一矽層(5)，受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)和第二矽層(7)之後，藉由選擇性磊晶方法分別形成n通道MOS電晶體和p通道MOS電晶體所用之閘極介電質(8)，閘極電極(9)和源極／汲極區(10,11)。
- 5.如申請專利範圍第3或第4項之方法，其中
- 形成之第一矽層(5)的厚度在30nm和70nm之間，
 - 形成之第二矽層(7)的厚度在5nm和12nm之間，
 - 形成之 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)的厚度在5nm和10nm之間，且鍺含量在50原子%和25原子%之間。
- 6.如申請專利範圍第3或第4項之方法，
- 其中在第一矽層(5)的磊晶成長期間，藉由加入雜質以設定n通道MOS電晶體及／或p通道MOS電晶體之臨限電壓。
- 7.如申請專利範圍第3或第4項之方法，
- 其中磊晶方法係使用含有 SiH_2Cl_2 及／或 GeH_4 之製程氣體，在550℃和850℃之間的溫度範圍中進行。

1/1

第1圖



第2圖



五、發明說明(1)

當 MOS 技術藉由類似的降低尺寸之原理將結構縮減到最小時，MOS 電晶體和 CMOS 電路之特性基本上仍維持在微米的範圍之中，但是，例如，在通道長度約小於 200nm 之 MOS 電晶體的情形中，會發生短通道和穿透效應。

雖然這些效應部分可以藉由增加基板摻雜補償，但是如此高的基板摻雜特別會導致在通道內之電荷載子移動率的減少，在通道內之電荷載子移動率的減少尤其在 p 通道 MOS 電晶體中會變的特別明顯。

在 CMOS 電路配置中，尤其是在反相器，NAND 和 NOR 閘，位移暫存器，記憶體，邏輯和類比電路中，使用製造之 n 通道 MOS 電晶體和 p 通道 MOS 電晶體不僅具有大小相同的單位電壓，也有相同的互導和相同的飽和電流，其他相同的方法已提出，藉由給定 p 通道 MOS 電晶體之通道寬-長比大於 n 通道 MOS 電晶體 2 倍，建構 n 通道 MOS 電晶體和 p 通道 MOS 電晶體，以完成相同的互導和相同的飽和電流（例如，請參見 K. Hoffman 在 1996 年所著之第三版 VLSI-Entwurf Modelle und Schaltungen [VLSI Design Models and Circuits] 第 333 到 339 頁），此係打算補償 p 通道 MOS 電晶體中之電洞移動率低於 n 通道 MOS 電晶體中之電子移動率 2 倍，但是，p 通道 MOS 電晶體之面積和雜散電容會增加此量測的結果。

A. Sadek 等人在 1995 年 Solid-State Electronics 第 38 期 9 卷 1731-1734 頁和 K. Ismael 在義大利 Erice 的 1995 年 International School of materials science

煩請委員明示，本發明是否變更原實質內容

五、發明說明(8)

符號對照表

- | | |
|----|--------------------------------|
| 1 | 基板 |
| 2 | n 型摻雜井 |
| 3 | p 型摻雜井 |
| 4 | 絕緣結構 |
| 5 | 第一矽層 |
| 6 | $\text{Si}_{1-x}\text{Ge}_x$ 層 |
| 7 | 第二矽層 |
| 8 | 閘極介電質 |
| 9 | 閘極電極 |
| 10 | p 型摻雜之源極 / 汲極區 |
| 11 | n 型摻雜之源極 / 汲極區 |

(請先閱讀背面之注意事項再填寫本頁)

訂

訂

六、申請專利範圍

第 87104881 號「CMOS 積體電路配置及其製造方法」專利案
(90 年 4 月修正)

六 申請專利範圍：

1. 一種 CMOS 積體電路配置，其特徵為：

- 提供之半導體基板(1)至少具有一第一矽層(5)，
一受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6) 和一第二矽層(7)，
- 受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)基本上具有與第一矽層
(5) 和第二矽層(7) 相同的晶格常數，
- 受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)在 Z 方向中具有張應力，此
 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)是在 Z 方向中生長，
- p 通道 MOS 電晶體和 n 通道 MOS 電晶體係製作
在該半導體基板中。

2. 如申請專利範圍第 1 項之電路配置，其中

- 第一矽層(5)具有 30nm 和 70nm 之間的厚度，
- 受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)具有 5nm 至 10nm 之間的厚
度，且銻含量在 50 原子% 和 25 原子% 之間，
- 第二矽層(7)具有 5nm 和 12nm 之間的厚度。

3. 一種 CMOS 積體電路配置之製造方法，其特徵為：

- 至少在主區域之範圍中由矽組成之半導體基板(1)的
主區域上磊晶成長第一矽層(5)，受應力的 $\text{Si}_{1-x}\text{Ge}_x$
層(6) 和第二矽層(7)，
- 受應力的 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)在 Z 方向中具有張應力，此
 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)是在 Z 方向中生長，