

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6779687号
(P6779687)

(45) 発行日 令和2年11月4日(2020.11.4)

(24) 登録日 令和2年10月16日(2020.10.16)

(51) Int.Cl.

F I

B 4 1 J 29/38 (2006.01)

B 4 1 J 29/38 1 0 3

H 0 4 N 1/00 (2006.01)

B 4 1 J 29/38 4 0 1

G 0 6 F 1/32 (2019.01)

H 0 4 N 1/00 C

H 0 4 N 1/00 1 2 7 Z

G 0 6 F 1/32

請求項の数 14 (全 22 頁)

(21) 出願番号 特願2016-145604 (P2016-145604)
 (22) 出願日 平成28年7月25日(2016.7.25)
 (65) 公開番号 特開2018-15914 (P2018-15914A)
 (43) 公開日 平成30年2月1日(2018.2.1)
 審査請求日 令和1年7月23日(2019.7.23)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 松本 昭浩
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

審査官 上田 正樹

最終頁に続く

(54) 【発明の名称】 電子機器及び電子機器の制御方法

(57) 【特許請求の範囲】

【請求項1】

通常の電力状態から複数の省電力状態に遷移可能な電子機器であって、
 ストレージデバイスと、
 少なくとも1つのプロセッサと少なくとも1つのメモリを含む第1コントローラと、
 所定の通信規格に従う所定の物理通信インターフェースを介して前記第1コントローラ
 及び前記ストレージデバイスと通信する第2コントローラとを有し、
 前記電子機器が前記複数の省電力状態のうちのいずれかの省電力状態に移行することに
 従って、前記第1コントローラは、前記移行する省電力状態に応じた省電力モードに前記
 第2コントローラを移行させ、省電力モードに移行した前記第2コントローラは、前記ス
 トレージデバイスの電源をオフにし、

且つ、

前記電子機器が前記複数の省電力状態のうちのいずれかの省電力状態から復帰すること
 に従って、前記第1コントローラは、前記第2コントローラを前記省電力モードから復帰
 させ、復帰した前記第2コントローラは、第1コマンドを受け付けたことに基づいて前記
 ストレージデバイスの電源をオンさせ、前記第1コマンドと異なる第2コマンドを受け付
 けたことに基づいて前記ストレージデバイスの電源をオンさせないことを特徴とする電子
 機器。

【請求項2】

前記所定の通信規格はSATA規格であり、

前記第2コントローラは、前記第1コントローラに接続される第1のSATA制御部と、第1のインターフェースを介して前記第1のSATA制御部に接続される第2のSATA制御部とを含み、

前記ストレージデバイスは、第2のインターフェースを介して前記第2のSATA制御部に接続され、

前記電子機器がアイドル状態から前記複数の省電力状態のうちのいずれかの省電力状態に移行することによって、前記第1コントローラは、前記移行する省電力状態に応じた省電力モードに前記第1のSATA制御部を移行させ、

前記第1のSATA制御部は、前記第2のSATA制御部を前記省電力モードに移行させ、

10

前記第2のSATA制御部は、前記省電力モードに移行すると前記ストレージデバイスの電源をオフにする第1の電源オフモード又は第2の電源オフモードに移行させることを特徴とする請求項1記載の電子機器。

【請求項3】

前記第1のSATA制御部は、前記第1コントローラによりアイドル状態から省電力状態への移行が指示されると、前記第1のインターフェースに対して省電力状態への移行処理を行い、自身に対して省電力状態への移行処理を行い、

前記第2のSATA制御部は、前記第1のSATA制御部によりアイドル状態から省電力状態への移行が指示されると、前記第2のインターフェースに対して省電力状態への移行処理を行い、自身に対して省電力状態への移行処理を行うことを特徴とする請求項2記載の電子機器。

20

【請求項4】

前記第2のSATA制御部は、省電力状態からアイドル状態への復帰した後、前記第1のSATA制御部からATAコマンドを受信すると、前記第1の電源オフモードであることに基いて、前記ストレージデバイスの電源をオンさせるために前記ATAコマンドの処理を行うことを特徴とする請求項2記載の電子機器。

【請求項5】

前記第2のSATA制御部は、省電力状態からアイドル状態への復帰した後、前記第1のSATA制御部からATAコマンドを受信すると、前記第1の電源オフモードであることに基いて、前記ストレージデバイスに対してアイドル状態への復帰処理を行い、前記第2のインターフェースに対してアイドル状態への復帰処理を行うことを特徴とする請求項4記載の電子機器。

30

【請求項6】

前記第1コントローラは、前記第1のSATA制御部に対して前記第1のインターフェースの省電力移行の設定を行い、前記第2のSATA制御部に対して前記第2のインターフェース及び前記ストレージデバイスの省電力移行の設定を行い、

前記第1のSATA制御部は、前記第1のインターフェースの省電力移行の設定を基に、前記第1のインターフェースに対して前記移行処理を行い、

前記第2のSATA制御部は、前記第2のインターフェースの省電力移行の設定を基に、前記第2のインターフェースに対して前記移行処理を行い、

40

前記第2のSATA制御部は、前記ストレージデバイスの省電力移行の設定を基に、前記ストレージデバイスに対して前記移行処理を行うことを特徴とする請求項3記載の電子機器。

【請求項7】

前記第1コントローラは、前記第1のSATA制御部に対して、省電力効果が異なる複数の省電力状態のうちの1つの省電力状態への移行を指示することを特徴とする請求項6記載の電子機器。

【請求項8】

前記第1コントローラは、前記複数の省電力状態毎に、前記第1のSATA制御部に対して前記第1のインターフェースの省電力移行の設定を行い、前記第2のSATA制御部

50

に対して前記第 2 のインターフェース及び前記ストレージデバイスの省電力移行の設定を行うことを特徴とする請求項 7 記載の電子機器。

【請求項 9】

さらに、印刷を行うプリンタを有することを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の電子機器。

【請求項 10】

前記省電力モードに移行した前記第 2 コントローラは、前記第 2 コントローラが前記省電力モードから復帰する際に前記ストレージデバイスを復帰させる第 1 モードと、前記第 2 コントローラが前記省電力モードから復帰する際に前記ストレージデバイスを復帰させない第 2 モードのいずれかに移行することを特徴とする請求項 1 記載の電子機器。

10

【請求項 11】

前記複数の省電力状態は、少なくとも 3 つの省電力状態を含み、

前記電子機器が第 1 省電力状態に移行することによって、前記第 1 コントローラは、前記第 2 コントローラを第 1 省電力モードに移行させ、

前記電子機器が前記第 1 省電力状態よりも消費電力が低い第 2 省電力状態に移行することによって、前記第 1 コントローラは、前記第 2 コントローラを前記第 1 省電力モードよりも消費電力が低い第 2 省電力モードに移行させ、

前記電子機器が前記第 2 省電力状態よりも消費電力が低い第 3 省電力状態に移行することによって、前記第 1 コントローラは、前記第 2 コントローラを前記第 2 省電力モードよりも消費電力が低い第 3 省電力モードに移行させることを特徴とする請求項 1 記載の電子機器。

20

【請求項 12】

前記電子機器が前記複数の省電力状態のうちのいずれかの省電力状態から復帰することによって、前記第 1 コントローラは、前記第 1 の S A T A 制御部を前記省電力モードから復帰させ、

復帰した前記第 1 の S A T A 制御部は、前記第 2 の S A T A 制御部を前記省電力モードから復帰させ、

前記第 2 の S A T A 制御部は、前記省電力モードから復帰する際に、前記ストレージデバイスが前記第 1 の電源オフモードである場合には前記ストレージデバイスの電源をオンさせず、前記ストレージデバイスが前記第 2 の電源オフモードである場合には前記ストレージデバイスの電源をオンさせることを特徴とする請求項 2 記載の電子機器。

30

【請求項 13】

前記第 1 の S A T A 制御部は、前記第 1 コントローラにより省電力状態からアイドル状態への復帰が指示されると、前記第 1 の S A T A 制御部に対してアイドル状態への復帰処理を行い、前記第 1 のインターフェースに対してアイドル状態への復帰処理を行い、

前記第 2 の S A T A 制御部は、前記第 1 の S A T A 制御部により省電力状態からアイドル状態への復帰が指示されると、前記第 2 の S A T A 制御部に対してアイドル状態への復帰処理を行い、前記第 1 のインターフェースに対してアイドル状態への復帰処理を行い、前記第 2 の電源オフモードである場合には、前記ストレージデバイスに対してアイドル状態への復帰処理を行い、前記第 2 のインターフェースに対してアイドル状態への復帰処理を行うことを特徴とする請求項 3 記載の電子機器。

40

【請求項 14】

通常の電力状態から複数の省電力状態に遷移可能な電子機器であって、

ストレージデバイスと、

少なくとも 1 つのプロセッサと少なくとも 1 つのメモリを含む第 1 コントローラと、

所定の通信規格に従う所定の物理通信インターフェースを介して前記第 1 コントローラ及び前記ストレージデバイスと通信する第 2 コントローラとを有する電子機器の制御方法であって、

前記電子機器が前記複数の省電力状態のうちのいずれかの省電力状態に移行することによって、前記第 1 コントローラは、前記移行する省電力状態に応じた省電力モードに前記

50

第2コントローラを移行させ、省電力モードに移行した前記第2コントローラは、前記ストレージデバイスの電源をオフにし、

且つ、

前記電子機器が前記複数の省電力状態のうちのいずれかの省電力状態から復帰することに従って、前記第1コントローラは、前記第2コントローラを前記省電力モードから復帰させ、復帰した前記第2コントローラは、第1コマンドを受け付けたことに基づいて前記ストレージデバイスの電源をオンさせ、前記第1コマンドと異なる第2コマンドを受け付けたことに基づいて前記ストレージデバイスの電源をオンさせないことを特徴とする電子機器の制御方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、電子機器及び電子機器の制御方法に関する。

【背景技術】

【0002】

近年、地球温暖化等の環境問題対応として各国の規制は年々厳しくなっている。印刷装置においても例外ではなく、真摯に環境問題に取り組み、各種エネルギー関連規格への積極的な対応が求められている。また、ノートPC（パーソナルコンピュータ）やタブレットPCなどのモバイル系電子機器の普及に伴い、バッテリーによる駆動をより長時間にする必要がある。そのため、内部バスIF（インターフェース）規格であるPCIe（P
C I E x p r e s s）やストレージデバイスとのIF規格であるSATA（S e r i a l
A T A）では、規格レベルにおいて省電力状態が策定されている。例えば、SATA
では、従来からの省電力系コマンドに加えて、ホストとデバイス間IFでの省電力状態が
追加された。前者としてはS t a n d b yコマンドやS l e e pコマンドなどが、後者と
してはP a r t i a l、S l u m b e r及びD e v i c e - S l e e p（以下、D e v S
l e e pと示す）が省電力状態として定義されている。ストレージデバイスの代表例とし
て、ハードディスク装置（以下、HDDと示す）やSSD（ソリッドステートドライブ）
などが挙げられる。D e v S l e e pは、特にSSDに対して設けられた省電力状態であ
り、SATA - I F電力と本体電力の両方をR u n T i m eに削減することを可能とする
。

20

30

【0003】

SATA - I F及びそれに接続されるストレージデバイスは、アクセス期間以外のアイ
ドル状態において比較的待機電力が大きな部分である。特に、SATAブリッジ構成と
してRAID（R e d u n d a n t A r r a y s o f I n e x p e n s i v e D
i s k）制御やデータ暗号化処理を実施する場合である。その場合、ホスト側であるSA
T Aメイン制御部及びデバイス側であるSATAブリッジ制御部のCPUシステムと複数の
ストレージデバイス及びそれらを接続する複数のSATA - I F（特に物理層）での待
機電力は大きなものとなる。そのため、R u n T i m eな省電力制御が求められる。例え
ば、PATA（P a r a l l e l A T A）- I Fを有するHDDとSATA - I Fを持
つSATAホスト制御部をブリッジする目的のSATAブリッジ構成において、上位メイ
ンCPUの手を煩わせることの方法が提案されている。特許文献1では、HDDへの省電
力制御状況（SATAブリッジ制御部への省電力系コマンド）に応じて、SATAホスト
制御部とデバイス側であるSATAブリッジ制御部間のSATA - I FをP a r t i a l
やS l u m b e rの省電力状態に移行させる。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005 - 78514号公報

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 5 】

特許文献 1 は、H D D への省電力系コマンドを基点とした S A T A 系省電力移行処理を行う。すなわち、省電力移行条件は、装置全体の電力ステートとは連動せず、あくまでも S A T A 系部分のみでの省電力移行判定となるため、きめ細かな省電力制御には限界がある。例えば、H D D は、不要時に電源オフし、真に必要な場合にのみ電源オンすることが電力的及び寿命的に望ましい。また、R A I D 制御に伴うバックグラウンド処理中の省電力移行要求に対して、現状のバックグラウンド処理を継続するのか、中断するのかの適切な判断を必要とする場合がある。しかしながら、特許文献 1 では、H D D 電源オフ / オンタイミングやバックグラウンド処理の継続の有無を適切に判断することは困難である。

【 0 0 0 6 】

本発明の目的は、ストレージデバイス（例えば H D D ）のオフ / オン回数に対する寿命を考慮しつつ効率的に消費電力を削減することができる電子機器及び電子機器の制御方法を提供することである。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の電子機器は、通常の電力状態から複数の省電力状態に遷移可能な電子機器であって、ストレージデバイスと、少なくとも 1 つのプロセッサと少なくとも 1 つのメモリを含む第 1 コントローラと、所定の通信規格に従う所定の物理通信インターフェースを介して前記第 1 コントローラ及び前記ストレージデバイスと通信する第 2 コントローラとを有し、前記電子機器が前記複数の省電力状態のうちのいずれかの省電力状態に移行することに従って、前記第 1 コントローラは、前記移行する省電力状態に応じた省電力モードに前記第 2 コントローラを移行させ、省電力モードに移行した前記第 2 コントローラは、前記ストレージデバイスの電源をオフにし、且つ、前記電子機器が前記複数の省電力状態のうちのいずれかの省電力状態から復帰することに従って、前記第 1 コントローラは、前記第 2 コントローラを前記省電力モードから復帰させ、復帰した前記第 2 コントローラは、第 1 コマンドを受け付けたことに基づいて前記ストレージデバイスの電源をオンさせ、前記第 1 コマンドと異なる第 2 コマンドを受け付けたことに基づいて前記ストレージデバイスの電源をオンさせない。

【発明の効果】

【 0 0 0 8 】

ストレージデバイス（例えば H D D ）のオフ / オン回数に対する寿命を考慮しつつ効率的に消費電力を削減することができる。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】印刷システムの構成例を示す図である。

【図 2】S A T A ブリッジ構成の接続例を示す図である。

【図 3】S A T A ホスト制御部及びブリッジ制御部の内部構成例を示す図である。

【図 4】P S 0 ~ P S 2 の S A T A 系省電力状態種類及び設定内容を示す図である。

【図 5】省電力制御に関係する拡張コマンド例を示す図である。

【図 6】S A T A 系省電力設定への初期化フロー図である。

【図 7】S A T A ホスト制御部の省電力移行処理フロー図である。

【図 8】S A T A ブリッジ制御部の省電力移行処理フロー図である。

【図 9】S A T A ホスト制御部の省電力状態からの復帰処理フロー図である。

【図 10】S A T A ブリッジ制御部の省電力状態からの復帰処理フロー図である。

【図 11】P S 2 省電状態からの復帰シーケンスを示したフロー図である。

【図 12】S A T A ブリッジ制御部と電源制御部の接続例を示す図である。

【図 13】H D D の電源制御タイミング例を示す図である。

【図 14】デバイス接続状態の取得例を示す図である。

【発明を実施するための形態】

【 0 0 1 0 】

図1は、本発明の実施形態による印刷システムの構成例を示す図である。印刷システムは、印刷装置及び外部H O S Tコンピュータ107を有する。印刷装置は、メインコントローラ120と、スキャナ装置109と、H D D / S S D 113, 114と、パネル装置116と、印刷部118とを有する。印刷装置は、電子機器である。以下、電子機器の例として、印刷装置について説明する。メインC P U (中央処理演算器)101は、メイン制御部であり、システム制御や各種演算処理を行う。メモリ制御部102は、各種メモリデバイスへの入出力制御やD M A (ダイレクト・メモリ・アクセス)制御を行う。フラッシュメモリ103は、書き換え可能な不揮発性メモリであり、システム全体の制御プログラムや制御パラメータ等が格納される。D R A M (ダイナミック・ランダム・アクセス・メモリ)104は、D D R (D o u b l e - D a t a - R a t e)メモリに代表される揮発性の書き換え専用メモリである。D R A M 104は、プログラムの作業領域や印刷データの格納領域、各種テーブル情報格納領域等の用途に用いられる。ここで、メモリ制御部102と各種メモリデバイスとの関係は、簡略化して表現したものであって、一般的には独立に制御される。L A N - I F 制御部105は、印刷装置に接続されるローカル・エリア・ネットワーク106との入出力制御を行う。L A N - I F 制御部105は、一般的にはT C P / I P (T r a n s m i s s i o n C o n t r o l P r o t o c o l / I n t e r n e t P r o t o c o l)プロトコルに対応する。L A N - I F 制御部105は、ネットワークケーブルを介して外部H O S Tコンピュータ107などのネットワーク対応機器と接続され、ネットワーク経由でのプリントを行うことができる。R e a d e r - I F 制御部108は、スキャナ装置109との通信制御を行う。印刷装置は、スキャナ装置109によってスキャンした入力画像データを印刷させることでコピー機能を実現する。画像処理部110は、L A N - I F 制御部105、R e a d e r - I F 制御部108を介して取り込んだ画像データに対して各種画像処理を行う。S A T Aホスト制御部111は、S A T A (S e r i a l A d v a n c e d T e c h n o l o g y A t t a c h m e n t)規格に準拠したI Fを有するデバイスとのデータ入出力制御を行う。S A T Aブリッジ制御部112は、上流側としてS A T Aホスト制御部111にデバイスとして接続され、下流側としては複数のH o s t - I Fを有し、H D D又はS S D 113、114と接続される。S A T Aブリッジ制御部112は、R A I D制御やデータ暗号化などの付加価値としての機能が搭載されている。S A T A制御部121は、S A T Aホスト制御部111及びS A T Aブリッジ制御部112を有する通信制御手段であり、所定の通信規格に従う所定の物理通信インターフェースを介してメインC P U 101及びデバイス113, 114と通信する。所定の通信規格は、例えばS A T A規格である。本実施形態では、S A T Aホスト制御部111とS A T Aブリッジ制御部112は、それぞれ独立したA S I C (特定用途向け集積回路)としてメインコントローラ120に搭載されていることを前提として説明を行う。パネルI F 制御部115は、パネル装置116との通信制御を行う。パネル装置116は、U I (ユーザ・インターフェース)として、パネル上の液晶画面表示やボタン等を操作することにより印刷装置の各種設定及び状態の確認ができる。ビデオ出力I F部117は、印刷部118に対して、コマンド/ステータスの通信制御や印刷データの転送を行う。印刷部118は、印刷装置本体と給紙系及び排紙系から構成され、主にビデオ出力I F部117からのコマンド情報に従い、印刷データを紙に印刷する。メインバス119は、バスコントローラを含み、制御バス、データバス及び任意ブロック間のローカルバスを便宜的にまとめて表現したものであり、代表例としてP C I e (P C I E x p r e s s)やA S I Cの内部バスなども含まれる。

【0011】

図2は、S A T Aブリッジ構成の接続例を示す図である。メインA S I C 201は、S A T Aホスト制御部111を含むメインコントローラ120のシステム全体を制御する中心的なA S I Cである。S A T Aホスト制御部111は、1個のS A T A - I P (I n t e l l e c t u a l P r o p e r t y)202をホストI Fとして有する。サブA S I Cは、S A T Aブリッジ制御部112そのものであり、メインコントローラ120上に独立したI C (I n t e g r a t e d C i r c u i t)として実装されている。S A T A

10

20

30

40

50

ブリッジ制御部 112 は、3 個の S A T A - I P 2 0 3 ~ 2 0 5 を有する。ブリッジ構成の上流側では、S A T A - I P (H o s t) 2 0 2 が H - H o s t - I F 2 0 6 を介して S A T A - I P (D e v i c e) 2 0 3 と接続される。ブリッジ構成の下流側では、S A T A - I P (H o s t 1) 2 0 4 が B - H o s t 1 - I F 2 0 7 を介して H D D / S S D 1 1 3 と接続され、S A T A - I P (H o s t 2) 2 0 5 が B - H o s t 2 - I F 2 0 8 を介して H D D / S S D 1 1 4 と接続されている。ここで、S A T A - I P 2 0 2 ~ 2 0 5 は、S A T A リンク層及び物理層から構成される。S A T A - I P 2 0 2 ~ 2 0 5 は、各種 S A T A レジスタの設定に応じて S A T A - I F 2 0 6 ~ 2 0 8 で接続される S A T A デバイスに対して物理的な（電気信号としての）S A T A 規格のコマンド発行やステータス受信を行う。

10

【 0 0 1 2 】

また、S A T A ブリッジ制御部 112 は、電源制御部 209 と制御信号 214 で接続されている。電源制御部 209 は、メインボード上に搭載され、メインコントローラ 120 に含まれる各機能モジュールやそれに接続される各種装置への電力供給の有無を決定し、印刷装置全体としての電源制御を担っている。電源制御部 209 から出ている一点斜線 210 ~ 213 は、システム全体の部分である S A T A ブリッジ部の各構成要素に対する電源ラインを示したものである。なお、本実施形態では、S A T A ホスト制御部 111 及びブリッジ制御部 112 間の I F を 1 個、S A T A ブリッジ制御部 112 及び H D D / S S D 1 1 3 , 1 1 4 間の I F を 2 個として説明するが、各 I F の数は任意個数の接続形態であってもよい。

20

【 0 0 1 3 】

図 12 は、図 2 で接続構成を説明した S A T A ブリッジ制御部 112 と電源制御部 209 間の H D D / S S D 電源制御を行う制御信号 214 を分解して、より詳細に示した図である。制御信号 I N 1 2 0 5 は、S A T A ブリッジ制御部 112 への入力信号であり、制御信号 O U T A 1 2 0 1 及び O U T B 1 2 0 2 は、電源制御部 209 への出力信号である。また、電源制御部 209 からは H D D / S S D へ電力を供給する電源回路 1204 への電力供給を許可する E N 信号 1203 が出力されている。電源回路 1204 は、例えば、D C - D C 電源（直流入力直流出力電源）や F E T （電界効果トランジスタ）などが挙げられる。E N 信号 1203 は、制御信号 I N 1 2 0 5 と接続されていて、H D D / S S D への電力供給状態、すなわち、電源オフかオンかの判定用モニタ信号として S A T A ブリッジ制御部 112 に入力されている。制御信号 O U T A 1 2 0 1 及び O U T B 1 2 0 2 は、H D D / S S D の電源をオフ/オンするための電源制御部 209 への要求信号である。

30

【 0 0 1 4 】

図 13 は、制御信号 I N 1 2 0 5 、O U T A 1 2 0 1 及び O U T B 1 2 0 2 のタイミングチャートである。全ての信号は、開始点 1304 でローレベル開始処理されることを前提としている。制御信号 I N 1 2 0 5 は、H D D / S S D の電源のオフ又はオン状態を示すモニタ信号であり、起動後、時点 1305 で H D D の電源オンとなったことを表している。制御信号 O U T A 1 2 0 1 は、電源制御部 209 に対して H D D / S S D 電源のオフ又はオン要求を行う有効期間を示す信号である。制御信号 O U T A 1 2 0 1 がハイレベルの区間 1306 ~ 1308 が電源制御部 209 に対して H D D / S S D 電源のオフ又はオンを要求する期間である。制御信号 O U T B 1 2 0 2 は、H D D / S S D 電源に対するオン又はオフ要求を行う信号であり、ハイレベル区間が電源オン要求を示し、ローレベル区間が電源オフ要求を示している。図 13 の例では、区間 1306 ~ 1307 では制御信号 O U T A がハイレベル、制御信号 O U T B がローレベルなので、H D D 電源がオフされる。区間 1306 ~ 1307 では、モニタ信号である制御信号 I N がローレベルとなっており、確かに H D D / S S D 電源はオフされていることが読み取れる。同様に、制御信号 O U T A がハイレベルの有効期間に制御信号 O U T B 1 2 0 2 をハイレベル/ローレベルにさせた結果に連動して、制御信号 I N 1 2 0 5 がハイレベル/ローレベルになっていることが分かる。なお、図 12 及び図 13 を用いて説明した例では、モニタ信号である制御信号 I N 1 2 0 5 及び電源オフ/オン要求信号である制御信号 O U T B 1 2 0 2 は 1 対 1 の

40

50

関係であったが、これに限定されない。SATAブリッジ制御部112に接続される複数のストレージデバイスのそれぞれに対してモニタ信号(=電源EN信号)IN_nと電源オフ/オン要求信号OUTB_n($n \geq 2$)として、同一番号 n を対応させて個別に制御してもよい。

【0015】

図3は、SATAホスト制御部111及びSATAブリッジ制御部112の内部構成例を示す図である。SATAホスト制御部111は、第1のSATA制御部であり、メインバス119を介してメインCPU101に接続される。SATAブリッジ制御部112は、第2のSATA制御部であり、H-Host-IF(第1のインターフェース)206を介してSATAホスト制御部111に接続される。HDD/SSD113は、デバイスであり、B-Host1-IF(第2のインターフェース)207を介してSATAブリッジ制御部112に接続される。HDD/SSD114は、デバイスであり、B-Host2-IF(第2のインターフェース)208を介してSATAブリッジ制御部112に接続される。

【0016】

HCPU301は、SATAコマンド発行処理、送受信データの転送処理及びステータス受信処理等のSATAコントローラとしての全般的な制御を行う。メモリ制御部302は、フラッシュメモリ303やSRAM(スタティック・ランダム・アクセス・メモリ)304との入出力制御を行う。フラッシュメモリ303には、ブートプログラムやSATAコントローラとしての制御プログラムが格納されている。SRAM304は、HCPU301の作業領域、各種制御テーブルやパラメータ格納領域及びデータバッファなどに使用される。ここで、SRAM304は、1ポートRAM、2ポートRAM、FIFO(First-IN First-OUT)メモリ等の制御を簡略化して記載しているのであって、それぞれ独立に制御され複数個所にSRAMが存在してもよい。割り込み制御部305は、HCPU301に対する割り込み信号の入力や出力処理、割り込み信号に対するマスク処理などを行う。レジスタH306は、省電力関連の制御パラメータなどを一時的に記憶するためのレジスタである。DMAC(ダイレクト・メモリ・アクセス・コントローラ)307は、HCPU301によって所定のレジスタに転送元及び転送先の先頭アドレス及びサイズが設定され、起動が掛けられると所定のメモリ間でデータ転送を行う。Hバス308は、バスコントローラを含み、制御バス、データバス及び任意ブロック間のローカルバスを便宜的にまとめて表現したものである。バスブリッジ回路309は、メインバス119とHバス308間のバスプロトコルを相互に変換するバスブリッジ回路である。

【0017】

BCPU310は、SATAコマンド発行処理、送受信データの転送処理及びステータス受信処理等のSATAコントローラとしての全般的な制御を行う。メモリ制御部311は、フラッシュメモリ312やSRAM313との入出力制御を行う。フラッシュメモリ312には、ブートプログラムやSATAコントローラとしての制御プログラムが格納されている。SRAM313は、BCPU310の作業領域、各種制御テーブルやパラメータ格納領域及びデータバッファなどに使用される。ここで、SRAM313は、1ポートRAM、2ポートRAM、FIFOメモリ等の制御を簡略化して記載しているのであって、それぞれ独立に制御され複数個所にSRAMが存在してもよい。レジスタB314は、省電力関連の制御パラメータなどを一時的に記憶するためのレジスタである。電源IF部315は、電源制御部209と制御信号214で接続され、HDD/SSD113、114への電源オフ/オン要求信号の制御を行う。Others316は、SATAブリッジ制御部112としての他の機能ブロック、例えばRAID処理やデータ暗号化処理等をまとめて示したものである。Bバス317は、バスコントローラを含み、制御バス、データバス及び任意ブロック間のローカルバスを便宜的にまとめて表現したものである。また、図2で説明したように、SATAホスト制御部111のSATA-IP(Host)202とSATAブリッジ制御部112のSATA-IP(Device)203とは、H-

H o s t - I F 2 0 6 で接続されている。さらに、S A T A - I P (H o s t 1 / 2) 2 0 4 及び 2 0 5 は、B - H o s t 1 / 2 - I F 2 0 7 及び 2 0 8 を介して、H D D / S S D 1 1 3 及び 1 1 4 に接続されている。

【 0 0 1 8 】

図 4 は、メインコントローラ 1 2 0 の電力ステートを横軸に示し、S A T A 系省電力状態と省電力移行条件を縦軸として示したものである。図 4 の第 1 行目は、印刷装置全体としての上位電力ステート 4 0 1 を示しており、消費電力が高い順に S t a n d b y (スタンバイ) モード 4 0 2、S l e e p (スリープ) モード 4 0 3、D e e p (ディープ) モード 4 0 4 と定義する。S t a n d b y モード 4 0 2 は、印刷装置が直ちにジョブを受け付け可能な状態であり、図 1 のメインコントローラ 1 2 0、スキャナ装置 1 0 9、パネル装置 1 1 6、印刷部 1 1 8 及び H D D / S S D 1 1 3、1 1 4 には全て通電され、基本的にアイドル状態である。S l e e p モード 4 0 3 及び D e e p モード 4 0 4 は、印刷装置の省電力状態であり、ジョブ実行をしていない期間の待機電力削減を目的とする。S l e e p モード 4 0 3 では、S t a n d b y モード 4 0 2 で説明した部位は通電されているが、基本的に省電力状態である。特に、D e e p モード 4 0 4 は、大半部分の電力供給をカットした状態であり、図 1 のメモリ制御部 1 0 2 及び D R A M 1 0 4、L A N - I F 1 0 5、パネル I F 1 1 5 及びパネル装置 1 1 6 に通電されている。D e e p モード 4 0 4 は、S l e e p モード 4 0 3 での各部省電力状態よりもさらに深い省電力状態に置かれ、それら以外は全て電源オフ状態である。本実施形態の対象である S A T A ホスト制御部 1 1 1、S A T A ブリッジ制御部 1 1 2 及び接続デバイスである H D D / S S D 1 1 3、1 1 4 も、D e e p モード 4 0 4 では全て電源オフされた状態であることを前提としている。さらに、上位電力ステート 4 0 1 に対応する S A T A 系省電力状態として P o w e r S a v e 0 (P S 0) 4 0 7、P o w e r S a v e 1 (P S 1) 4 0 8 及び P o w e r S a v e 2 (P S 2) 4 0 9 を定義する。P S 0 (4 0 7) ~ P S 2 (4 0 9) は、図 4 で示すように上位電力ステートに対応したものであり、電力削減効果としては P S 0 < P S 1 < P S 2 (電源オフ) の関係となる。また、そのトレードオフとして復帰時間は、不等号が逆転する関係となる。各 S A T A 系省電力状態における H - H o s t - I F 2 0 6 の省電力移行条件を項目 4 1 1 ~ 4 1 3、B - H o s t 1 / 2 - I F 2 0 7 及び 2 0 8 の省電力移行条件を項目 4 1 5 ~ 4 1 7、H D D / S S D 本体の省電力移行条件を項目 4 1 9 ~ 4 2 1 として定義する。各項目 4 1 1 ~ 4 2 1 の設定値で、図に “ / ” で区切られた内容は、その中のいずれかひとつが設定されることを示している。但し、設定値の個数(すなわち、とり得る状態数)は任意に追加してもよい。また、図 4 の省電力設定値としての H - H o s t - I F 状態 4 1 0、B - H o s t - I F 状態 4 1 4、H D D / S S D 本体状態 4 1 8 の対応個所を図 2 に示す。それらは、それぞれに H - H o s t - I F 2 0 6 (2 0 2 及び 2 0 3 を含む)、B - H o s t 1 / 2 - I F 2 0 7 及び 2 0 8 (2 0 4 及び 2 0 5 を含む)、H D D / S S D 1 1 3 及び 1 1 4 に対応する。P S 0 (4 0 7) ~ P S 2 (4 0 9) の状態遷移した場合に項目 4 1 1 ~ 4 2 1 の設定値の状態に各対応部が置かれることを意味する。ここで、省電力移行条件としてとり得る省電力状態について説明する。A I は A c t i v e - I d l e、L P I は L o w - P o w e r - I d l e であり、アイドル状態における S A T A - I F と接続デバイス本体の A T A 規格で定義されている電力状態を示す。既に説明したように、P a r t i a l / S l u m b e r は S A T A - I F として、D e v S l e e p は S A T A - I F 及びデバイス本体の両方の省電力状態を S A T A 規格で定義されたものである。また、O f f L i n e は、S A T A - I P としての無効(停止)状態を示す。一般的に S A T A - I F の省電力として効果が高い順番に並べると O f f L i n e > D e v S l e e p > S l u m b e r > P a r t i a l > L P I > A I、同様にデバイス本体の省電力としては電源オフ > D e v S l e e p > L P I > A I となる。ここで、接続するデバイスの電源オフ指示の設定条件に、電源オフ - 1 と電源オフ - 2 を項目 4 1 9 及び 4 2 0 に設け、次の定義を与える。電源オフ - 1 は、次回復帰時にデバイス本体の電源オンを伴わない(省電力 & 寿命優先)。電源オフ - 2 は、次回復帰と同時にデバイス本体も電源オンする(利便性優先)。電源オフ - 1 及び電源オフ - 2 によって、特に

10

20

30

40

50

HDDの電源オフ/オン寿命を配慮した省電力制御が可能となる。後述するが、省電力移行条件は、SATAホスト制御部111及びSATAブリッジ制御部112の起動時に予め設定されることになる。また、SATAホスト制御部111のHCPUシステム及びSATAブリッジ制御部112のBCPUシステム自身の各省電力効果も一般的には復帰時間とのトレードオフとしてPS0<PS1<PS2(電源オフ)の関係と同じとするのが最適解である。ただし、PS0 PS1<PS2の関係でもよい。HCPU301及びBCPU310自身の省電力手段として、クロックゲートや電源分離による部分的な電源供給カットなどの方法がある。

【0019】

ここで、図4で説明した例では、印刷装置全体の電力ステート数を3段階、それに対応するSATA系省電力状態を3段階としたが、電力ステート数やSATA系省電力状態数は任意であってよい。さらに、B-Host1/2-IF207及び208の省電力移行条件を項目415~417とし、HDD/SSD本体の省電力移行条件を項目419~421としてが、接続ポート単位で個別に設定してもよい。

【0020】

図5は、図4で説明した各省電力移行条件を予めSATAブリッジ制御部112に設定するための拡張コマンドについて示す図である。SATA規格で定義された空コマンドであるベンダユニーク・コマンド(例えばF0h)に対して、図5の第1行目左から示されるように拡張コマンド名称501、CMD(サブコマンド)番号502、転送タイプ503として省電力系拡張コマンドを独自に定義する。ここで、CMD番号502は、ベンダユニーク・コマンド(例えば、F0h)に対するFeatureレジスタに設定されるサブコマンド番号を示す。また、SATA規格では、基本的な転送タイプとして、データを伴わないNon-Data(ND)転送、単発データ転送を実行するPIO-In(PI)又はPIO-Out(PO)転送、連続データ転送を実行するDMA転送などの転送タイプが定義されている。図5での転送タイプ503は、CMD番号502に対する転送タイプを定義している。例えば、SetupPowerConfigコマンド505は、CMD番号が01h(506)、転送タイプがPO(507)で構成される。同様に、ToSleepコマンド509は、CMD番号が02h(510)、転送タイプがND(511)で定義されている。ToDeepコマンド513は、CMD番号が03h(514)、転送タイプがND(515)で定義されている。GetStatusコマンド517は、CMD番号が04h(518)、転送タイプがPI(519)で定義されている。

【0021】

SetupPowerConfigコマンド505は、指定内容508に示すように、SATAブリッジ制御部112に、H-Host-IF206の省電力移行条件411~413を設定するために用いられる。また、SetupPowerConfigコマンド505は、指定内容508に示すように、SATAブリッジ制御部112に、B-Host1/2-IF207及び208の省電力移行条件415~417を設定するために用いられる。また、SetupPowerConfigコマンド505は、指定内容508に示すように、SATAブリッジ制御部112に、HDD/SSD本体の省電力移行条件419~421を設定するために用いられる。

【0022】

ToSleepコマンド509は、指定内容512に示すように、上位電力ステートがSleepモード403へ移行することをSATAブリッジ制御部112に通知するコマンドである。ToDeepコマンド513は、指定内容516に示すように、上位電力ステートがDeepモードに移行することをSATAブリッジ制御部112に通知するコマンドである。GetStatusコマンド517は、指定内容520に示すように、SATAブリッジ制御部全般のステータス取得のための拡張コマンドである。これは、直接的な省電力関連の拡張コマンドではないが、例えば省電力移行処理が完了したことを上位システムが取得する場合に用いられる。以後、拡張コマンド以外のATA規格で定義されたコマンドを区別して表現する場合には、ATAコマンドと呼ぶことにする。

【 0 0 2 3 】

さらに、幾つかのフロー図を用いて、本実施形態の印刷装置（電子機器）の制御方法について説明する。なお、説明の煩雑性を避けるため、本実施形態に関係しないエラー処理については基本的に説明を省略する。

【 0 0 2 4 】

図6は、SATA系省電力制御の初期設定フローを示す図である。メインコントローラ120の起動（コールドブート）時に、以下の処理が行われる。ステップS601では、メインCPU101は、SATAホスト制御部111に対して、複数の省電力状態PS0～PS2毎に、図4で説明したH-Host-IF206の省電力移行条件411～413の設定を行う。次に、ステップS602では、メインCPU101は、SATAブリッジ制御部112に対して、SetupPowerConfigコマンド505をSATAホスト制御部111から発行させることで、省電力の初期設定を行う。具体的には、メインCPU101は、SATAブリッジ制御部112に対して、複数の省電力状態PS0～PS2毎に、図4で説明したB-Host1/2-IF207及び208の省電力移行条件415～417を設定する。また、メインCPU101は、SATAブリッジ制御部112に対して、複数の省電力状態PS0～PS2毎に、図4で説明したHDD/SSD113及び114の省電力移行条件419～421を設定する。SetupPowerConfigコマンド505を受信したBCPU310は、所定の場所に省電力移行条件を記録する。ここで、SATAホスト制御部111及びSATAブリッジ制御部112における省電力移行条件の記録場所としてはレジスタH306やレジスタB314、SRAM304や313、フラッシュメモリ303や312などに設定を行う。この際、省電力移行処理時に読み出せる場所であれば特に限定はしない。また、上記ではメインコントローラ120起動時での初期設定について説明したが、印刷装置がStandbyモード402であれば、同じ設定方法によって任意タイミングで省電力移行条件を再設定してもよい。なお、本実施形態での印刷装置の起動（コールドブート）時は、一端上位電力ステートがStandbyモード402、SATA制御系及びそれに接続されるストレージデバイスがアイドル状態に遷移することを前提とする。

【 0 0 2 5 】

図7は、SATAホスト制御部111の省電力移行シーケンスを示す図である。ステップS701では、HCPU301は、アイドル（待機）状態としてメインCPU101からの割り込み指示待ちである。次に、ステップS702では、メインCPU101は、SATAホスト制御部111に対して、アイドル状態から、省電力効果が異なる複数の省電力状態PS0、PS1、PS2のうちの1つの省電力状態への移行要求割り込みを指示する。HCPU301は、受信した割り込み信号の判定を行う。HCPU301は、その判定結果がPS0移行要求割り込みである（YES）場合には、ステップS703に処理を進め、その判定結果がPS0移行要求割り込みでない（NO）場合には、ステップS705に処理を進める。ステップS703では、HCPU301は、図6のステップS601の設定に応じて、H-Host-IF206に対してアイドル状態から省電力状態PS0（407）への移行処理を行う。すなわち、HCPU301は、SATAブリッジ制御部112に対してアイドル状態から省電力状態PS0への移行を指示する。次に、ステップS704では、HCPU301は、SATAホスト制御部111自身に対してアイドル状態から省電力状態PS0（407）への移行処理を行う。

【 0 0 2 6 】

ステップS705では、HCPU301は、判定結果がPS1移行要求割り込みである（YES）場合には、ステップS706に処理を進め、判定結果がPS1移行要求割り込みでない（NO）場合には、ステップS708に処理を進める。ステップS706では、HCPU301は、図6のステップS601の設定に応じて、H-Host-IF206に対してアイドル状態から省電力状態をPS1（408）への移行処理を行う。すなわち、HCPU301は、SATAブリッジ制御部112に対してアイドル状態から省電力状態PS1への移行を指示する。次に、ステップS707では、HCPU301は、SATA

Aホスト制御部111自身に対して、アイドル状態から省電力状態PS1(408)への移行処理を行う。

【0027】

ステップS708では、HCPU301は、判定結果がPS2移行要求割り込みである(YES)場合には、ステップS709に処理を進め、判定結果がPS2移行要求割り込みでない(NO)場合には、ステップS711に処理を進める。ステップS709では、HCPU301は、図6のステップS601の設定に応じて、H-Host-IF206に対して、アイドル状態から省電力状態PS2(409)への移行処理を行う。すなわち、HCPU301は、SATAブリッジ制御部112に対してアイドル状態から省電力状態PS2への移行を指示する。次に、ステップS710では、HCPU301は、SATAホスト制御部111自身に対して、アイドル状態から省電力状態PS2(409)への移行処理を行う。

10

【0028】

ステップS711では、HCPU301は、省電力移行要求以外の割り込みに応じた処理、例えば通常データ転送時のライトコマンド発行処理などを実行し、処理完了した後に再びステップS701に戻り、アイドル状態に入る。なお、HCPU301は、要求のあった省電力状態に移行した後に、移行完了割り込みをメインCPU101に通知すると同時に、レジスタH306の一部を省電力状態のステータスレジスタとして報告する。

【0029】

ここで、PS0(407)~PS2(409)での設定されたH-Host-IF206の省電力移行条件について説明する。Partial及びSlumberは、SATA規格で定義されたリクエストパケットを送信し、送信先が許可すればSATA-IFに対する省電力状態に入ることができる。また、DevSleepは、まずSATA-IFをSlumberに入れて、さらにシングルエンド信号であるDEVSLP信号をイネーブル状態にすることで接続デバイス本体電力を削減することができる。

20

【0030】

図8は、SATAブリッジ制御部112の省電力移行シーケンスを示す図である。ステップS801では、BCPU310は、アイドル状態として待機中である。BCPU310は、基本的にSATAホスト制御部111であるHCPU301からの割り込み指示待ちの状態である。次に、ステップS802では、BCPU310は、受信した割り込み信号がH-Host-IF206の省電力状態への移行の通知(移行を引き起こすイベントが発生した)かどうかの判定を行う。BCPU310は、判定結果がH-Host-IF206の省電力状態への移行の通知である(YES)場合には、ステップS809に処理を進める。また、BCPU310は、判定結果がH-Host-IF206の省電力状態への移行の通知でない(NO)場合には、ステップS803に処理を進める。

30

【0031】

ステップS803では、BCPU310は、受信した割り込み信号が省電力系の拡張コマンドであるかどうかの判定を行う。BCPU310は、省電力系の拡張コマンドである(YES)の場合には、ステップS805に処理を進め、省電力系の拡張コマンドでない(NO)の場合には、ステップS804に処理を進める。ステップS804では、BCPU310は、他の割り込み処理、例えばATAコマンド処理などを実行し、再びステップS801のアイドル状態に戻る。

40

【0032】

ステップS805では、BCPU301は、受信した省電力系コマンドがToSleepコマンド509かどうかの判定を行う。BCPU301は、ToSleepコマンド509である(YES)の場合には、ステップS806に処理を進め、ToSleepコマンド509でない(NO)場合には、ステップS807に処理を進める。ステップS806では、BCPU310は、上位電力ステートをSleepモード403としてレジスタB314やSRAM313等に登録し、再びステップS801のアイドル状態に戻る。

【0033】

50

ステップS807では、BCPU310は、受信した省電力系コマンドがToDeepコマンド513であると判断し、上位電力ステートをDeepモード403としてレジスタB314やSRAM313等に登録し、ステップS808へ処理を進める。ステップS808では、BCPU310は、Deep移行準備を行い、再びステップS801のアイドル状態に戻る。Deepモード403では、基本的に電源制御部209による電源オフ処理を前提としている。そのため、特に瞬断を許さないストレージデバイス（HDDやSSD）及びフラッシュメモリを内蔵するSATAブリッジ制御部112のようなタイプのICは電源オフ準備を行い、準備完了後に電源オフタイミングを通知する必要がある。PS2状態としての電源オフ準備完了かどうかは、GetStatusコマンド517によって取得することが可能である。メインCPU101は、SATAホスト制御部111やSATAブリッジ制御部112が電源オフ準備完了したことを前述したステータス取得手段により確認した後に、電源制御部209に電源オフ許可を通知する。また、一例としてHDD電源オフ時の準備としては、ATA規格のFLUSH CACHEコマンド及びSLEEPコマンドを発行し、データ退避や物理的なヘッダの退避等を行う。

【0034】

ステップS809では、BCPU310は、上位電力ステートがStandbyモード402として予め設定されているH-Host-IF206の省電力移行条件411から、PS0（407）に移行すべきかどうかの判定を行う。BCPU310は、PS0（407）に移行すべき（YES）場合には、ステップS810に処理を進め、PS0（407）に移行すべきでない（NO）場合には、ステップS811に処理を進める。ステップS810では、BCPU310は、予め設定されているB-Host1/2-IF207及び208の省電力移行条件415を基に、B-Host1/2-IF207及び208に対してアイドル状態から省電力状態PS0（407）への移行処理を行う。また、BCPU310は、予め設定されているHDD/SSD本体の省電力移行条件419を基に、HDD/SSD113, 114に対してアイドル状態から省電力状態PS0（407）への移行処理を行う。例えば、BCPU310は、電源オフ-1（第1の電源オフモード）又は電源オフ-2（第2の電源オフモード）でHDD/SSD113, 114の電源オフを指示する。そして、BCPU310は、SATAブリッジ制御部112自身に対してアイドル状態から省電力状態PS0（407）への移行処理を行う。

【0035】

ステップS811では、BCPU310は、上位電力ステートがSleepモード403として予め設定されているH-Host-IF206の省電力移行条件412から、PS1（408）に移行すべきかどうかの判定を行う。BCPU310は、PS1（408）に移行すべき（YES）場合には、ステップS812に処理を進め、PS1（408）に移行すべきでない（NO）場合には、ステップS813に処理を進める。ステップS812では、BCPU310は、予め設定されているB-Host1/2-IF207及び208の省電力移行条件416を基に、B-Host1/2-IF207及び208に対してアイドル状態から省電力状態PS1（408）への移行処理を行う。また、BCPU310は、予め設定されているHDD/SSD本体の省電力移行条件420を基に、HDD/SSD113, 114に対してアイドル状態から省電力状態PS1（408）への移行処理を行う。例えば、BCPU310は、電源オフ-1（第1の電源オフモード）又は電源オフ-2（第2の電源オフモード）でHDD/SSD113, 114の電源オフを指示する。そして、BCPU310は、SATAブリッジ制御部112自身に対して、アイドル状態から省電力状態PS1（408）への移行処理を行う。

【0036】

ステップS813では、BCPU310は、上位電力ステートがDeepモード404として予め設定されているH-Host-IF206の省電力移行条件413から、PS2（409）に移行すべきかどうかの判定を行う。BCPU310は、PS2（409）に移行すべき（YES）場合には、ステップS814に処理を進め、PS2（409）に移行すべきでない（NO）場合には、ステップS815に処理を進める。ステップS81

10

20

30

40

50

4では、BCPU310は、予め設定されているB-Host1/2-IF207及び208の省電力移行条件417を基に、B-Host1/2-IF207及び208に対してアイドル状態から省電力状態PS2(409)への移行処理を行う。また、BCPU310は、予め設定されているHDD/SSD本体の省電力移行条件421を基に、HDD/SSD113, 114に対してアイドル状態から省電力状態PS2(409)への移行処理を行う。そして、BCPU310は、SATAブリッジ制御部112自身に対して、アイドル状態から省電力状態PS2(409)への移行処理を行う。ステップS815では、BCPU310は、省電力移行失敗としてエラー処理を行い、上位へのステータス通知等を実行する。

【0037】

10

以上のように、SATAブリッジ制御部112は、PS0(407)～PS2(409)のいずれかの省電力状態への移行判定を行う。その際、SATAブリッジ制御部112は、上位電力ステート(Standbyモード402、Sleepモード403、Deepモード404)情報とH-Host-IF206の省電力状態の2条件からPS0～PS2のいずれかであるかを判定する。PS0又はPS1で、HDD/SSD本体の省電力移行条件419～421が電源オフ指示(電源オフ-1又は電源オフ-2)であった場合には、図12及び図13で説明したようにBCPU310は、電源制御部209にHDD/SSD電源のオフ要求を行う。

【0038】

図9は、SATAホスト制御部111のPS0(407)又はPS1(408)からの復帰シーケンスを示す図である。ステップS901では、HCPU301は、PS0又はPS1の省電力状態である。次に、ステップS902では、HCPU301は、メインCPU101からの割り込み要求待ち状態であり、割り込み要求がなければ(すなわち、S902のNOであれば)、ステップS901に戻り、PS0又はPS1の省電力状態を継続する。HCPU301は、コマンド転送要求割り込みを受信すると、ステップS903へ処理を進める。すなわち、HCPU301は、メインCPU101により省電力状態PS0又はPS1からアイドル状態への復帰が指示されると、ステップS903に処理を進める。ステップS903では、HCPU301は、SATAホスト制御部111自身に対して省電力状態PS0又はPS1からアイドル状態への復帰処理を行う。次に、ステップS904では、HCPU301は、H-Host-IF206に対して、省電力状態PS0又はPS1からアイドル状態への復帰処理を行う。具体的には、HCPU301は、SATA規格で規定されたOOB(Out Of Band)やスピードネゴシエーションの所定シーケンスを経て、コマンド発行可能となるまでのリンク確立処理を行う。ここで、基本的にSATA-IF系省電力状態からの復帰は、SATA規格で定義されたリセット信号であるComReset信号の発行から開始される。DevSleepからの復帰は、図7で説明した移行の逆手順で、まずDEVSLP信号をディスイネーブルにしてから、次にComReset信号(又はComWake信号)を投げることで開始される。次に、ステップS905では、HCPU301は、リンク確立したことを確認すると、メインCPU101からの要求コマンドをH-Host-IF206に発行する。次に、ステップS906では、HCPU301は、SATA-IP(Device)203からのStatus受信待ちに入る。HCPU301は、未受信の間(S906でNO)はそのまま待機し、Statusを受信(S906でYES)した時点で、一連のコマンド処理を終了し、ステップS907に処理を進める。ステップS907では、メインCPU101によって再び省電力移行要求が発行されるまでの間、SATAホスト制御部111は、アイドル状態を維持する。

【0039】

図10は、SATAブリッジ制御部112のPS0(407)又はPS1(408)からの復帰シーケンスを示す図である。ステップS1001では、BCPU310は、PS0又はPS1の省電力状態である。次に、ステップS1002では、BCPU310は、割り込み要求待ち状態であり、割り込み要求がなければ(すなわち、S1002のNOで

50

あれば)、ステップS1001に戻り、PS0又はPS1の省電力状態を継続する。BCPU310は、H-Host-IF206のアイドル状態への復帰処理開始の割り込みを受信(S1002でYES)すると、ステップS1003に処理を進める。すなわち、BCPU310は、省電力状態からの復帰を引き起こすイベントが発生すると、ステップS1003に処理を進める。ここで、復帰処理の開始は、図9で説明したDEVSLP信号がディイネーブルとなるレベル変化の検知やComReset(又はComWake)を要因として割り込み信号が発行される。ステップS1003では、BCPU310は、SATAブリッジ制御部112自身に対して省電力状態PS0又はPS1からアイドル状態への復帰処理を行う。次に、ステップS1004では、BCPU310は、H-Host-IF206に対して省電力状態PS0又はPS1からアイドル状態への復帰処理を行う。具体的には、BCPU310は、SATA規格で規定されたOOB(Out Of Band)やスピードネゴシエーションの所定シーケンスを経て、コマンド発行可能となるまでのリンク確立処理を行う。

10

【0040】

次に、ステップS1005では、BCPU310は、前回の省電力移行時のデバイス本体移行設定条件が電源オフ-2であったかどうかの判定を行う。ここで、BCPU310は、前回の省電力移行時のデバイス本体の移行設定条件が電源オフ-1又は電源オフ-2なのかを、次回復帰時に判定可能なように記録しておく必要がある。PS0(407)やPS1(408)では、少なくともHCPU301やBCPU310のSATA制御部は省電力状態には移行するが、電源オフにはならないことを前提としている。従って、電源オフ-1か電源オフ-2の判定情報を、例えばレジスタH306やレジスタB314などに記録することが可能である。記録は、次回省電力からの復帰時のみ利用され、復帰した後にクリアされるものとする。BCPU310は、電源オフ-2であった(YES)場合(且つ、IN1205がローレベル)には、ステップS1006に処理を進め、電源オフ-2でなかった(NO)場合には、ステップS1008に処理を進める。すなわち、BCPU310は、電源オフの指示内容に基づきステップS1006に進むか否かを決定する。

20

【0041】

ステップS1006では、BCPU310は、接続デバイスに対して省電力状態PS0又はPS1からアイドル状態への復帰処理を行う。BCPU310は、接続デバイスであるHDD/SSD113、114の電源をオフしていた場合、図12及び図13で説明したように電源制御部209に対してHDD/SSD電源のオン要求を行う。すなわち、BCPU310は、電源オフ-2である場合にはHDD/SSD113、114の電源オンを指示し、電源オフ-1である場合にはHDD/SSD113、114の電源オンを指示しない。

30

【0042】

次に、ステップS1007では、BCPU310は、B-Host1/2-IF207及び208に対して省電力状態PS0又はPS1からアイドル状態への復帰処理を行い、ステップS1008に処理を進める。復帰処理に関しては、図9で説明したH-Host-IF206の復帰処理と同様である。

40

【0043】

ステップS1008では、BCPU310は、リンク確立したことを確認すると、コマンド受信待ちを開始する。この時点で省電力状態からアイドル状態への復帰は完了したことになる。BCPU310は、コマンドを受信していない(NO)場合には、ステップS1008に留まり、受信した(YES)場合には、ステップS1009へ処理を進める。

【0044】

ステップS1009では、BCPU310は、SATAホスト制御部111から受信したコマンドがATAコマンドかどうかの判定を行う。BCPU310は、ATAコマンドである(YES)場合には、ステップS1011に処理を進め、ATAコマンドでない(NO)場合には、ステップS1010に処理を進める。ステップS1011では、BCP

50

U310は、前回の省電力移行時のデバイス本体移行設定条件が電源オフ - 1であったかどうかの判定を行う。BCPU310は、電源オフ - 1であった場合（且つ、IN1205がローレベル）には、ステップS1012に処理を進め、電源オフ - 1でなかった場合には、ステップS1014に処理を進める。

【0045】

ステップS1012では、BCPU310は、ステップS1006と同様に、接続デバイスであるHDD/SSD113、114に対して省電力状態PS0又はPS1からアイドル状態への復帰処理を行う。BCPU310は、電源オフ - 1である場合には、HDD/SSD113、114の電源オンを指示する。次に、ステップS1013では、BCPU310は、ステップS1007と同様に、B - Host1/2 - IF207及び208 10
に対して省電力状態PS0又はPS1からアイドル状態への復帰処理を行い、ステップS1014に処理を進める。

【0046】

ステップS1014では、BCPU310は、ATAコマンドの処理を行う。次に、S1015では、HCPU301は、HDD/SSD113、114からのStatus受信待ちに入る。HCPU301は、未受信の間（S1015でNO）はそのまま待機し、Statusを受信（S1015でYES）した時点で、ステップS1016に処理を進める。

【0047】

また、ステップS1009では、BCPU310は、受信コマンドが拡張コマンドである場合には、ステップS1010に処理を進める。ステップS1010では、BCPU310は、拡張コマンド処理を実行し、ステップS1016に処理を進める。 20

【0048】

ステップS1016では、BCPU310は、HDD/SSDから受信したステータス情報又は拡張コマンドにて処理した結果を、SATA規格で定義されたステータスパケットに反映してSATA - IP (Host) 201へ送信する。これにより、BCPU310は、一連のコマンド処理を終了する。次に、ステップS1017では、メインCPU101によって再び省電力移行要求が発行されるまでの間、SATAブリッジ制御部112はアイドル状態を維持する。

【0049】

図11は、SATAブリッジ制御部112のPS2 (409) 省電状態からの復帰シーケンスを示す図である。ここでの説明では、接続デバイスとしてHDDを前提として説明を行う。ステップS1101では、HCPU301及びBCPU310は、前回のPS2移行処理により電源オフ状態である。その後、電源制御部209は、SATAホスト制御部111及びSATAブリッジ制御部112への電源供給（すなわち、電源オン）を開始する。次に、ステップS1102では、BCPU310は、自身の復帰処理（ブート処理）を実施する。次に、ステップS1103では、BCPU310は、H - Host - IF206の復帰処理を実行する。具体的には、BCPU310のブート処理と同時にHCPU301のブート処理も開始される。H - Host - IF206の復帰処理では、既に説明したようにSATA - IP (Host) 202からSATA - IP (Device) 203へのComRest信号を基点としたOOB及びスピードネゴシエーション処理を経てリンクが確立される。ステップS1103でのリンク確立後、BCPU310は、SATA下層のリンク確立を実行する。次に、ステップS1104では、BCPU310は、HDD電源供給状態をモニタする制御信号IN1205を確認し、HDD電源のオフ/オン判定を行う。BCPU310は、制御信号INがハイレベルである（YES）場合には、ステップS1105に処理を進め、制御信号INがローレベルである（NO）場合には、ステップS1106に処理を進める。 30
40

【0050】

ステップS1105では、BCPU310は、電源オフ - 2（電源オンを伴う復帰）と認識し、ステップS1107に処理を進める。ステップS1106では、BCPU310 50

は、電源オフ - 1 (電源オンを伴わない復帰) として認識し、ステップ S 1 1 0 7 に処理を進める。ここで、Get Status 5 1 7 では、省電力への移行確認だけでなく、HDD の接続状況なども取得可能である。メイン CPU 1 0 1 は、SATA ホスト制御部 1 1 1 及び SATA ブリッジ制御部 1 1 2 の起動後、所定時間内に HDD 接続 OK (リンク確立状態) とならない場合にはエラーとして扱う。ここで、Get Status 5 1 7 での HDD 接続状態確認では、例えば未接続状態 1 (接続エラー) / 未接続状態 2 (電源オフ - 1 としての未接続) を区別して確認できるようにする。

【 0 0 5 1 】

図 1 4 は、Get Status 5 1 7 で報告される一例を示す。Get Status 5 1 7 での報告内容 1 4 0 1 の一部として、デバイス 1 接続状態 1 4 0 2 とデバイス 2 接続状態 1 4 0 3 とを設け、さらに状態定義 1 4 0 4 を示す。例えば、意図的な電源オフ状態での復帰時は “ 状態 : 0 1 ” としてメイン CPU 1 0 1 に報告される。BCPU 3 1 0 は、ステップ S 1 1 0 5 又は S 1 1 0 6 での認識によって、Get Status 5 1 7 での HDD 接続状態報告を未接続 2 として適切に示すことができる。未接続 2 を確認したメイン CPU 1 0 1 は、この場合、意図的な未接続として認識し、エラー処理対象としない。

【 0 0 5 2 】

ステップ S 1 1 0 7 では、BCPU 3 1 0 は、上位層がリンク確立したことを確認すると、コマンドの受信待ちを開始する。この時点で省電力状態からアイドル状態への復帰は完了したことになる。BCPU 3 1 0 は、コマンド未受信の間 (NO) はステップ S 1 1 0 7 に滞在し、コマンドを受信する (YES) と、ステップ S 1 1 0 8 に処理を進める。

【 0 0 5 3 】

ステップ S 1 1 0 8 では、BCPU 3 1 0 は、受信したコマンドが ATA コマンドかどうかの判定を行う。BCPU 3 1 0 は、ATA コマンドである (YES) 場合には、ステップ S 1 1 1 0 に処理を進め、拡張コマンドである (NO) 場合には、ステップ S 1 1 0 9 に処理を進める。

【 0 0 5 4 】

ステップ S 1 1 1 0 では、BCPU 3 1 0 は、HDD 電源供給状態をモニタする制御信号 IN 1 2 0 5 を確認し、HDD 電源のオフ / オン判定を行う。BCPU 3 1 0 は、制御信号 IN 1 2 0 5 がローレベルである (YES) 場合には、ステップ S 1 1 1 1 に処理を進め、制御信号 IN 1 2 0 5 がハイレベルである (NO) 場合には、ステップ S 1 1 1 3 に処理を進める。ステップ S 1 1 1 1 では、BCPU 3 1 0 は、ステップ S 1 0 0 6 と同様に、接続デバイスの復帰処理を行う。次に、ステップ S 1 1 1 2 では、BCPU 3 1 0 は、ステップ S 1 0 0 7 と同様に、B - Host 1 / 2 - IF 2 0 7 及び 2 0 8 の復帰処理を行い、ステップ S 1 1 1 3 に処理を進める。

【 0 0 5 5 】

ステップ S 1 1 1 3 では、BCPU 3 1 0 は、ATA コマンド処理を実行する。次に、ステップ S 1 1 1 4 では、HCPU 3 0 1 は、HDD 1 1 3、1 1 4 からの Status 受信待ちに入る。HCPU 3 0 1 は、未受信の間 (S 1 1 1 4 で NO) はそのまま待機し、Status を受信 (S 1 1 1 4 で YES) した時点で、ステップ S 1 1 1 5 に処理を進める。また、ステップ S 1 1 0 9 では、BCPU 3 1 0 は、拡張コマンド処理を実行し、ステップ S 1 1 1 5 に処理を進める。

【 0 0 5 6 】

ステップ S 1 1 1 5 では、BCPU 3 1 0 は、HDD 1 1 3、1 1 4 から受信したステータス情報又は拡張コマンドにて処理した結果を、SATA 規格で定義されたステータス packets に反映して SATA - IP (Host) 2 0 1 へ送信する。これにより、BCPU 3 1 0 は、一連のコマンド処理を終了する。次に、ステップ S 1 1 1 6 では、メイン CPU 1 0 1 によって再び省電力移行要求が発行されるまでの間、SATA ブリッジ制御部 1 1 2 はアイドル状態を維持する。

【 0 0 5 7 】

以上のように、本実施形態では、アイドル状態及び省電力状態 (PS 0 ~ PS 2) 間、

10

20

30

40

50

省電力状態間（例えば、P S 1 及び P S 2 間）の遷移で、特に H D D において移行条件に電源オフ - 1 を設定しておく。これにより、A T A コマンド受信時（すなわち、真に H D D を必要とする場合）のみに H D D 電源オン制御可能となるため、H D D に対する省電力的、且つ電源オフ / オン回数寿命的にも最適な省電力制御を実施することが可能となる。

【 0 0 5 8 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

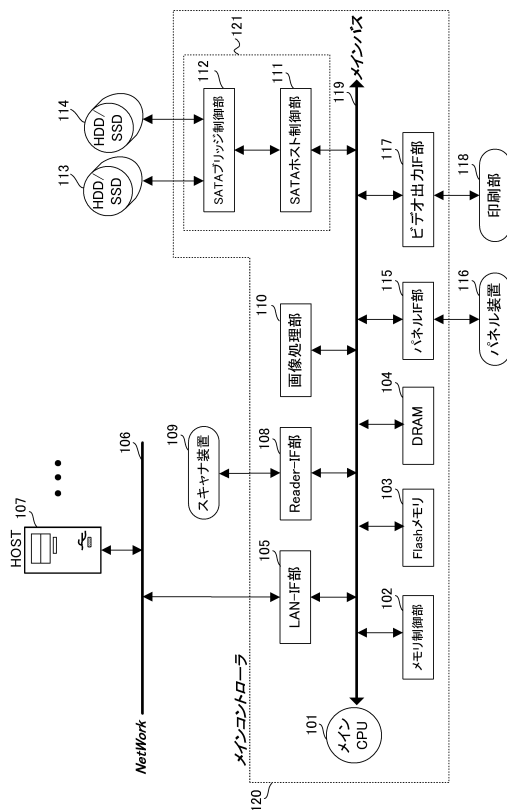
【 符号の説明 】

【 0 0 5 9 】

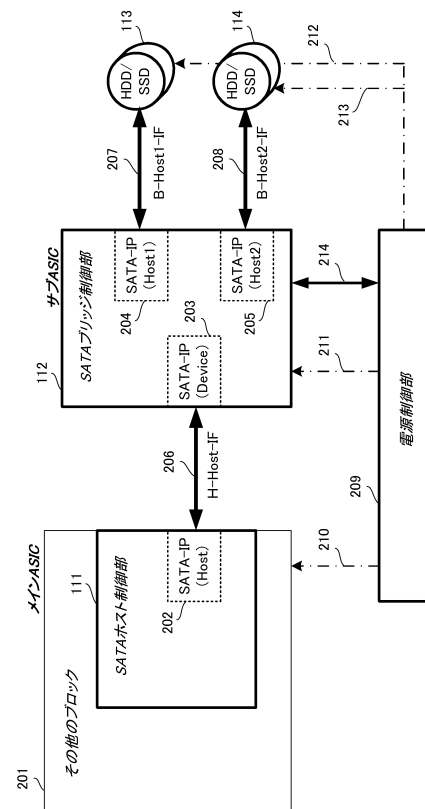
1 0 1 メインCPU、1 1 1 SATAホスト制御部、1 1 2 SATAブリッジ制御部、1 1 3 , 1 1 4 HDD / S S D

10

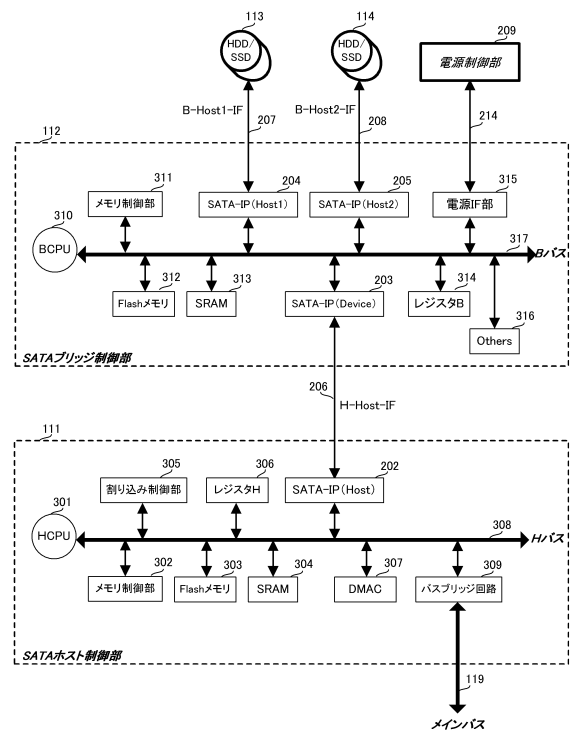
【 図 1 】



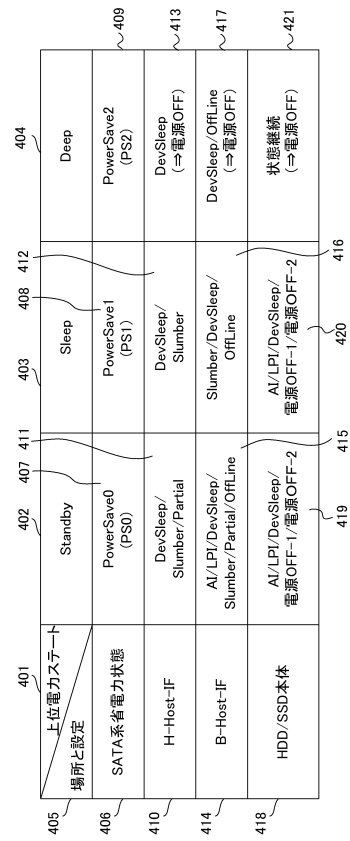
【 図 2 】



【図 3】



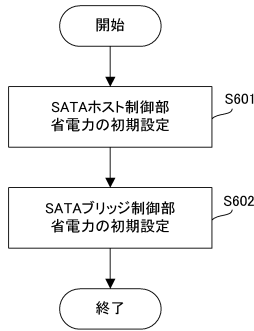
【図 4】



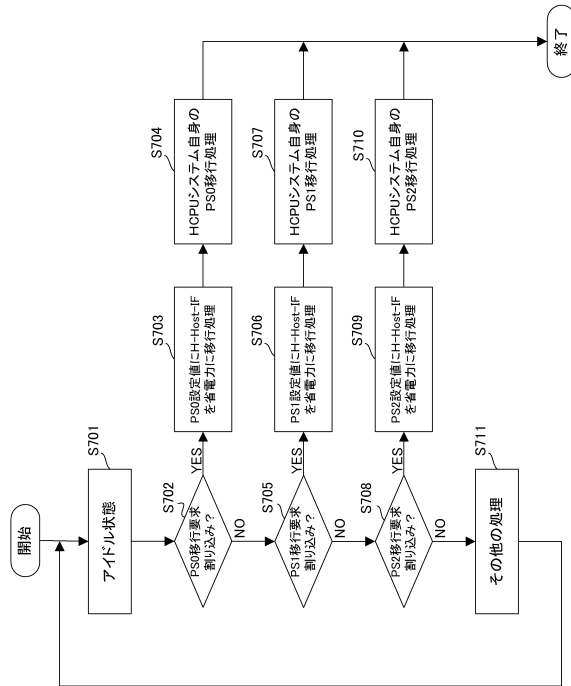
【図 5】

拡張コマンド名称	CMD番号	転送タイプ	指定内容
SetupPowerConfig	01h	PO	PS0/PS1/PS2の各電力モード個別に、 ・H-Host-IFの省電力状態 ・B-Host1-IFの省電力状態及びB-Host2-IFに接続されるデバイス本体の省電力状態 ・B-Host2-IFの省電力状態及びB-Host2-IFに接続されるデバイス本体の省電力状態
ToSleep	02h	ND	上位電力ステートが“Sleep”状態に移行することを通知
ToDeep	03h	ND	上位電力ステートが“Deep”状態に移行することを通知
GetStatus	04h	PI	SATAブリッジ制御部のステータス取得

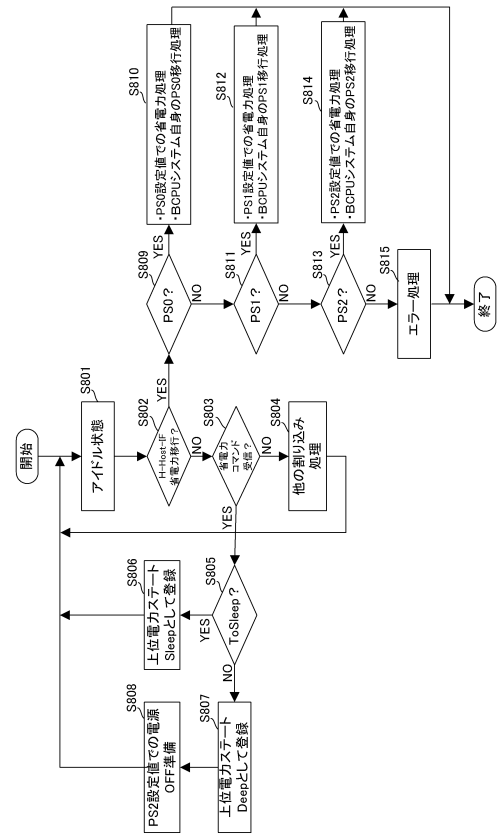
【図 6】



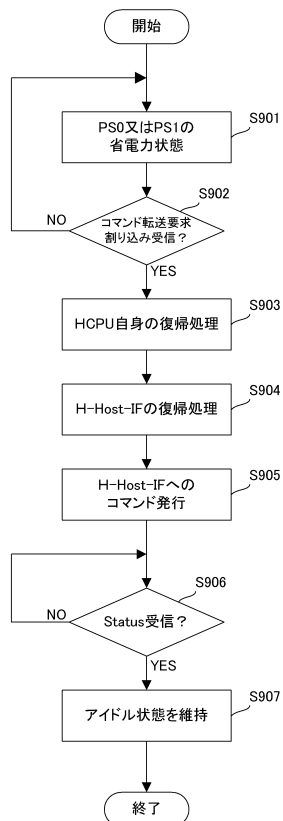
【図 7】



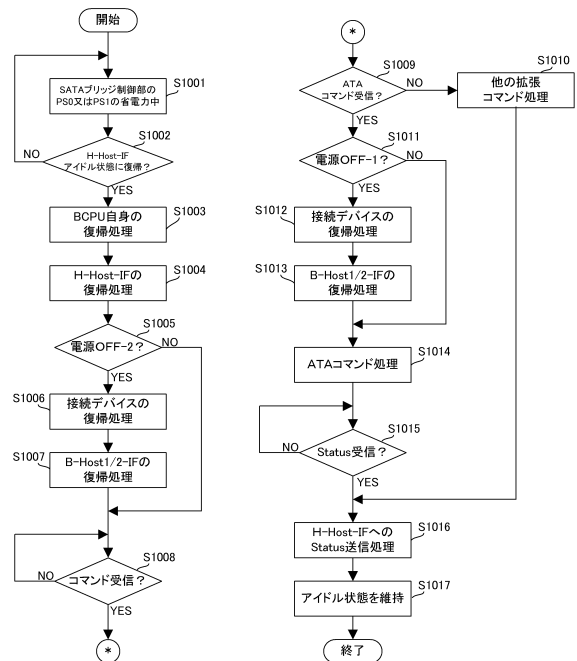
【図 8】



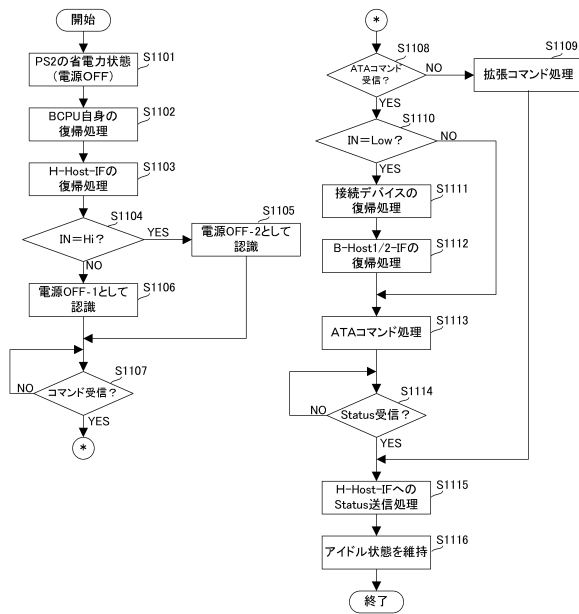
【図 9】



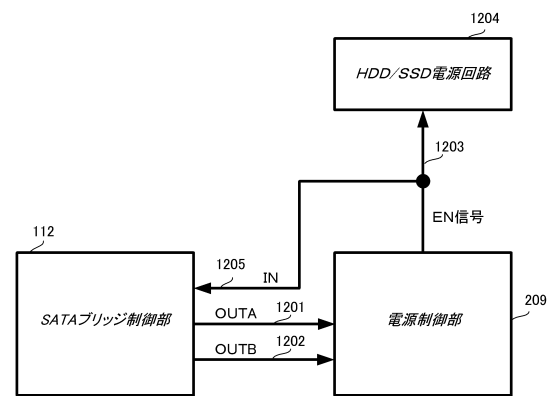
【図 10】



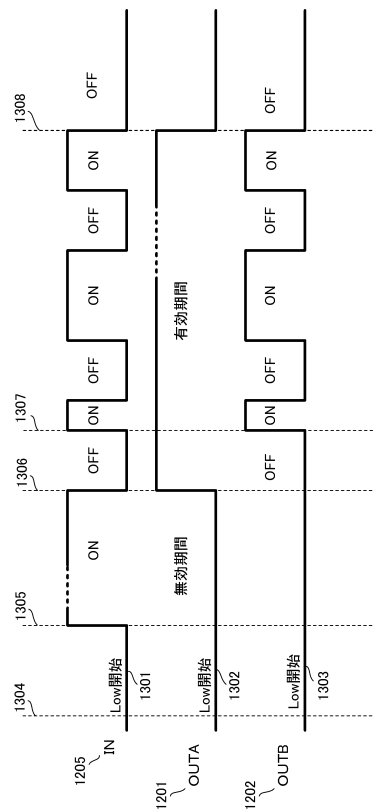
【図 1 1】



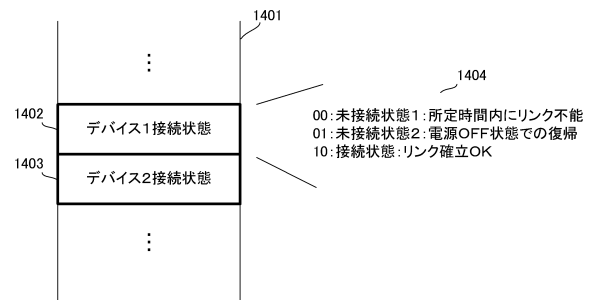
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(56)参考文献 特開 2014 - 045302 (JP, A)
特開 2015 - 208909 (JP, A)
特開 2014 - 057134 (JP, A)
米国特許出願公開第 2015 / 0026493 (US, A1)

(58)調査した分野(Int.Cl., DB名)
B41J 29 / 38
G06F 1 / 32
H04N 1 / 00