

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/82 (2006.01)

H01L 27/00 (2006.01)

G06F 17/50 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510053560.4

[45] 授权公告日 2007年3月21日

[11] 授权公告号 CN 1306594C

[22] 申请日 2005.3.8

[21] 申请号 200510053560.4

[73] 专利权人 北京中星微电子有限公司

地址 100083 北京市海淀区学院路35号
世宁大厦15层

[72] 发明人 金传恩 戴春泉

[56] 参考文献

US6005849 A 1999.12.21

US2005/0050302 A1 2005.3.3

US2003/0188625 A1 2003.10.9

WO99/34273 A2 1999.7.8

US6460096 B1 2002.10.1

审查员 范崇飞

[74] 专利代理机构 北京德琦知识产权代理有限公司

代理人 宋志强 麻海明

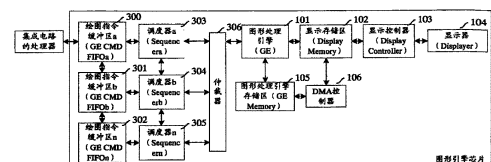
权利要求书3页 说明书11页 附图3页

[54] 发明名称

一种图形引擎芯片及其应用方法

[57] 摘要

一种图形引擎芯片及其应用方法，该图形引擎芯片包括：各个处理通道的绘图命令缓冲区接收集成电路中的处理器发送的携带时间间隔控制信息的绘图指令并存储；各个处理通道的调度器提取所对应的绘图命令缓冲区所存储的绘图指令，根据绘图指令携带的时间间隔控制信息确定执行绘图指令的时间，在绘图指令执行时间到时将绘图指令发送给仲裁器；仲裁器根据预先设定的各个处理通道的调度器优先级高低确定执行绘图指令的顺序，按照确定的顺序依次将绘图指令发送给图形处理引擎；图形处理引擎执行接收到的绘图指令，修改显示存储区当前所存储的绘图数据；显示存储区存储所修改的绘图数据，通过显示控制器将所存储的绘图数据发送给显示器；显示器根据绘图数据显示图形。



1、一种图形引擎芯片，该芯片包括：图形处理引擎、显示存储区、显示控制器和显示器依次相连，其特征在于，该芯片还包括一个以上的绘图命令缓冲区和一个以上的调度器分别相连构成的一个以上的处理通道，以及分别与一个以上的处理通道的调度器端相连的仲裁器，该仲裁器的另一端与图形处理引擎相连，该一个以上的处理通道的绘图命令缓冲区端分别和集成电路中的处理器相连，其中，

各个处理通道的绘图命令缓冲区接收集成电路中的处理器发送的携带时间间隔控制信息的绘图指令并存储；各个处理通道的调度器提取所对应的绘图命令缓冲区所存储的绘图指令，根据绘图指令携带的时间间隔控制信息确定执行绘图指令的时间，在绘图指令执行时间到时时将绘图指令发送给仲裁器；仲裁器根据预先设定的各个处理通道的调度器优先级高低确定执行绘图指令的顺序，按照确定的顺序依次将绘图指令发送给图形处理引擎；图形处理引擎执行接收到的绘图指令，修改显示存储区当前所存储的绘图数据；显示存储区存储所修改的绘图数据，通过显示控制器将所存储的绘图数据发送给显示器；显示器根据绘图数据显示图形。

2、如权利要求1所述的芯片，其特征在于，该芯片还包括与图形处理引擎相连接的图形处理引擎存储区，用于对图形处理引擎执行绘图指令时产生的绘图数据进行缓存。

3、如权利要求2所述的芯片，其特征在于，该芯片还包括直接存储器控制器，该直接存储器控制器连接在图形处理引擎存储区和显示存储区之间，用于在图形处理引擎对绘图数据处理的同时，控制传输图形处理引擎存储区和显示存储区之间的绘图数据。

4、一种权利要求1所述图形引擎芯片的应用方法，其特征在于，该方法包括：

A、集成电路中的处理器给图形引擎芯片发送携带了时间间隔控制信息的

绘图指令；

B、所述图形引擎芯片根据绘图指令携带的时间间隔控制信息确定执行绘图指令的时间；

C、等待执行绘图指令的时间到时，图形引擎芯片判断在一个时间点上是否有一个以上的绘图指令要执行，如果是，执行步骤D，否则，执行绘图指令；

D、图形引擎芯片确定绘图指令的优先级，按照优先级顺序依次执行绘图指令。

5、如权利要求4所述的应用方法，其特征在于，所述时间间隔控制信息为时间戳。

6、如权利要求4所述的应用方法，其特征在于，步骤B所述确定执行绘图指令的时间的过程为：

图形引擎芯片的调度器根据绘图指令携带的时间间隔控制信息确定执行绘图指令的时间。

7、如权利要求4所述的应用方法，其特征在于，步骤C所述执行绘图指令的过程为：

在绘图指令执行时间到时图形引擎芯片的调度器将绘图指令发送给图形引擎芯片的仲裁器；

图形引擎芯片的仲裁器将绘图指令发送给图形引擎芯片的图形处理引擎；

图形引擎芯片的图形处理引擎执行接收到的绘图指令，修改图形引擎芯片的显示存储区当前所存储的绘图数据；

图形引擎芯片的显示存储区存储所修改的绘图数据，通过图形引擎芯片的显示控制器将所存储的绘图数据发送给图形引擎芯片的显示器；

图形引擎芯片的显示器根据绘图数据显示图形。

8、如权利要求4所述的应用方法，其特征在于，在绘图指令中还携带了该绘图指令的优先级，步骤D所述确定绘图指令的优先级的过程为：图形引擎芯片根据绘图指令携带的优先级确定该绘图指令的优先级。

9、如权利要求4所述的应用方法，其特征在于，步骤D所述确定绘图指令的优先级的过程为：图形引擎芯片根据绘图指令所在图形引擎芯片中的处理通道优先级高低确定绘图指令的优先级。

10、如权利要求4所述的应用方法，其特征在于，步骤D所述按照优先级顺序依次执行绘图指令的过程为：

在绘图指令执行时间到时图形引擎芯片的调度器将绘图指令发送给图形引擎芯片的仲裁器；

图形引擎芯片的仲裁器按照优先级顺序依次将绘图指令发送给图形引擎芯片的图形处理引擎；

图形引擎芯片的图形处理引擎依次执行接收到的绘图指令，依次修改图形引擎芯片的显示存储区当前所存储的绘图数据；

图形引擎芯片的显示存储区依次存储所修改的绘图数据，通过图形引擎芯片的显示控制器将依次所存储的绘图数据发送给图形引擎芯片的显示器；

图形引擎芯片的显示器根据依次接收到绘图数据显示图形。

一种图形引擎芯片及其应用方法

技术领域

本发明涉及集成电路中的芯片制造技术,特别涉及一种图形引擎芯片及其应用方法。

背景技术

目前,图形引擎芯片使用在集成电路中,帮助集成电路中的处理器,如中央处理器(CPU)加速绘图处理。在集成电路中使用的图形引擎芯片的结构如图1所示,该芯片包括:绘图指令缓冲区(GE CMD FIFO)100、图形处理引擎(GE)101、显示存储区(Display Memory)102、显示控制器(Display Controller)103、显示器(Displayer)104、图形处理引擎存储区(GE Memory)105和直接存储器存储(DMA)控制器106。其中,GE CMD FIFO100、GE101、Display Memory102、Display Controller103和Displayer104依次相连;GE Memory105和DMA控制器106相连接后,GE Memory105的另一端连接到GE101上,DMA控制器106的另一端连接到Display Memory 102上。

当集成电路要进行绘图处理时,如图2所示,图2为现有技术应用图形引擎芯片的方法流程图:

步骤200、集成电路中的处理器向GE CMD FIFO100发送绘图指令。

步骤201、GE CMD FIFO100接收该绘图指令并存储。

GE CMD FIFO100是一个先进先出的缓冲区。

步骤202、GE101空闲,从GE CMD FIFO100中按照先后顺序提取最先存储在GE CMD FIFO100的绘图指令。

步骤203、GE101执行该绘图指令,按照该绘图指令修改Display Memory102的绘图数据,达到改变当前所显示图形的目的。

当 GE101 执行该绘图指令时，要进行大量的运算，这就需要 GE Memory105 对 GE101 中的绘图数据进行缓存。

步骤 204、Display Memory102 存储修改后的绘图数据，通过 Display Controller103 的控制，把所存储的绘图数据输出给 Displayer104。

步骤 205、Displayer104 根据接收到的绘图数据显示图形。

当 Display Memory102 和 GE101 之间需要传输大量绘图数据的时候并且在 GE101 对绘图数据处理的同时，也可以采用 DMA 控制器 106 控制绘图数据的传输，使绘图数据从 GE Memory105、再通过 DMA 控制器 106 传输到 Display Memory102 中。这样，就可以节省 GE101 在两个 Memory 之间搬运数据的时间。

从目前的图形引擎芯片及其应用可以看出，集成电路中的处理器发送的绘图指令中没有携带时间信息值，GE CMD FIFO100 按照接收绘图指令的时间先后依次将绘图指令进行存储，相应地，GE101 每一次执行的绘图指令为最先存储在 GE CMD FIFO100 的绘图指令。当集成电路完成绘图过程时，需要图形引擎芯片按照确定的时间间隔执行多次绘图指令，而多次绘图指令之间执行的时间间隔图形引擎芯片无法控制，只能由集成电路的处理器控制发送多次绘图指令的时间间隔，从而达到控制多次绘图指令执行时间的目的。因此，为了让 GE 按照设定的时间点依次执行绘图过程中的各个绘图指令，在绘图过程中不中断绘图，需要集成电路中的处理器控制每次绘图指令执行之时间间隔，及时发送绘图指令，这样就增加了对集成电路中的处理器的中断，降低了集成电路中的处理器工作效率。

综上所述，目前的图形引擎芯片及其应用存在着以下缺点：1、会造成与图形引擎芯片连接的集成电路中的处理器，如 CPU 响应图形引擎芯片的频次较为频繁，并且增加了集成电路中的处理器的负荷；2、造成图形引擎芯片绘图的时刻精度取决于集成电路中的处理器响应时间，不容易精确控制整个绘图过程。

更进一步地，由于目前的图形引擎芯片中只有一个 GE CMD FIFO100，所以无法并行处理绘图指令。

发明内容

有鉴于此，本发明的主要目的在于一方面提供一种图形引擎芯片，该芯片能够在实现绘图的过程中，不仅不受集成电路中的处理器响应时间的影响，提高绘图的时刻精度；而且能够并行处理绘图指令。

本发明的另一方面提供一种图形引擎芯片的应用方法，该方法能够在实现绘图的过程中，不仅不受集成电路中的处理器响应时间的影响，提高绘图的时刻精度；而且能够并行处理绘图指令。

根据上述目的，本发明的技术方案是这样实现的：

一种图形引擎芯片，该芯片包括：图形处理引擎、显示存储区、显示控制器和显示器依次相连，该芯片还包括一个以上的绘图命令缓冲区和一个以上的调度器分别相连构成的一个以上的处理通道，以及分别与一个以上的处理通道的调度器端相连的仲裁器，该仲裁器的另一端与图形处理引擎相连，该一个以上的处理通道的绘图命令缓冲区端分别和集成电路中的处理器相连，其中，

各个处理通道的绘图命令缓冲区接收集成电路中的处理器发送的携带时间间隔控制信息的绘图指令并存储；各个处理通道的调度器提取所对应的绘图命令缓冲区所存储的绘图指令，根据绘图指令携带的时间间隔控制信息确定执行绘图指令的时间，在绘图指令执行时间到时时将绘图指令发送给仲裁器；仲裁器根据预先设定的各个处理通道的调度器优先级高低确定执行绘图指令的顺序，按照确定的顺序依次将绘图指令发送给图形处理引擎；图形处理引擎执行接收到的绘图指令，修改显示存储区当前所存储的绘图数据；显示存储区存储所修改的绘图数据，通过显示控制器将所存储的绘图数据发送给显示器；显示器根据绘图数据显示图形。

该芯片还包括与图形处理引擎相连接的图形处理引擎存储区，用于对图形处理引擎执行绘图指令时产生的绘图数据进行缓存。

该芯片还包括直接存储器控制器，该直接存储器控制器连接在图形处理引擎存储区和显示存储区之间，用于在图形处理引擎对绘图数据处理的同时，控制传输图形处理引擎存储区和显示存储区之间的绘图数据。

一种权利要求 1 所述图形引擎芯片的应用方法，该方法包括：

A、集成电路中的处理器给图形引擎芯片发送携带了时间间隔控制信息的绘图指令；

B、所述图形引擎芯片根据绘图指令携带的时间间隔控制信息确定执行绘图指令的时间；

C、等待执行绘图指令的时间到时时，图形引擎芯片判断在一个时间点上是否有一个以上的绘图指令要执行，如果是，执行步骤 D，否则，执行绘图指令；

D、图形引擎芯片确定绘图指令的优先级，按照优先级顺序依次执行绘图指令。

所述时间间隔控制信息为时间戳。

步骤 B 所述确定执行绘图指令的时间的过程为：

图形引擎芯片的调度器根据绘图指令携带的时间间隔控制信息确定执行绘图指令的时间。

步骤 C 所述执行绘图指令的过程为：

在绘图指令执行时间到时时图形引擎芯片的调度器将绘图指令发送给图形引擎芯片的仲裁器；

图形引擎芯片的仲裁器将绘图指令发送给图形引擎芯片的图形处理引擎；

图形引擎芯片的图形处理引擎执行接收到的绘图指令，修改图形引擎芯片的显示存储区当前所存储的绘图数据；

图形引擎芯片的显示存储区存储所修改的绘图数据，通过图形引擎芯片的显示控制器将所存储的绘图数据发送给图形引擎芯片的显示器；

图形引擎芯片的显示器根据绘图数据显示图形。

在绘图指令中还携带了该绘图指令的优先级，步骤 D 所述确定绘图指令的

优先级的过程为：图形引擎芯片根据绘图指令携带的优先级确定该绘图指令的优先级。

步骤 D 所述确定绘图指令的优先级的过程为：图形引擎芯片根据绘图指令所在图形引擎芯片中的处理通道优先级高低确定绘图指令的优先级。

步骤 D 所述按照优先级顺序依次执行绘图指令的过程为：

在绘图指令执行时间到时图形引擎芯片的调度器将绘图指令发送给图形引擎芯片的仲裁器；

图形引擎芯片的仲裁器按照优先级顺序依次将绘图指令发送给图形引擎芯片的图形处理引擎；

图形引擎芯片的图形处理引擎依次执行接收到的绘图指令，依次修改图形引擎芯片的显示存储区当前所存储的绘图数据；

图形引擎芯片的显示存储区依次存储所修改的绘图数据，通过图形引擎芯片的显示控制器将依次所存储的绘图数据发送给图形引擎芯片的显示器；

图形引擎芯片的显示器根据依次接收到绘图数据显示图形。

从上述方案可以看出，本发明在现有技术的图形引擎芯片内部，增加了 n 路接收和处理绘图指令的处理通道以及增加了仲裁器。本发明还在图形引擎芯片所要执行的绘图指令中增加时间间隔控制信息，使绘图指令分别发送到图形引擎芯片中相应的处理通道中；相应处理通道中的调度器(Sequencer)根据该绘图指令携带的时间间隔控制信息确定执行该绘图指令的时间点，等到该绘图指令执行的时间点到时后发送给仲裁器；由仲裁器再根据所发送该绘图指令的处理通道优先级别高低确定何时由 GE 执行该绘图指令。这样，就可以由集成电路中的处理器发送完成本次绘图过程中的多个绘图指令，从而减少集成电路中的处理器响应图形引擎芯片的频次，提高集成电路中的处理器的工作效率。

由于本发明由图形引擎芯片中的 Sequencer 来控制图形引擎芯片执行各个绘图指令的时间，由仲裁器控制是否执行在相应的时间点上执行绘图指令，从而使图形引擎芯片绘图的时刻精度不需要取决于集成电路中的处理器响应时间，提高绘图的时刻精度。

更进一步地，由于本发明提供的图形引擎芯片具有多个处理通道，从而可以并行处理所接收到的绘图指令。

附图说明

图 1 为现有技术的图形引擎芯片的结构图；

图 2 为现有技术应用图形引擎芯片的方法流程图；

图 3 为本发明的图形引擎芯片的结构图；

图 4 为本发明应用图形引擎芯片的方法流程图；

图 5 为本发明的具有两路并发式的图形引擎芯片的结构图。

具体实施方式

为了使本发明的目的、技术方案和优点更加清楚明白，以下举具体实施例并参照附图，对本发明进行进一步详细说明。

本发明提供的图形引擎芯片的结构图如图 3 所示，该图形引擎芯片包括：GE CMD FIFOa300、GE CMD FIFOb301、GE CMD FIFOc302、Sequencera303、Sequencerb304、Sequencern305、仲裁器 306、GE101、Display Memory102、Display Controller103、Displayer104、GE Memory105 和 DMA 控制器 106。其中，GE CMD FIFOa300 和 Sequencera303、GE CMD FIFOb301 和 Sequencerb304、GE CMD FIFOc302 和 Sequencern305 分别相连后，GE CMD FIFOa300、GE CMD FIFOb301 和 GE CMD FIFOc302 的另一端连接在集成电路中的处理器上，Sequencera303、Sequencerb304、和 Sequencern305 的另一端连接在仲裁器 306 的一端上；仲裁器 306 的另一端、GE101、Display Memory102、Display Controller103 和 Displayer104 依次相连。GE Memory105

和 DMA 控制器 106 相连接后, GE Memory105 的另一端连接到 GE101 上, DMA 控制器 106 的另一端连接到 Display Memory 102 上。

这样, GE CMD FIFOa300 和 Sequencera303、GE CMD FIFOb301 和 Sequencerb304、GE CMD FIFOc302 和 Sequencerc305 就形成了接收并处理绘图指令的并列的 n 个处理通道。本发明可以分别设置并行的 n 个处理通道中的 Sequencer 具有不同的优先级别, 从而可以由与 n 个 Sequencer 相连接的仲裁器 306 根据所确定的优先级别确定在同一时间点上首先执行哪一个 Sequencer 发送来的绘图指令。

当进行绘图过程时, 集成电路中的处理器, 如 CPU 给图形引擎芯片发送多个携带有时间间隔控制信息的绘图指令, 多个绘图指令会按照预先设置的策略发送到图形引擎芯片中 GE CMD FIFOa100、GE CMD FIFOb300 和 GE CMD FIFOc301 的其中一个 GE CMD FIFO; 接收到绘图指令的 GE CMD FIFO 存储绘图指令; 与接收到绘图指令的 GE CMD FIFO 相对应的 Sequencer 从该 GE CMD FIFO 提取绘图指令, 根据绘图指令携带的时间间隔控制信息确定执行绘图指令的时间; 等到执行绘图指令的时间到时, 该 Sequencer 将绘图指令发送给仲裁器; 仲裁器按照同一时间点发送绘图指令的 Sequencer 设置的优先级依次选择最高优先级的 Sequencer 发送的绘图指令, 发送给 GE101; GE101 依次执行所接收到的绘图指令, 依次修改 Display Memory102 中的绘图数据; Display Memory102 依次存储所修改的绘图数据, 通过 Display Controller103 的控制把所存储的绘图数据输出给 Displayer104; Displayer104 根据接收到的绘图数据显示图形。

本发明所述的预先设置的策略可以为: 按照当前图形引擎芯片的各个 GE CMD FIFO 的剩余存储空间大小选择绘图指令要发送到的 GE CMD FIFO; 随机选择绘图指令要发送到的 GE CMD FIFO; 或者根据要执行绘图指令的优先级别将绘图指令发送到相应优先级别的 GE CMD FIFO 中。

当 GE101 依次执行绘图指令时, 要进行大量的运算, 这就需要 GE

Memory105 对 GE101 中的数据进行缓存。

当 Display Memory102 和 GE101 之间需要传输大量绘图数据的时候并且在 GE101 对绘图数据处理的同时,也可以采用 DMA 控制器 106 控制绘图数据的传输,使绘图数据从 GE Memory105、再通过 DMA 控制器 106 传输到 Display Memory102 中。这样,就可以节省 GE101 在两个 Memory 之间搬运数据的时间。

从图 3 中可以看出,本发明在现有技术的图形引擎芯片内部,增加了 n 路接收和处理绘图指令的处理通道, n 表示的数值为大于 1 的整数,每一路处理通道由 GE CMD FIFO 和 Sequencer 组成,每一路处理通道中的 Sequencer 都预先设置不同的优先级别。本发明还在现有技术的图形引擎芯片内部增加了仲裁器,用于和 n 路接收和处理绘图指令的处理通道相连接。

本发明在绘图指令中携带了标识执行该绘图指令时间点的时间间隔控制信息,以及可以携带执行该绘图指令的优先级别,从而使绘图指令可以根据其携带的优先级别发送到图形引擎芯片中相应的处理通道中;相应处理通道中的 Sequencer 根据该绘图指令携带的时间间隔控制信息确定执行该绘图指令的时间点,等到该绘图指令执行的时间点到时后发送给仲裁器;由仲裁器再根据所发送该绘图指令的处理通道优先级别高低确定何时由 GE 执行该绘图指令。这样,就可以由集成电路中的处理器发送完成本次绘图过程中的多个绘图指令,从而减少集成电路中的处理器响应图形引擎芯片的频次,提高集成电路中的处理器的工作效率。更由于本发明由图形引擎芯片中的 Sequencer 来控制图形引擎芯片执行各个绘图指令的时间,由仲裁器控制是否执行在相应的时间点上执行绘图指令,从而使图形引擎芯片绘图的时刻精度不需要取决于集成电路中的处理器响应时间,提高绘图的时刻精度。更进一步,由于本发明提供的图形引擎芯片具有多个处理通道,从而可以并行处理所接收到的绘图指令。

图 4 为本发明应用图形引擎芯片的方法流程图,其具体步骤为:

步骤 400、集成电路中的处理器按照预先设置的策略确定本次发送绘图指令的处理通道，将携带有时间间隔控制信息的绘图指令发送给所确定处理通道中的 GE CMD FIFO。

本发明所述的时间间隔控制信息可以为执行绘图指令的时间点。

步骤 401、步骤 400 所述的 GE CMD FIFO 接收该绘图指令并存储。

步骤 402、与 GE CMD FIFO 相对应的 Sequencer 提取该绘图指令，根据绘图指令携带的时间间隔控制信息确定绘图指令执行的时间点。

步骤 403、步骤 402 所述的 Sequencer 判断绘图指令执行的时间点是否到时，如果是，执行步骤 404；否则，返回步骤 403。

步骤 404、步骤 402 所述的 Sequencer 将绘图指令发送给仲裁器。

步骤 405、仲裁器根据同一时间点上发送绘图指令的 Sequencer 优先级高低确定依次执行的绘图指令，将绘图指令按照执行的先后顺序依次发送给 GE。

步骤 406、GE 依次执行所接收到的绘图指令，按照绘图指令依次修改 Display Memory 所保存的绘图数据。

当图形引擎芯片的 GE101 执行该绘图指令时，要进行大量的运算，这就需要图形引擎芯片的 GE Memory 对图形引擎芯片的 GE 中的数据进行缓存。

步骤 407、Display Memory 存储修改后的绘图数据，通过 Display Controller 把所存储的绘图数据输出给 Displayer。

步骤 408、Displayer 根据接收到的绘图数据显示图形。

当图形引擎芯片执行完所发送的所有绘图指令后，可以向集成电路中的处理器发送获取绘图指令的请求，集成电路中的处理器响应图形引擎芯片，给图形引擎芯片多路处理通道中的 GE CMD FIFO 再次发送多个绘图指令，图形引擎芯片再次按照图 4 所述的过程执行。这样，集成电路中的处理器可以大大降低响应图形引擎芯片的频次。

由于绘图指令队列中的每个绘图指令都携带有时间间隔控制信息，Sequencer300 根据该绘图指令队列中每个绘图指令携带的时间间隔控制信息确定每个绘图指令执行的时间点。因此，图形引擎芯片可以精确的控制整个绘图过程中的绘图时刻。

动画是由一组图形画面定时播放形成的，本发明的图形引擎芯片的结构非常适合应用在动画的播放。当在动画播放的同时需要显示其他图形信息时，就需要实现并发式绘图。以下举具体实施例说明本发明提供的图形引擎芯片在移动多媒体设备中的应用，使用本发明提供的方法实现动画播放。

在移动多媒体设备中，移动多媒体设备的处理器任务通常很多，无法再应付图形处理，所以需要增加图形引擎芯片应付图形处理。本实施例采用两路并发的图形引擎芯片，其结构图如图 5 所示，该图形引擎芯片包括：GE CMD FIFO1500、GE CMD FIFO2501、Sequencer1502、Sequencer2503、仲裁器 306、GE101、Display Memory102、Display Controller103、Displayer104、GE Memory105 和 DMA 控制器 106。其中，GE CMD FIFO1500 和 Sequencer1502、GE CMD FIFO2501 和 Sequencer2503 分别相连后，GE CMD FIFO1500 和 GE CMD FIFO2501 的另一端连接在集成电路中的处理器上，Sequencer1502 和 Sequencer2503 的另一端连接在仲裁器 306 的一端上；仲裁器 306 的另一端、GE101、Display Memory102、Display Controller103 和 Displayer104 依次相连。GE Memory105 和 DMA 控制器 106 相连接后，GE Memory105 的另一端连接到 GE101 上，DMA 控制器 106 的另一端连接到 Display Memory 102 上。

当移动多媒体设备进行动画播放时，动画播放可以看作是依次按照设定的时间执行了多个绘图命令。假设 Sequencer1502 的优先级低于 Sequencer2503，并且本实施例利用 GE CMD FIFO1500 和 Sequencer1502 构成的处理通道进行动画播放的绘图命令，这时在进行播放动画的同时需要在 Displayer104 显示其他信息，如字幕等等。则整个过程为：首先，移动多媒

体设备的处理器将本次执行动画播放的绘图指令携带时间间隔控制信息后，即携带时间戳后发送给图形引擎芯片中的 GE CMD FIFO1500，将用于显示其他信息的绘图指令携带时间间隔控制信息后发送给图形引擎芯片中的 GE CMD FIFO1501；其次，图形引擎芯片的 Sequencer1502 根据本次执行动画播放的绘图指令携带的时间间隔控制信息确定该绘图指令执行的时间点，等待该绘图指令执行的时间到后，将该绘图指令发送到仲裁器 306 中，同时，图形引擎芯片的 Sequencer2503 根据用于显示其他信息的绘图指令携带的时间间隔控制信息确定该绘图指令执行的时间点，等待该绘图指令执行的时间到后，将该绘图指令发送到仲裁器 306 中；再次，仲裁器 306 在同一时间点接收到本次执行动画播放的绘图指令和用于显示其他信息的绘图指令后，确定发送本次执行动画播放的绘图指令的 Sequencer1502 优先级低于发送用于显示其他信息的绘图指令的 Sequencer2503，则先将用于显示其他信息的绘图指令发送给 GE101 后，再将本次执行动画播放的绘图指令发送给 GE101；再次，GE101 依次执行接收到的该绘图指令，将处理后的绘图数据保存在 Display Memory102；最后，Display Memory102 通过 Display Controller103 控制所保存的绘图数据在 Displayer104 中以图形的形式显示出来。

这样，当图形引擎芯片中的 Sequencer 中的绘图指令出现冲突时，图形引擎芯片中的仲裁器可以根据 Sequencer 的优先级确定先执行哪一个 Sequencer 发送的绘图指令。

本发明所述的图形引擎芯片可以应用在计算机、个人数字助理(PDA)、移动终端等具有 Displayer 并且需要绘图处理的电子设备上。

以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内所做的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

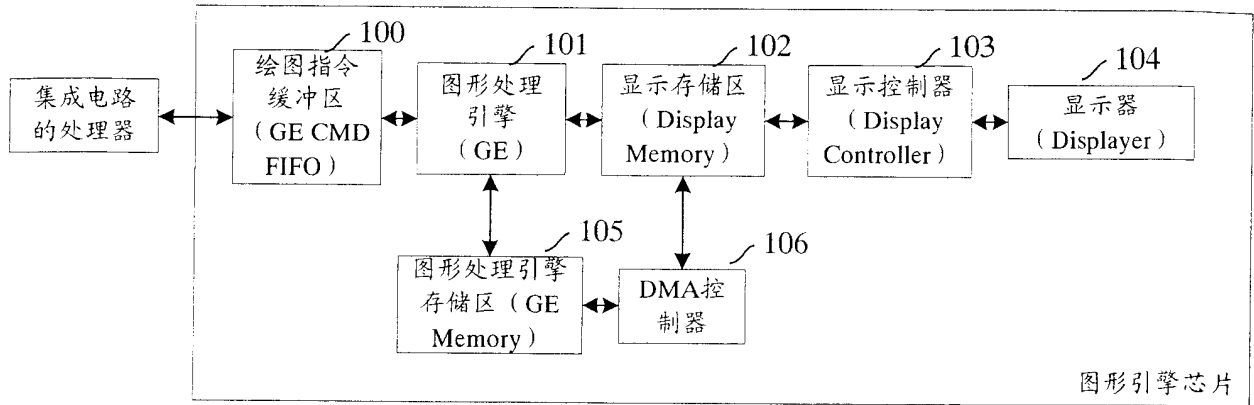


图 1

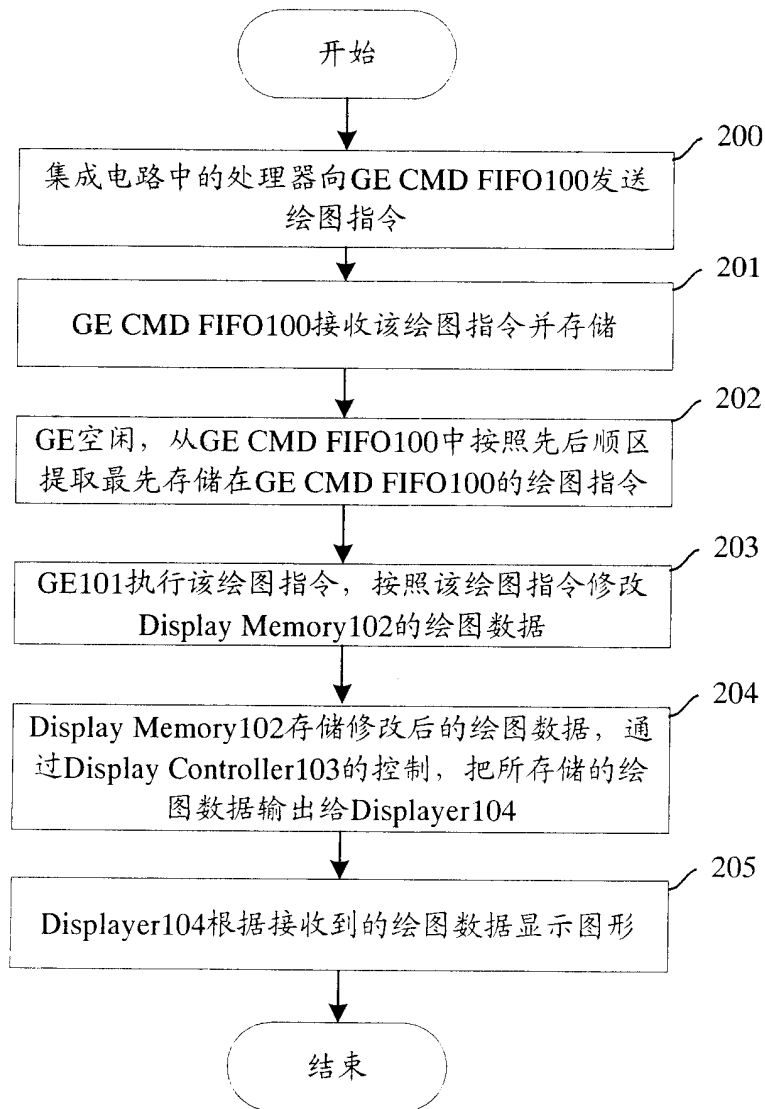


图 2

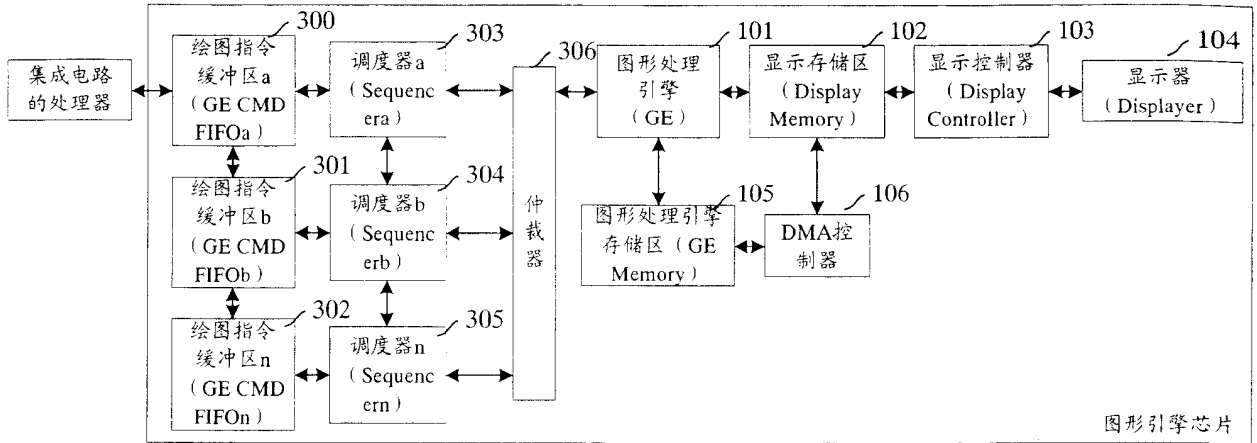


图 3

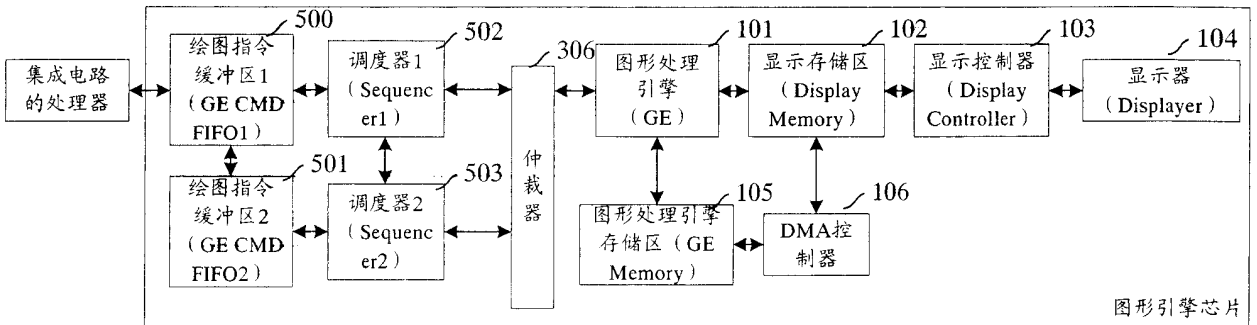


图 5

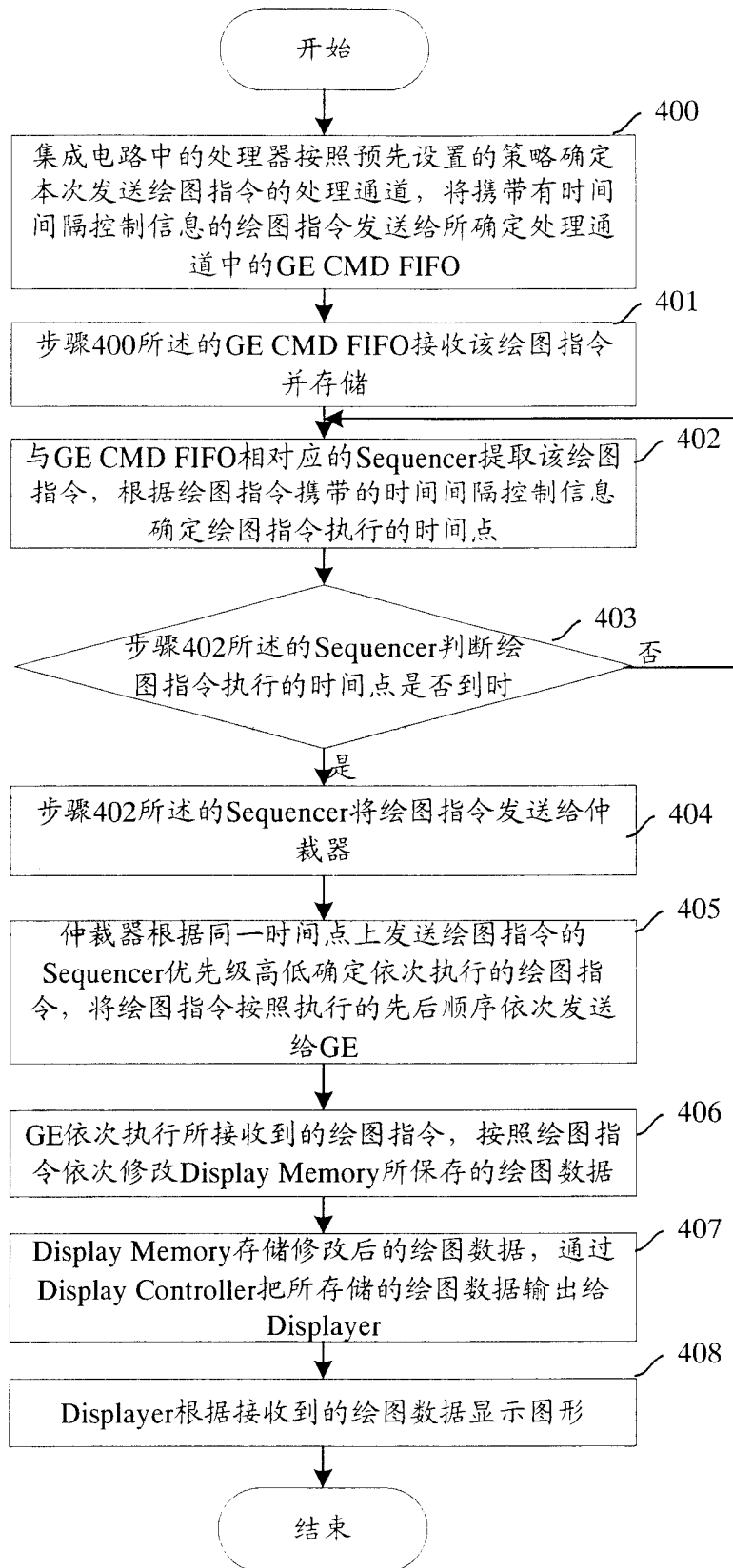


图 4