

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：92112428 ※IPC 分類：G11C16/26 (2006.01)

※ 申請日期：92.5.7

壹、發明名稱

(中文) 串列感測多位準晶胞陣列輸出之技術

(英文) SERIALLY SENSING THE OUTPUT OF MULTILEVEL CELL ARRAYS

貳、發明人 (共 3 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 馬修·哥德曼

(英文) Matthew GOLDMAN

住居所地址：(中文) 美國加州佛斯姆·引導者路 119 號

(英文) 119 Conductor Way, Folsom, CA 95630, USA

國籍：(中文) 美國 (英文) USA

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 美商·英特爾公司

(英文) Intel Corporation

住居所或營業所地址：(中文) 美國加州聖塔克萊拉市密遜大學道 2200 號

(英文) 2200 Mission College Blvd., Santa Clara, CA, USA

國籍：(中文) 美國 (英文) USA

代表人：(中文) 湯瑪斯 C. 瑞諾茲

(英文) THOMAS C. REYNOLDS

續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

捌、聲明事項

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

- 1. _____
- 2. _____
- 3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

- 1. 美 國； 2002, 05, 17; 10/147,557
- 2. _____
- 3. _____
- 4. _____
- 5. _____
- 6. _____
- 7. _____
- 8. _____
- 9. _____
- 10. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

- 1. _____
- 2. _____
- 3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

- 1. _____
- 2. _____
- 3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

- 1. _____
- 2. _____
- 3. _____

熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

發明背景

本發明一般是有關於多位準快閃記憶體輸出之序列式
5 感測。

【先前技術】

藉由將從所儲存資料所產生之電壓與電流與參考電壓
或電流比較，而從非依電性(nonvolatile)記憶體讀取資料
。在多位準晶胞的情形中，此讀取資料的過程涉及：將從
10 資料所產生之電壓與電流與一系列參考電壓與電流比較，
以確定所產生電壓對於參考電壓之位置。

傳統上，此用於從多位準晶胞讀取資料之感測設計涉
及：對於各參考位準使用一個感測放大器。此方法可稱為
(同時)平行感測。與此相對照的在序列感測中，可以使用
15 信號感測放大器以感測多位準晶胞。其優點為將使用於感
測電路之矽面積數量減少N倍，而N為參考電壓之數目。
此外，序列式感測設計將取決於電壓或電流晶胞上之負載
與在參考電壓或電流上之負載匹配。相對照之下，在並聯
式感測設計中，此取決於晶胞之電壓或電流具有N個感測
20 放大器負載，而各參考電壓或電流只有一個感測放大器負
載。此匹配不良會造成放大中之偏差，其可能須要額外的
電路或可能須要較大的差異邊際。

由於序列式感測之優點，因此須要較佳方式在多位準
記憶體中實施序列感測。

玖、發明說明

【發明內容】

根據實施例，可以使用序列感測設計以感測儲存在多位準晶胞上之資訊。可以首先感測晶胞中資訊之最高有效位元。可以使用此最高有效位元資訊以決定使用至少兩個參考位準之那一個，以決定晶胞之最低有效位元。

圖式簡單說明

第1圖為根據本發明實施例之序列感測設計之概要圖式說明；

第2圖為根據習知技術之最適序列感測算法；

第3圖為根據本發明之實施例之用於序列感測設計之門鎖機構之說明；

第4圖為根據本發明另一實施例之門鎖機構之說明；

第5圖為根據本發明還有另一個門鎖機構之概要圖式說明；

第6圖為本發明另一實施例之概要說明；

第7圖為流程圖用於根據本發明實施例第6圖中所示之實施例；

第8圖為本發明另一實施例之概要圖式說明；以及

第9圖為本發明另一實施例之概要圖式說明。

【實施方式】

較佳實施例之詳細說明

請參考第1圖，序列感測設計包括用於多位準晶胞(各晶胞具有兩位元)之單一感測放大器16。通常，當評估儲存於記憶體中資料時，將此資料與參考比較，以確定該資

玖、發明說明

料是二進位‘1’或二進位‘0’。在雙位元感測設計中，此資料評估之輸出具有四個位準之一： $[0,0]$ ， $[0,1]$ ， $[1,0]$ ，或 $[1,1]$ 。本發明並不受限於在多位準記憶胞中，每一個胞之任何特定位元數目。通常此等多位準晶胞可以與快閃記憶
5 體使用，本發明並不受此限制。

在第1圖中的第一循環期間，三個參考位準之中點參考電壓與電流是至感測放大器16之一輸入。在兩位元之例子中，此中點參考二是介於對應從所感測晶胞輸出 $[0,1]$ 與 $[1,0]$ 之位準之間。將來自陣列晶胞之取決於晶胞之電壓或
10 電流所保存之隨機資料饋至感測放大器16之另一輸入。此感測操作之輸出是用於被感測胞之最高有效位元(MSB)。此序列感測設計使用第一感測操作之輸出(即，MSB)，以決定對於第二感測操作使用何種參考電壓或電流，用於相同取決於胞之電壓或電流。

15 尤其，如果此最高有效位元為零，則此使用於第二感測操作之參考位準是參考3。此參考位準3是介於從感測晶胞輸出之 $[0,0]$ 、 $[0,1]$ 之間。因此，如同於第1圖所示，將感測放大器16之輸出經由最低有效位元(LSB)邏輯18回饋，而在第二週期中選擇將參考位準1或參考位準3輸入至感
20 測放大器16之上部輸入端子。如果此最高有效位元為1，則此使用於第二感測操作之參考位準為參考1。參考1是介於所感測晶胞之輸出 $[1,0]$ 與 $[1,1]$ 之間。

在某些實施例中，人們可以單純地經由各種參考位準從頂部至底部或從底部至頂部地循環。然而，在某些實施

玖、發明說明

例中，此種序列式搜尋技術較在第2圖中所說明二項式搜尋算法實質上耗用更長的時間以達成解決方案。

請參考第2圖，如同於20所示，首先將參考2施加於感測放大器16之上部端子。如果此最高有效位元為零，則如同在22所示在第2循環中將參考位準3施加於感測放大器16。相反的，如果此最高有效位元為1，則如同在24所顯示，在第2循環中施加參考位準1。然後，下一個比較可以造成零，在此情形中輸出為[1,0]；或下一個比較可以造成1，在此情形中輸出為[1,1]。同樣的在一實施例中，其中如於22所示在第二循環中施加參考位準3，其輸出為[0,0]或[0,1]。

第3圖顯示此最低有效位元邏輯18之更詳細之實施例。根據本發明之實施例，根據儲存於局部門鎖40中資料而選擇，將局部感測放大器36耦合連接至陣列晶胞28以及參考晶胞30或32。此局部門鎖40是耦合連接至局部感測放大器與周圍輸出門鎖38之間之局部感測放大器36之輸出。

在第3圖中所示之並聯局部門鎖實施例中，周圍輸出鎖38與局部門鎖40均由相同之局部感測放大器36之輸出所驅動。此外，控制邏輯與電壓位準位移42將門鎖資料轉換成兩個個別的控制信號，而在30所示之參考1與在32所示之參考3之間選擇。更特別的是，控制邏輯與位準位移42將開關34a與34c之一關閉(close)，且將兩個開關34之另一個開啟(open)，以提供適當的參考給局部感測放大器36。

其次請參考第4圖，根據本發明另一實施例，可以將此

玖、發明說明

驅動開關34a與34c且選擇兩個參考30或32之一之位準位移功能，直接合併入局部鎖40a中。此可以根據一些實施例，以強迫控制邏輯與位準位移42a成為與從局部門鎖40a之輸出之相同提高電壓位準為代價，在回饋路徑中去除一項操作。否則的話，第4圖之實施例與第3圖之實施例類似。

其次請參考第5圖，根據本發明之另一個實施例，可以將局部鎖40b設置介於局部感測放大器36與周圍輸出門鎖38之間。此項實施將輸出門鎖38之資料與回饋至控制邏輯與位準位移42b之資料匹配，以控制此最低有效位元參考之選擇。此項匹配在當查証在某些實施例中具有臨界值非常接近中點參考之晶胞28之程式化有效時可能會重要。

其次請參考第6圖，此感測放大器36是耦合連接至多位準單元字元多工器(MUX)68。此感測放大器36可以符合任何序列感測設計，包括於第1、3、4或5圖中所示之感測放大器配置之一。

在第一或MSB感測操作中，開關44a是關閉，且開關44b為開啟。開關44c亦為開啟。然後可以將最高有效位元資料轉送至中間門鎖40。在完成此最高有效位元感測後，關閉44a開啟，以擷取在中間門鎖40中之最高有效位元資料，而以開關44b仍然開啟以及開關44c關閉。

在此點，可以感測此最低有效位元資料，而不會干擾此最高有效位元資料。一旦感測到此最低有效位元資料，則開關44b關閉(開關44a保持開啟)，且開關54與62開啟。因此，將此等最高有效位元資料與最低有效位元資料各轉

玖、發明說明

送至第二組之門鎖52與60。在此之後，在將開關44b開啟之前(或至少與其同時)，將開關54與62關閉，使資料可供使用於對MLC字元多工器68之輸入。在門鎖52與60以及與門鎖40與感測器36去除連接之前，在門鎖52與60中擷取資料。在此點，可以進行隨後之MSB與LSB感測操作，而不會干擾到來自前感測序列之資料，且同時經由多工器驅動先前資料。

此等門鎖40、52、以及60之組之順序，可以由單一脈衝完全控制，其顯示正在進行最高有效位元之感測。這即是，當正在進行最高有效位元之感測時，開關44a為關閉且開關44b開啟。當完成最高有效位元之感測時，開關44a為開啟且開關44b關閉。

對於同步叢發(burst)信號而言，可以經由系統時鐘之時脈而獨立控制開關44b，以確保此第二組最低有效位元資料不會寫入蓋過此第一或最高有效位元資料。在同步叢發中同時讀取多個字元，以致於各字元可以時脈關閉，而對於第一字元後之各字元無須等待額外的感測期間。

此多位準之晶胞記憶體在某些實施例中，具有使用序列感測之連續叢發(burst)能力。此連續叢發是正在進行之同步叢發，而當在分析前一批次(batch)字元時，感測電路讀取下一批次字元。

例如，為了在叢發操作中使用x64多位準晶胞感測結構，則為有利依序擷取256位元資料。由於感測電路立刻提供64位元資料，而使用192門鎖以保存其餘的資料。因

玖、發明說明

此，在所示的實施例中，64位元可以存在於感測放大器36中，且64位元可以存在於閘鎖40、56與60中。多工器68之輸出是由字元選擇位元控制，此位元包括最高有效位元與最低有效位元。

5 中間閘鎖40包括一對反相器48與50。此中間閘鎖40具有開關44c，其由將控制開關44a之信號之反相信號而控制。同樣地，閘鎖52包括開關54以及一對反相器56與58。開關54的狀態與開關44b之狀態相反。開關62之狀態與開關44b之狀態相反。閘鎖60亦包括反相器64與66。開關44c、
10 54與62控制其各閘鎖之輸出。因此，將最高有效位元資料傳送至多工器68之上部輸入，且將最低有效位元資料傳送至多工器68之下部輸入，而在多工器中將資料組合。

請參考第6與7圖，控制69輸出信號A、 \bar{A} 、B、以及 \bar{B} ，其如同在第6圖中所示傳送至開關44a、44c、44b、54以
15 及62。控制69亦可發出控制多工器68之“字元選擇位元(WSB)”此控制可以用硬體、軟體或韌體實施。

請參考第7圖，根據本發明之實施例，控制69實施資料排序流程100，其首先決定是否已感測到最高有效位元資料，如同在102所決定者。如果是如此，則啟動信號A啟
20 動將其各開關關閉，且將信號B、 \bar{A} 啟動將開關開啟，此均如同於方塊104中所示。

在本發明較佳實施例中，在菱形106檢查以決定時間期間是否已終止。在一實施例中此可供使用的時間可以為：在閘鎖40中足以擷取最高有效位元資料之時間。亦可以

玖、發明說明

使用其他的技術以決定何時進行。

如同在菱形106中所決定，一旦時間終了，則如同於方塊108中所示操作信號A將其相對應之開關開啟，且操作信號 \bar{A} 將其相對應之開關開啟。其次，在菱形110檢查是否已感測到此“最低有效位元資料”。如果是的話，則操作信號B將其相對應的開關關閉，且操作信號 \bar{B} 將其相對應的開關開啟，如同在方塊112中所示者。

在菱形114決定是否發生時間終了。再度此時間終了可以顯示足夠的時間，使得能在門鎖60中將此最低有效資料鎖住。亦可使用其他之技術。

在一實施例中，如同於方塊106中所顯示，一旦時間終了，可以操作信號B將其相對應開關開啟，以及操作信號 \bar{B} 將其相對應開關關閉。

請參考第8圖，此用於將感測放大器26耦合連接至陣列晶胞以及一或多個參考晶胞之設計，會有降低耦合連接雜訊之效應。此旋轉位元線對之一份子可以耦合連接至陣列晶胞，而此位元線對之另一份子可以耦合連接至參考晶胞。為了平衡此在感測放大器36之輸入所看到之負載，此陣列晶胞可以耦合連接至用於偶數區塊之位元線，並且可以耦合連接至用於奇數區塊之另一位元線。因此，在本發明之一實施例中，可以使用區塊解碼之最低有效位元以決定，將感測放大器36之那一側連接至陣列，以及將感測放大器36之那一側連接至參考晶胞。

給定此結構，則任何影響位元線之系統雜訊顯示為對

玖、發明說明

於感測放大器之共同模式雜訊(折制共同模式雜訊)。由於旋轉，此感測放大器輸出之極性不僅取決於陣列與參考資料之相對值，而且取決於那一個晶胞連接至放大器之那一側。如果沒有在第8圖中所示之區塊解碼去除擾亂技術，

5 則此來自感測放大器輸出之極性將不可知，使其無法決定MSB感測存取之正確值(然後使用它以選擇用於LSB存取之適當參考)。以本發明的一些實施例，可以使用區塊位址以實施用於LSB感測之正確參考之選擇。

在一實施例中，可以使用區塊位址72直接選擇將感測

10 放大器36之那一側連接至陣列，以及將感測放大器之那一側連接至參考晶胞。可以將區塊位址72與 $\overline{\text{區塊位址}}74$ 連接至切換網路70，其包括：耦合連接至偶數輸入76之開關80a與80b，以及耦合連接至奇數輸入78之開關80c與80d。取決於開關80之狀態，可以在區塊位址之控制下，將奇數

15 輸入78或偶數輸入76耦合連接至感測放大器36。不論將那一個位元線耦合連接至那一個晶胞，此來自感測放大器36之輸出之極性皆相同。

請參考第9圖，隔離電路104可以控制從感測放大器36提過信號給局部門鎖，例如第3至5圖之門鎖40、40a或40b

20 ，其經由信號輸出A(OUT A)與B(OUT B)而耦合連接。電路104減少由於儲存在節點A與B上電荷所產生之資料依賴性。

將來自感測放大器36之第一與第二輸出耦合連接至PMOS電晶體之或驅動器99與86閘極。驅動器99與86是從

玖、發明說明

感測放大器36至局部門鎖之驅動器，此門鎖例如為第3圖中所示之門鎖40，且耦合連接至OUT A與OUT B。將電晶體99之端子耦合連接至節點B，且將電晶體86之一端子耦合連接至節點A。亦耦合連接至節點B的是PMOS電晶體或
5 通過閘極96，其接收在其閘極上之通過信號B。亦耦合連接至節點A的是PMOS電晶體或通過閘極94，其亦接收在其閘極上之通過信號B。當資料在放大器36與門鎖之間通過時，閘極94與96實施控制。

亦將通過信號B耦合連接至一對反相器98與92，其各
10 為電路88b與88a之一部份。電晶體102耦合連接至反相器98，以及電晶體90耦合連接至反相器92。電晶體102與電晶體99並聯，且電晶體90與電晶體86並聯。在一實施例中，電晶體90與102是PMOS電晶體。

最後，將電晶體96與94耦合連接至差動放大器84，其
15 如所顯示具有輸出OUT B與OUT A。將差動放大器84耦合連接至PMOS電晶體82，其接收在其閘極上之門鎖信號B。

電晶體86作用為PMOS驅動器，且電晶體94作用為PMOS通過閘。在正當的操作中，因為通過信號B為零而將電晶體96與94導通。藉由來自感測放大器36之輔助輸出，
20 將電晶體99與86之一導通(turn on)且將另一電晶體切斷(turn off)。在一段時間之後，當資料穩定下來時，將門鎖B設定為零而將資料保存於局部門鎖84中。亦藉由等於1之通過信號B將電晶體94與96切斷，以允許將感測放大器36移至“最低有效位元”(LSB)之感測。

玖、發明說明

所產生的一個問題為：當電晶體96與94為切斷時，節點A與B保持浮動。反相器92與98以及裝置90與102形成預充電電路，以降低或去除由於儲存在節點A與B之電荷所產生之資料依賴性。

5 如果將左側電晶體99驅動得低，且將右側電晶體86驅動得高，則在將電晶體94與96切斷後，節點B保持接近供應電壓、且節點A保持接近接地電壓。因此，在下一個感測操作期間，此在節點A與B所見之電容負載是取決於資料，而不當地影響感測作業。

10 在一實施例中，當各電晶體94與96為切斷(open)時，將節點A與B預先充電至供應電壓。可以將小的升壓電晶體102與90設置成與電晶體99與86並聯。藉由經反相之通過信號B而控制各升壓電晶體102或90。然後，當使用電路104時，將節點A與B保持在供應電壓位準。因此，局部門鎖40不會藉由在感測放大器的輸出上設置非對稱負載而破壞感測過程。

20 雖然本發明是以有限數目的實施例說明，熟習此技術之人士瞭解可以從它導引出各種修正與變化。其用意為所附申請專利範圍包括在本發明真實精神與範圍中所有此等修正與變化。

【圖式簡單說明】

第1圖為根據本發明實施例之序列感測設計之概要圖式說明；

第2圖為根據習知技術之最適序列感測算法；

玖、發明說明

第3圖為根據本發明之實施例之用於序列感測設計之門鎖機構之說明；

第4圖為根據本發明另一實施例之門鎖機構之說明；

第5圖為根據本發明還有另一個門鎖機構之概要圖式說明；

第6圖為本發明另一實施例之概要說明；

第7圖為流程圖用於根據本發明實施例第6圖中所示之實施例；

第8圖為本發明另一實施例之概要圖式說明；以及

第9圖為本發明另一實施例之概要圖式說明。

【圖式之主要元件代表符號表】

16、26…感測放大器	60…門鎖
18…最低有效位元之邏輯	68…多工器
20、22、24…位置	69…控制
28…陣列晶胞	70…切換網路
30、32…參考晶胞	72…區塊位址
34a,b,c、44a,b,c、54、62 、80a,b,c,d…開關	74… $\overline{\text{區塊位址}}$
36…局部感測放大器	76…偶數輸入
38…周邊輸出門鎖	78…奇數輸入
40、40a…局部門鎖	82、86、90、102…電晶體
42、42a…局部位移	84…差動放大器
50、56、58、64、66、92 、98…反相器	98a,b、104…電路
	94、96…閘極
	99…驅動器

玖、發明說明

100…資料序列流

108、112、116…方塊

106、110、114…菱形

肆、中文發明摘要

根據實施例，可以使用序列感測設計以感測儲存在多位準晶胞上之資訊。可以首先感測晶胞中資訊之最高有效位元。可以使用此最高有效位元資訊以決定使用至少兩個參考位準之那一個，以決定晶胞之最低有效位元。

伍、英文發明摘要

In accordance with one embodiment, a serial sensing scheme may be utilized to sense the information stored on a multilevel cell. The more significant bit of the information in the cell may sense initially. The more significant bit information may be used to determine which of at least two reference levels to utilize to determine a less significant bit of the cell.

陸、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

16…感測放大器

18…最低有效位元之邏輯

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

第 92112428 號申請案申請專利範圍修正本 96.12.28.

1. 一種多位準晶胞記憶體，其包括：

具有輸出之感測放大器；

5 耦合連接至該感測放大器輸出之第一路徑，而從感測放大器選擇性地接收最高有效(most significant)位元資料；

耦合連接至該感測放大器輸出之第二路徑，而從感測放大器選擇性地接收最低有效(least significant)位元資料；

10 該第一路徑上之第一門鎖，以儲存最高有效位元資料；

該第一路徑上之第二門鎖，以儲存最高有效位元資料；

15 在該第二路徑上之第三門鎖，以儲存最低有效位元資料；以及

多工器，其中可選擇性地操作該第二門鎖，將最高有效位元資料傳送給多工器，以及其中可選擇性地操作在該第二路徑上之該第三門鎖，將最低有效位元資料輸出給多工器。

20 2. 如申請專利範圍第1項之多位準晶胞記憶體，包括多工器，其輸出包括最高有效位元資料與最低有效位元資料之感測資料。

3. 如申請專利範圍第1項之多位準晶胞記憶體，其中可選擇性地操作該第一門鎖，將最高有效位元資料傳送給

拾、申請專利範圍

第二門鎖。

4. 如申請專利範圍第1項之多位準晶胞記憶體，包括開關，其將該第一門鎖選擇性地耦合連接至第二門鎖，且將該感測放大器耦合連接至該第三門鎖。

5. 一種多位準晶胞輸出之感測方法，其包括：

選擇性地將最高有效位元資料從多位準晶胞感測放大器之輸出傳送至第一門鎖；

選擇性地將最低有效位元資料從該感測放大器傳送至第二門鎖；以及

選擇性地將最高有效位元資料從該第一門鎖傳送至該第三門鎖。

6. 如申請專利範圍第5項之感測方法，包括將資料儲存於該感測放大器，該第一、第二、以及第三門鎖中。

7. 如申請專利範圍第6項之感測方法，包括提供一對路徑，該等路徑之一包括該第一與第三門鎖，且該其他路徑包括該第二門鎖。

8. 如申請專利範圍第7項之感測方法，包括當該最低有效位元資料是從該感測放大器輸出時，將該第一路徑對第二路徑隔離。

9. 如申請專利範圍第8項之感測方法，包括選擇性地同時開啟該第一與第二路徑。

10. 如申請專利範圍第7項之感測方法，包括選擇性地開啟該第一路徑，將該第一路徑對該第二路徑隔離。

11. 如申請專利範圍第5項之感測方法，包括在將該最低有

拾、申請專利範圍

效位元資料載入於該第二門鎖中後，從該第一門鎖傳送最高有效位元資料。

12. 一種多位準記憶胞，其包括：

感測放大器；

5 耦合連接至該感測放大器輸出之電路；

耦合連接至該電路之門鎖；以及

該電路包括耦合連接至通道閘之驅動器，該驅動器耦合連接至該感測放大器之輸出，並且將通道閘耦合連接至該門鎖。

10 13. 如申請專利範圍第12項之多位準記憶胞，包括第一驅動器與耦合連接至該感測放大器第一輸出之通道閘；以及第二驅動器與耦合連接至該感測放大器第二輸出之通道閘。

14. 如申請專利範圍第13項之多位準記憶胞，包括耦合連接於各驅動器與通道閘之間之升壓電晶體，當該通道閘被切斷時，將該驅動器與該通道閘之間之節點充電。

15. 如申請專利範圍第14項之多位準記憶胞，其中該升壓電晶體是有耦合連接至反相器之閘極，該耦合連接至信號之反相器亦耦合連接至該通道閘之閘極。

20 16. 如申請專利範圍第15項之多位準記憶胞，其中該驅動器、通道閘、以及升壓電晶體為PMOS電晶體；

17. 一種記憶體陣列輸出之感測方法，其包括以下步驟：

從陣列晶胞提供輸出給感測放大器之第一輸入；

以及

拾、申請專利範圍

將感測放大器之輸出經由耦合連接至通道閘之驅動器而回饋至閘鎖。

18. 如申請專利範圍第17項之感測方法，包括：

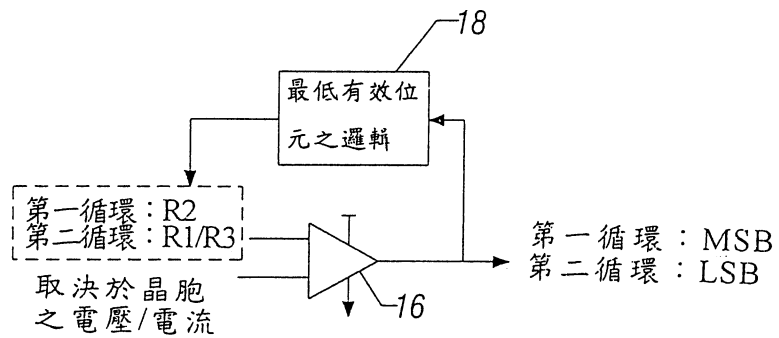
5 將感測放大器之第一輸出，經由第一驅動器與通道閘耦合連接至該閘鎖；以及

將該感測放大器之第二輸出，經由第二驅動器與通道閘耦合連接至該閘鎖。

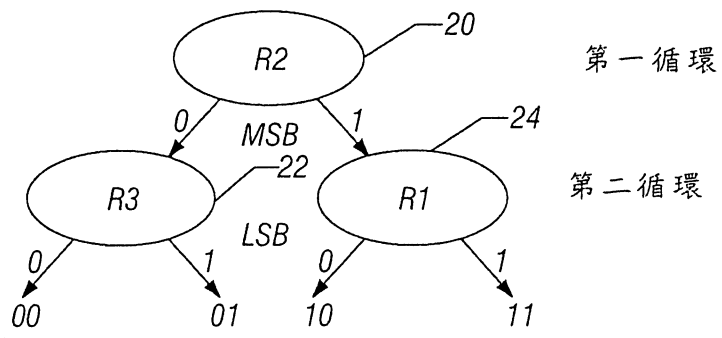
19. 如申請專利範圍第18項之感測方法，包括將介於各通道閘與驅動器之間的節點偏壓。

10 20. 如申請專利範圍第19項之感測方法，其中當此通道閘被切斷時，將該節點選擇性地偏壓。

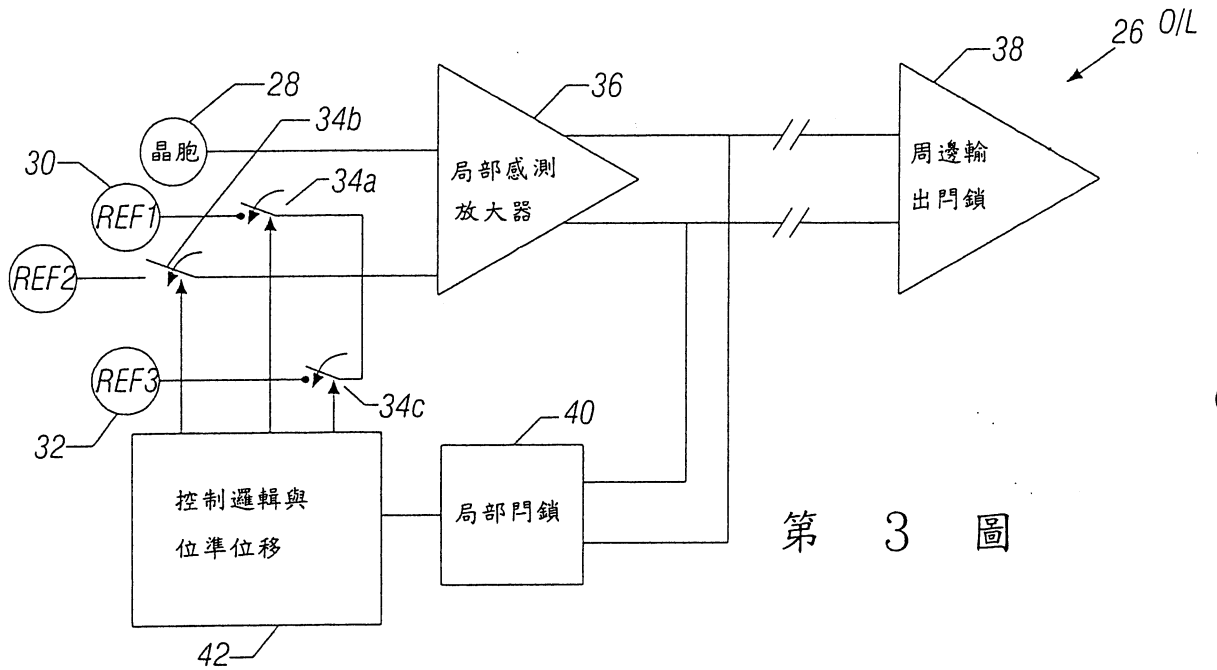
92112428 93 年 11 月 10 日 修正 補充 本



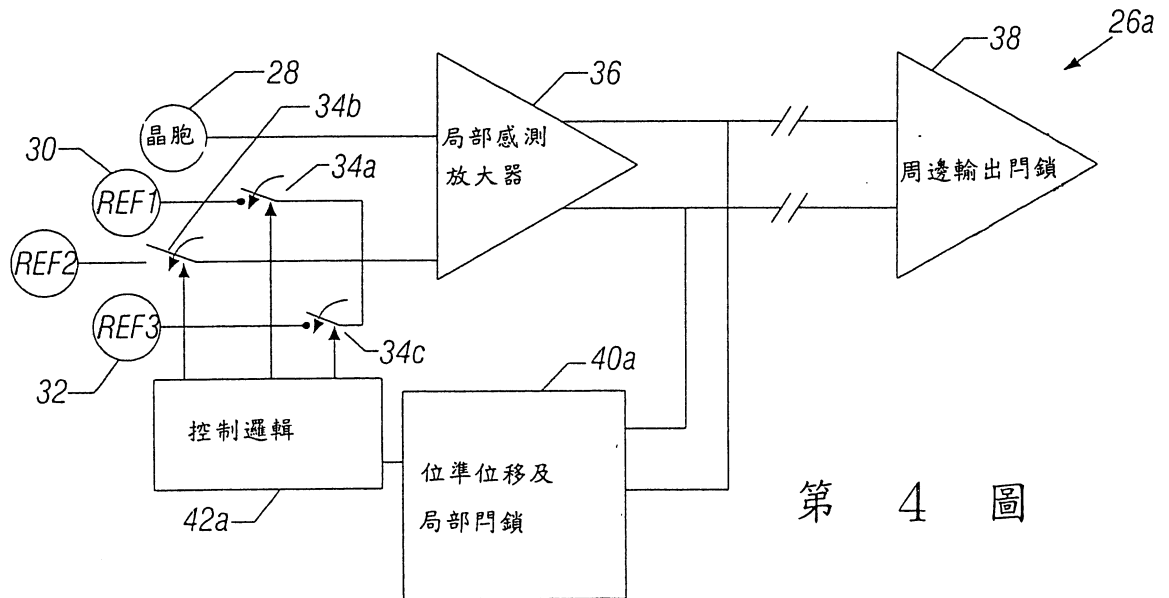
第 1 圖



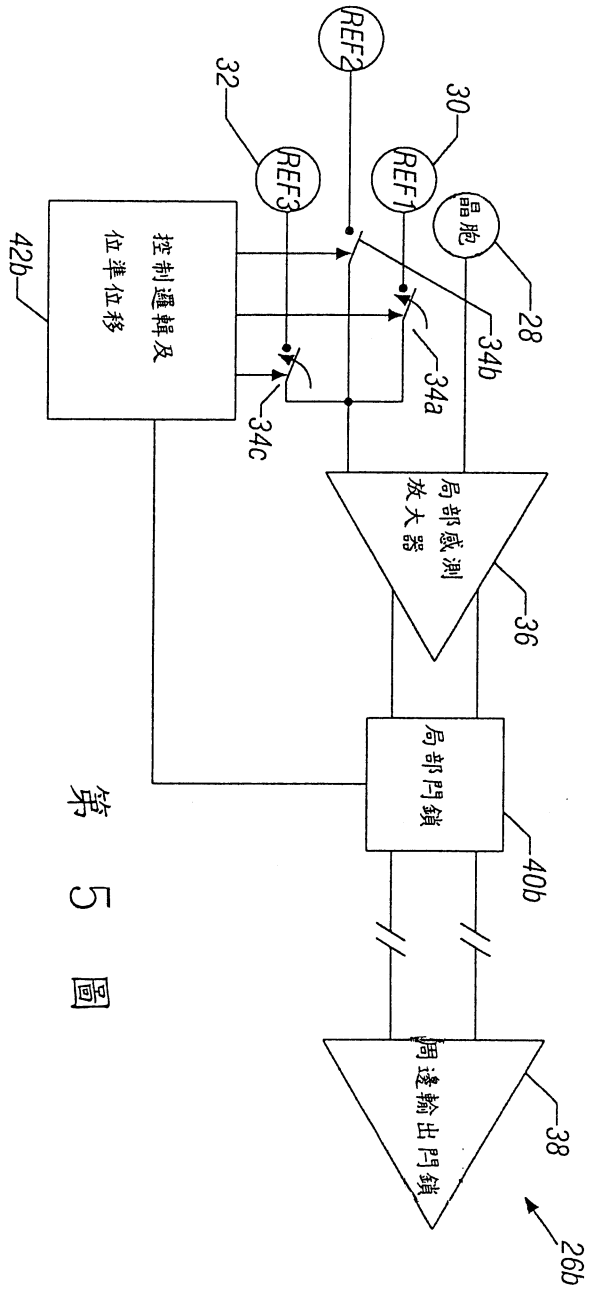
第 2 圖



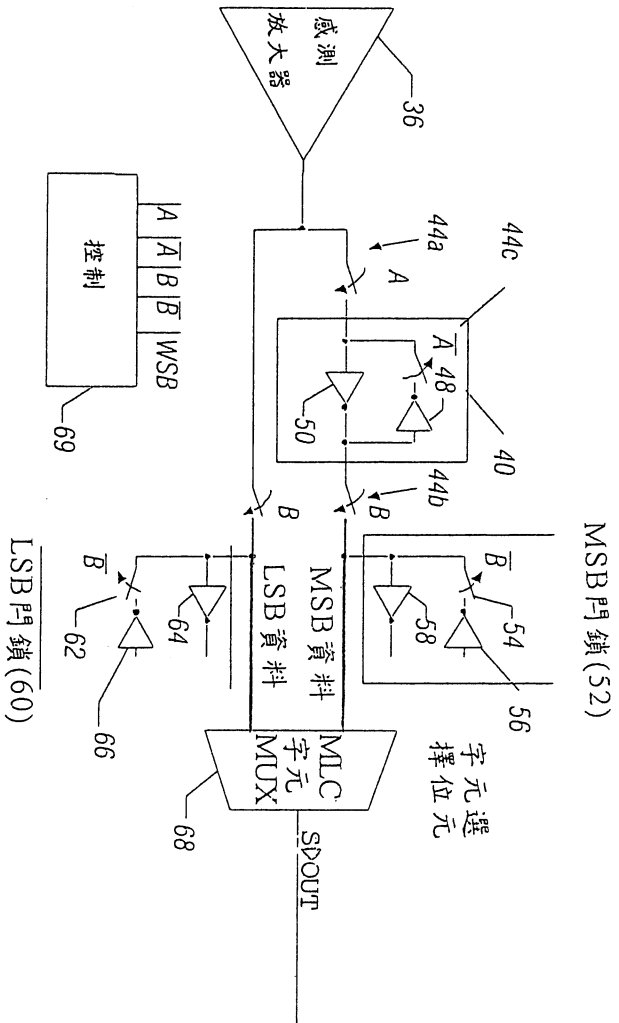
第 3 圖



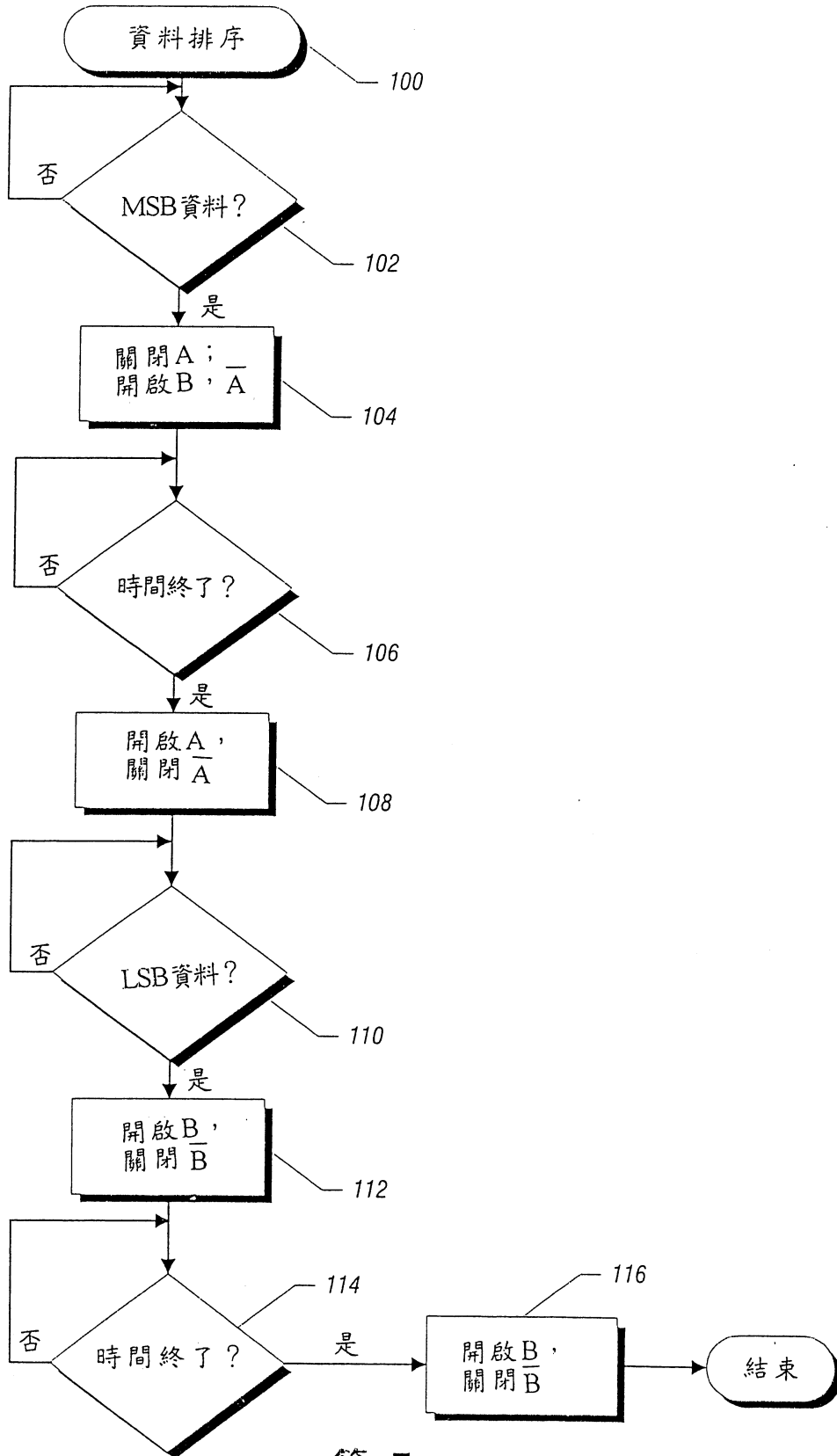
第 4 圖



第 5 圖

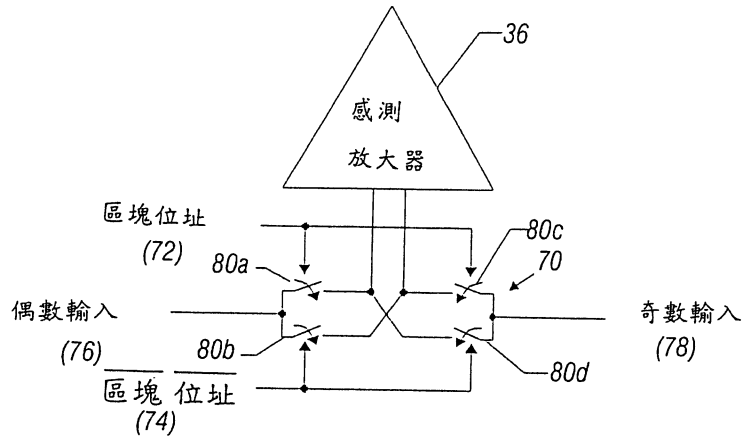


第 6 圖

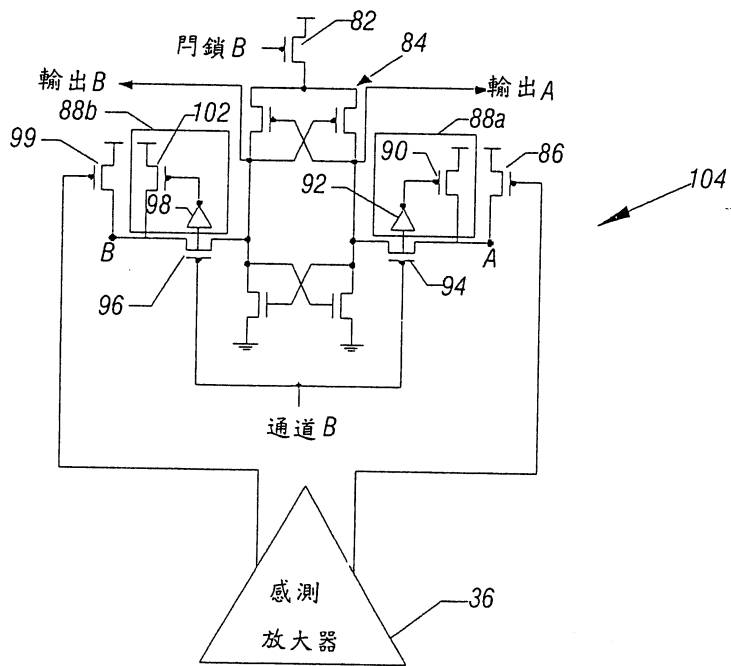


第 7 圖

6/6



第 8 圖



第 9 圖