

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年11月24日(24.11.2011)

PCT

(10) 国際公開番号
WO 2011/145676 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G06F 3/041 (2006.01)
G02F 1/133 (2006.01) G09G 3/20 (2006.01)
G02F 1/1333 (2006.01) G09G 3/34 (2006.01)
- (21) 国際出願番号: PCT/JP2011/061497
- (22) 国際出願日: 2011年5月19日(19.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-116413 2010年5月20日(20.05.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 杉田 靖博
(SUGITA Yasuhiro). 田中 耕平(TANAKA Kohei).

臼倉 奈留(USUKURA Naru), 根本 紀(NEMO-TO Tadashi), 加藤 浩巳(KATOHI Hiromi).

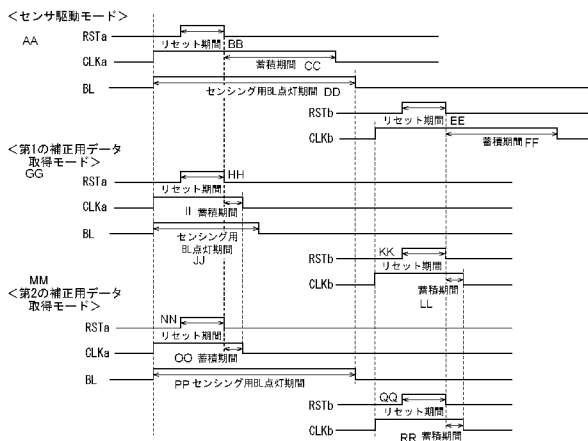
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜1丁目4番16号 アクア堂島西館 インテリクス国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: DISPLAY DEVICE WITH TOUCH SENSOR

(54) 発明の名称: タッチセンサ付き表示装置

[図10]



- AA SENSOR DRIVING MODE
- BB RESET PERIOD
- CC ACCUMULATION PERIOD
- DD SENSING BACKLIGHT TURN-ON PERIOD
- EE RESET PERIOD
- FF ACCUMULATION PERIOD
- GG FIRST ADJUSTMENT DATA OBTAINING MODE
- HH RESET PERIOD
- II ACCUMULATION PERIOD
- JJ SENSING BACKLIGHT TURN-ON PERIOD
- KK RESET PERIOD
- LL ACCUMULATION PERIOD
- MM SECOND ADJUSTMENT DATA OBTAINING MODE
- NN RESET PERIOD
- OO ACCUMULATION PERIOD
- PP SENSING BACKLIGHT TURN-ON PERIOD
- QQ RESET PERIOD
- RR ACCUMULATION PERIOD

(57) Abstract: Provided is a display device which has an optical detector element within a pixel and has an input function that does not depend on lighting conditions. The display device has an optical sensor in the pixel area. The optical sensor comprises a first sensor pixel circuit which outputs a sensor signal in response to the accumulation charge for an accumulation period when the light source for use with the sensor is turned on, and a second sensor pixel circuit which outputs a sensor signal in response to the accumulation charge for an accumulation period when the light source is turned off. An operation mode in one frame of the optical sensor comprises: a sensor driving mode for obtaining a sensor signal from each of the first and the second sensor pixel circuits; a first adjustment data obtaining mode for obtaining a first adjustment data which is used to adjust the sensor signal from the first sensor pixel circuit; and a second adjustment data obtaining mode for obtaining a second adjustment data which is used to adjust the sensor signal from the second sensor pixel circuit.

(57) 要約:

[続葉有]



WO 2011/145676 A1



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

光検出素子を画素内に有し、光環境に依存しない入力機能を有する表示装置を提供する。画素領域に光センサを備えた表示装置である。前記光センサには、センサ用の光源点灯時の蓄積期間の蓄積電荷に応じたセンサ信号を出力する第 1 センサ画素回路と、前記光源消灯時の蓄積期間の蓄積電荷に応じたセンサ信号を出力する第 2 センサ画素回路とが含まれる。前記光センサの 1 フレーム期間の動作モードとして、第 1 および第 2 センサ画素回路のそれぞれからセンサ信号を得るためのセンサ駆動モードと、第 1 センサ画素回路からのセンサ信号を補正する第 1 の補正用データを取得する第 1 の補正用データ取得モードと、第 2 センサ画素回路からのセンサ信号を補正する第 2 の補正用データを取得する第 2 の補正用データ取得モードとを有する。

明 細 書

発明の名称： タッチセンサ付き表示装置

技術分野

[0001] 本発明は、フォトダイオード等の光検出素子を画素内に有する表示装置に関し、特に、表示装置の動作中に光センサ信号を自動的に補正（c a l i b r a t i o n）することが可能な表示装置に関する。

背景技術

[0002] 従来から表示装置に関し、表示パネルに複数の光センサを設け、タッチパネル、ペン入力、スキャナなどの入力機能を提供する方法が知られている。この方法を様々な光環境下で使用されるモバイル機器に適用するためには、光環境の影響を排除する必要がある。そこで、光センサで検知した信号から光環境に依存する成分を除去し、本来入力すべき信号を求める方法も知られている。

[0003] 特許第4072732号公報には、個々の表示素子に対応して受光素子を設けた入出力装置において、1フレーム期間にバックライトを1回点滅させて、1フレーム期間にバックライト点灯期間の光量とバックライト消灯期間の光量をすべての受光素子から取得するように、受光素子に対して線順次でリセットと読み出しを行うことが記載されている。

[0004] 図25は、特許第4072732号公報に記載されたバックライトの点灯および消灯タイミング、並びに、受光素子に対するリセットおよび読み出しタイミングを示す図である。図25に示すように、バックライトは、1フレーム期間の前半で点灯し、後半で消灯する。バックライト点灯期間では、受光素子に対するリセットが線順次で行われ（実線矢印）、その後に受光素子からの読み出しが線順次で行われる（破線矢印）。バックライト消灯期間でも、受光素子に対するリセットと読み出しが同様に行われる。

[0005] 特許第3521187号公報には、図26に示す単位受光部を備えた固体撮像装置が記載されている。図26に示す単位受光部は、1個の光電変換部

PDと2個の電荷蓄積部C1、C2を含んでいる。発光手段からの光の物体による反射光と外光の両方を受光するときには、第1のサンプルゲートSG1がオンし、光電変換部PDで生成された電荷は第1の電荷蓄積部C1に蓄積される。外光のみを受光するときには、第2のサンプルゲートSG2がオンし、光電変換部PDで生成された電荷は第2の電荷蓄積部C2に蓄積される。2個の電荷蓄積部C1、C2に蓄積された電荷の量の差を求めることにより、発光手段からの光の物体による反射光の量を求めることができる。

[0006] 一般に、表示パネルに複数の光センサを設けた表示装置では、光センサからの読み出しは線順次で行われる。また、モバイル機器用のバックライトは、画面全体として同時に点灯し、同時に消灯する。

[0007] 特許第4072732号公報記載の入出力装置は、1フレーム期間にバックライトを1回点滅させて、バックライト点灯期間でリセットと読み出しを重複しない期間で行い、バックライト消灯期間でもリセットと読み出しを重複しない期間で行う。このため、受光素子からの読み出しを1/4フレーム期間以内で（例えば、フレームレートが60フレーム/秒のときには、1/240秒以内で）行う必要がある。しかしながら、このような高速読み出しを行うことは、実際にはかなり困難である。

[0008] また、バックライト点灯期間で受光素子が光を検知する期間（図25に示すB1）と、バックライト消灯期間で受光素子が光を検知する期間（図25に示すB2）との間には、1/2フレーム期間のずれがある。このため、モーション入力に対する追従性が、入力方向に応じて変動する。また、この入出力装置は、リセット完了直後に読み出しを開始し、読み出し完了直後にリセットを開始する。このため、バックライト点灯期間やバックライト消灯期間の長さや間隔を自由に決定できない。

[0009] また、この入出力装置は、バックライト点灯期間の光量とバックライト消灯期間の光量を同じ受光素子で検出する。このため、ある受光素子においてバックライト点灯期間の光量を検出したときには、当該受光素子から検出した光量を読み出すまでは、当該受光素子においてバックライト消灯期間の光

量の検出を開始できない。

発明の開示

[0010] それ故に、本発明は、上記の課題を解決し、光環境に依存しない入力機能を有する表示装置を提供することを目的とする。

[0011] 上記の目的を達成するために、ここに開示する表示装置は、アクティブマトリクス基板を備えた表示装置であって、前記アクティブマトリクス基板の画素領域に設けられた光センサと、前記光センサに接続されたセンサ駆動配線と、前記光センサへ、前記センサ駆動配線を介して、センサ駆動信号を供給するセンサ駆動回路と、前記センサ駆動信号に従って前記光センサから読み出された信号を増幅し、光センサ信号として出力するアンプ回路と、前記アンプ回路から出力された光センサ信号を処理する信号処理回路と、前記光センサ用の光源とを備え、前記光センサには、前記センサ駆動信号に従い、前記光源点灯時の蓄積期間で受光量に応じた電荷を蓄積し、読み出し期間が到来すると蓄積電荷に応じたセンサ信号を出力する第1センサ画素回路と、前記センサ駆動信号に従い、前記光源消灯時の蓄積期間で受光量に応じた電荷を蓄積し、読み出し期間が到来すると蓄積電荷に応じたセンサ信号を出力する第2センサ画素回路とが含まれ、前記センサ駆動回路が、1フレーム期間の動作モードとして、前記光センサの前記第1センサ画素回路および前記第2センサ画素回路のそれぞれから前記センサ信号を得るためのセンサ駆動モードと、前記センサ駆動モードとは異なるセンサ駆動信号を用いて、前記第1センサ画素回路から得られるセンサ信号を補正するための第1の補正用データを取得する第1の補正用データ取得モードと、前記センサ駆動モードとは異なるセンサ駆動信号を用いて、前記第2センサ画素回路から得られるセンサ信号を補正するための第2の補正用データを取得する第2の補正用データ取得モードとを有し、前記第1の補正用データ取得モードにおける前記光源点灯時の蓄積期間が、前記センサ駆動モードにおける前記光源点灯時の蓄積期間よりも短く、前記第2の補正用データ取得モードにおける前記光源消灯時の蓄積期間が、前記センサ駆動モードにおける前記光源消灯時の蓄積

期間よりも短い構成である。

[0012] 本発明によれば、光検出素子を画素内に有する表示装置であって、特に、光環境に依存しない入力機能を有する表示装置を提供できる。

図面の簡単な説明

[0013] [図1] 図1は、本発明の実施形態に係る表示装置の構成を示すブロック図である。

[図2] 図2は、図1に示す表示装置に含まれる表示パネルにおけるセンサ画素回路の配置を示す図である。

[図3] 図3は、図1に示す表示装置におけるバックライトの点灯および消灯タイミング、並びに、センサ画素回路に対するリセットおよび読み出しタイミングを示す図である。

[図4] 図4は、図1に示す表示装置における表示パネルの信号波形図である。

[図5] 図5は、図1に示す表示装置に含まれるセンサ画素回路の概略構成を示す図である。

[図6] 図6は、本発明の第1の実施形態に係るセンサ画素回路の回路図である。

[図7] 図7は、図6に示すセンサ画素回路のレイアウト図である。

[図8] 図8は、図6に示すセンサ画素回路の動作を示す図である。

[図9] 図9は、図6に示すセンサ画素回路の信号波形図である。

[図10] 図10は、センサ駆動モード時の駆動信号、第1の補正用データ取得モード時の駆動信号、第2の補正用データ取得モード時の駆動信号の一例を示すタイミングチャートである。

[図11] 図11は、センサ駆動モード時の駆動信号、第1の補正用データ取得モード時の駆動信号、第2の補正用データ取得モード時の駆動信号の他の例を示すタイミングチャートである。

[図12] 図12は、ダイオードの断面模式図である。

[図13] 図13は、ダイオードのモードA, B, Cの分布を、アノード電位 V_A と遮光膜LSの電位 V_{L_s} との関係で表した図である。

[図14A]図14Aは、モードBの状態におけるダイオードの電荷分布を示す模式図である。

[図14B]図14Bは、モードAの状態におけるダイオードの電荷分布を示す模式図である。

[図15]図15は、本発明の第2の実施形態に係るセンサ画素回路の回路図である。

[図16]図16は、図15に示すセンサ画素回路のレイアウト図である。

[図17]図17は、図15に示すセンサ画素回路の動作を示す図である。

[図18]図18は、図15に示すセンサ画素回路の信号波形図である。

[図19A]図19Aは、第1の実施形態の第1変形例に係るセンサ画素回路の回路図である。

[図19B]図19Bは、第1の実施形態の第2変形例に係るセンサ画素回路の回路図である。

[図19C]図19Cは、第1の実施形態の第3変形例に係るセンサ画素回路の回路図である。

[図19D]図19Dは、第1の実施形態の第4変形例に係るセンサ画素回路の回路図である。

[図19E]図19Eは、第1の実施形態の第5変形例に係るセンサ画素回路の回路図である。

[図20]図20は、図19Cに示すセンサ画素回路の動作を示す図である。

[図21]図21は、図19Cに示すセンサ画素回路の信号波形図である。

[図22]図22は、図19Dに示すセンサ画素回路の動作を示す図である。

[図23]図23は、図19Eに示すセンサ画素回路の動作を示す図である。

[図24A]図24Aは、第2の実施形態の第1変形例に係るセンサ画素回路の回路図である。

[図24B]図24Bは、第2の実施形態の第2変形例に係るセンサ画素回路の回路図である。

[図24C]図24Cは、第2の実施形態の第3変形例に係るセンサ画素回路の回

路図である。

[図24D]図24Dは、第2の実施形態の第4変形例に係るセンサ画素回路の回路図である。

[図24E]図24Eは、第2の実施形態の第5変形例に係るセンサ画素回路の回路図である。

[図25]図25は、従来の入出力装置におけるバックライトの点灯および消灯タイミング、並びに、受光素子に対するリセットおよび読み出しタイミングを示す図である。

[図26]図26は、従来 of 固体撮像装置に含まれる単位受光部の回路図である。

発明を実施するための形態

- [0014] 本発明の一実施形態（第1の構成）にかかる表示装置は、アクティブマトリクス基板を備えた表示装置であって、前記アクティブマトリクス基板の画素領域に設けられた光センサと、前記光センサに接続されたセンサ駆動配線と、前記光センサへ、前記センサ駆動配線を介して、センサ駆動信号を供給するセンサ駆動回路と、前記センサ駆動信号に従って前記光センサから読み出された信号を増幅し、光センサ信号として出力するアンプ回路と、前記アンプ回路から出力された光センサ信号を処理する信号処理回路と、前記光センサ用の光源とを備えている。この第1の構成において、前記光センサには、前記センサ駆動信号に従い、前記光源点灯時の蓄積期間で受光量に応じた電荷を蓄積し、読み出し期間が到来すると蓄積電荷に応じたセンサ信号を出力する第1センサ画素回路と、前記センサ駆動信号に従い、前記光源消灯時の蓄積期間で受光量に応じた電荷を蓄積し、読み出し期間が到来すると蓄積電荷に応じたセンサ信号を出力する第2センサ画素回路とが含まれている。この第1の構成において、前記センサ駆動回路は、1フレーム期間の動作モードとして、前記光センサの前記第1センサ画素回路および前記第2センサ画素回路のそれぞれから前記センサ信号を得るためのセンサ駆動モードと、前記センサ駆動モードとは異なるセンサ駆動信号を用いて、前記第1センサ

画素回路から得られるセンサ信号を補正するための第1の補正用データを取得する第1の補正用データ取得モードと、前記センサ駆動モードとは異なるセンサ駆動信号を用いて、前記第2センサ画素回路から得られるセンサ信号を補正するための第2の補正用データを取得する第2の補正用データ取得モードとを有する。この第1の構成において、前記第1の補正用データ取得モードにおける前記光源点灯時の蓄積期間は、前記センサ駆動モードにおける前記光源点灯時の蓄積期間よりも短い。前記第2の補正用データ取得モードにおける前記光源消灯時の蓄積期間は、前記センサ駆動モードにおける前記光源消灯時の蓄積期間よりも短い。

- [0015] 前記第1の構成において、前記第1の補正用データ取得モードにおける前記光源点灯期間が、前記センサ駆動モードにおける前記光源点灯期間より短いことが好ましい（第2の構成）。この第2の構成においてさらに、前記第1の補正用データ取得モードにおいて、1フレーム期間における前記光源点灯開始のタイミングが、前記センサ駆動モードと同じタイミングであることが好ましい（第3の構成）。
- [0016] 前記第3の構成においてさらに、前記第1の補正用データ取得モードにおける前記蓄積期間の開始時点から前記光源点灯期間の終了時点までの期間が、前記センサ駆動モードにおける前記蓄積期間の開始時点から前記光源点灯期間の終了時点までの期間よりも短いことが好ましい（第4の構成）。
- [0017] 前記第4の構成においてさらに、前記第1の補正用データ取得モードにおいて、前記蓄積期間の終了時点から前記光源点灯期間の終了時点までの期間の長さが、前記センサ駆動モードにおける前記蓄積期間の終了時点から前記光源点灯期間の終了時点までの期間の長さと同じことが好ましい（第5の構成）。
- [0018] また、前記第1の構成において、前記第2の補正用データ取得モードにおける前記光源点灯期間が、前記第1の補正用データ取得モードにおける前記光源点灯期間より長いことが好ましい（第6の構成）。
- [0019] 前記第6の構成においてさらに、前記第2の補正用データ取得モードにお

いて、1フレーム期間における前記光源点灯期間の開始および終了のタイミングが、前記センサ駆動モードの場合の1フレーム期間における前記光源点灯期間の開始および終了のタイミングと等しいことが好ましい（第7の構成）。

[0020] 前記第1～第7の構成において、前記センサ駆動モードにより前記第2センサ画素回路から得られる光センサ信号レベルをBと表記し、前記第1の補正用データ取得モードにより前記第1センサ画素回路から得られる光センサ信号レベルを B_{1st} と表記し、前記第2の補正用データ取得モードにより前記第1センサ画素回路から得られる光センサ信号レベルを B_{2nd} と表記した場合、前記信号処理回路が、前記センサ駆動モードにより前記第1センサ画素回路から得られる光センサ信号レベルRから、補正後の光センサ信号レベルR'を、

$$R' = (R - B_{1st}) - (B - B_{2nd})$$

により求めることが好ましい（第8の構成）。

[0021] あるいは、前記第1～第7の構成において、前記第1の補正用データ取得モードにおいて、前記センサ駆動回路が、センサ駆動モード時の読み出し信号の振幅よりも小さい振幅を有する読み出し信号を供給することにより、ゲイン補正用光センサ信号レベル W_{1st} を取得し、前記第2の補正用データ取得モードにおいて、前記センサ駆動回路が、センサ駆動モード時の読み出し信号の振幅よりも小さい振幅を有する読み出し信号を供給することにより、ゲイン補正用光センサ信号レベル W_{2nd} を取得し、光センサ信号の階調数をLと表記した場合、前記信号処理回路が、前記センサ駆動モードにより前記第1センサ画素回路から得られる光センサ信号レベルRから、補正後の光センサ信号レベルR'を

$$R' = L \times \{ R / (W_{1st} - B_{1st}) - B / (W_{2nd} - B_{2nd}) \}$$

により求めることとしても良い（第9の構成）。

[0022] あるいは、前記第1～第7の構成において、前記センサ駆動モードにより前記第2センサ画素回路から得られる光センサ信号レベルをBと表記し、前

記第 1 の補正用データ取得モードにより前記第 1 センサ画素回路から得られる光センサ信号レベルを B_{1st} と表記し、前記第 2 の補正用データ取得モードにより前記第 1 センサ画素回路から得られる光センサ信号レベルを B_{2nd} と表記し、前記第 1 の補正用データ取得モードにおいて、前記センサ駆動回路が、センサ駆動モード時の読み出し信号の振幅よりも小さい振幅を有する読み出し信号を供給することにより、ゲイン補正用光センサ信号レベル W_{1st} を取得し、前記第 2 の補正用データ取得モードにおいて、前記センサ駆動回路が、センサ駆動モード時の読み出し信号の振幅よりも小さい振幅を有する読み出し信号を供給することにより、ゲイン補正用光センサ信号レベル W_{2nd} を取得し、光センサ信号の階調数を L と表記した場合、前記信号処理回路が、前記センサ駆動モードにより前記第 1 センサ画素回路から得られる光センサ信号レベル R から、補正後の光センサ信号レベル R' を、

$$R' = L \times \left\{ (R - B_{1st}) / (W_{1st} - B_{1st}) - (B - B_{2nd}) / (W_{2nd} - B_{2nd}) \right\}$$

により求める構成とすることも好ましい（第 10 の構成）。

[0023] また、前記の第 1 ～ 第 10 の構成において、前記第 1 および第 2 センサ画素回路が、1 個の受光素子と、検知した光量に応じた電荷を蓄積する 1 個の蓄積ノードと、前記蓄積ノードに電氣的に接続可能な制御端子を有する読み出しトランジスタと、前記受光素子を流れる電流の経路上に設けられ、前記制御信号に従いオン／オフする保持用スイッチング素子とを含む構成とすることが好ましい（第 11 の構成）。

[0024] また、前記第 11 の構成においてさらに、前記第 1 および第 2 センサ画素回路において、前記保持用スイッチング素子は、前記蓄積ノードと前記受光素子の一端との間に設けられ、前記受光素子の他端はリセット線に接続されている構成とすることが好ましい（第 12 の構成）。

[0025] また、前記の第 1 ～ 第 10 の構成において、前記第 1 および第 2 センサ画素回路は、1 個の受光素子を共有し、前記受光素子の一端は前記第 1 および第 2 センサ画素回路にそれぞれ含まれる保持用スイッチング素子の一端に接

続され、他端は前記リセット線に接続されている構成とすることが好ましい（第13の構成）。

[0026] また、前記第1～第13の構成において、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えた構成とすることが好ましい（第14の構成）。

[実施の形態]

[0027] 以下、本発明のより詳細な実施形態について、図面を参照しながら説明する。なお、以下の実施形態は、本発明にかかる表示装置を液晶表示装置として実施する場合の構成例を示したものであるが、本発明にかかる表示装置は液晶表示装置に限定されず、アクティブマトリクス基板を用いる任意の表示装置に適用可能である。なお、本発明にかかる表示装置は、画像取り込み機能を有することにより、画面に近接する物体を検知して入力操作を行うタッチパネル付き表示装置や、表示機能と撮像機能とを具備した双方向通信用表示装置等としての利用が想定される。

[0028] また、以下で参照する各図は、説明の便宜上、本発明の実施形態の構成部材のうち、本発明を説明するために必要な主要部材のみを簡略化して示したものである。従って、本発明にかかる表示装置は、本明細書が参照する各図に示されていない任意の構成部材を備え得る。また、各図中の部材の寸法は、実際の構成部材の寸法および各部材の寸法比率等を忠実に表したのではない。

[第1の実施形態]

[0029] 図1は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置は、表示制御回路1、表示パネル2、および、バックライト3を備えている。表示パネル2は、画素領域4、ゲートドライバ回路5、ソースドライバ回路6、および、センサロウドライバ回路7（センサ駆動回路）を含んでいる。画素領域4は、複数の表示画素回路8と複数のセンサ画素回路9を含んでいる。この表示装置は、表示パネル2に画像を

表示する機能と、表示パネル2に入射した光を検知する機能とを有する。以下、 x を2以上の整数、 y を3の倍数、 m および n を偶数とし、表示装置のフレームレートを60フレーム/秒とする。

[0030] 図1に示す表示装置には外部から、映像信号 V_{in} とタイミング制御信号 C_{in} が供給される。表示制御回路1は、これらの信号に基づき、表示パネル2に対して映像信号 V_S と制御信号 CS_g 、 CS_s 、 CS_r を出力し、バックライト3に対して制御信号 CS_b を出力する。映像信号 V_S は、映像信号 V_{in} と同じでもよく、映像信号 V_{in} に信号処理を施した信号でもよい。

[0031] バックライト3は、表示用光源とは別途に設けられたセンシング用の光源であり、表示パネル2に光を照射する。より詳細には、バックライト3は、表示パネル2の背面側に設けられ、表示パネル2の背面に光を照射する。バックライト3は、制御信号 CS_b がハイレベルのときには点灯し、制御信号 CS_b がローレベルのときには消灯する。バックライト3としては、例えば赤外線光源等を用いることができる。

[0032] 表示パネル2の画素領域4には、 $(x \times y)$ 個の表示画素回路8、 $(n \times m / 2)$ 個のセンサ画素回路9が、それぞれ2次元状に配置される。より詳細には、画素領域4には、 x 本のゲート線 $GL_1 \sim GL_x$ と y 本のソース線 $SL_1 \sim SL_y$ が設けられる。ゲート線 $GL_1 \sim GL_x$ は互いに平行に配置され、ソース線 $SL_1 \sim SL_y$ はゲート線 $GL_1 \sim GL_x$ と直交するように互いに平行に配置される。 $(x \times y)$ 個の表示画素回路8は、ゲート線 $GL_1 \sim GL_x$ とソース線 $SL_1 \sim SL_y$ の交点近傍に配置される。各表示画素回路8は、1本のゲート線 GL と1本のソース線 SL に接続される。表示画素回路8は、赤色表示用、緑色表示用および青色表示用に分類される。これら3種類の表示画素回路8は、ゲート線 $GL_1 \sim GL_x$ の伸延方向に並べて配置され、1個のカラー画素を構成する。

[0033] 画素領域4には、ゲート線 $GL_1 \sim GL_x$ と平行に、 n 本のクロック線 $CLK_1 \sim CLK_n$ 、 n 本のリセット線 $RST_1 \sim RST_n$ 、および、 n 本の

読み出し線RWS 1～RWS nが設けられる。また、画素領域4には、ゲート線GL 1～GL xと平行に、他の信号線や電源線（図示せず）が設けられることがある。センサ画素回路9から読み出しを行うときには、ソース線SL 1～SL yの中から選択されたm本が電源線VDD 1～VDD mとして使用され、別のm本が出力線OUT 1～OUT mとして使用される。

[0034] 図2は、画素領域4におけるセンサ画素回路9の配置を示す図である。（ $n \times m / 2$ ）個のセンサ画素回路9には、バックライト3の点灯期間に入射した光を検知する第1センサ画素回路9 aと、バックライト3の消灯期間に入射した光を検知する第2センサ画素回路9 bとが含まれる。第1センサ画素回路9 aと第2センサ画素回路9 bは同数である。図2では、（ $n \times m / 4$ ）個の第1センサ画素回路9 aは、奇数番目のクロック線CLK 1～CLK n-1と奇数番目の出力線OUT 1～OUT m-1の交点近傍に配置される。（ $n \times m / 4$ ）個の第2センサ画素回路9 bは、偶数番目のクロック線CLK 2～CLK nと偶数番目の出力線OUT 2～OUT mの交点近傍に配置される。このように表示パネル2は、第1センサ画素回路9 aの出力信号と第2センサ画素回路9 bの出力信号を伝搬する複数の出力線OUT 1～OUT mを含み、第1センサ画素回路9 aと第2センサ画素回路9 bは種類ごとに異なる出力線に接続される。

[0035] ゲートドライバ回路5は、ゲート線GL 1～GL xを駆動する。より詳細には、ゲートドライバ回路5は、制御信号CS gに基づき、ゲート線GL 1～GL xの中から1本のゲート線を順に選択し、選択したゲート線にハイレベル電位を、残りのゲート線にローレベル電位を印加する。これにより、選択されたゲート線に接続されたy個の表示画素回路8が、一括して選択される。

[0036] ソースドライバ回路6は、ソース線SL 1～SL yを駆動する。より詳細には、ソースドライバ回路6は、制御信号CS sに基づき、映像信号VSに応じた電位をソース線SL 1～SL yに印加する。このときソースドライバ回路6は、線順次駆動を行ってもよく、点順次駆動を行ってもよい。ソース

線 $SL_1 \sim SL_y$ に印加された電位は、ゲートドライバ回路 5 によって選択された y 個の表示画素回路 8 に書き込まれる。このようにゲートドライバ回路 5 とソースドライバ回路 6 を用いてすべての表示画素回路 8 に映像信号 V_S に応じた電位を書き込むことにより、表示パネル 2 に所望の画像を表示することができる。

[0037] センサロウドライバ回路 7 は、クロック線 $CLK_1 \sim CLK_n$ 、リセット線 $RST_1 \sim RST_n$ 、および、読み出し線 $RWS_1 \sim RWS_n$ などを駆動する。より詳細には、センサロウドライバ回路 7 は、制御信号 CS_r に基づき、クロック線 $CLK_1 \sim CLK_n$ に対して、図 4 に示すタイミングで（詳細は後述）ハイレベル電位とローレベル電位を印加する。また、センサロウドライバ回路 7 は、制御信号 CS_r に基づき、リセット線 $RST_1 \sim RST_n$ の中から $(n/2)$ 本または 2 本のリセット線を選択し、選択したリセット線にリセット用のハイレベル電位を、残りのリセット線にローレベル電位を印加する。これにより、ハイレベル電位が印加されたリセット線に接続された $(n \times m/4)$ 個または m 個のセンサ画素回路 9 が、一括してリセットされる。

[0038] また、センサロウドライバ回路 7 は、制御信号 CS_r に基づき、読み出し線 $RWS_1 \sim RWS_n$ の中から隣接する 2 本の読み出し線を順に選択し、選択した読み出し線に読み出し用のハイレベル電位を、残りの読み出し線にローレベル電位を印加する。これにより、選択された 2 本の読み出し線に接続された m 個のセンサ画素回路 9 が、一括して読み出し可能状態になる。このときソースドライバ回路 6 は、電源線 $VDD_1 \sim VDD_m$ に対してハイレベル電位を印加する。これにより、読み出し可能状態にある m 個のセンサ画素回路 9 から出力線 $OUT_1 \sim OUT_m$ に、各センサ画素回路 9 で検知した光の量に応じた信号（以下、センサ信号という）が出力される。

[0039] ソースドライバ回路 6 は、第 1 センサ画素回路 9 a の出力信号と第 2 センサ画素回路 9 b の出力信号の差を求める差分回路（図示せず）を含んでいる。ソースドライバ回路 6 は、差分回路で求めた光量の差を増幅するアンプ回

路（図示せず）を含んでいる。ソースドライバ回路6は、増幅後の信号をセンサ出力 S_{out} として表示パネル2の外部に出力する。センサ出力 S_{out} は、表示パネル2の外部に設けられた信号処理回路20によって、必要に応じて適宜の処理を施される。このようにソースドライバ回路6とセンサロウドライバ回路7を用いてすべてのセンサ画素回路9からセンサ信号を読み出すことにより、表示パネル2に入射した光を検知することができる。

[0040] 図3は、バックライト3の点灯および消灯タイミング、並びに、センサ画素回路9に対するリセットおよび読み出しタイミングを示す図である。バックライト3は、1フレーム期間に1回、所定時間だけ点灯し、それ以外の期間では消灯する。具体的には、バックライト3は、1フレーム期間内の時刻 t_a において点灯し、時刻 t_b において消灯する。また、時刻 t_a においてすべての第1センサ画素回路9aに対するリセットが行われ、時刻 t_b においてすべての第2センサ画素回路9bに対するリセットが行われる。

[0041] 第1センサ画素回路9aは、時刻 t_a から時刻 t_b までの期間A1（バックライト3の点灯期間）に入射した光を検知する。第2センサ画素回路9bは、時刻 t_b から時刻 t_c までの期間A2（バックライト3の消灯期間）に入射した光を検知する。期間A1と期間A2は同じ長さである。第1センサ画素回路9aからの読み出しと第2センサ画素回路9bからの読み出しは、時刻 t_c 以降に並列に線順次で行われる。なお、図3では、センサ画素回路9からの読み出しは、1フレーム期間内に完了しているが、次のフレーム期間で第1センサ画素回路9aに対するリセットを行うまでに完了すればよい。

[0042] 図4は、図3のタイミングで駆動するための表示パネル2の信号波形図である。図4に示すように、ゲート線 $GL_1 \sim GL_x$ の電位は、1フレーム期間に1回ずつ順に所定時間ずつハイレベルになる。奇数番目のクロック線 $CLK_1 \sim CLK_{n-1}$ の電位は、1フレーム期間に1回、期間A1において（より詳細には、時刻 t_a から時刻 t_b の少し前まで）ハイレベルになる。偶数番目のクロック線 $CLK_2 \sim CLK_n$ の電位は、1フレーム期間に1回

、期間A 2において（より詳細には、時刻 t_b から時刻 t_c の少し前まで）ハイレベルになる。奇数番目のリセット線 $RST_1 \sim RST_{n-1}$ の電位は、1フレーム期間に1回、期間A 1の始めに所定時間だけハイレベルになる。偶数番目のリセット線 $RST_2 \sim RST_n$ の電位は、1フレーム期間に1回、期間A 2の始めに所定時間だけハイレベルになる。読み出し線 $RWS_1 \sim RWS_n$ は2本ずつ対にされ、 $(n/2)$ 対の読み出し線の電位は時刻 t_c 以降に順に所定時間ずつハイレベルになる。

[0043] 図5は、センサ画素回路9の概略構成を示す図である。図5に示すように、第1センサ画素回路9aは、1個のフォトダイオードD1aと1個の蓄積ノードNDaを含んでいる。フォトダイオードD1aは、バックライト3が点灯している間に入射した光の量（信号+ノイズ）に応じた電荷を蓄積ノードNDaから引き抜く。第2センサ画素回路9bは、第1センサ画素回路9aと同様に、1個のフォトダイオードD1bと1個の蓄積ノードNDbを含んでいる。フォトダイオードD1bは、バックライト3が消灯している間に入射した光の量（ノイズ）に応じた電荷を蓄積ノードNDbから引き抜く。第1センサ画素回路9aからは、バックライト3の点灯時の検知期間に入射した光の量に応じたセンサ信号が読み出される。第2センサ画素回路9bからは、バックライト3の消灯時の検知期間に入射した光の量に応じたセンサ信号が読み出される。前述のように、ソースドライバ回路6に含まれる差分回路を用いて、第1センサ画素回路9aの出力信号と第2センサ画素回路9bの出力信号の差を求めることにより、バックライト点灯時の光量とバックライト消灯時の光量の差を求めることができる。

[0044] なお、画素領域4に設けるセンサ画素回路9の個数は任意でよい。ただし、第1センサ画素回路9aと第2センサ画素回路9bを異なる出力線に接続することが好ましい。例えば、画素領域4に $(n \times m)$ 個のセンサ画素回路9を設ける場合には、奇数番目の出力線 $OUT_1 \sim OUT_{m-1}$ のそれぞれに n 個の第1センサ画素回路9aを接続し、偶数番目の出力線 $OUT_2 \sim OUT_m$ のそれぞれに n 個の第2センサ画素回路9bを接続すればよい。この

場合、センサ画素回路9からの読み出しは行ごとに行われる。あるいは、画素領域4にカラー画素と同数の（すなわち、 $(x \times y / 3)$ 個の）センサ画素回路9を設けてもよい。あるいは、画素領域4にカラー画素よりも少ない個数の（例えば、カラー画素の数分の1～数10分の1の）センサ画素回路9を設けてもよい。

[0045] このように本発明の実施形態に係る表示装置は、画素領域4に複数のフォトダイオード（光センサ）を配置した表示装置であって、複数の表示画素回路8および複数のセンサ画素回路9を含む表示パネル2と、センサ画素回路9に対して、バックライト点灯時の検知期間とバックライト消灯時の検知期間とを示すクロック信号CLK（制御信号）を出力するセンサロウドライバ回路7（駆動回路）とを備えている。以下、この表示装置に含まれるセンサ画素回路9の詳細を説明する。以下の説明では、センサ画素回路を画素回路と略称し、信号線上の信号を識別するために信号線と同じ名称を使用する（例えば、クロック線CLK_a上の信号をクロック信号CLK_aという）。

[0046] 第1センサ画素回路9_aは、クロック線CLK_a、リセット線RST_a、読み出し線RWS_a、電源線VDD_aおよび出力線OUT_aに接続される。第2センサ画素回路9_bは、クロック線CLK_b、リセット線RST_b、読み出し線RWS_b、電源線VDD_bおよび出力線OUT_bに接続される。これらの実施形態では、第2センサ画素回路9_bは第1センサ画素回路9_aと同じ構成を有し同様に動作するので、第2センサ画素回路9_bに関する説明を適宜省略する。

[0047] 図6は、第1センサ画素回路9_aおよび第2センサ画素回路9_bの具体的な構成の一例を示す回路図である。本実施形態において、図6に示す第1画素回路10_aが、前述の第1センサ画素回路9_aの一具体例であり、第2画素回路10_bが、第2センサ画素回路9_bの一具体例である。図6に示すように、第1画素回路10_aは、トランジスタT1_a、M1_a、フォトダイオードD1_a、および、コンデンサC1_aを含んでいる。第2画素回路10_bは、トランジスタT1_b、M1_b、フォトダイオードD1_b、および、コン

デンサC 1 bを含んでいる。トランジスタT 1 a、M 1 a、T 1 b、M 1 bは、N型T F T（Thin Film Transistor：薄膜トランジスタ）である。

[0048] 第1画素回路10 aでは、フォトダイオードD 1 aのアノードはリセット線R S T aに接続され、カソードはトランジスタT 1 aのソースに接続される。トランジスタT 1 aのゲートはクロック線C L K aに接続され、ドレインはトランジスタM 1 aのゲートに接続される。トランジスタM 1 aのドレインは電源線V D D aに接続され、ソースは出力線O U T aに接続される。コンデンサC 1 aは、トランジスタM 1 aのゲートと読み出し線R W S aの間に設けられる。第1画素回路10 aでは、トランジスタM 1 aのゲートに接続されたノードが、検知した光量に応じた電荷を蓄積する蓄積ノードとなり、トランジスタM 1 aは読み出しトランジスタとして機能する。第2画素回路10 bは、第1画素回路10 aと同じ構成を有する。

[0049] 図7は、第1画素回路10 aのレイアウト図である。図7に示すように、第1画素回路10 aは、ガラス基板上に遮光膜L S、半導体層（斜線部）、ゲート配線層（点模様部）およびソース配線層（白塗り部）を順に形成することにより構成される。半導体層とソース配線層を接続する箇所、および、ゲート配線層とソース配線層を接続する箇所には、コンタクト（白円で示す）が設けられる。トランジスタT 1 a、M 1 aは、半導体層とゲート配線層を交差して配置することにより形成される。フォトダイオードD 1 aは、P層、I層およびN層の半導体層を並べて配置することにより形成される。コンデンサC 1 aは、半導体層とゲート配線層を重ねて配置することにより形成される。遮光膜L Sは、金属製であり、基板の裏側から入った光がフォトダイオードD 1 aに入射することを防止する。第2画素回路10 bは、第1画素回路10 aと同様の形態にレイアウトされる。なお、第1および第2画素回路10 a、10 bを上記以外の形態にレイアウトしてもよい。

[0050] 図8は、図4に示した信号によって駆動された場合の第1画素回路10 aの動作を示す図である。図8に示すように、第1画素回路10 aは、1フレーム期間に（a）リセット、（b）蓄積、（c）保持、および、（d）読み

出しを行う。

- [0051] 図9は、図4に示した信号によって駆動された場合の第1画素回路10aと第2画素回路10bの信号波形図である。図9において、BLはバックライト3の輝度を表し、 $V_{int a}$ は第1画素回路10aの蓄積ノードの電位（トランジスタM1aのゲート電位）を表し、 $V_{int b}$ は第2画素回路10bの蓄積ノードの電位（トランジスタM1bのゲート電位）を表す。第1画素回路10aについては、時刻t1～時刻t2がリセット期間、時刻t2～時刻t3が蓄積期間、時刻t3～時刻t7が保持期間、時刻t7～時刻t8が読み出し期間となる。第2画素回路10bについては、時刻t4～時刻t5がリセット期間、時刻t5～時刻t6が蓄積期間、時刻t6～時刻t7が保持期間、時刻t7～時刻t8が読み出し期間となる。
- [0052] 第1画素回路10aのリセット期間では、クロック信号CLKaはハイレベル、読み出し信号RWSaはローレベル、リセット信号RSTaはリセット用のハイレベルになる。このとき、トランジスタT1aはオンする。したがって、リセット線RSTaからフォトダイオードD1aとトランジスタT1aを経由して蓄積ノードに電流（フォトダイオードD1aの順方向電流）が流れ（図8（a））、電位 $V_{int a}$ は所定レベルにリセットされる。
- [0053] 第1画素回路10aの蓄積期間では、クロック信号CLKaはハイレベル、リセット信号RSTaと読み出し信号RWSaはローレベルになる。このとき、トランジスタT1aはオンする。このときにフォトダイオードD1aに光が入射すると、蓄積ノードからトランジスタT1aとフォトダイオードD1aを経由してリセット線RSTaに電流（フォトダイオードD1aのフォト電流）が流れ、蓄積ノードから電荷が引き抜かれる（図8（b））。したがって、電位 $V_{int a}$ は、クロック信号CLKaがハイレベルである期間（バックライト3の点灯期間）に入射した光の量に応じて下降する。
- [0054] 第1画素回路10aの保持期間では、クロック信号CLKa、リセット信号RSTaおよび読み出し信号RWSaはローレベルになる。このとき、トランジスタT1aはオフする。このときにフォトダイオードD1aに光が入

射しても、トランジスタ T_{1a} はオフしており、フォトダイオード D_{1a} とトランジスタ M_1 のゲートの間は電氣的に遮断されているので、電位 $V_{int a}$ は変化しない（図8（c））。

[0055] 第1画素回路 $10a$ の読み出し期間では、クロック信号 CLK_a とリセット信号 RST_a はローレベル、読み出し信号 RWS_a は読み出し用のハイレベルになる。このとき、トランジスタ T_{1a} はオフする。このとき電位 $V_{int a}$ は、読み出し信号 RWS_a の電位の上昇量の (C_{qa}/C_{pa}) 倍（ただし、 C_{pa} は第1画素回路 $10a$ の全体の容量値、 C_{qa} はコンデンサ C_{1a} の容量値）だけ上昇する。トランジスタ M_{1a} は、ソースドライバ回路6に含まれるトランジスタ（図示せず）を負荷としたソースフォロワ増幅回路を構成し、電位 $V_{int a}$ に応じて出力線 OUT_a を駆動する（図8（d））。

[0056] 第2画素回路 $10b$ は、第1画素回路 $10a$ と同様に動作する。電位 $V_{int b}$ は、リセット期間において所定レベルにリセットされ、蓄積期間ではクロック信号 CLK_b がハイレベルである期間（バックライト3の消灯期間）に入射した光の量に応じて下降し、保持期間では変化しない。読み出し期間では、電位 $V_{int b}$ は読み出し信号 RWS_b の電位の上昇量の (C_{qb}/C_{pb}) 倍（ただし、 C_{pb} は第2画素回路 $10b$ の全体の容量値、 C_{qb} はコンデンサ C_{1b} の容量値）だけ上昇し、トランジスタ M_{1b} は電位 $V_{int b}$ に応じて出力線 OUT_b を駆動する。

[0057] 以上に示すように、本実施形態に係る第1画素回路 $10a$ は、1個のフォトダイオード D_{1a} （光センサ）と、検知した光量に応じた電荷を蓄積する1個の蓄積ノードと、蓄積ノードに接続された制御端子を有するトランジスタ M_{1a} （読み出しトランジスタ）と、フォトダイオード D_{1a} を流れる電流の経路上に設けられ、クロック信号 CLK に従いオン/オフするトランジスタ T_{1a} （保持用スイッチング素子）とを含んでいる。トランジスタ T_{1a} は蓄積ノードとフォトダイオード D_{1a} の一端との間に設けられ、フォトダイオード D_{1a} の他端はリセット線 RST_a に接続される。トランジスタ

T 1 a は、クロック信号 C L K a に従い、バックライト点灯時の検知期間でオンする。第 2 画素回路 1 0 b は第 1 画素回路 1 0 a と同様の構成を有し、第 2 画素回路 1 0 b に含まれるトランジスタ T 1 b はバックライト消灯時の検知期間でオンする。

[0058] このようにフォトダイオード D 1 a を流れる電流の経路上にバックライト点灯時の検知期間でオンするトランジスタ T 1 a を設け、フォトダイオード D 1 b を流れる電流の経路上にバックライト消灯時の検知期間でオンするトランジスタ T 1 b を設ける。これにより、バックライト点灯時の検知期間では光を検知し、それ以外では検知した光量を保持する第 1 画素回路 1 0 a と、バックライト消灯時の検知期間では光を検知し、それ以外では検知した光量を保持する第 2 画素回路 1 0 b とを構成することができる。

[0059] したがって、第 1 および第 2 画素回路 1 0 a、1 0 b を用いてバックライト点灯時の光量とバックライト消灯時の光量を別個に検知し、画素回路の外部で両者の差を求めることができる。これにより、光環境に依存しない入力機能を提供することができる。

[0060] また、第 1 および第 2 画素回路 1 0 a、1 0 b は、それぞれ、蓄積ノードと読み出し線 R W S a、R W S b との間に設けられたコンデンサ C 1 a、C 1 b をさらに含んでいる。したがって、読み出し線 R W S a、R W S b に読み出し用電位を印加することにより、蓄積ノードの電位を変化させ、検知した光量に応じた信号を第 1 および第 2 画素回路 1 0 a、1 0 b から読み出すことができる。

[0061] また、表示パネル 2 は第 1 および第 2 画素回路 1 0 a、1 0 b の出力信号を伝搬する複数の出力線 O U T 1 ~ O U T m をさらに含み、第 1 画素回路 1 0 a と第 2 画素回路 1 0 b は種類ごとに異なる出力線に接続されている。したがって、第 1 および第 2 画素回路 1 0 a、1 0 b からの読み出しを並列に行い、読み出し速度を遅くして、装置の消費電力を削減することができる。

[0062] なお、本実施形態にかかる表示装置は、上記において図 4 および図 9 を参照して説明したセンサ駆動モードに加えて、第 1 画素回路 1 0 a および第 2

画素回路 10b のオフセット誤差をそれぞれ補正するための二種類の補正用データ取得モード（第 1 の補正用データ取得モードおよび第 2 の補正用データ取得モード）を、動作モードとして有する。

[0063] 図 10 は、センサ駆動モード時の駆動信号、第 1 の補正用データ取得モード時の駆動信号、第 2 の補正用データ取得モード時の駆動信号を示すタイミングチャートである。図 10 に示すように、センサ駆動モード、第 1 の補正用データ取得モード、および第 2 の補正用データ取得モードについて、1 フレーム期間内における、リセット信号がハイレベルとなる時点およびその長さは同じである。しかし、クロック信号の長さと、センシング用バックライトの点灯期間の長さが、それぞれ異なっている。

[0064] 本実施形態にかかる表示装置においては、通常はセンサ駆動モードによって、第 1 および第 2 画素回路 10a、10b からのセンサ信号の読み出しを行いつつ、所定のタイミングにおいて、図 10 に示した第 1 の補正用データ取得モードおよび第 2 の補正用データ取得モードでの動作を行うことにより、補正用のデータを取得する。すなわち、本実施形態にかかる表示装置では、センサ駆動モードによる 1 ないし複数のフレームの間に、第 1 の補正用データ取得モードで動作するフレームと、第 2 の補正用データ取得モードで動作するフレームとが、適宜に設けられている。第 1 の補正用データ取得モードで動作するフレームと、第 2 の補正用データ取得モードで動作するフレームとの頻度は、任意である。第 1 の補正用データ取得モードのフレームと第 2 の補正用データ取得モードのフレームとは、連続していても良いし、その間にセンサ駆動モードによる 1 ないし複数のフレームが介在しても良い。また、第 1 の補正用データ取得モードのフレームの前に、第 2 の補正用データ取得モードのフレームが配置されていても良い。

[0065] センサ駆動モードにおいては、前述したように、読み出し期間において、第 1 画素回路 10a からは電位 $V_{int a}$ に応じた出力が得られ、第 2 画素回路 10b からは電位 $V_{int b}$ に応じた出力が得られる。第 1 の補正用データ取得モードのフレームにおいては、読み出し期間において、第 1 画素回

路10aから、センサ駆動モード時の第1画素回路10aのオフセットを補正するための第1補正データ B_{1st} が得られる。第2の補正用データ取得モードのフレームにおいては、読み出し期間において、第2画素回路10bから、センサ駆動モード時の第2画素回路10bのオフセットを補正するための第2補正データ B_{2nd} が得られる。

[0066] 図10に示すように、センサ駆動モード、第1の補正用データ取得モード、および第2の補正用データ取得モードの全てについて、1フレーム期間において、クロック信号CLKa、CLKbが立ち上がるタイミングは同じである。また、それぞれのモードにおいて、クロック信号CLKaがハイレベルである期間の長さ、クロック信号CLKbがハイレベルである期間の長さとは等しい。

[0067] また、第1の補正用データ取得モードおよび第2の補正用データ取得モードにおいてクロック信号CLKaがハイレベルである期間の長さは、センサ駆動モードにおいてクロック信号CLKaがハイレベルである期間の長さよりも短い。言い換えると、第1の補正用データ取得モードおよび第2の補正用データ取得モードにおける蓄積期間の長さは、センサ駆動モードにおける蓄積期間の長さよりも短い。

[0068] また、第1の補正用データ取得モードおよび第2の補正用データ取得モードにおける蓄積期間の長さは、外光等によるフォト電流の影響を受けないように、実質ゼロであることが望ましい。より具体的には、図10に示したように、リセット信号RSTaがハイレベルからローレベルへ切り替わった後に、クロック信号CLKaがハイレベルからローレベルへ切り替わるようにしても良い。ただし、この場合は、蓄積期間の長さは、信号タイミングのばらつきによってリセット信号RSTaの立ち下がり（ハイレベルからローレベルへの切り替わり）とクロック信号CLKaの立ち下がりとの順序が逆にならないようにするための、所定のマージン期間の長さがあれば十分である。例えば、この場合の蓄積期間は、設計にもよるが、数マイクロ秒程度の短い時間であることが望ましい。あるいは、図11に示すように、第1の補正

用データ取得モードおよび第2の補正用データ取得モードにおいて、クロック信号CLK_aの立ち下がりの後に、RST信号RST_aが立ち下がるようにしても良い。この場合、蓄積期間の長さは実効的にゼロとなる。

[0069] また、図10の例では、全てのモードにおいて、センシング用のバックライトは、クロック信号CLK_aの立ち上がり同期して点灯を開始する。ただし、これに限らず、クロック信号CLK_aの立ち上がり後、バックライトの点灯開始よりも後であっても良いし、前であっても良い。しかし、この場合は、センサ駆動モードと第1の補正用データ取得モードとにおいて、バックライトの点灯開始からクロック信号CLK_aの立ち上がりまでの期間の長さが等しいことが好ましい。

[0070] センサ駆動モードの場合と、第2の補正用データ取得モードの場合とにおいて、バックライトの点灯期間の長さは等しいことが望ましい。一方、第1の補正用データ取得モードにおけるバックライトの点灯期間の長さは、センサ駆動モードおよび第2の補正用データ取得モードにおけるバックライトの点灯期間よりも短い。言い換えると、第1の補正用データ取得モードにおける蓄積期間終了時点からバックライト消灯までの期間の長さが、センサ駆動モードにおける蓄積期間終了時点からバックライト消灯までの期間よりも短い。

[0071] センサ駆動モードにおいては、バックライトは、クロック信号CLK_aの立ち下がり後（すなわち蓄積期間の終了後）、所定時間が経過した時点で消灯する。第1の補正用データ取得モードにおいても、バックライトが、クロック信号CLK_aの立ち下がり後、前記所定時間と同じ時間が経過した時点で消灯することが好ましい。

[0072] 以上のとおり、第1の補正用データ取得モードにおいては、第1画素回路10_aから、センサ駆動モード時の第1画素回路10_aのオフセットを補正するための第1補正データB_{1st}を得る。第2の補正用データ取得モードにおいては、第2画素回路10_bから、センサ駆動モード時の第2画素回路10_bのオフセットを補正するための第2補正データB_{2nd}を得る。

[0073] なお、バックライト点灯期間内の蓄積期間における電荷の蓄積状態は、リセット期間よりも前のバックライトの点灯期間の長さによって影響を受ける。本実施形態においては、前述のとおり、センサ駆動モードの場合と第1の補正用データ取得モードの場合とにおいて、リセット期間よりも前のバックライトの点灯期間の長さが等しく設定されている。これにより、センサ駆動モードの場合と、第1の補正用データ取得モードの場合とにおいて、リセット期間より前のバックライトの点灯期間の長さによる影響を同条件にすることができる。

[0074] ここで、図12等を参照しながら、バックライト点灯期間内の蓄積期間における電荷の蓄積状態が、リセット期間よりも前のバックライトの点灯期間の長さによって影響を受ける理由について説明する。

[0075] 図12は、ダイオードD1aの断面模式図である。図12に示すとおり、本実施形態にかかるダイオードD1aのように、ラテラル構造のPINダイオードの近傍に遮光膜LSが設けられた場合、この遮光膜LSとの間に生ずる寄生容量により、ダイオードは三端子素子として機能する。すなわち、遮光膜LSがゲート、p層がアノード、n層がカソードとなり、ゲートすなわち遮光膜LSの電位 V_{LS} と、アノード電位 V_A と、カソード電位 V_C との関係によって、互いに異なる3つの動作モードを呈する。

[0076] ここで、モードA、B、Cの分布を、アノード電位 V_A と遮光膜LSの電位 V_{LS} との関係で表すと、図13のようになる。図13において、ハッチングが付されていない領域がモードA、右下がりのハッチングが付された領域がモードB、左下がりのハッチングが付された領域がモードCである。上述のとおり、モードAの領域は、

$$V_A + V_{th_p} \leq V_{LS} \leq V_C + V_{th_n}$$

モードBの領域は、

$$V_{LS} \leq V_A + V_{th_p}$$

モードCの領域は、

$$V_C + V_{th_n} \leq V_{LS}$$

と表すことができる。

[0077] 図13に示された t_0 、 t_1 、 t_2 のうち、 t_0 は、リセット信号 RST_a がハイレベルとなった時点の V_{LS} と V_A とを表す座標である。 t_1 は、リセット信号 RST_a がハイレベルからローレベルへ切り替わった時刻に対応し、 t_2 は、クロック信号 CLK_a がハイレベルからローレベルへ切り替わった時刻に対応する。

[0078] 図13から分かるように、リセット信号 RST_a がハイレベルになった時点（リセット開始時、すなわち時刻 t_0 ）においては、ダイオード D_{1a} はモードBの状態にある。モードBの状態にあるとき、ダイオード D_{1a} は、図14Aに示すように、 i 層に正孔が蓄積した状態となっている。リセット信号 RST_a がローレベルに切り替わった時点（すなわち時刻 t_1 ）においては、ダイオード D_{1a} はモードAの状態となっており、図14Bに示すように、 i 層に正孔がトラップされた状態となる。したがって、リセット期間においては、ダイオード D_{1a} は図14Aに示したモードBの状態にあり、リセット期間の直前のバックライトからの光の影響を受ける。つまり、リセット期間の直前におけるダイオード D_{1a} に対するバックライトからの透過光や反射光の状態が異なると、ダイオード D_{1a} における電荷の蓄積状態も異なる。これにより、ダイオード D_{1a} のリセットレベルやリセットフィールドスルー量が、リセット期間の直前におけるバックライトの点灯状況に依存することとなる。

[0079] この事実を鑑み、本実施形態においては、図10に示したとおり、センサ駆動モードと第1の補正用データ取得モードにおいて、リセット期間前のバックライトの点灯期間の長さを互いに等しく設定している。これにより、ダイオード D_{1a} のリセットレベルやリセットフィールドスルー量がセンサ駆動モードの場合と均一であるという条件の下で、第1の補正用データ取得モードにより、センサ駆動モード時の第1画素回路 $10a$ のオフセットを補正するための第1補正データ $B_{1,t}$ が得られる。

[0080] また、図10に示した例においては、センサ駆動モードの場合と、第1の

補正用データ取得モードの場合とにおいて、蓄積期間の終了からバックライト消灯までの期間が互いに等しく設定されている。これは、蓄積期間の終了からバックライト消灯までの期間に、バックライトからの光がダイオードD1aへ入射することによるトランジスタT1aのリークの影響を、センサ駆動モードの場合と第1の補正用データ取得モードの場合とにおいて均一とするためである。すなわち、クロック信号CLKaがローレベルとなって蓄積期間が終了した後であっても、バックライトが点灯している間は、バックライトからの光が遮光膜LSを透過したり、パネル内の構成部材によって反射されたりして、トランジスタT1aへ入射する光成分が存在する。したがって、図10に示すように、蓄積期間の終了からバックライト消灯までの期間の長さを、センサ駆動モードの場合と第1の補正用データ取得モードの場合とにおいて互いに等しく設定することにより、これらの両方の場合においてトランジスタT1aのリークの影響を同条件とすることができる。これにより、トランジスタT1aのリークがセンサ駆動モードの場合と均一であるという条件の下で、第1の補正用データ取得モードにより、センサ駆動モード時の第1画素回路10aのオフセットを補正するための第1補正データ B_{1st} が得られる。

[0081] また、第2の補正用データ取得モードにおいては、第2画素回路10bの出力として、センサ駆動モード時の第2画素回路10bのオフセットを補正するための第2補正データ B_{2nd} が得られる。本実施形態においては、図10に示したとおり、第2の補正用データ取得モードにおいて、1フレーム期間におけるバックライトの点灯期間が、センサ駆動モードの場合の点灯期間と同じタイミングかつ同じ長さである。したがって、第2画素回路10bのリセット期間（リセット信号RSTbがハイレベルの期間）の直前におけるバックライトの点灯状況が、センサ駆動モードの場合と同条件であるので、前記において図12～図14Bを参照しながら説明したとおり、ダイオードD1bのリセットレベルやリセットフィールドスルー量がセンサ駆動モードの場合と均一であるという条件の下で、第2の補正用データ取得モードにより

、センサ駆動モード時の第2画素回路10bのオフセットを補正するための第2補正データ B_{2nd} を得ることができる。

[0082] 信号処理回路20は、上述のように得られた第1補正データ B_{1st} および第2補正データ B_{2nd} を用いて、センサ駆動モードで得られたセンサ出力を補正する。その補正処理の具体例について、以下に説明する。なお、ここでは、以下の補正処理を信号処理回路20によって行うものとしたが、ソースドライバ回路6内に設けられた演算回路によって行うように構成することも可能である。

[補正の具体例1]

[0083] 補正の具体例1においては、センサ駆動モードにより第2画素回路10bから得られる光センサ信号レベルを B と表記した場合、信号処理回路20が、センサ駆動モードにより第1画素回路10aから得られる光センサ信号レベル R から、補正後の光センサ信号レベル R' を、

$$R' = (R - B_{1st}) - (B - B_{2nd})$$

により求める。

[0084] この補正によれば、第1画素回路10aおよび第2画素回路10bのオフセットを解消し、精度の高いセンサ出力を得ることができる。また、オフセットを解消することにより、センサ出力のダイナミックレンジを拡大できるという利点もある。

[補正の具体例2]

[0085] 補正の具体例2では、第1の補正用データ取得モードにおいて、振幅がセンサ駆動モード時よりも小さい（振幅がゼロでも良い）読み出しパルスを供給することにより、ゲイン補正用光センサ信号レベル W_{1st} を取得する。また、第2の補正用データ取得モードにおいては、振幅がセンサ駆動モード時よりも小さい（振幅がゼロでも良い）読み出しパルスを供給することにより、ゲイン補正用光センサ信号レベル W_{2nd} を取得する。

[0086] そして、光センサ信号の階調数を L と表記した場合、センサ駆動モードにより第1画素回路10aから得られる光センサ信号レベル R から、補正後の

光センサ信号レベル R' を

$$R' = L \times \{ R / (W_{1st} - B_{1st}) - B / (W_{2nd} - B_{2nd}) \}$$

により求める。

- [0087] この補正によれば、第1画素回路10aおよび第2画素回路10bのゲインを補正することができる。これにより、センサ出力のダイナミックレンジを拡大できるという利点がある。

[補正の具体例3]

- [0088] 補正の具体例3においては、センサ駆動モードにより第2画素回路10bから得られる光センサ信号レベル B と、前記のゲイン補正用光センサ信号レベル W_{1st} およびゲイン補正用光センサ信号レベル W_{2nd} と、光センサ信号の階調数 L とを用いて、センサ駆動モードにより第1画素回路10aから得られる光センサ信号レベル R から、補正後の光センサ信号レベル R' を、

$$R' = L \times \{ (R - B_{1st}) / (W_{1st} - B_{1st}) - (B - B_{2nd}) / (W_{2nd} - B_{2nd}) \}$$

により求める。

- [0089] これにより、オフセットとゲインとの両方を補正することにより、高精度でかつダイナミックレンジの広いセンサ出力を得ることができる。

[第2の実施形態]

- [0090] 図15は、本発明の第2の実施形態に係る画素回路の回路図である。図15に示す画素回路30は、トランジスタ $T1a$ 、 $T1b$ 、 $M1a$ 、 $M1b$ 、フォトダイオード $D1$ 、および、コンデンサ $C1a$ 、 $C1b$ を含んでいる。トランジスタ $T1a$ 、 $T1b$ 、 $M1a$ 、 $M1b$ は、N型TFTである。図15では、左半分が第1画素回路に相当し、右半分が第2画素回路に相当する。画素回路30は、クロック線 $CLKa$ 、 $CLKb$ 、リセット線 RST 、読み出し線 RWS 、電源線 $VDDa$ 、 $VDDb$ 、および、出力線 $OUTa$ 、 $OUTb$ に接続される。

- [0091] 図15に示すように、フォトダイオード $D1$ のアノードはリセット線 RST に接続され、カソードはトランジスタ $T1a$ 、 $T1b$ のソースに接続され

る。トランジスタT1aのゲートはクロック線CLKaに接続され、ドレインはトランジスタM1aのゲートに接続される。トランジスタM1aのドレインは電源線VDDaに接続され、ソースは出力線OUTaに接続される。コンデンサC1aは、トランジスタM1aのゲートと読み出し線RWSの間に設けられる。トランジスタT1bのゲートはクロック線CLKbに接続され、ドレインはトランジスタM1bのゲートに接続される。トランジスタM1bのドレインは電源線VDDbに接続され、ソースは出力線OUTbに接続される。コンデンサC1bは、トランジスタM1bのゲートと読み出し線RWSの間に設けられる。画素回路30では、トランジスタM1aのゲートに接続されたノードが第1蓄積ノードとなり、トランジスタM1bのゲートに接続されたノードが第2蓄積ノードとなり、トランジスタM1a、M1bは読み出しトランジスタとして機能する。図16は、画素回路30のレイアウト図である。図16の説明は、第1の実施形態と同じである。

[0092] 図17は、センサ駆動モードにおける画素回路30の動作を示す図である。センサ駆動モードにおいて、画素回路30は、1フレーム期間に(a)バックライト点灯時のリセット、(b)バックライト点灯時の蓄積、(c)バックライト消灯時のリセット、(d)バックライト消灯時の蓄積、(e)保持、および、(f)読み出しを行う。

[0093] 図18は、センサ駆動モードにおける画素回路30の信号波形図である。図18において、Vint aは第1蓄積ノードの電位(トランジスタM1aのゲート電位)を表し、Vint bは第2蓄積ノードの電位(トランジスタM1bのゲート電位)を表す。図18では、時刻t1~時刻t2がバックライト点灯時のリセット期間、時刻t2~時刻t3がバックライト点灯時の蓄積期間、時刻t4~時刻t5がバックライト消灯時のリセット期間、時刻t5~時刻t6がバックライト消灯時の蓄積期間、時刻t3~時刻t4と時刻t6~時刻t7が保持期間、時刻t7~時刻t8が読み出し期間となる。

[0094] バックライト点灯時のリセット期間では、クロック信号CLKaはハイレベル、クロック信号CLKbと読み出し信号RWSはローレベル、リセット

信号RSTはリセット用のハイレベルになる。このときトランジスタT1aはオンし、トランジスタT1bはオフする。したがって、リセット線RSTからフォトダイオードD1とトランジスタT1aを経由して第1蓄積ノードに電流（フォトダイオードD1の順方向電流）が流れ（図17（a））、電位Vint aは所定レベルにリセットされる。

[0095] バックライト点灯時の蓄積期間では、クロック信号CLK aはハイレベル、クロック信号CLK b、リセット信号RSTおよび読み出し信号RWSはローレベルになる。このときトランジスタT1aはオンし、トランジスタT1bはオフする。このときにフォトダイオードD1に光が入射すると、第1蓄積ノードからトランジスタT1aとフォトダイオードD1を経由してリセット線RSTに電流（フォトダイオードD1のフォト電流）が流れ、第1蓄積ノードから電荷が引き抜かれる（図17（b））。したがって、電位Vint aは、この期間（バックライト3の点灯時間）に入射した光の量に応じて下降する。なお、この期間では電位Vint bは変化しない。

[0096] バックライト消灯時のリセット期間では、クロック信号CLK bはハイレベル、クロック信号CLK aと読み出し信号RWSはローレベル、リセット信号RSTはリセット用のハイレベルになる。このときトランジスタT1aはオフし、トランジスタT1bはオンする。したがって、リセット線RSTからフォトダイオードD1とトランジスタT1bを経由して第2蓄積ノードに電流（フォトダイオードD1の順方向電流）が流れ（図17（c））、電位Vint bは所定レベルにリセットされる。

[0097] バックライト消灯時の蓄積期間では、クロック信号CLK bはハイレベル、クロック信号CLK a、リセット信号RSTおよび読み出し信号RWSはローレベルになる。このときトランジスタT1aはオフし、トランジスタT1bはオンする。このときにフォトダイオードD1に光が入射すると、第2蓄積ノードからトランジスタT1bとフォトダイオードD1を経由してリセット線RSTに電流（フォトダイオードD1のフォト電流）が流れ、第2蓄積ノードから電荷が引き抜かれる（図17（d））。したがって、電位Vint

$n t b$ は、この期間（バックライト3の消灯時間）に入射した光の量に応じて下降する。なお、この期間では電位 $V i n t a$ は変化しない。

[0098] 保持期間では、クロック信号 $C L K a$ 、 $C L K b$ 、リセット信号 $R S T$ および読み出し信号 $R W S$ はローレベルになる。このとき、トランジスタ $T 1 a$ 、 $T 1 b$ はオフする。このときにフォトダイオード $D 1$ に光が入射しても、トランジスタ $T 1 a$ 、 $T 1 b$ はオフしており、フォトダイオード $D 1$ とトランジスタ $M 1 a$ 、 $M 1 b$ のゲートの間は電氣的に遮断されているので、電位 $V i n t a$ 、 $V i n t b$ は変化しない（図17（e））。

[0099] 読み出し期間では、クロック信号 $C L K a$ 、 $C L K b$ とリセット信号 $R S T$ はローレベル、読み出し信号 $R W S$ は読み出し用のハイレベルになる。このときトランジスタ $T 1 a$ 、 $T 1 b$ はオフする。このときに電位 $V i n t a$ 、 $V i n t b$ は、読み出し信号 $R W S$ の電位の上昇分だけ上昇し、トランジスタ $M 1 a$ のドレインソース間に電位 $V i n t a$ に応じた量の電流 $I a$ が流れ、トランジスタ $M 1 b$ のドレインソース間に電位 $V i n t b$ に応じた量の電流 $I b$ が流れる（図17（f））。電流 $I a$ は出力線 $O U T a$ を經由してソースドライバ回路6に入力され、電流 $I b$ は出力線 $O U T b$ を經由してソースドライバ回路6に入力される。

[0100] 以上に示すように、本実施形態に係る画素回路30は、第1の実施形態に係る第1および第2画素回路10a、10bの間で1個のフォトダイオード $D 1$ （光センサ）を共有した構成を有する。共有されたフォトダイオード $D 1$ のカソードは、第1画素回路相当部分に含まれるトランジスタ $T 1 a$ のソースと、第2画素回路相当部分に含まれるトランジスタ $T 1 b$ のソースに接続される。

[0101] 画素回路30によれば、第1の実施形態に係る第1および第2画素回路10a、10bと同様に、バックライト点灯時の光量とバックライト消灯時の光量を検知することができる。これにより、第1の実施形態と同様の効果が得られる。また、2種類の画素回路間で1個のフォトダイオード $D 1$ を共有することにより、2種類の画素回路間でのフォトダイオードの特性差は生じ

ない。これにより、バックライト点灯時の光量とバックライト消灯時の光量の差を正確に求めることができる。また、フォトダイオードの個数を減らし、開口率を高くして、センサ画素回路の感度を高くすることができる。

- [0102] また、画素回路30においても、第1の実施形態において説明したように、センサ駆動モードのフレームの合間に第1の補正用データ取得モードおよび第2の補正用データ取得モードのフレームを適宜に挿入し、これらのモードで得られた第1補正データ B_{1st} および第2補正データ B_{2nd} を用いて、センサ駆動モードで得られたセンサ出力のオフセットおよびゲインの少なくとも一方を補正することができる。これにより、第1の実施形態と同様に、高精度でかつダイナミックレンジの広いセンサ出力を得ることができる。

[回路構成の変形例]

- [0103] 第1の実施形態において図6を参照して説明した回路構成について、以下に示す変形例を構成することができる。図19A~図19Eは、それぞれ、第1の実施形態の第1~第5変形例に係る画素回路の回路図である。図19A~図19Eに示す第1画素回路11a~17aは、第1の実施形態に係る第1画素回路10aに対して以下の変形を行うことにより得られる。第2画素回路11b~17bは、第1の実施形態に係る第2画素回路10bに対して同じ変形を行うことにより得られる。

- [0104] 図19Aに示す第1画素回路11aは、第1画素回路10aに含まれるコンデンサC1をP型TFETであるトランジスタTCaに置換したものである。第1画素回路11aでは、トランジスタTCaのドレインはトランジスタT1aのドレインに接続され、ソースはトランジスタM1aのゲートに接続され、ゲートは読み出し線RWSaに接続される。このように接続されたトランジスタTCaは、読み出し線RWSaに読み出し用のハイレベルが印加されたときに、元の画素回路よりも蓄積ノードの電位を大きく変化させる。したがって、強い光が入射したときの蓄積ノードの電位と弱い光が入射したときの蓄積ノードの電位との差を増幅して、画素回路11aの感度を向上させることができる。第2の実施形態について同様の変形を行うと、図24A

に示す画素回路31が得られる。

[0105] 図19Bに示す第1画素回路12aは、第1画素回路10aに含まれるフォトダイオードD1をフォトトランジスタTDaに置換したものである。これにより、第1画素回路12aに含まれるトランジスタはすべてN型となる。したがって、N型トランジスタだけを製造できる片チャンネルプロセスを用いて、第1画素回路12aを製造することができる。第2の実施形態について同様の変形を行うと、図24Bに示す画素回路32が得られる。

[0106] 図19Cに示す第1画素回路15aは、第1画素回路10aにトランジスタTSaを追加したものである。トランジスタTSaは、N型TFTであり、選択用スイッチング素子として機能する。第1画素回路15aでは、トランジスタM1aのソースは、トランジスタTSaのドレインに接続される。トランジスタTSaのソースは出力線OUTaに接続され、ゲートは選択線SELaに接続される。選択信号SELaは、第1画素回路15aから読み出しを行うときにハイレベルになる。また、コンデンサC1aは、第1画素回路10aでは読み出し線RSWaに接続されていたが、第1画素回路15aでは電源線VDDに接続されている。これにより、画素回路のバリエーションが得られる。第2の実施形態について同様の変形を行うと、図24Cに示す画素回路35が得られる。

[0107] 図20は、センサ駆動モードにおける第1画素回路15aの動作を示す図である。図21は、第1画素回路15aの信号波形図である。読み出し以外ときには、選択信号SELaはローレベルになり、トランジスタTSaはオフし、第1画素回路15aは第1画素回路10aと同様に動作する（図20(a)～(c)）。読み出し時には、選択信号SELaはハイレベルになり、トランジスタTSaはオンする。このとき、トランジスタM1aのドレイン-ソース間に電位Vint aに応じた量の電流Iaが流れる（図20(d)）。

[0108] 図19Dに示す第1画素回路16aは、第1画素回路10aにトランジスタTRaを追加したものである。トランジスタTRaは、N型TFTであり

、リセット用スイッチング素子として機能する。第1画素回路16aでは、トランジスタTRaのソースにはローレベル電位VSSが印加され、ドレインはトランジスタM1aのゲートに接続され、ゲートはリセット線RSTaに接続される。また、フォトダイオードD1aのアノードにはローレベル電位COMが印加される。これにより、画素回路のバリエーションが得られる。第2の実施形態について同様の変形を行うと、図24Dに示す画素回路36が得られる。

[0109] 図22は、センサ駆動モードにおける第1画素回路16aの動作を示す図である。リセット時には、リセット信号RSTaはハイレベルになり、トランジスタTRaはオンし、蓄積ノードの電位（トランジスタM1aのゲート電位）はローレベル電位VSSにリセットされる（図22（a））。リセット以外のときには、リセット信号RSTaはローレベルになり、トランジスタTRbはオフする（図22（b）～（d））。

[0110] 図19Eに示す第1画素回路17aは、第1画素回路10aに上記トランジスタTSa、TRaを追加したものである。トランジスタTSa、TRaの接続形態は、第1画素回路15a、16aと同じである。これにより、画素回路のバリエーションが得られる。第2の実施形態について同様の変形を行うと、図24Eに示す画素回路37が得られる。

[0111] 図23は、センサ駆動モードにおける第1画素回路17aの動作を示す図である。リセット時には、リセット信号RSTaはハイレベルになり、トランジスタTRaはオンし、蓄積ノードの電位（トランジスタM1aのゲート電位）はハイレベル電位VDDにリセットされる（図23（a））。読み出し時には、選択信号SELaはハイレベルになり、トランジスタTSaはオンする。このとき、トランジスタM1aのドレイン-ソース間に電位Vint_aに応じた量の電流I_aが流れる（図23（d））。リセットおよび読み出し以外のときには、リセット信号RSTaと選択信号SELaは、ローレベルになる（図23（b）および（c））。

[0112] 以上に示すように、上記の各実施形態およびその変形例にかかる表示装置

は、バックライト点灯時の検知期間では光を検知し、それ以外では検知した光量を保持する第1センサ画素回路と、バックライト消灯時の検知期間では光を検知し、それ以外では検知した光量を保持する第2センサ画素回路とを別個に備える。これにより、上記各実施形態およびその変形例にかかる表示装置は、センサ画素回路の外部で2種類の光量の差を求め、バックライト点灯時の光量とバックライト消灯時の光量の差を検知できるので、従来の課題を解決し、光環境に依存しない入力機能を提供することができる。

[0113] また、第1および第2の補正用データ取得モードによって取得した補正用データを用いてセンサ出力を補正することにより、高精度でかつダイナミックレンジの広いセンサ出力を得ることができる。

[0114] なお、本発明では、表示装置に設けられる光源の種類には特に限定はない。したがって、例えば、表示用に設けた可視光バックライトを点灯および消灯させてもよい。あるいは、表示用の可視光バックライトとは別に、光検知用の赤外光バックライトを表示装置に設けてもよい。このような表示装置では、可視光バックライトを常に点灯させて、赤外光バックライトだけを1フレーム期間に1回、点灯および消灯させてもよい。

請求の範囲

[請求項1]

アクティブマトリクス基板を備えた表示装置であって、
前記アクティブマトリクス基板の画素領域に設けられた光センサと、
、
前記光センサに接続されたセンサ駆動配線と、
前記光センサへ、前記センサ駆動配線を介して、センサ駆動信号を供給するセンサ駆動回路と、
前記センサ駆動信号に従って前記光センサから読み出された信号を増幅し、光センサ信号として出力するアンプ回路と、
前記アンプ回路から出力された光センサ信号を処理する信号処理回路と、
、
前記光センサ用の光源とを備え、
前記光センサには、
前記センサ駆動信号に従い、前記光源点灯時の蓄積期間で受光量に応じた電荷を蓄積し、読み出し期間が到来すると蓄積電荷に応じたセンサ信号を出力する第1センサ画素回路と、
前記センサ駆動信号に従い、前記光源消灯時の蓄積期間で受光量に応じた電荷を蓄積し、読み出し期間が到来すると蓄積電荷に応じたセンサ信号を出力する第2センサ画素回路とが含まれ、
前記センサ駆動回路が、1フレーム期間の動作モードとして、
前記光センサの前記第1センサ画素回路および前記第2センサ画素回路のそれぞれから前記センサ信号を得るためのセンサ駆動モードと、
、
前記センサ駆動モードとは異なるセンサ駆動信号を用いて、前記第1センサ画素回路から得られるセンサ信号を補正するための第1の補正用データを取得する第1の補正用データ取得モードと、
前記センサ駆動モードとは異なるセンサ駆動信号を用いて、前記第2センサ画素回路から得られるセンサ信号を補正するための第2の補

正用データを取得する第2の補正用データ取得モードとを有し、

前記第1の補正用データ取得モードにおける前記光源点灯時の蓄積期間が、前記センサ駆動モードにおける前記光源点灯時の蓄積期間よりも短く、

前記第2の補正用データ取得モードにおける前記光源消灯時の蓄積期間が、前記センサ駆動モードにおける前記光源消灯時の蓄積期間よりも短い、表示装置。

[請求項2] 前記第1の補正用データ取得モードにおける前記光源点灯期間が、前記センサ駆動モードにおける前記光源点灯期間より短い、請求項1に記載の表示装置。

[請求項3] 前記第1の補正用データ取得モードにおいて、1フレーム期間における前記光源点灯開始のタイミングが、前記センサ駆動モードと同じタイミングである、請求項2に記載の表示装置。

[請求項4] 前記第1の補正用データ取得モードにおける前記蓄積期間の開始時点から前記光源点灯期間の終了時点までの期間が、前記センサ駆動モードにおける前記蓄積期間の開始時点から前記光源点灯期間の終了時点までの期間よりも短い、請求項3に記載の表示装置。

[請求項5] 前記第1の補正用データ取得モードにおいて、前記蓄積期間の終了時点から前記光源点灯期間の終了時点までの期間の長さが、前記センサ駆動モードにおける前記蓄積期間の終了時点から前記光源点灯期間の終了時点までの期間の長さと同じ、請求項4に記載の表示装置。

[請求項6] 前記第2の補正用データ取得モードにおける前記光源点灯期間が、前記第1の補正用データ取得モードにおける前記光源点灯期間より長い、請求項1に記載の表示装置。

[請求項7] 前記第2の補正用データ取得モードにおいて、1フレーム期間における前記光源点灯期間の開始および終了のタイミングが、前記センサ駆動モードの場合の1フレーム期間における前記光源点灯期間の開始および終了のタイミングと同じ、請求項6に記載の表示装置。

[請求項8] 前記センサ駆動モードにより前記第2センサ画素回路から得られる光センサ信号レベルをBと表記し、前記第1の補正用データ取得モードにより前記第1センサ画素回路から得られる光センサ信号レベルを B_{1st} と表記し、前記第2の補正用データ取得モードにより前記第1センサ画素回路から得られる光センサ信号レベルを B_{2nd} と表記した場合、

前記信号処理回路が、前記センサ駆動モードにより前記第1センサ画素回路から得られる光センサ信号レベルRから、補正後の光センサ信号レベルR'を、

$$R' = (R - B_{1st}) - (B - B_{2nd})$$

により求める、請求項1～7のいずれか一項に記載の表示装置。

[請求項9] 前記第1の補正用データ取得モードにおいて、前記センサ駆動回路が、センサ駆動モード時の読み出し信号の振幅よりも小さい振幅を有する読み出し信号を供給することにより、ゲイン補正用光センサ信号レベル W_{1st} を取得し、

前記第2の補正用データ取得モードにおいて、前記センサ駆動回路が、センサ駆動モード時の読み出し信号の振幅よりも小さい振幅を有する読み出し信号を供給することにより、ゲイン補正用光センサ信号レベル W_{2nd} を取得し、

光センサ信号の階調数をLと表記した場合、

前記信号処理回路が、前記センサ駆動モードにより前記第1センサ画素回路から得られる光センサ信号レベルRから、補正後の光センサ信号レベルR'を

$$R' = L \times \{ R / (W_{1st} - B_{1st}) - B / (W_{2nd} - B_{2nd}) \}$$

により求める、請求項1～7のいずれか一項に記載の表示装置。

[請求項10] 前記センサ駆動モードにより前記第2センサ画素回路から得られる光センサ信号レベルをBと表記し、前記第1の補正用データ取得モー

ドにより前記第 1 センサ画素回路から得られる光センサ信号レベルを B_{1st} と表記し、前記第 2 の補正用データ取得モードにより前記第 1 センサ画素回路から得られる光センサ信号レベルを B_{2nd} と表記し、

前記第 1 の補正用データ取得モードにおいて、前記センサ駆動回路が、センサ駆動モード時の読み出し信号の振幅よりも小さい振幅を有する読み出し信号を供給することにより、ゲイン補正用光センサ信号レベル W_{1st} を取得し、

前記第 2 の補正用データ取得モードにおいて、前記センサ駆動回路が、センサ駆動モード時の読み出し信号の振幅よりも小さい振幅を有する読み出し信号を供給することにより、ゲイン補正用光センサ信号レベル W_{2nd} を取得し、

光センサ信号の階調数を L と表記した場合、

前記信号処理回路が、前記センサ駆動モードにより前記第 1 センサ画素回路から得られる光センサ信号レベル R から、補正後の光センサ信号レベル R' を、

$$R' = L \times \left\{ (R - B_{1st}) / (W_{1st} - B_{1st}) - (B - B_{2nd}) / (W_{2nd} - B_{2nd}) \right\}$$

により求める、請求項 1～7 のいずれか一項に記載の表示装置。

[請求項11]

前記第 1 および第 2 センサ画素回路は、

1 個の受光素子と、

検知した光量に応じた電荷を蓄積する 1 個の蓄積ノードと、

前記蓄積ノードに電氣的に接続可能な制御端子を有する読み出しトランジスタと、

前記受光素子を流れる電流の経路上に設けられ、前記制御信号に従いオン／オフする保持用スイッチング素子とを含む、請求項 1～10 のいずれか一項に記載の表示装置。

[請求項12]

前記第 1 および第 2 センサ画素回路において、

前記保持用スイッチング素子は、前記蓄積ノードと前記受光素子の

一端との間に設けられ、

前記受光素子の他端はリセット線に接続されている、請求項 11 に記載の表示装置。

[請求項13]

前記第 1 および第 2 センサ画素回路は、1 個の受光素子を共有し、

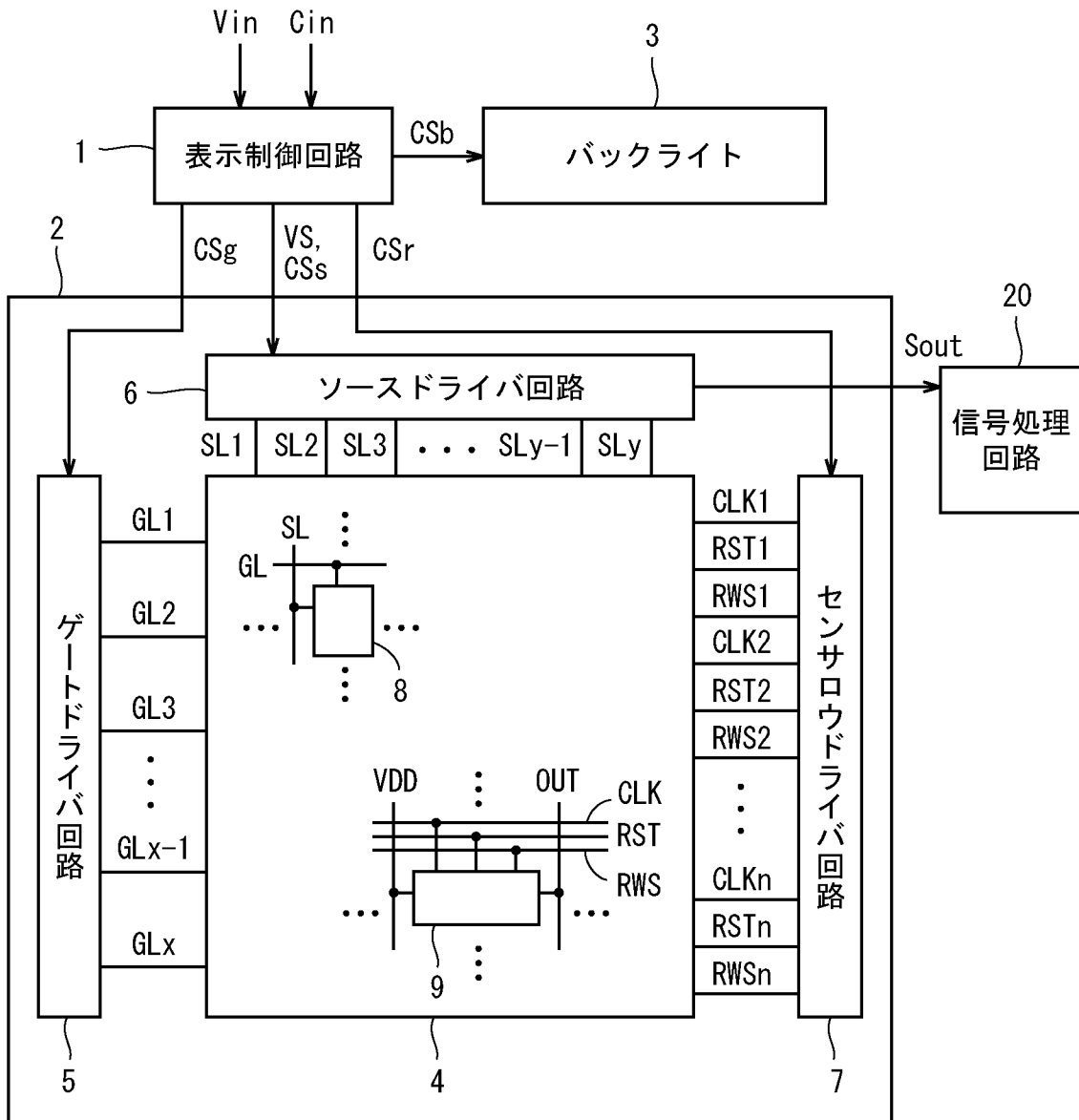
前記受光素子の一端は前記第 1 および第 2 センサ画素回路にそれぞれ含まれる保持用スイッチング素子の一端に接続され、他端は前記リセット線に接続されている、請求項 1～10 のいずれか一項に記載の表示装置。

[請求項14]

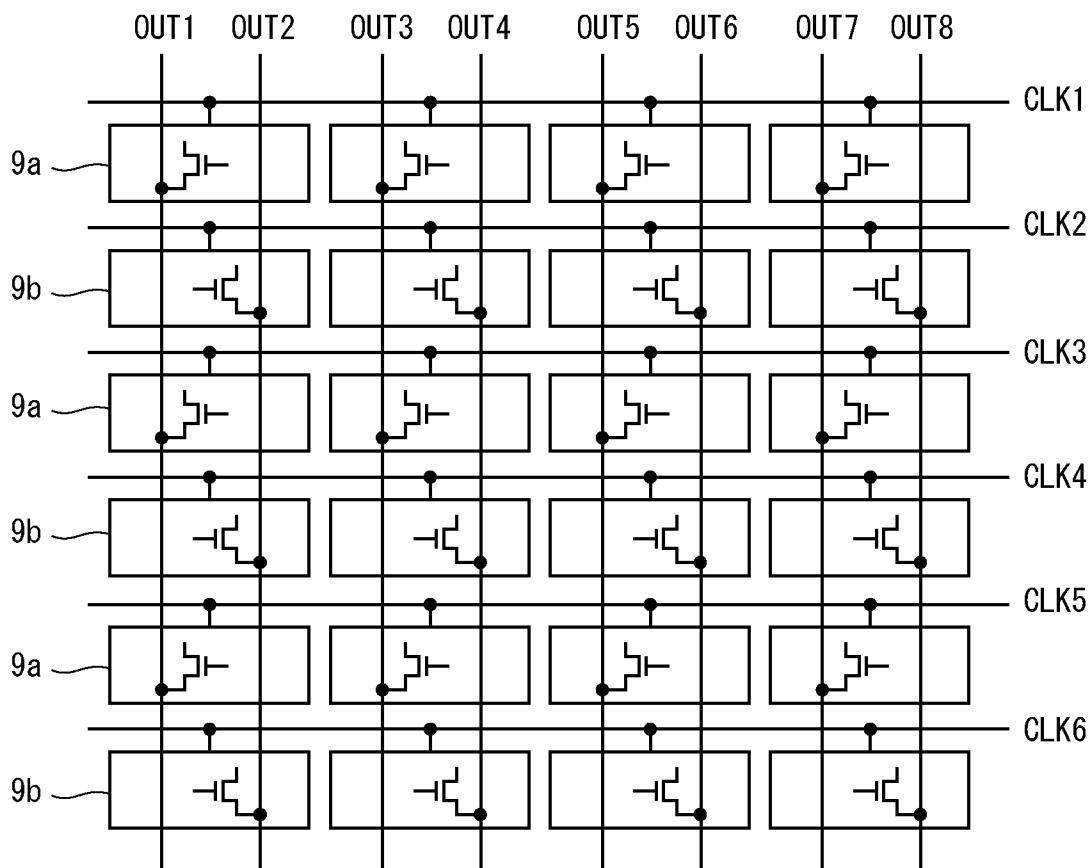
前記アクティブマトリクス基板に対向する対向基板と、

前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えた、請求項 1～13 のいずれか一項に記載の表示装置。

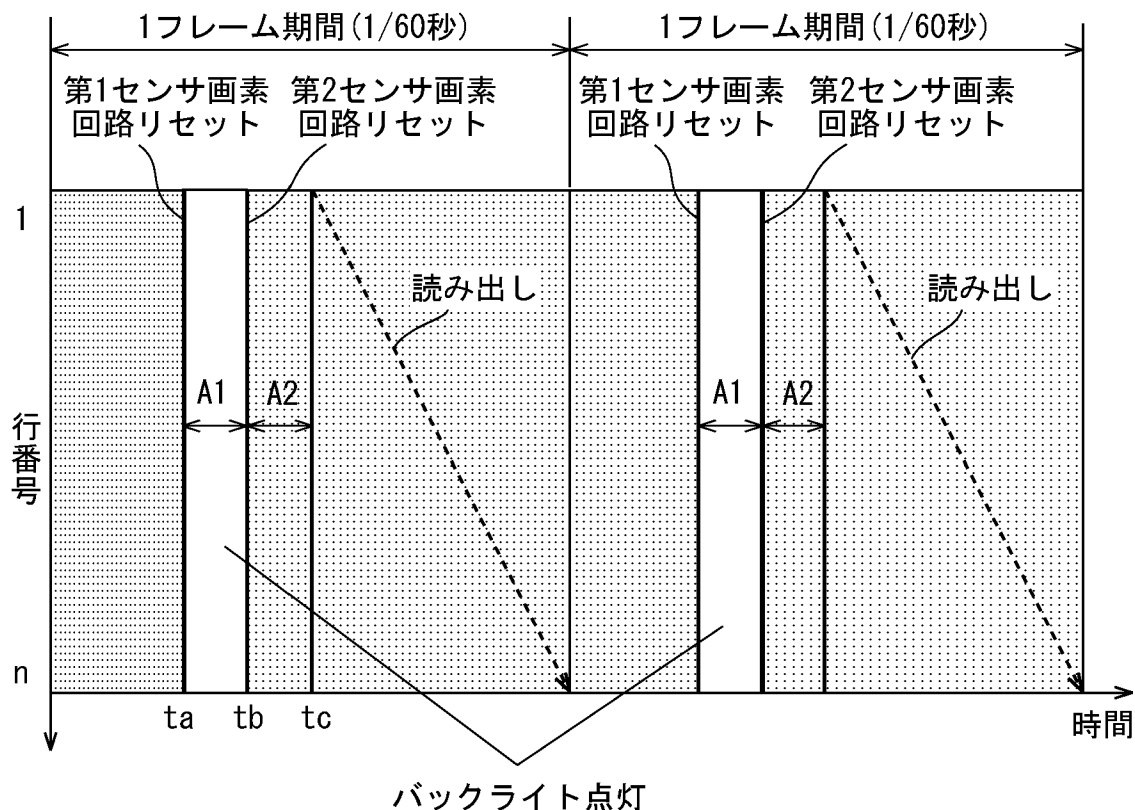
[図1]



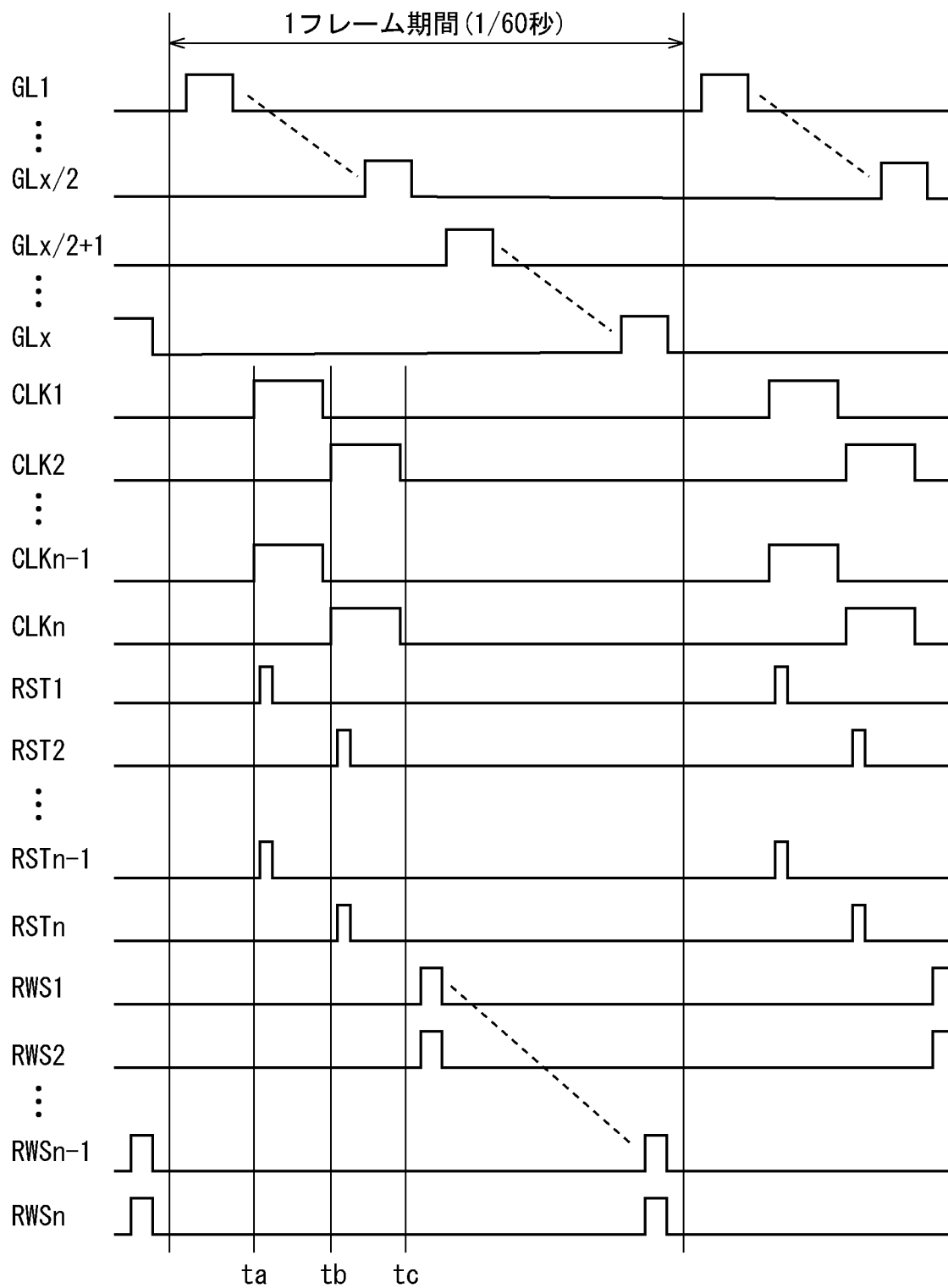
[図2]



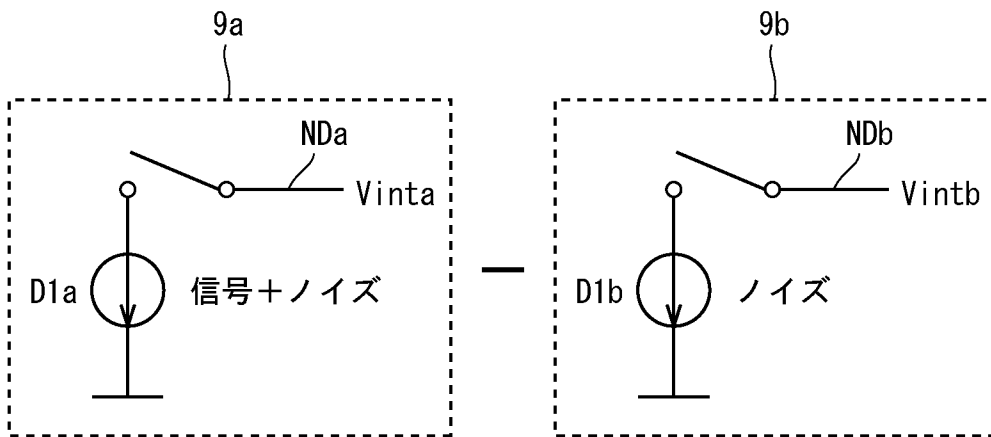
[図3]



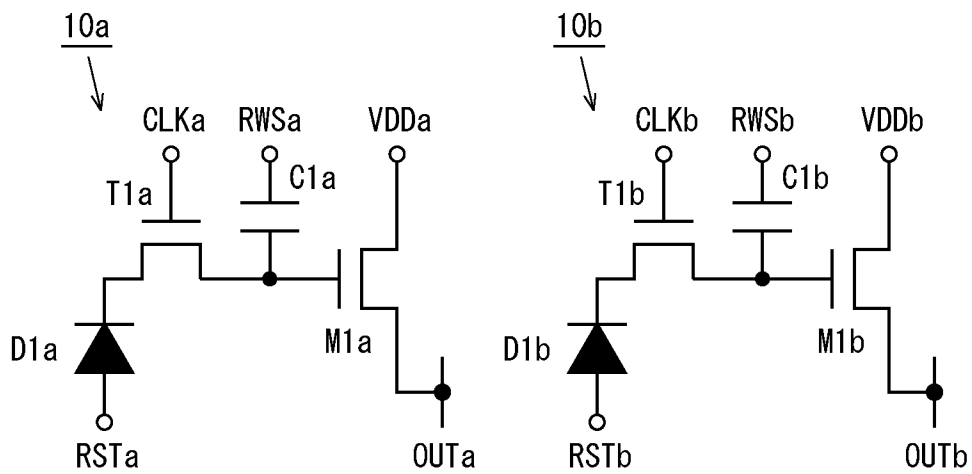
[図4]



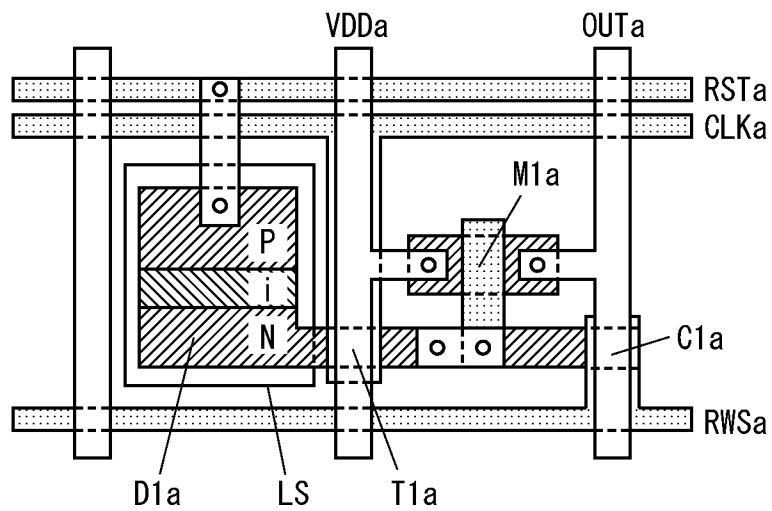
[図5]



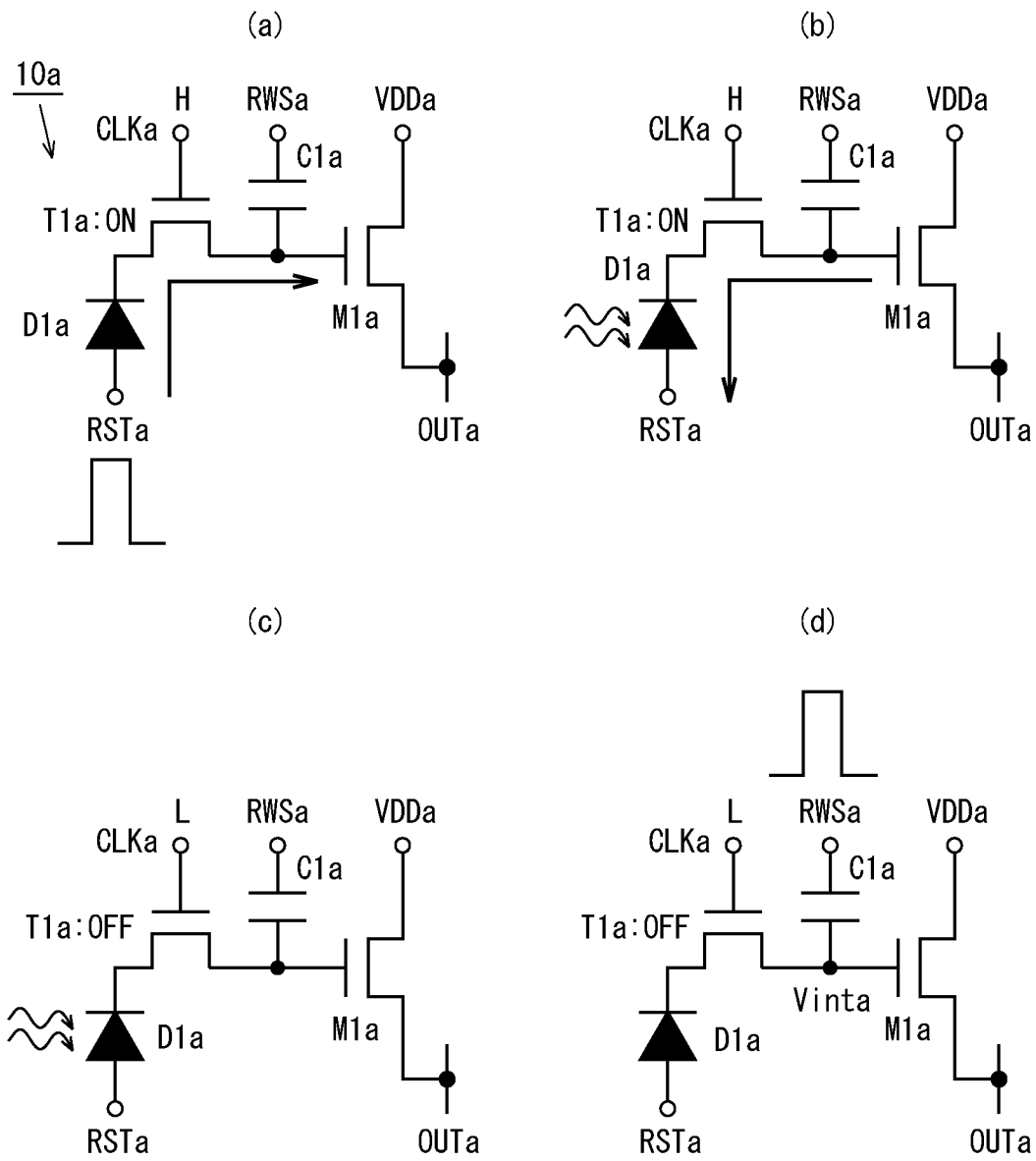
[図6]



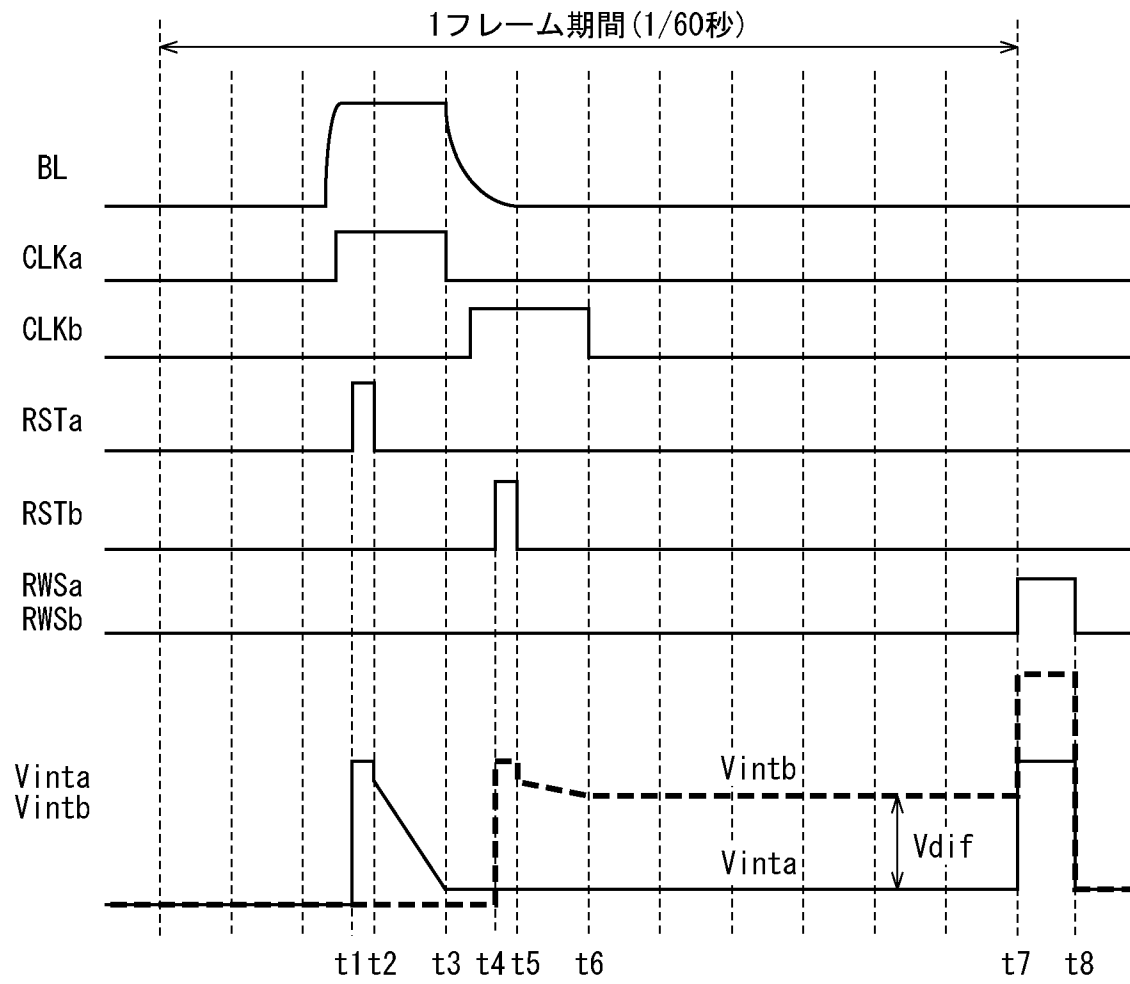
[図7]



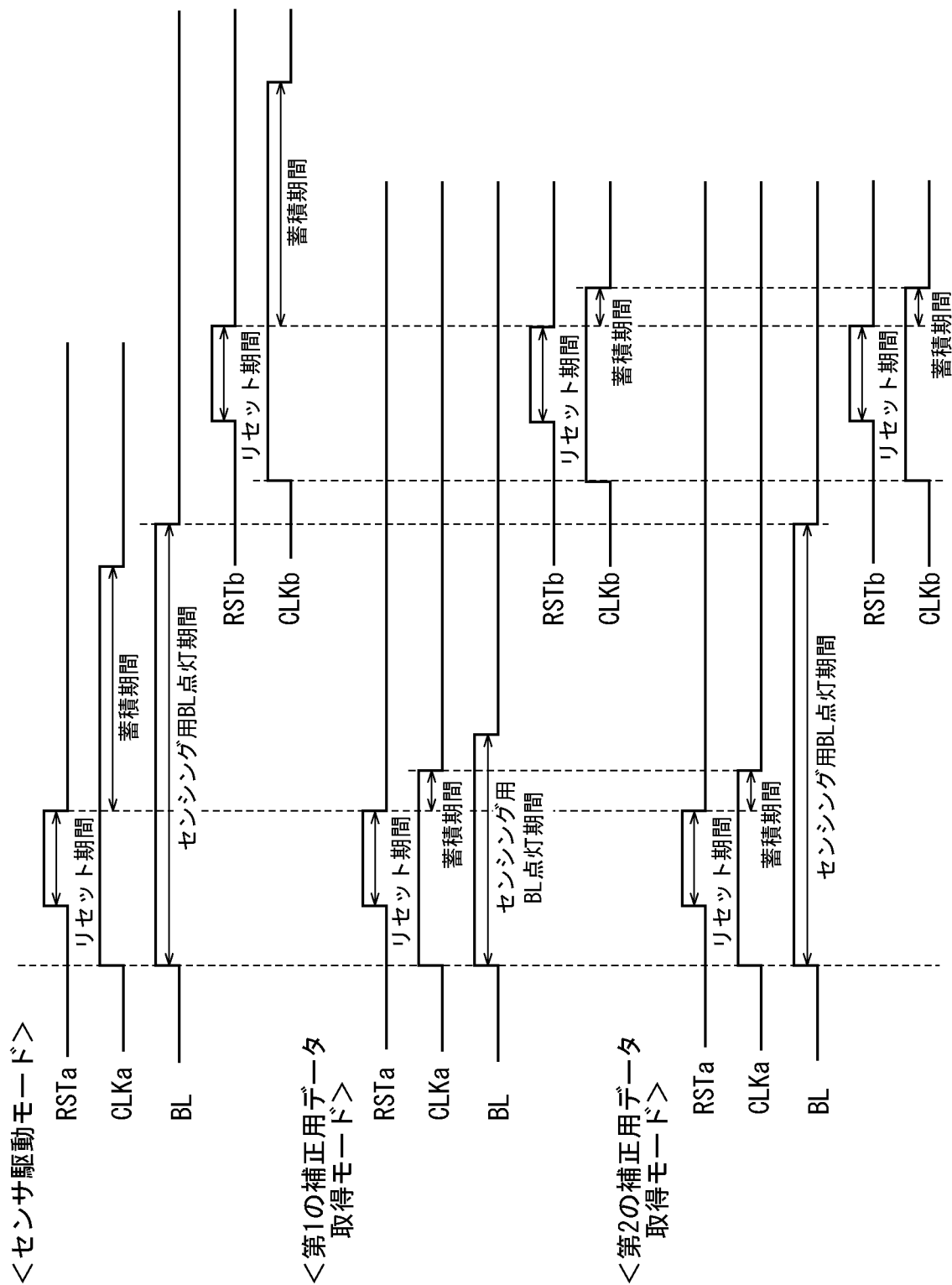
[図8]



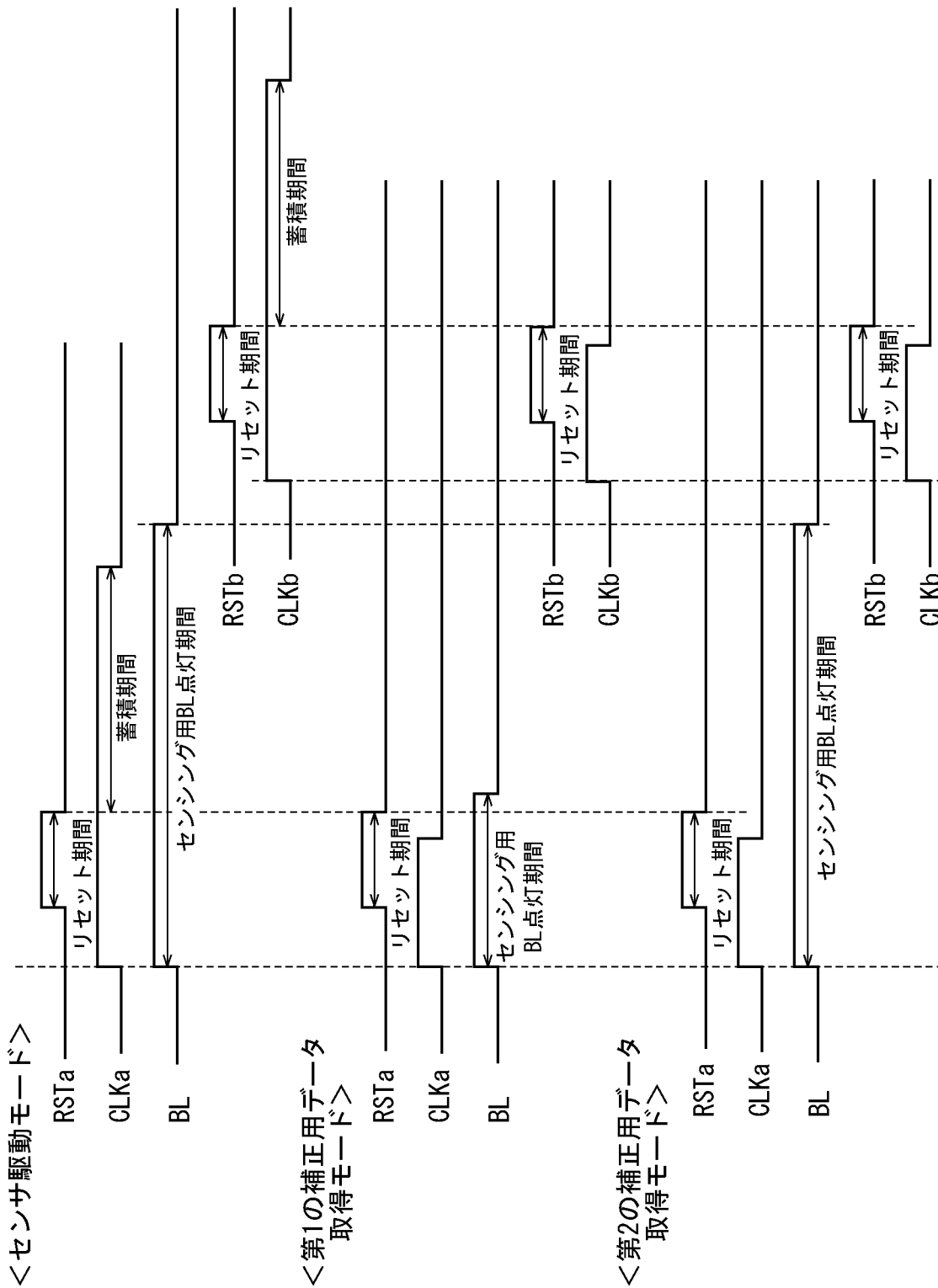
[図9]



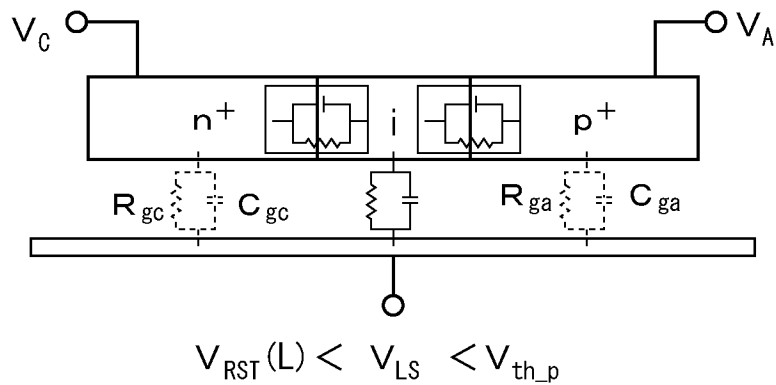
[図10]



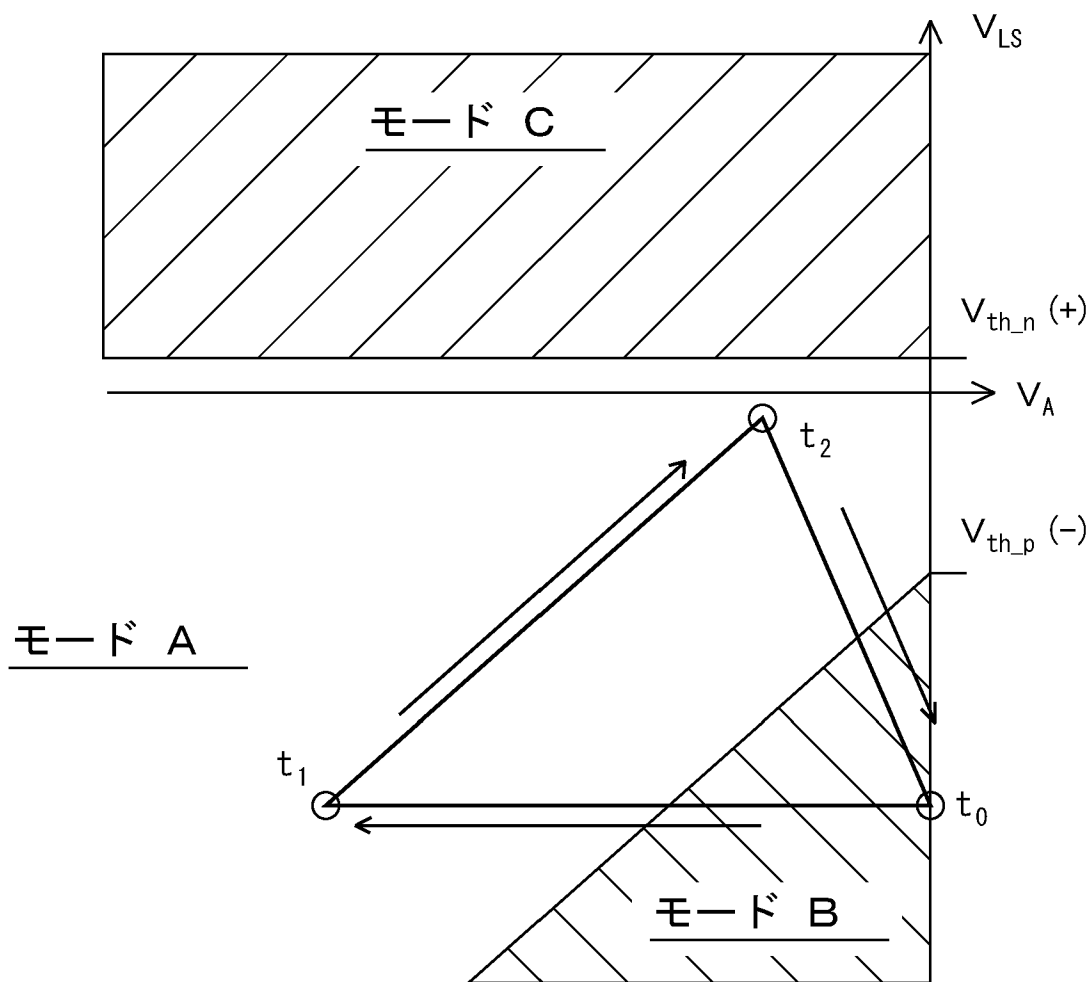
[図11]



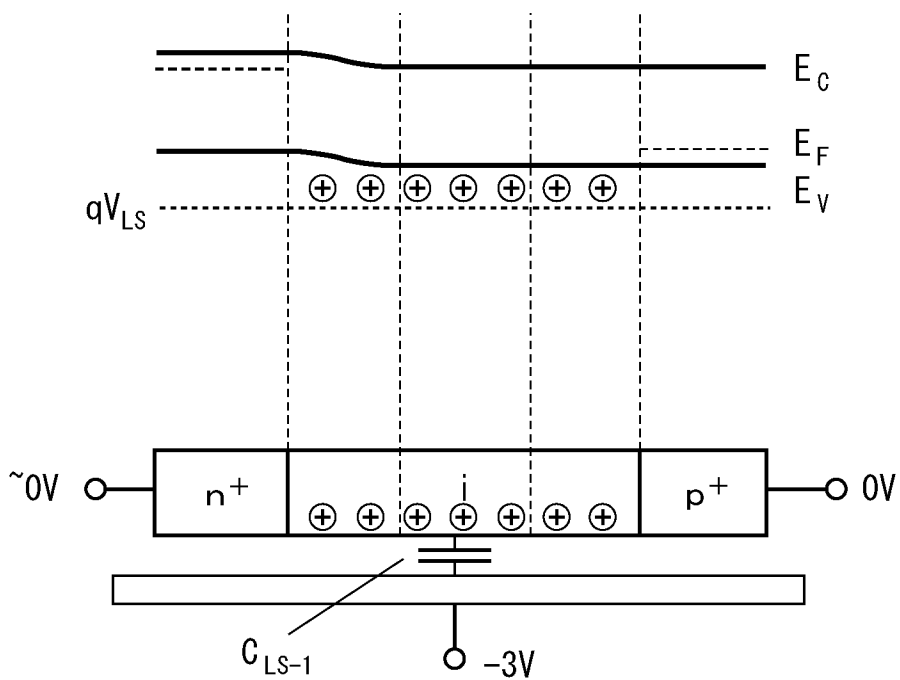
[図12]



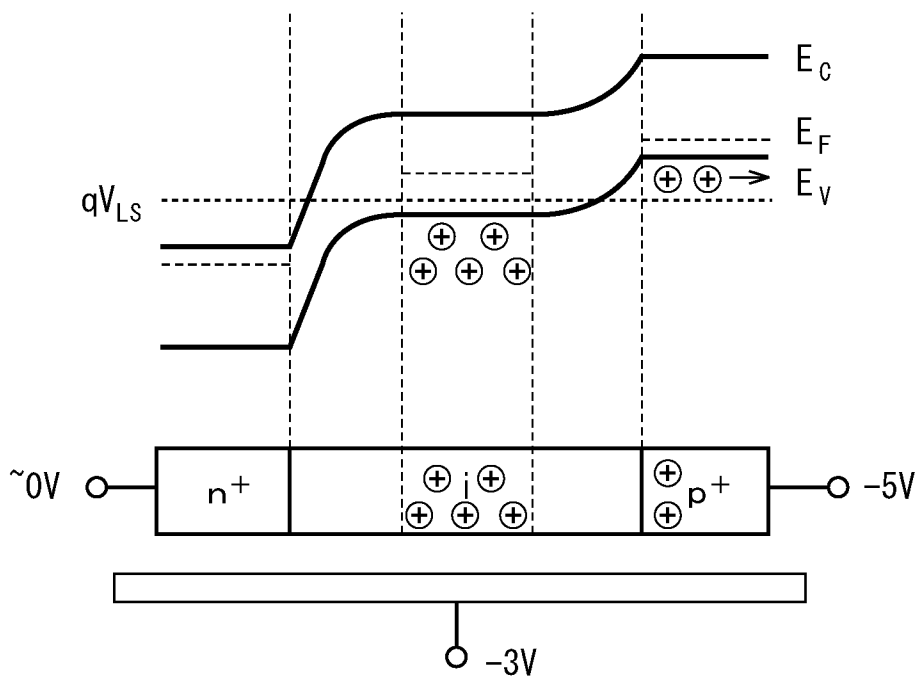
[図13]



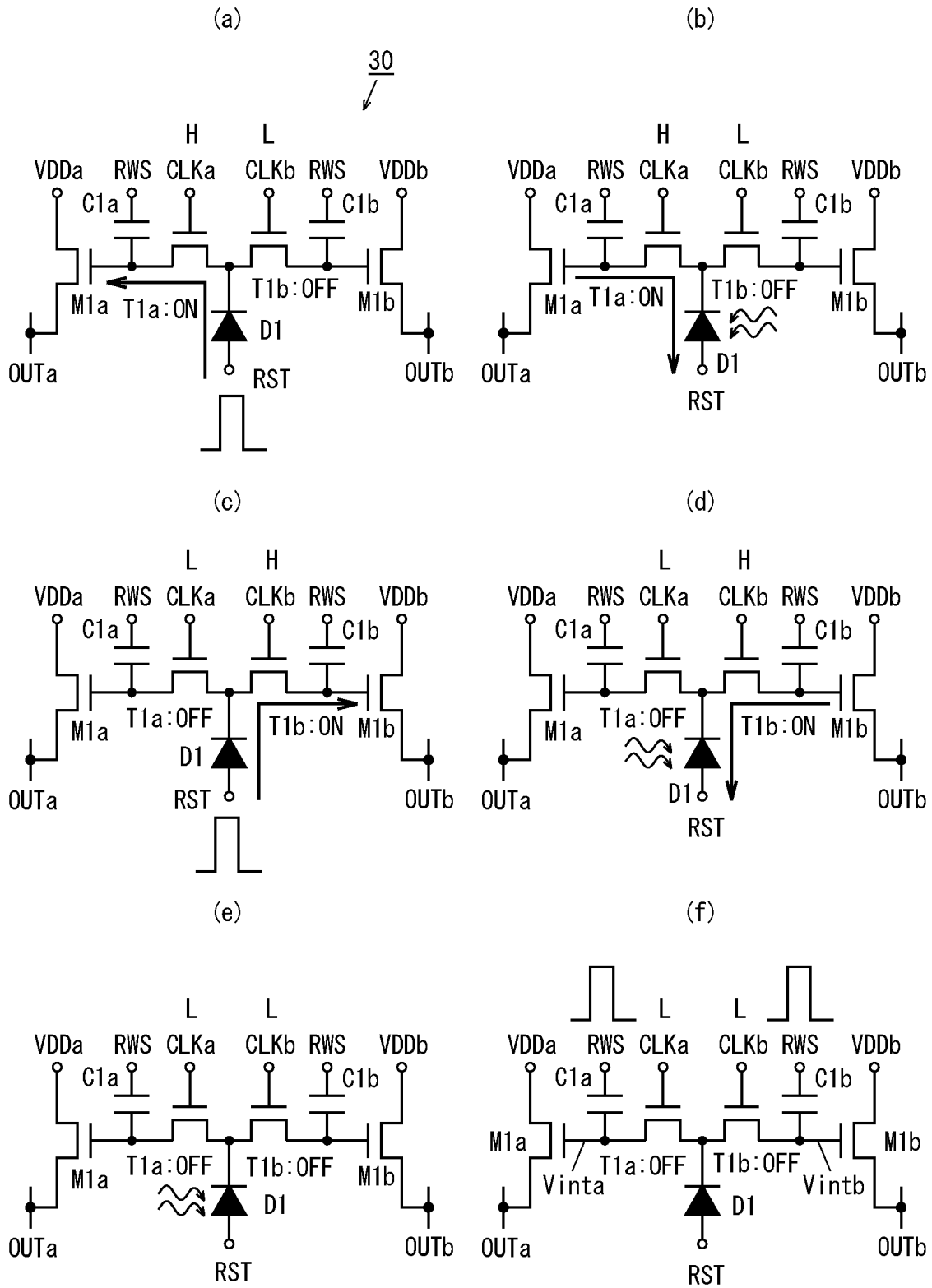
[圖14A]



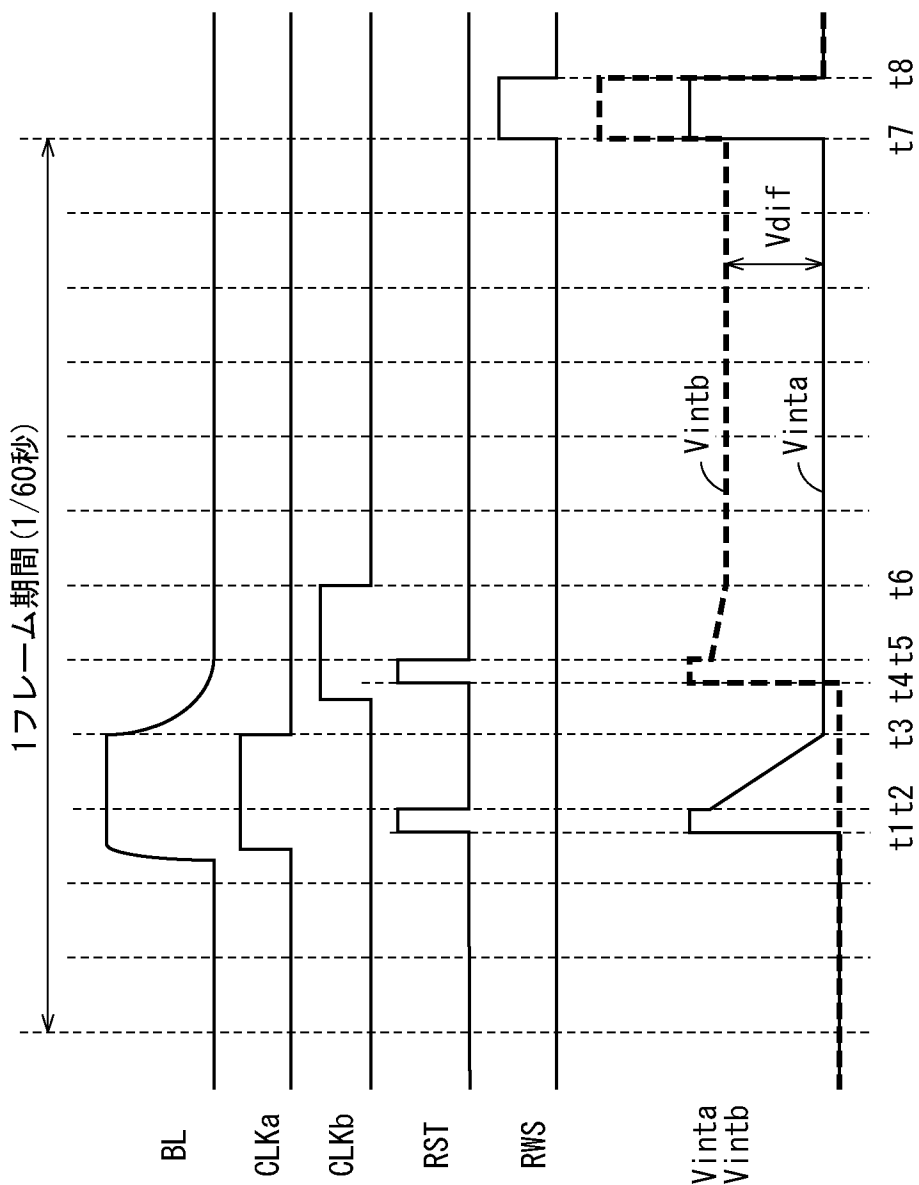
[圖14B]



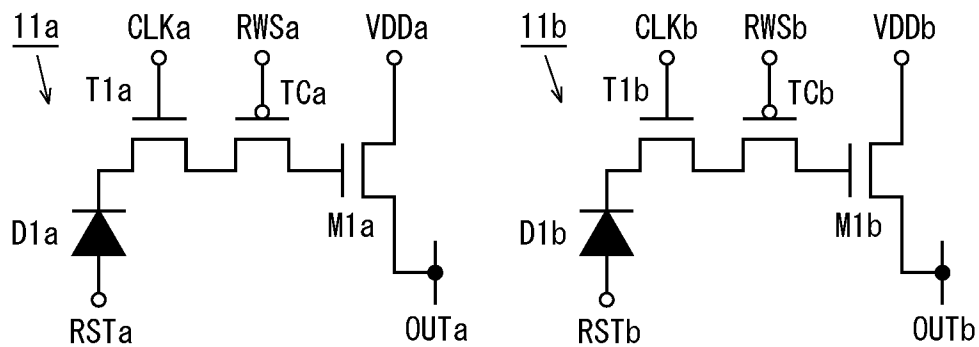
[圖17]



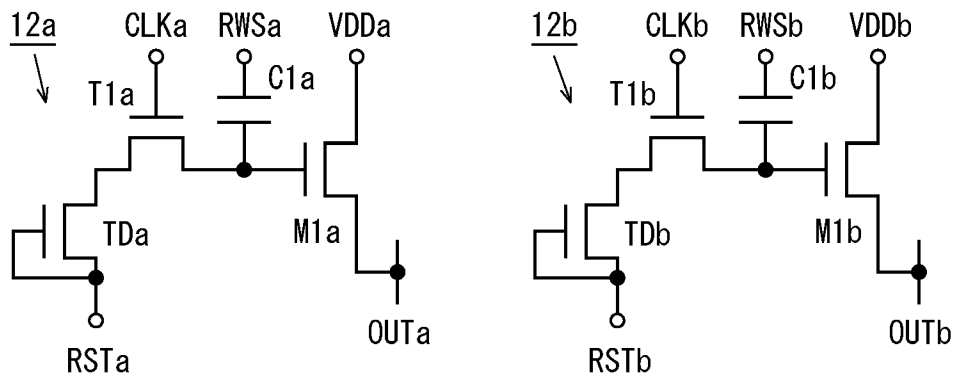
[図18]



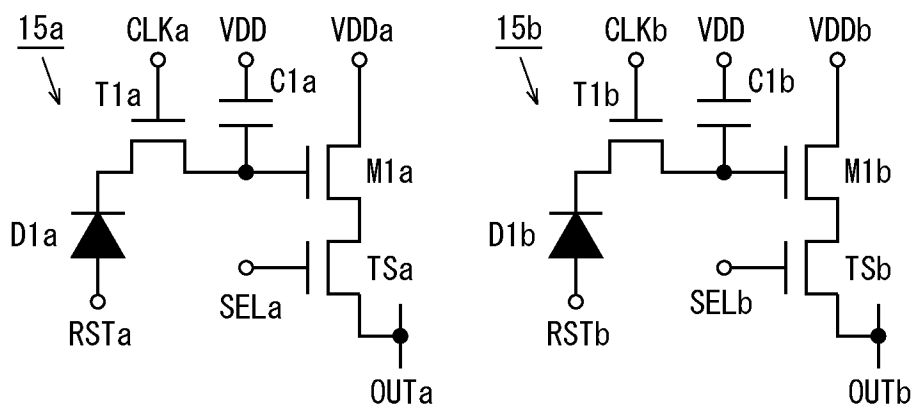
[図19A]



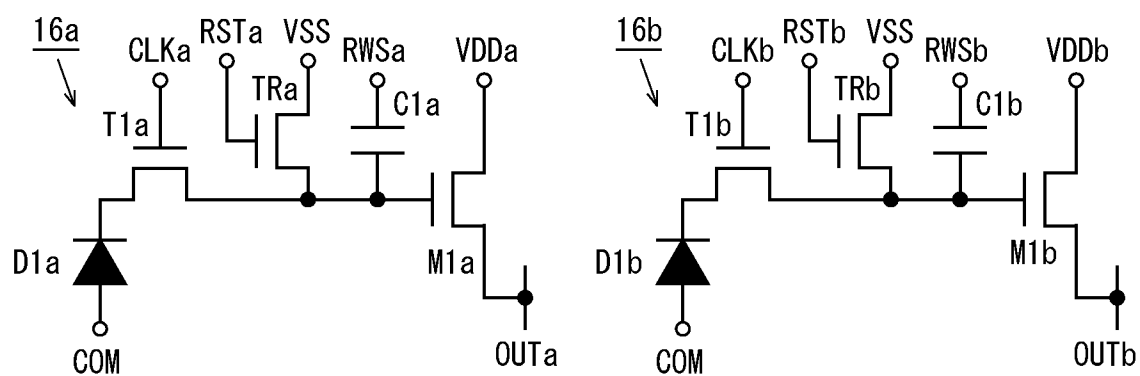
[圖19B]



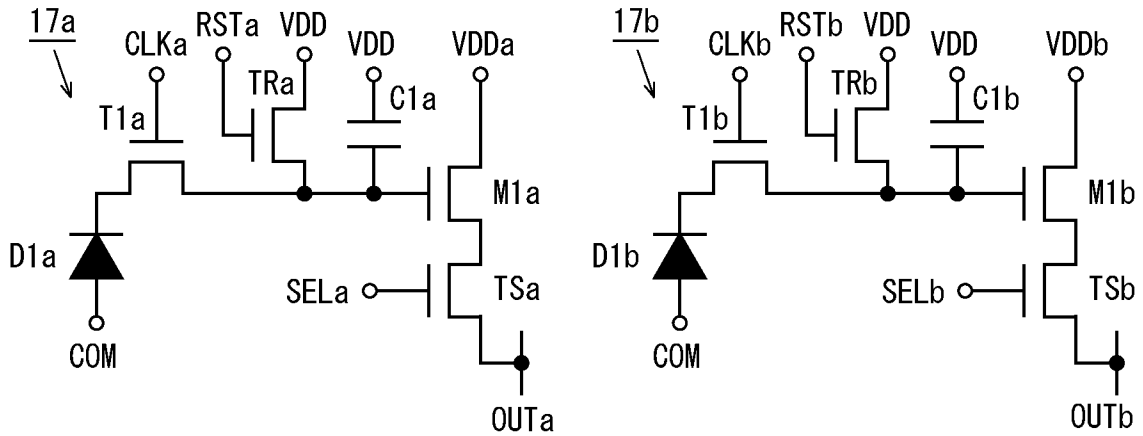
[圖19C]



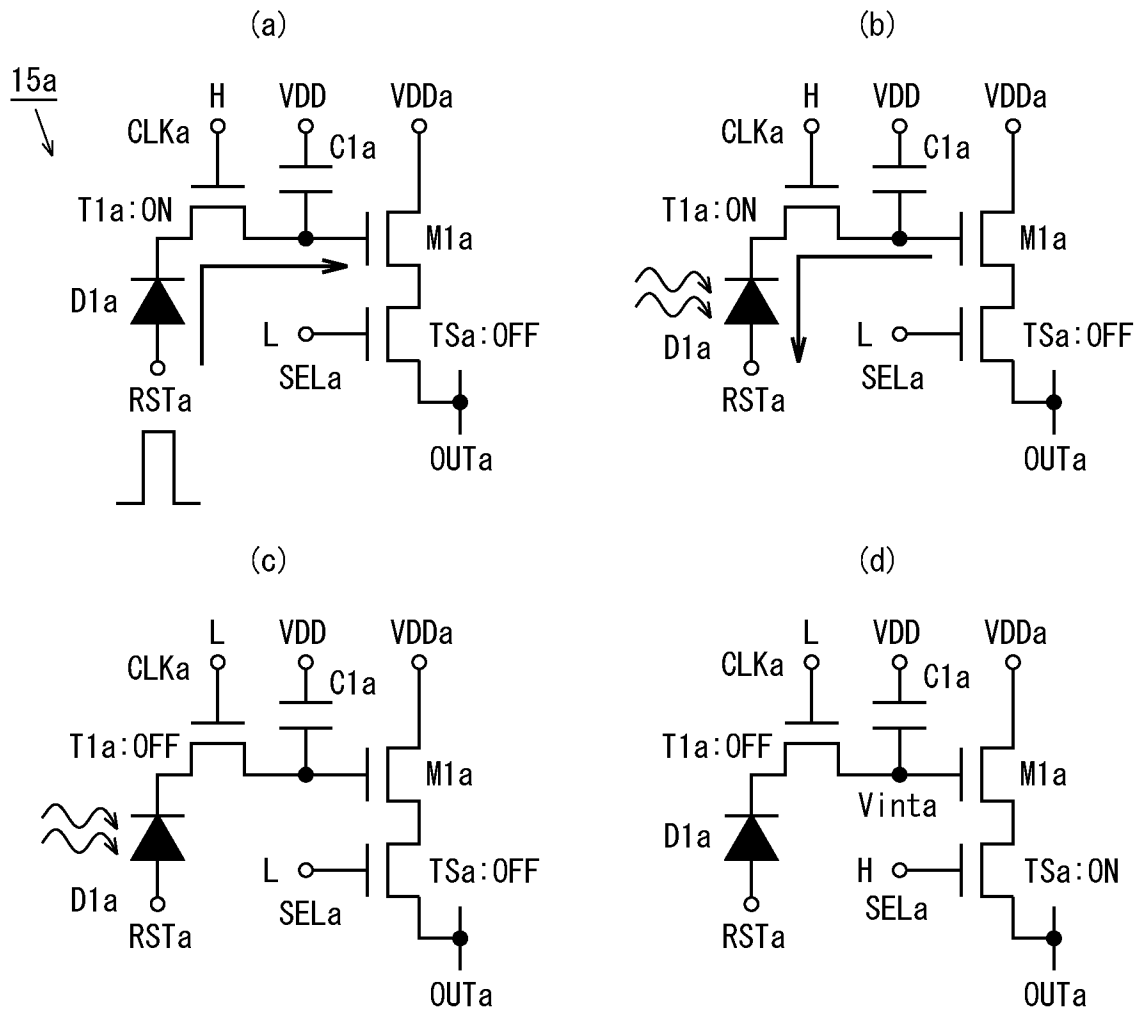
[圖19D]



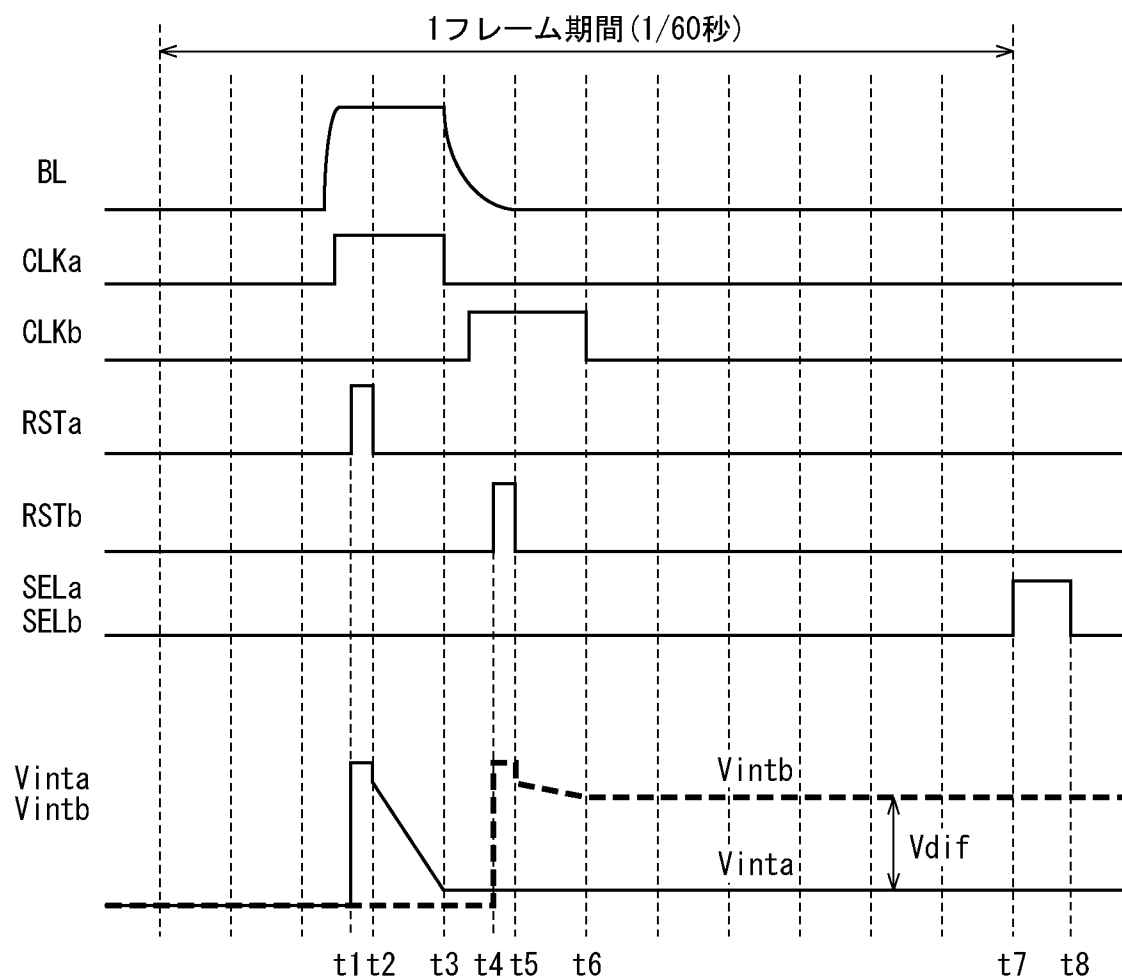
[図19E]



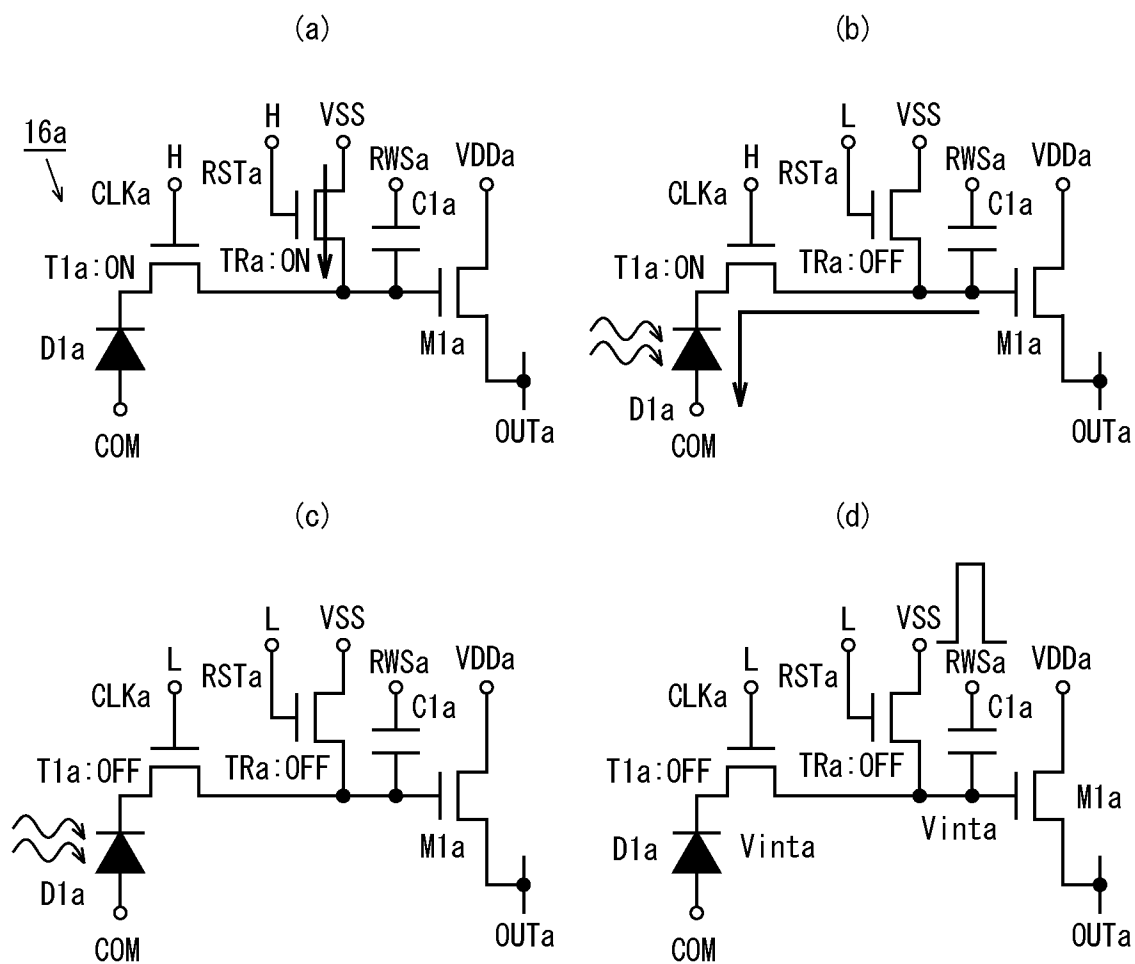
[图20]



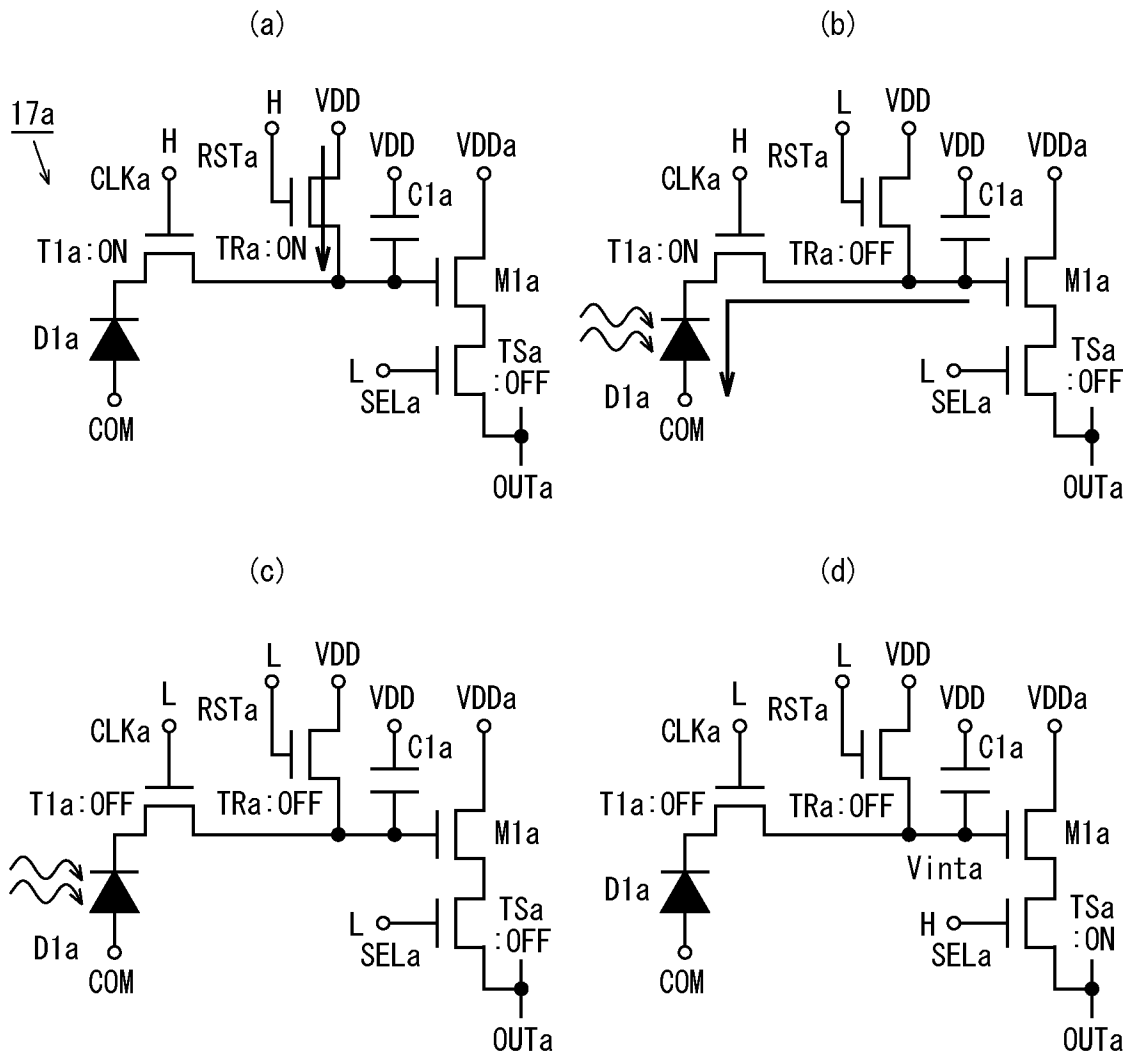
[図21]



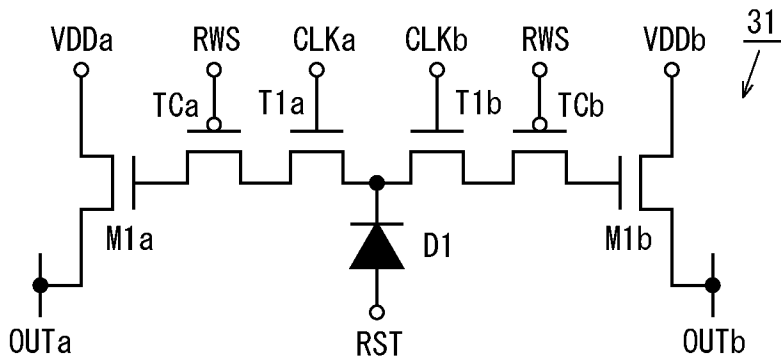
[図22]



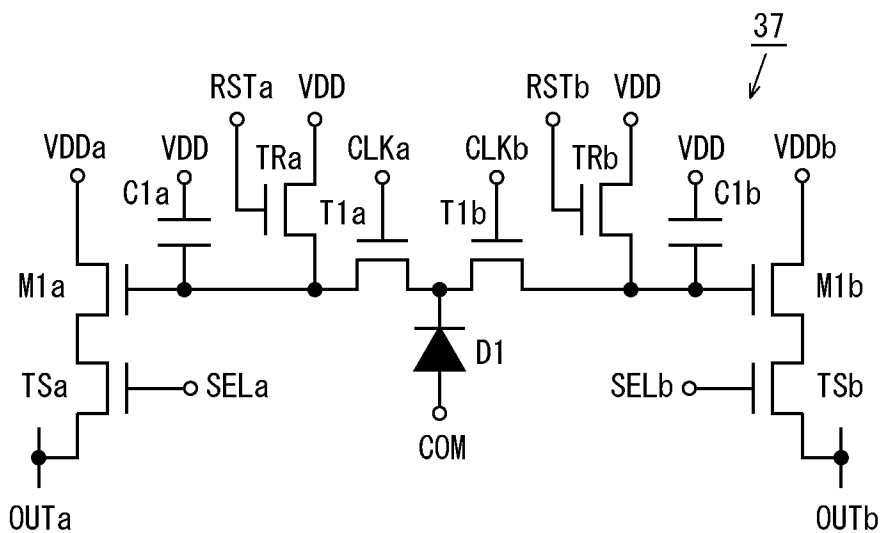
[图23]



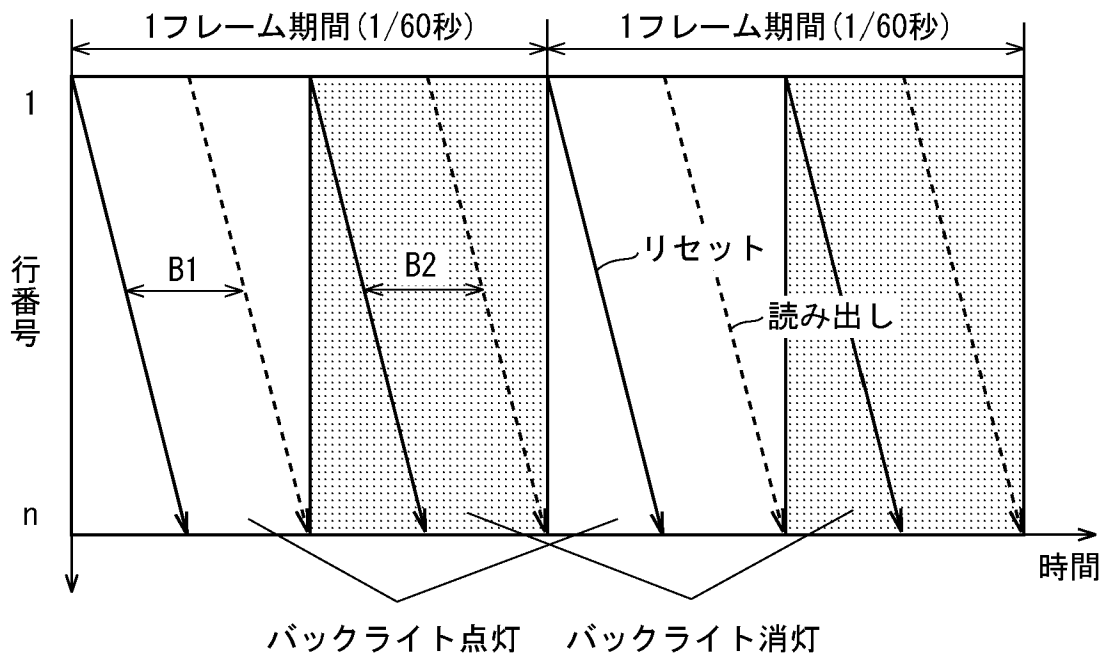
[图24A]



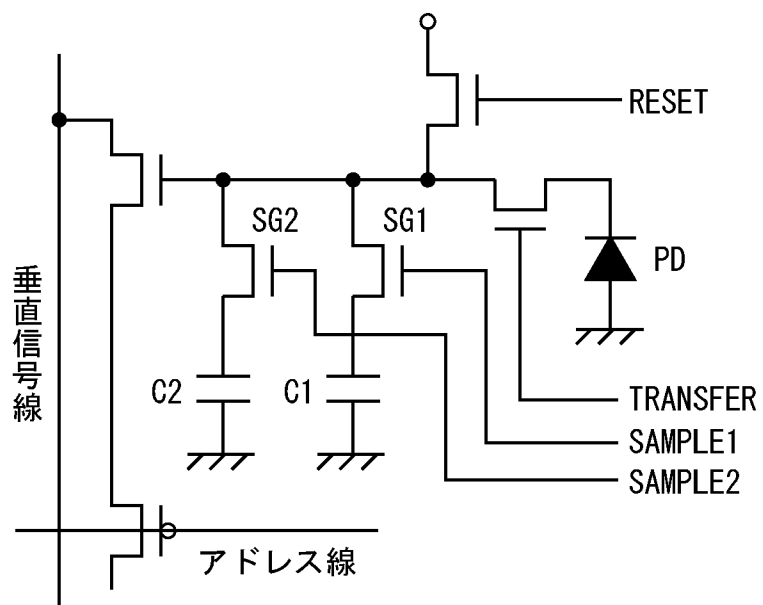
[図24E]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/061497

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1333(2006.01)i, G06F3/041(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G02F1/1333, G06F3/041, G09G3/20, G09G3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-96928 A (Toshiba Matsushita Display Technology Co., Ltd.), 24 April 2008 (24.04.2008), paragraphs [0241] to [0263]; fig. 14 (Family: none)	1-14
A	JP 2008-202828 A (Daikin Industries, Ltd.), 04 September 2008 (04.09.2008), paragraphs [0023] to [0064]; all drawings (Family: none)	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
12 July, 2011 (12.07.11)

Date of mailing of the international search report
26 July, 2011 (26.07.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1333(2006.01)i, G06F3/041(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/36, G02F1/133, G02F1/1333, G06F3/041, G09G3/20, G09G3/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 8 - 9 6 9 2 8 A (東芝松下ディスプレイテクノロジー株式会社) 2008.04.24, 段落【0241】-【0263】, 図14 (ファミリーなし)	1-14
A	J P 2 0 0 8 - 2 0 2 8 2 8 A (ダイキン株式会社) 2008.09.04, 段落【0023】-【0064】, 全図 (ファミリーなし)	1-14

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

12.07.2011

国際調査報告の発送日

26.07.2011

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	2G	9511
一宮 誠		
電話番号 03-3581-1101 内線 3226		