

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-108097

(P2017-108097A)

(43) 公開日 平成29年6月15日(2017.6.15)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 C	5 F 0 0 5
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 5 D	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 5 B	
HO 1 L 21/76 (2006.01)	HO 1 L 29/78 6 5 5 G	

審査請求 未請求 請求項の数 13 O L (全 38 頁) 最終頁に続く

(21) 出願番号 特願2016-78190 (P2016-78190)
 (22) 出願日 平成28年4月8日 (2016.4.8)
 (31) 優先権主張番号 特願2015-233041 (P2015-233041)
 (32) 優先日 平成27年11月30日 (2015.11.30)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 509260466
 菅原 良孝
 茨城県日立市みかの原町2丁目19番10号
 (72) 発明者 菅原 良孝
 茨城県日立市みかの原町2丁目19番10号
 Fターム(参考) 5F005 AB01 AB02 AE09 AF01 BA02 DA02

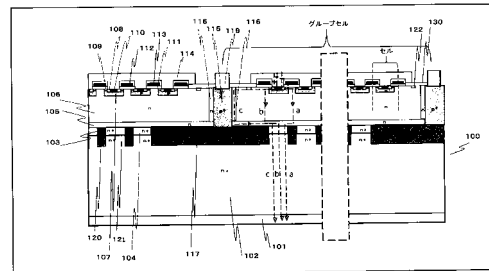
(54) 【発明の名称】 半導体素子

(57) 【要約】 (修正有)

【課題】バイポーラ逆導通半導体素子において、低オン抵抗と高い機械強度を両立でき、また過負荷動作時および定常動作時に大幅に低損失にでき、小面積でスナップバック現象を抑制できる半導体素子を提供する。

【解決手段】電気特性実現領域と機械強度実現領域を分離し、300 μm級の厚い機械強度実現領域に単なる導電層機能のみを持たせ、その上の電気特性実現領域にバイポーラ逆導通半導体素子の主機能を集約して形成する。最小限のドリフト層厚さとし、且つp埋込コレクタ導電層120とp⁺トレンチコレクタ115を設ける。過負荷動作時には絶対最大定格電流までの大電流をバイポーラ動作の導電率変調効果により低損失化し、定常動作時にはビルトイン電圧の無いトランジスタの効果により低損失を達成する。更にチップ平面面積をほとんど専有しないp⁺トレンチコレクタにパイロットIGBTとしても機能させ小面積でスナップバック現象を抑制する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

バイポーラ動作をする第 1 機能素子部 (I G B T) と線形領域でのユニポーラ動作もしくは飽和領域でのバイポーラ動作をする第 2 機能素子部 (M O S F E T) とを有するバイポーラ逆導通半導体素子において、第 1 のバイポーラ動作機能素子部 (I G B T) のビルトイン電圧以下の電圧では、電力変換装置の定常動作に必要な定格出力電流をバイポーラ逆導通半導体素子の第 2 機能素子部 (M O S F E T) が出力し、ビルトイン電圧を超える電圧では、前記電力変換装置の過負荷動作に必要な過負荷電流を第 1 機能素子部 (I G B T) が出力することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、バイポーラ逆導通半導体装置が、前記定格出力電流に対する最大過負荷電流すなわち絶対最大定格電流の倍率を過負荷率 N とするとき、 N は 1 ~ 4 の値であることを特徴とする半導体装置。

【請求項 3】

請求項 1 および請求項 2 において、バイポーラ逆導通半導体素子が第 1 機能素子部 (I G B T) と第 2 機能素子部 (M O S F E T) を含んで構成した素子であり、その第 1 導電型の第 1 半導体層 (ドレイン層) のおもて面には第 2 導電型の第 2 半導体層 (p 埋込コレクタ層) と、この層を貫通する複数の第 1 導電型の第 2 半導体領域 (第 2 短絡領域) を備え、更にこれらのおもて面には第 1 導電型の第 2 半導体層 (ドリフト層) を設け、設けていないそれ以外の前記第 2 導電型の第 2 半導体層 (p 埋込コレクタ層) のおもて面には 1 個

以上の第 2 導電型の第 3 半導体領域 (p トレンチコレクタ) を第 1 導電型の第 2 半導体層 (n ドリフト層) に隣接して設け、前記 1 導電型の第 2 半導体層 (n ドリフト層) のおもて面には、バイポーラ逆導通半導体素子のセルを構成するセル上部を選択的に複数設け、この各セル上部は主電流が流れる一方の主端部および第 3 の主電極と主電流を制御する制御部および制御電極とを含んで構成され、各セルの第 3 の主電極同士および各セルの制御電極同士は相互に電氣的に接続せしめており、

前記各セル上部は前記 1 導電型の第 2 半導体層 (n ドリフト層) および第 2 導電型の第 2 半導体層 (p 埋込コレクタ層)、前記第 2 導電型の第 3 半導体領域 (p トレンチコレクタ) とそのおもて面露出部に設けた主電流が流れる他方の電極すなわち第 1 の主電極 (第 1 コレクタ電極) とで前記第 1 機能素子部 (I G B T) を構成し、各々の第 1 の主電極同士は相互に電氣的に接続せしめており

更に前記各セル上部は、前記 1 導電型の第 2 半導体層 (n ドリフト層) と第 1 導電型の第 2 半導体領域 (第 2 短絡領域) および第 1 導電型の第 1 半導体層 (ドレイン層) とその裏面に接した主電流が流れる他方の電極すなわち第 2 の主電極とで前記第 2 機能素子部 (M O S F E T) を構成し、

更に前記第 1 の主電極と第 2 の主電極とは電氣的に接続されていることを特徴とする半導体素子。

【請求項 4】

請求項 2 において、前記第 1 導電型の第 1 半導体層 (ドレイン層) と、前記第 2 導電型の第 2 半導体層 (p 埋込コレクタ層) およびこの層を貫通する複数の前記第 1 導電型の第 2 半導体領域 (第 2 短絡領域) との間、

第 2 導電型の第 1 半導体層 (p 埋込コレクタ導電層) とこの層を貫通する複数の第 1 導電型の第 1 半導体領域 (第 1 短絡領域) とを設け、

各半導体層同士および各半導体領域同士はほぼ同じ平面形状であり、各半導体層および各半導体領域の上に各々重ねて設けられていることを特徴とする半導体素子。

【請求項 5】

請求項 2 および請求項 3 において、第 2 導電型の第 3 半導体領域 (p トレンチコレクタ) の全部もしくは一部が削除され、前記第 1 機能素子部の第 1 の主電極が直接もしくは残された第 2 導電型の第 3 半導体領域 (p トレンチコレクタ) を介して、前記第 2 導電型の第

10

20

30

40

50

2 半導体層（埋込コレクタ層）または前記第 2 導電型の第 1 半導体層（p 埋込コレクタ導電層）のおもて面に電氣的に接して設けられていることを特徴とする半導体素子。

【請求項 6】

請求項 2 から請求項 4 のバイポーラ逆導通半導体素子が逆導通 IGBT であり、前記セル上部が、前記 1 導電型の第 2 半導体層（n ドリフト層）のおもて面に設けられた複数の第 2 導電型の第 1 半導体領域（ボディ領域）と それらの各々のおもて面に選択的に設けられた第 1 導電型の第 3 半導体領域（エミッタ領域）を含んで構成されており、前記第 3 の主電極（エミッタ電極）は前記各々の第 2 導電型の第 1 半導体領域（ボディ領域）と前記第 1 導電型の第 3 半導体領域（エミッタ領域）とに電氣的に接して設けられており、

10

前記制御電極は、前記各々の第 1 導電型の第 2 半導体領域（エミッタ領域）と前記第 1 導電型の第 2 半導体層（ドリフト層）とに挟まれた前記第 2 導電型の第 1 半導体領域（ボディ領域）部分のおもて面に絶縁膜を介して設けられていることを特徴とする半導体素子。

【請求項 7】

請求項 2 から請求項 4 のバイポーラ逆導通半導体素子が逆導通 GTO であり、前記セル上部が、前記 1 導電型の第 2 半導体層（n ドリフト層）のおもて面に設けられた第 2 導電型の第 1 半導体領域（p ベース領域）と それらの各々のおもて面に選択的に設けられた複数の第 1 導電型の第 3 半導体領域（n エミッタ領域）を含んで構成されており、

前記第 3 の主電極（エミッタ電極）は前記第 1 導電型の第 3 半導体領域（エミッタ領域）に接して設けられており、

20

前記制御電極は、第 2 導電型の第 1 半導体領域（p ベース領域）に接して設けられていることを特徴とする半導体素子。

【請求項 8】

請求項 2 から請求項 6 において、第 1 導電型の第 1 半導体層（ドレイン層）が Si 半導体で構成され、

第 1 導電型の第 2 半導体層（ドリフト層）、第 2 導電型の第 2 半導体層（p 埋込コレクタ層）、第 1 導電型の第 2 半導体領域（第 2 短絡領域）、第 2 導電型の第 3 半導体領域（p トレンチコレクタ）が 3C-SiC 半導体で構成されていることを特徴とする半導体素子。

30

【請求項 9】

請求項 2 から請求項 7 のバイポーラ逆導通半導体素子において、第 1 導電型の第 2 半導体層（ドリフト層）と、第 2 導電型の第 2 半導体層（p 埋込コレクタ層）および第 1 導電型の第 2 半導体領域（第 2 短絡領域）との間に第 1 導電型の第 3 半導体層（n バッファ層）を設けたことを特徴とする半導体素子。

【請求項 10】

請求項 2 から請求項 8 のバイポーラ逆導通半導体素子において、第 1 導電型の第 2 半導体層（ドリフト層）と、第 2 導電型の第 2 半導体層（p 埋込コレクタ層）および第 1 導電型の第 2 半導体領域（第 2 短絡領域）更に第 3 半導体領域（p トレンチコレクタ）との間に、第 1 導電型の第 4 半導体領域（n トレンチバッファ領域）を設けたことを特徴とする半導体素子。

40

【請求項 11】

請求項 2 から請求項 9 のバイポーラ逆導通半導体素子において、第 1 導電型の第 2 半導体層（ドリフト層）がスーパージャンクション構造であることを特徴とする半導体素子。

【請求項 12】

請求項 2 から 10 のバイポーラ逆導通半導体素子において、前記第 1 導電型の第 2 半導体層（ドリフト層）と、前記第 2 導電型の第 3 半導体領域（トレンチコレクタ領域）との間に絶縁膜と第 1 導電型の第 4 半導体領域（n トレンチバッファ領域）を各々前記第 2 導電型の第 3 半導体領域（トレンチコレクタ）に接して設けた

50

ことを特徴とする半導体素子。

【請求項 13】

請求項 2 から請求項 6 および請求項 8 から請求項 11 のバイポーラ逆導通半導体素子が、ワイドギャップ半導体を母材として構成されていることを特徴とする半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワー半導体素子に係わり、特にバイポーラ特性と逆導通特性を有する高性能の半導体素子に関する。

10

【背景技術】

【0002】

現在、電力変換装置用途にはパワー半導体素子として、小電力用途ではもっぱらシリコン (Si) を材料とした Si-MOSFET や Si-BJT (バイポーラトランジスタ) が、中電力から大電力用途ではもっぱら Si-IGBT や Si-GTO (ゲートターンオフサイリスタ) が用いられている。また近年、半導体材料としては、炭化珪素 (SiC) やガリウムナイトライド (GaN) などの Si よりもバンドギャップ[°] の広いワイドギャップ半導体材料が Si よりも高耐圧低損失用途に適した半導体材料として注目されている。例えば、SiC は、Si に比べて絶縁破壊電界強度が約 10 倍高いという優れた特性を有しており、この結果、構造がほぼ同じ場合、Si-MOSFET に比べて原理的に約 10 倍の高耐圧もしくは約 1/1000 の超低損失を有する SiC-MOSFET を実現できると期待されている。この結果、中電力および大電力用途において Si-IGBT に代わって SiC-MOSFET や SiC-BJT、SiC-JFET (ジャンクション FET) を用いて大幅な省電力化を図る動向にある。更に、電力事業用の超大電力用途において大幅な省電力化を図る点から超高耐圧・大電流 SiC-IGBT や SiC-GTO も検討が進められている。

20

【0003】

一般にオン状態では、MOSFET や BJT、JFET は順方向電圧印加時に零ボルト付近から順方向電流を流すことができるが、GTO 等のサイリスタ類や IGBT はコレクタやアノード電圧がビルトイン電圧 (Si では約 0.7 V、SiC では約 2.7 V) 以上にならないと順方向電流を流すことができないので、ビルトイン電圧付近の低電圧領域では MOSFET 等の方が著しくオン損失が小さく且つスイッチング速度も速いのでスイッチング損失も小さく、従ってトータル損失が小さい。しかし、線形領域でのオン抵抗がほぼ一定であるため電力変換装置の過負荷動作時に大電流を流すとオン電圧が大きくなり発熱が著しく増大し素子が損傷するので、過負荷耐量が低いという欠点がある。

30

一方、IGBT やサイリスタ類はビルトイン電圧を超えると導電率変調効果によりオン抵抗が激減するので、順方向電圧が 3 ~ 5 V 以上では MOSFET 等よりも損失が大幅に小さくなる。従って、電力変換装置の過負荷動作時に同等の大電流を流しても損失を小さくできるので、過負荷耐量を高くできる。しかし、MOSFET 等に比べてスイッチング速度は遅いので、スイッチング損失が大きいという欠点も免れられないので、低オン電圧例えば 5 V 付近以下ではトータル損失が大きいという欠点がある。

40

【0004】

これらの素子特性の改善を図るために、近年、バイポーラ特性と逆電圧に対する阻止能力がないいわゆる逆導通特性とをもつ半導体素子による改善検討が進められている。以下ではこれらの半導体素子を総称してバイポーラ逆導通半導体素子と記述する。バイポーラ逆導通半導体素子の改善検討例としては、例えばバイポーラ特性を有する Si-IGBT を逆導通素子構造にしてターンオフ速度を短くしてスイッチング損失を低減しトータル損失を低減する改善例がある。その代表的な例として、図 8 に示す従来例 1 や図 9 に示す従来例 2 の Si 逆導通 IGBT の開発例があり、各々非特許文献 1 や 2 に開示されている。類似した試みは GTO においてもなされており、種々の逆導通 GTO が開発されている。

50

【0005】

従来例1の短絡コレクタSi-IGBTではn⁻ドリフト層がpコレクタ層に設けたn⁺短絡部によりコレクタ電極に短絡されており、ターンオフ時にn⁻ドリフト層内のキャリアをこのn⁺短絡部を介して排除することによりターンオフ時間を短くし損失の低減を図っている。

従来例2のSi逆導通IGBTは、逆導通Si-IGBT領域とパイロットIGBT領域とから構成されている。Si逆導通IGBT領域には従来例1と同様にnドリフト層がpコレクタ層に設けたn⁺短絡部によりコレクタ電極に短絡されており、ターンオフ時にnドリフト層内のキャリアをこのn⁺短絡部を介して排除することによりターンオフ時間を短くし損失の低減を図っている。しかし従来の逆導通IGBTにはオンする際に負性抵抗が出現するスナップバック現象が生じ、この素子を適用した回路動作の擾乱をおこし、場合によっては素子や回路の損傷や破壊に至るといった問題があった。従来例2ではパイロットIGBT領域を設け、このコレクタの幅を逆導通IGBT領域のコレクタの幅よりも大幅に大きくし、パイロットIGBT領域が逆導通IGBT領域に先駆けてオンするようにしてスナップバック現象を抑制している。

【0006】

なお、これらの開示されているIGBTは各々特有の名称で呼称されているが、いずれもnドリフト層がn⁺短絡部によりコレクタ電極に短絡されているので逆電圧に対する阻止能力がない素子であり、以下ではいずれも単に逆導通IGBTと記述する。

【先行技術文献】

【非特許文献】

【0007】

【非特許文献1】ハジメ・アキヤマ (Hajime AKIYAMA)、他5名、イヘクト オブ ショーテドコレクタ オン キャラクタリスティックス オブ IGBTs (EFFECTS OF SHORTED COLLECTOR ON CHARACTERISTICS OF IGBTs)、プロシーディングス オブ ザ セカンド インターナショナル シンポジウム オン パワー セミコンダクタ デバイシズ アンド ICs (Proceedings of The 2nd International Symposium on Power Semiconductor Devices & ICs), 1990年4月、p.131-136

【非特許文献2】リウタウラス ストラスタ (Litauras Storasta)、他2名、ア コンパリソン オブ チャージ ダイナミックス イン ザ レヴァース-コンダクテング RCIGBT アンド バイモード インシュレイテド ゲイト トランジスタ BiGT) (A Comparison of charge dynamics in the Reverse-Conducting RCIGBT and Bi-mode Insulated Gate Transistor BiGT)、プロシーディングス オブ ザ トエンティセカンド インターナショナル シンポジウム オン パワー セミコンダクタ デバイシズ アンド ICs (Proceedings of The 22nd International Symposium on Power Semiconductor Devices & ICs), 2010年6月、p.391-394

【発明の概要】

【発明が解決しようとする課題】

【0008】

バイポーラ逆導通半導体素子には、典型例として逆導通IGBT、逆導通GTO、逆導通静電誘導サイリスタ、逆導通MCT(MOSコントロールサイリスタ)、逆導通EST(エミッタースイッチサイリスタ)などが含まれる。これらのバイポーラ逆導通半導体素

子は、逆導通 IGBT のように飽和領域でバイポーラ動作をする第 1 機能素子部と線形領域でユニポーラ動作をする第 2 機能素子部から構成される素子と、逆導通 GTO のようにバイポーラスイッチング動作をする第 1 機能素子部と飽和領域でのバイポーラ動作をする第 2 機能素子部とから構成され且つ融合されている素子に大別される。ここでの融合とは両機能素子部が素子を構成している複数の半導体層や半導体領域、電極等を共有していることを意味する。

【0009】

ところで、これらの従来のバイポーラ逆導通半導体素子は低オン抵抗と高い機械強度の両立が困難であった。バイポーラ逆導通半導体素子は、一般に素子の一方の主表面のコレクタ電極(またはアノード電極)にコレクタ領域(またはアノード領域)と短絡領域の両方が

10

接続して形成され、また素子の他方の主表面のエミッタ電極(またはカソード電極)にエミッタ領域(またはカソード領域)が接して形成されるので、そのオン抵抗を小さくするためには素子製作用のウエーハの厚さや素子自体の厚さを薄くする必要あり、この結果機械強度が低くなってしまい製作時や実装時の各種応力により損傷してしまう。一方、製作時の各種応力に耐えるようにウエーハや素子自体の機械強度を高くするには、素子製作用のウエーハの厚さや素子自体の厚さを厚くする必要がある。もちろんこの厚さは製作及び実装プロセスによって異なるが、コスト上昇を伴う特別な対策を施さない場合、通常おおよそ 300 μm 程度以上である。バイポーラ逆導通半導体素子の場合、上記の従来例の逆導通 IGBT 素子のように、おもて面にエミッタを、また裏面にコレクタと短絡領域を形成するので、機械強度の点から必要とされるウエーハおよび素子の厚さにするとドリフト層が厚くなってしまふ。エミッタとコレクタの厚さは通常 10 μm 以下なので、例えば、残りの約 280 μm 以上がドリフト層となる。約 3 kV 以上の高耐圧素子では電界緩和のためにドリフト層の厚さを 280 μm 程度以上に厚くする必要がある。従って 280 μm 以上のドリフト厚さの場合、高い機械強度を確保しつつ耐圧に見合う適正なオン抵抗を得ることができる。しかし、例えば自動車や家電機器などのような最も大量の需要がある半導体市場では素子耐圧が中小耐圧、例えば約 1.7 kV 以下であり、耐圧の点から妥当なドリフト厚さは 170 μm 程度以下である。機械強度の点から必要な厚さすなわち約 300 μm の厚さにすると、差分の 120 μm のドリフト厚さは無駄にオン抵抗を増大してしまう。

20

30

【0010】

SiC-IGBT の場合は Si に比べて絶縁破壊電界強度が約 10 倍高いので、耐圧に見合うドレイン厚さは Si の場合の約 1/10 程度となる。一方、機械強度の点から製作時のウエーハの厚さや素子自体の厚さはやはりおおよそ 300 μm 以上が必要とされるので、例えば 12 kV 程度の超高耐圧素子でもドリフト厚さが約 120 μm 程度である。エミッタ領域やコレクタ領域の厚さは通常数 μm 以下なので、これらを除いた残りの約 170 μm 程度は無駄にオン抵抗を増大してしまう。耐圧が例えば 3 kV 以下と低い SiC 素子の場合、適正なドリフト厚さは約 30 μm 程度以下であり、更に無駄にオン抵抗を増大する半導体部分が約 260 μm 以上と厚くなってしまふ。

このように従来技術では、重要な大きい中小耐圧のバイポーラ逆導通半導体素子の低オン抵抗と素子自体もしくは素子製作用ウエーハの高い機械強度との両立が困難であるという

40

【0011】

ところで、電力変換装置に好適なパワー半導体素子において、以下では電力変換装置の定常動作に必要な電流を定常動作電流と定義し、最大の定常動作電流を定格出力電流と定義し、過負荷動作に必要な電流を過負荷電流と定義する。過負荷電流は素子の熱破壊を避けるために素子の絶対最大定格電流以下にする必要があるので、最大過負荷電流はパワー半導体素子の絶対最大定格電流と同義とみなせ、同じ電流値となる。この定格出力電流に対する絶対最大定格電流の倍率を過負荷率と定義し N と表記すると、定格出力電流は(絶対最大定格電流/N)である。

一般にインバータ等の電力変換装置においては、定格出力電流の 125% (1.25 倍)

50

もしくは150% (1.5倍)の過負荷電流に60秒間耐えることができる過負荷耐量が要求される。このため、そのパワー半導体素子には定格出力電流の1.25倍から1.5倍の絶対最大定格電流を有することが、すなわち、Nが1~1.5であることが要求されている。現状では1.25~1.5のNの過負荷に対応するために、単体素子では容易でなく多数の素子やモジュールを並列接続して対応する場合が多く装置が大型化し重くなっている。

しかし、現在社会や今後を展望するとパワー半導体素子には厳しい各種のニーズが多々存在する。例えば、電気自動車などは通常の定速運転中は数十A以下で良いが、障害物を乗り越える時やダッシュ時等には格段に大きな出力が必要とされる。同様に風力発電設備でも通常時に比べて強風や突風時に、また将来の作業用自走大型ロボット等でも移動時に比べて作業時には格段に大きな出力が必要とされる。更に大・中容量の無停電電源は通常動作時に比べて瞬低時には短時間、停電時には変電所での系統切り替えが終了するまでの数分間は格段に大きな出力が必要とされる。これらは極力小さい空間に設置され軽量であることが必要とされる。従って、これらのニーズに対応すべきパワー半導体素子には、上記の従来ニーズもカバーする点からNが1~4程度、好ましくはNが1.5~4程度必要であり、しかも素子単体が極力少ない素子数のモジュールであることが必須である。最も発熱の多い最大過負荷時すなわち絶対最大定格電流通電時には、冷却能力の制約や限界を考慮すると、熱破壊等を避けるために数V以下の比較的低いオン電圧で速度も速くNが1~1.5対応の現状素子に比べて1/2.7程度の低損失である必要があり、従って定常運転時には現状以上に低い1/1.5以下の低損失であり、最大1/4程度の格段に低損失であることが必要とされる。

10

20

【0012】

しかし、先に列挙したバイポーラ逆導通半導体素子は、上記のニーズに対応する潜在能力を有すると推察されるが実現されていない。すなわち、従来バイポーラ逆導通半導体素子は、ビルトイン電圧以上で導電率変調効果により著しい低抵抗を期待できるが、バイポーラ動作機能部で定常動作と過負荷動作のいずれも実施しており、素子の短絡領域はオフ時にpコレクタ領域から正孔の注入をいつまでも促すことのないようにドリフト内の残存電子を速く素子から排出させるためのものであった。このため、短絡領域の幅は小さく且つ抵抗も低くはなく、ビルトイン電圧以下で定常動作電流レベルの大きな電流は流すことができなかつた。このように従来バイポーラ逆導通半導体素子は、過負荷動作には好適でもビルトイン電圧以下では定常電流レベルの大きな電流を低損失で流し定常動作をさせるべき素子としては極めて不適當であり、これは解決すべき第2の課題である。

30

【0013】

また、従来バイポーラ逆導通半導体素子では出力特性にスナッチバック現象が存在し、オンする際に負性抵抗が生じる。これは前記のバイポーラ動作第1機能素子部のオン直前における第2機能素子部の主電極間電圧が第1機能素子部のオン直後の主電極間電圧よりも大きいことに起因する現象である。以下では、オン直前の主電極間電圧をスナッチバック電圧と呼び、 V_{sb} と記述する。また、この V_{sb} における主電極間電流をスナッチバック電流と呼び I_{sb} と記述する。ところで、これらのバイポーラ逆導通半導体素子ではオン直前からオン直後に推移するまでの時間すなわちターンオン時間(正確にはターンオン上昇時間)が短いので、スナッチバック現象が存在するとこのターンオン時に急峻な電圧変化(以下 dV_{sb}/dt と表記)や急峻な電流変化(以下 dI_{sb}/dt と表記)を生じる。この結果、回路内に存在する寄生容量を含む各種容量により急峻な跳ね上がり電流($C \cdot dV_{sb}/dt$)が、また寄生リアクトルを含む各種リアクトルにより急峻な跳ね上がり電圧($L \cdot dI_{sb}/dt$)が生じ、これらに起因して大きな過度現象が誘発される。このため、このバイポーラ逆導通半導体素子を用いた回路に大きな擾乱を招いてしまい誤動作を生じたり、場合によっては素子や回路の損傷や破壊に至るといった問題を有している。

40

【0014】

従来例2ではこれを抑制するために素子内にスナッチバック現象を有しないパイロットIGBT領域を設けてスナッチバック現象を抑制している。以下ではこれをパイロットIG

50

B T効果と呼ぶ。しかし、スナップバック現象を十分抑制するためには、パイロット I G B T領域の面積を大きくしなければならないため、I G B Tチップ面積に占めるパイロット I G B T領域の面積がかなり大きくなってしまふ。例えば従来例 2 の場合、前記文献のデータから読み取ると、3 . 3 k V の S i 逆導通 I G B Tセルの p コレクタ幅が 1 8 0 μ m の場合に発生するスナップバック現象における V_{sb}が 2 1 V であり、d V_{sb} / d t は 2 8 0 V / μ s と試算され適用回路に大きな擾乱と誤動作を招いてしまふ。これに対し、パイロット I G B T を設けその p コレクタ幅を約 4 倍以上の 7 2 0 μ m 以上に大きくすることにより、V_{sb} をビルトイン電圧の 0 . 7 V 以下に低減できスナップバック現象の発生を阻止できている。しかしスナップバック現象は大幅に抑制できるが、パイロット I G B T の専有面積が大きくなり逆導通 I G B T 領域の面積が少なくなるので、ターンオフ時に残存するキャリアを排除するという本来の逆導通 I G B T の機能がかかなり損ねられてしまふ。上記の従来例 2 の場合これは歩留まりなどの経済性の点から素子のチップサイズが通常 1 5 m m x 1 5 m m 以下程度の小さい面積に設定されている現状では、重要なバイポーラ逆導通半導体素子の解決すべき第 3 の課題である。

【 0 0 1 5 】

本発明は、前記の従来技術の課題を解決し、低オン抵抗と高い機械強度を両立できるバイポーラ逆導通半導体素子を提供することを目的とする。また、過負荷動作時には絶対最大定格電流までの大きな過負荷電流を低損失で流すことができ、定常動作時にはビルトイン電圧以下の範囲で定常動作電流を極低損失で流すことができるバイポーラ逆導通半導体素子を提供することを目的とする。また、小面積でスナップバック現象を抑制できるバイポーラ逆導通半導体素子を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 6 】

以下では理解を容易にするために、手段の特徴の記載に当たっては各半導体層や半導体領域が機能的に何に相当するかを括弧内に付記して説明する。

上記した課題を解決し本発明の目的を達成するため、この発明に係る半導体素子は、バイポーラ動作をする第 1 機能素子部 (I G B T) と線形領域でのユニポーラ動作もしくは飽和領域でのバイポーラ動作をする第 2 機能素子部 (M O S F E T) とを有するバイポーラ逆導通半導体素子において、第 1 のバイポーラ動作機能素子部 (I G B T) のビルトイン電圧以下の電圧では、電力変換装置の定常動作に必要な定格出力電流を逆導通半導体素子の第 2 機能素子部 (M O S F E T) が出力し、ビルトイン電圧を超える電圧では、前記電力変換装置の過負荷動作に必要な過負荷電流を第 1 機能素子部 (I G B T) が出力することを特徴とする。

また、この発明に係る半導体素子は、上記した発明において、バイポーラ逆導通半導体装置が、前記定格出力電流に対する最大過負荷電流すなわち絶対最大定格電流の倍率を過負荷率 N とするとき、N は 1 ~ 4 の値であることを特徴とする。

【 0 0 1 7 】

この発明に係る半導体素子は、上記した発明において、第 1 機能素子部 (I G B T) と第 2 機能素子部 (M O S F E T) を含んで構成したバイポーラ逆導通半導体素子であり、その第 1 導電型の第 1 半導体層 (ドレイン層) のおもて面には第 2 導電型の第 2 半導体層 (p 埋込コレクタ層) と、この層を貫通する複数の第 1 導電型の第 2 半導体領域 (第 2 短絡領域) を備え、更にこれらのおもて面には第 1 導電型の第 2 半導体層 (ドリフト層) を設け、設けていないそれ以外の前記第 2 導電型の第 2 半導体層 (p 埋込コレクタ層) のおもて面には 1 個以上の第 2 導電型の第 3 半導体領域 (p トレンチコレクタ) を第 1 導電型の第 2 半導体層 (n ドリフト層) に隣接して設け、前記 1 導電型の第 2 半導体層 (n ドリフト層) のおもて面には、バイポーラ逆導通半導体素子のセルを構成するセル上部を選択的に複数設け、この各セル上部は主電流が流れる一方の主端部および第 3 の主電極と主電流を制御する制御部および制御電極とを含んで構成され、各セルの第 3 の主電極同士および各セルの制御電極同士は相互に電氣的に接続せし

めており、

前記各セル上部は前記 1 導電型の第 2 半導体層 (n ドリフト層) および第 2 導電型の第 2 半導体層 (p 埋込コレクタ層)、前記第 2 導電型の第 3 半導体領域 (p トレンチコレクタ) とそのおもて面露出部に設けた主電流が流れる他方の電極すなわち第 1 の主電極 (第 1 コレクタ電極と前記第 1 機能素子部 (I G B T) を構成し、各々の第 1 の主電極同士は相互に電氣的に接続せしめており

更に前記各セル上部は、前記 1 導電型の第 2 半導体層 (n ドリフト層) と第 1 導電型の第 2 半導体領域 (第 2 短絡領域) および第 1 導電型の第 1 半導体層 (ドレイン層) とその裏面に接した主電流が流れる他方の電極すなわち第 2 の主電極と前記第 2 機能素子部 (M O S F E T) を構成し、

更に前記第 1 の主電極と第 2 の主電極とは電氣的に接続されていることを特徴とする。

【 0 0 1 8 】

この発明に係る半導体素子は、上記した発明において、

前記第 1 導電型の第 1 半導体層 (ドレイン層) と、前記第 2 導電型の第 2 半導体層 (p 埋込コレクタ層) およびこの層を貫通する複数の前記第 1 導電型の第 2 半導体領域 (第 2 短絡領域) との間に、

第 2 導電型の第 1 半導体層 (p 埋込コレクタ導電層) とこの層を貫通する複数の第 1 導電型の第 1 半導体領域 (第 1 短絡領域) とを設け、

各半導体層同士および各半導体領域同士はほぼ同じ平面形状であり、各半導体層および各半導体領域の上に各々重ねて設けられていることを特徴とする。

【 0 0 1 9 】

この発明に係る半導体素子は、上記した発明において、

第 2 導電型の第 3 半導体領域 (p トレンチコレクタ) の全部もしくは一部が削除され、前記第 1 機能素子部の第 1 の主電極が直接もしくは残された第 2 導電型の第 3 半導体領域 (p トレンチコレクタ) を介して、前記第 2 導電型の第 2 半導体層 (埋込コレクタ層) または前記第 2 導電型の第 1 半導体層 (p 埋込コレクタ導電層) のおもて面に電氣的に接して設けられていることを特徴とする。

【 0 0 2 0 】

この発明に係る半導体素子は、上記した発明において、

バイポーラ逆導通半導体素子が逆導通 I G B T であり、

前記セル上部が、前記 1 導電型の第 2 半導体層 (n ドリフト層) のおもて面に設けられた複数の第 2 導電型の第 1 半導体領域 (ボディ領域) と それらの各々のおもて面に選択的に設けられた第 1 導電型の第 3 半導体領域 (エミッタ領域) を含んで構成されており、前記第 3 の主電極 (エミッタ電極) は前記各々の第 2 導電型の第 1 半導体領域 (ボディ領域) と前記第 1 導電型の第 3 半導体領域 (エミッタ領域) とに電氣的に接して設けられており、

前記制御電極は、前記各々の第 1 導電型の第 2 半導体領域 (エミッタ領域) と前記第 1 導電型の第 2 半導体層 (ドリフト層) とに挟まれた前記第 2 導電型の第 1 半導体領域 (ボディ領域) 部分のおもて面に絶縁膜を介して設けられていることを特徴とする。

【 0 0 2 1 】

この発明に係る半導体素子は、上記した発明において、

バイポーラ逆導通半導体素子が逆導通 G T O であり、

前記セル上部が、前記 1 導電型の第 2 半導体層 (n ドリフト層) のおもて面に設けられた第 2 導電型の第 1 半導体領域 (p ベース領域) とそれらの各々のおもて面に選択的に設けられた複数の第 1 導電型の第 3 半導体領域 (n エミッタ領域) を含んで構成されており、前記第 3 の主電極 (エミッタ電極) は前記第 1 導電型の第 3 半導体領域 (エミッタ領域) に接して設けられており、

前記制御電極は、第 2 導電型の第 1 半導体領域 (p ベース領域) に接して設けられていることを特徴とする。

【 0 0 2 2 】

10

20

30

40

50

この発明に係る半導体素子は、上記した発明において、第1導電型の第1半導体層（ドレイン層）がSi半導体で構成され、第1導電型の第2半導体層（ドリフト層）、第2導電型の第2半導体層（p埋込コレクタ層）、第1導電型の第2半導体領域（第2短絡領域）、第2導電型の第3半導体領域（pトレンチコレクタ）が3C-SiC半導体で構成されていることを特徴とする。

【0023】

この発明に係る半導体素子は、上記した発明において、バイポーラ逆導通半導体素子に第1導電型の第2半導体層（ドリフト層）と、第2導電型の第2半導体層（p埋込コレクタ層）および第1導電型の第2半導体領域（第2短絡領域）との間に第1導電型の第3半導体層（nバッファ層）を設けたことを特徴とする。

10

【0024】

この発明に係る半導体素子は、上記した発明において、バイポーラ逆導通半導体素子に第1導電型の第2半導体層（ドリフト層）と、第2導電型の第2半導体層（p埋込コレクタ層）および第1導電型の第2半導体領域（第2短絡領域）更に第3半導体領域（pトレンチコレクタ）との間に、第1導電型の第3半導体層（nバッファ層）を設けたことを特徴とする。

【0025】

この発明に係る半導体素子は、上記した発明において、バイポーラ逆導通半導体素子の第1導電型の第2半導体層（ドリフト層）がスーパー Junction構造であることを特徴とする。

20

【0026】

この発明に係る半導体素子は、上記した発明において、バイポーラ逆導通半導体素子の第1導電型の第2半導体層（ドリフト層）と、前記第2導電型の第3半導体領域（トレンチコレクタ領域）との間に絶縁膜と第1導電型の第4半導体領域（nトレンチバッファ領域）を各々前記第2導電型の第3半導体領域（トレンチコレクタ）に接して設けたことを特徴とする。

【0027】

この発明に係る半導体素子は、上記した発明において、バイポーラ逆導通半導体素子が、ワイドギャップ半導体を母材として構成されていることを特徴とする。

30

【0028】

以下に、上記の手段によってもたらされる効果を記載するが、各バイポーラ逆導通半導体素子固有の各部の名称が混在することによる煩雑な説明を簡明にするために、バイポーラ逆導通半導体素子の代表例であるnチャネルタイプの逆導通IGBTを例にして括弧内に付記しながら説明する。なお、第1主電極（第1コレクタ電極）と素子の裏面の第2主電極（第2コレクタ電極、MOSFET機能部のドレイン電極でもある）とは電氣的に接続しているので、煩雑さを避けるため分離して説明をする必要がないかぎり以後の本明細書では単にコレクタ電極と記載する。

本発明によれば、上記の構成により従来素子を超える大きなNを有するバイポーラ逆導通半導体素子を実現できる。これは、第1のバイポーラ動作機能素子部（IGBT）のビルトイン電圧以下の電圧では、電力変換装置の定常動作に必要な定格出力電流をバイポーラ逆導通半導体素子の第2機能素子部（MOSFET）に出力させ、ビルトイン電圧を超える電圧では、前記電力変換装置の過負荷動作に必要な過負荷電流を第1機能素子部（IGBT）が出力させることによる。すなわち、従来のバイポーラ逆導通半導体素子が通電できず大きな損失を招いていたビルトイン電圧以下で、第2機能素子部（MOSFET）に出力させたことによる。しかもトレンチゲート構造やスーパー Junction構造やSiC半導体の適用によりこの第2機能素子部（MOSFET）の損失を著しく格段に低減させている。

40

また、これにより従来ニーズを超えるNとして1.5~4を達成でき、当然Nが1~1.

50

5程度の従来ニーズもカバーするバイポーラ逆導通半導体素子を実現できる。

【0029】

本発明によれば、上記の構成により、低いオン抵抗と高い機械強度を両立できるバイポーラ逆導通半導体素子を実現できる。これは、機械強度実現領域と電気特性実現領域とを分離したことによる。

すなわち、バイポーラ逆導通半導体素子の製作過程で受ける各種の応力に耐えることができる厚い半導体基板を用いて、そのおもて面に第2導電型の第1半導体層（p埋込コレクタ導電層）とこの層を貫通する複数の第1導電型の第1半導体領域（第1短絡領域）とを設けた第1導電型の第1半導体層（ドレイン層）を形成し機械強度実現領域を構成している。

一方、上記の機械強度実現領域の上に、所望の電気特性実現領域を構成する。この電気特性実現領域では、第2導電型の第2半導体層（p埋込コレクタ層）の上の第1導電型の第2半導体層（ドリフト層）にセル上部とその上の第3主電極（エミッタ電極）を形成する一方、第2導電型の第2半導体層（p埋込コレクタ層）に接して第2導電型の第3半導体領域（pトレンチコレクタ）を第1導電型の第2半導体層（ドリフト層）に隣接して設けてそのおもて面に第1主電極（第1コレクタ電極）を設けている。ここでセル上部とは主にpボディ領域とこれに内蔵される諸領域pボディ領域間のJFET領域を意味する。素子構造によって変化があり、例えばトレンチゲート型の素子の場合はJFET領域を削除しトレンチゲート酸化膜とゲート電極に置き換えているのでこれらを意味する。

これにより、機械強度実現領域である厚い半導体基板上の特性実現領域の第3主電極（エミッタ電極）と第1主電極（第1コレクタ電極）の間に、第1機能素子部（IGBT）を包含できるようになる。この結果、耐圧に合わせた適正な厚さと適正な不純物濃度をもつドリフト層を機械強度に拘束されずにほぼ独立に容易に形成でき、低いオン抵抗を達成できる。

一方、第2機能素子部（MOSFET）も第1導電型の第1半導体層（ドレイン層）と第2主電極（ドレイン電極）を除いて主要部を電気特性実現領域に包含されており、上記の耐圧に合わせた適正な薄い厚さと適正な不純物濃度をもつ第1導電型の第2半導体層（ドリフト層）により機械強度に拘束されず低いオン抵抗を達成できる。第1導電型の第1半導体層（ドレイン層）は厚い機械強度実現領域に存在するが、単に電流通路としての機能を持てばよいので高不純物濃度にすれば第2機能素子部（MOSFET）の特性を損ねることはなく、十分厚いので機械強度実現領域に必要な機械強度を損ねることもない。また第1導電型の第1半導体層（ドレイン層）は、第2主電極（ドレイン電極）を第1主電極（第1コレクタ電極）と接続しているので、第1機能素子部（IGBT）のターンオフ時の第1導電型の第2半導体層（ドリフト層）内の電子電流の通路を兼ねている。しかしこの層も単なる電流通路としての機能を持てばよいので十分高不純物濃度にするにより素子特性を損ねることはなく、上記のように機械強度実現領域に必要な機械強度を損ねることもなく実用上問題にならないようにできる。

このように、特性実現領域と強度実現領域を分離した半導体素子構成にすることにより、上記の第1の課題を解決できる。

【0030】

また、本発明によれば、上記の構成により、過負荷動作領域ではバイポーラ逆導通半導体素子（逆導通IGBT）の絶対最大定格電流までの大きな過負荷電流を比較的 low 損失で流すことができ、定常動作領域では（絶対最大定格電流 / 過負荷率 N）に相当する定常動作電流を著しく low 損失で流すことができるバイポーラ逆導通半導体素子（逆導通IGBT）を実現できる。

従来のバイポーラ逆導通半導体素子（逆導通IGBT）では、電力変換装置の定常動作領域および過負荷動作領域の両動作領域において第1機能素子部（IGBT）としてのみ機能させ、主に導電率変調効果をもたらす低いオン抵抗に因る低損失性を享受することが主眼であった。このために前述のスナップバック現象による悪影響を小さくする点から、電圧 V_{sb} 以下で流れる電流、すなわち第2機能素子部（MOSFET）のオン電流 I_{sb} を極

10

20

30

40

50

力微小電流に抑え込んでいる。

しかし本発明では、第1機能素子部（IGBT）が通電できないビルトイン電圧以下では、この第2機能素子部（MOSFET）のオン電流 I_{sb} を定常動作電流レベルまで大きくして定常動作をさせ且つ著しく低損失流す機能を持たせている。一方、過負荷動作時には第1機能素子部（IGBT）に絶対最大定格電流に至るまで大電流を低損失で流す機能をもたせている。

このように、第1機能素子部（IGBT）の過負荷性能を損ねることなく第2機能素子部（MOSFET）にビルトイン電圧以下の電圧範囲で定常動作電流を著しく低損失で流すようにして高性能バイポーラ逆導通半導体素子を実現している。これにより上記の第2の課題を解決できる。

【0031】

なお、第2機能素子部（MOSFET）の電流をできるだけ大きな定常動作電流にし且つ低損失にするとともに、残留キャリアをできるだけ早く輩出し速度を高くするには n 短絡部の幅 W_n を大きくするのが好ましい。一方バイポーラ逆導通半導体素子（逆導通IGBT）の著しい低オン抵抗を実現するには、第1機能素子部（IGBT）の埋込み p コレクタ領域の幅 W_p や厚さを大きくし且つ高不純物濃度にすることや p トレンチコレクタ幅を広くしたり高不純物濃度にすることが好ましい。これらの幅や不純物濃度への依存性および W_n と W_p の相互関係を種々検討した結果、 W_n と W_p の比率には適正範囲があり、 W_n/W_p は $0.5 \sim 2.0$ の範囲が好ましいことを見出している。

【0032】

また、本発明によれば、第1機能素子部（IGBT）内にパイロットIGBT部を設け、あまりチップ内での占有面積を大きくしないでそのコレクタ幅を大きくすることにより、スナップバック現象を効果的に抑制している。ここでスナップバック現象の抑制とはスナップバック現象における V_{sb} や I_{sb} を低減させ dV_{sb}/dt や dI_{sb}/dt を低減することと定義し、以下ではこの定義に従って記述する。このため、上記の第1の課題の解決のために設けた第2導電型の第3半導体領域（ p トレンチコレクタ）をパイロットIGBT部のコレクタとしても機能させてより効果的にスナップバック現象を抑制している。

すなわち、この第2導電型の第3半導体領域（ p トレンチコレクタ）は各IGBTセルのコレクタ電流を集約し第1主電極（第1コレクタ電極）に流す電流通路として機能させるものであるが、最近接のセルと横型バイポーラ半導体素子（横型IGBT）を構成するコレクタとして機能させバイポーラ半導体素子（パイロットIGBT）機能用コレクタとして活用させている。（それ故にもトレンチコレクタという名称にしている）。更にこの第2導電型の第3半導体領域（ p トレンチコレクタ）は第1導電型の第2半導体層（ドリフト層）の裏面には設けたパイロットバイポーラ半導体素子部（パイロットIGBT）の第2導電型の第2半導体層（ p 埋込コレクタ層）と接続させており、この接続部分の第2導電型の第2半導体層（ p 埋込コレクタ層）もパイロット半導体素子（パイロットIGBT）機能用コレクタとして活用させている。この接続部分はフィールド領域下にある。フィールド領域は電界を緩和し素子の耐圧を確保するために設けた第2導電型の第1半導体領域（ p ボディ領域）と第2導電型の第3半導体領域（ p トレンチコレクタ）間の領域である。その幅は少なくとも第1導電型の第2半導体層（ n ドリフト層）の厚さに相当する距離以上にする必要があるので、第2導電型の第3半導体領域（ p トレンチコレクタ）を設けない場合に比べて、その幅の第2導電型の第2半導体層（ p 埋込コレクタ層）分だけ更に効果的にスナップバック現象を抑制できる。

このように、第2導電型の第3半導体領域（ p トレンチコレクタ）とフィールド領域の第2導電型の第2半導体層（ p 埋込コレクタ層）の活用により、より効果的にスナップバック現象の抑制ができ、抑制効果と同じにする場合はその分スナップバック現象の抑制に要する面積をより縮小できる。このようにして、第3の課題を解決できる。

【0033】

本発明によれば、この第2導電型の第3半導体領域（ p トレンチコレクタ）の外周に接して第1導電型の第4半導体領域（ n トレンチバッファ）を設ける場合は、より効果的に

10

20

30

40

50

パイロットバイポーラ半導体素子部（パイロットIGBT）として機能させることができる。

【0034】

また本発明によれば、ワイドギャップ半導体を用いることにより、スナップバック現象を更に大幅に抑制できる。スナップバック現象におけるスナップバック電圧 V_{sb} は、例えば逆導通IGBTの場合は近似的にチャンネル抵抗での電圧降下とドリフト抵抗での電圧降下とビルトイン電圧の和となるが、一般に耐圧が高くなるとドリフト層の抵抗での電圧降下が最も大きくなる。Siバイポーラ逆導通半導体素子に比べてワイドギャップバイポーラ逆導通半導体素子の場合、このドリフト層の抵抗による電圧降下を著しく小さくできる。例えば4H-SiCバイポーラ逆導通半導体素子の場合、同じ耐圧の素子の時はSi素子に比べてドリフト層の抵抗を理論的には約1/1000程度に大幅に低減できるので V_{sb} を大幅に低減できる。ビルトイン電圧がSiバイポーラ逆導通半導体素子に比べて2.7Vであり約4倍大きくても、圧倒的に大幅に V_{sb} を低減でき急峻な電圧変化 dV_{sb}/dt を大幅に抑制できる。これは小面積でスナップバック現象を抑制できることを意味し従って、更に効果的に上記の第3の課題を解決できる。

また強度実現領域をSi半導体で構成し特性実現領域を3C-SiC半導体で構成した場合は、Si半導体と3C-SiC半導体との結晶格子間隔差が極めて少なくSi半導体基板上に結晶品質の良い3C-SiC半導体を容易に形成できるので、 V_{sb} を小さくでき上記のように小面積でスナップバック現象を抑制できる。更に、Si単結晶基板はSiC基板に比べて安価であるうえに、大口径化が容易にでき経済性に秀でている。また結晶が高品質であり高不純物濃度にしても結晶欠陥が少なく低抵抗率化が容易に実現でき、特性実現領域内素子の低損失化に大きく寄与する。従って、更に効果的に上記の第3の課題を解決できる。

【0035】

また本発明によれば、第2導電型の第3半導体領域（pトレンチコレクタ）の外周に接して素子のおもて面付近のみに SiO_2 等の絶縁膜を設け、より内部深くに第1導電型の第4半導体領域（nトレンチバッファ）を設けることにより、リーク電流を小さくでき且つ耐圧に及ぼす素子おもて面の表面リーク電流や表面電界の悪影響を抑制でき素子内部の接合で決まる所定の高い耐圧を安定的に達成できる。

更に上記のスナップバック現象における V_{sb} の経時増大をおもて面付近に形成した SiO_2 等の絶縁膜により大幅に抑制できる。すなわち、 SiO_2 等の絶縁膜の存在によりと素子内部の第1導電型の第4半導体領域（nトレンチバッファ）との境界部付近で正孔注入がおり、第1機能素子部分（IGBT部分）をオンを素子内部からスタートさせることができる。この結果、素子おもて面付近に存在する製作時の加工歪に起因して形成された積層欠陥の悪影響を免れることができるため V_{sb} の経時増大を抑制できものである。一方、おもて面付近に SiO_2 等の絶縁膜を設けても、内部における第1導電型の第4半導体領域（nトレンチバッファ）による電圧降下を活用できるのでスナップバック現象の抑制効果が大きく損なわれることはない。このように、絶縁膜と第1導電型の第4半導体領域（nトレンチバッファ）との境界位置を変えて、おもて面に近づけることによりスナップバック現象の抑制効果を大きくし、おもて面から遠ざけるにつれてスナップバック現象の経時変化を小さくするといったこともできる。

【0036】

また本発明によれば、バイポーラ逆導通半導体素子が逆導通IGBTの場合は、トレンチゲート構造にすることにより、定常動作時や過負荷時に更に低損失にできる。

【0037】

また本発明によれば、バイポーラ逆導通半導体素子の第1導電型の第2半導体層（ドリフト層）をスーパージャンクション構造にすることにより、定常動作時の損失を更に大幅に低減できる。

【発明の効果】

10

20

30

40

50

【 0 0 3 8 】

以上のように、本発明により、過負荷時の過負荷電流に相当する絶対最大定格電流を低損失で出力でき、定常動作時の（絶対最大定格電流 / 過負荷率 N ）に相当する定常動作電流を大幅に低損失で出力できるバイポーラ逆導通半導体素子を実現できる。また、製作時のウエーハ状態での作業や実装時のチップ状態における作業時の各種の応力に耐え損傷や破壊から免れることができる十分な機械強度と低損失性をともに有するバイポーラ逆導通半導体素子を実現できる。更に小さい面積でスナッチバック現象を抑制したバイポーラ逆導通半導体素子を実現でき経済性を向上できる。

【 図面の簡単な説明 】

10

【 0 0 3 9 】

【 図 1 】 実施例 1 にかかる半導体素子の模式的断面図

【 図 2 】 実施例 2 にかかる半導体素子の模式的断面図

【 図 3 】 実施例 3 にかかる半導体素子の模式的断面図

【 図 4 】 実施例 4 にかかる半導体素子の模式的断面図

【 図 5 】 実施例 4 にかかる半導体素子の製作フロー説明図

【 図 6 】 実施例 6 にかかる半導体素子の模式的断面図

【 図 7 】 実施例 7 にかかる半導体素子の模式的断面図

【 図 8 】 実施例 7 にかかる半導体素子の模式的断面図

【 図 9 】 従来例 1 の高耐圧 $S i$ 逆導通 $I G B T$ 素子の断面図

20

【 図 1 0 】 従来例 2 の高耐圧 $S i$ 逆導通 $I G B T$ 素子の断面図

【 発明を実施するための形態 】

【 0 0 4 0 】

以下に添付図面を参照して、この発明にかかる半導体素子の好適な実施の形態を詳細に説明する。図中の各層や各領域の厚さや長さは明細書中に記載の寸法に比例してはいない。また、本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味するが、図面の煩雑さを避け見やすくするために全部の層や領域に記載しているわけではない。また、 n または p に付す + および - は、それぞれそれが付されていない層や領域に比べて高不純物濃度および低不純物濃度であることを意味する。図面中の層や領域を示す番号と矢印は同じ層や同じ領域の場合、各々代表して 1 個のみに記し他は省略してあり、且つ必ずしも特定のセルに集中させず複数のセルにわたって分散させて記入し、図面の煩雑さを避け見やすくしてある。なお、以下の図面の説明に当たっては、紙面の左右の方向を水平方向、上下の方向を上下方向、紙面に直行する方向を垂直方向と呼ぶ。

30

【 0 0 4 1 】

(実施例 1)

図 1 は、本実施例 1 にかかる半導体素子を模式的に示す断面図である。図 1 に示す実施例 1 の半導体素子は、4 層 6 方晶構造の炭化珪素（正規には $4 H - S i C$ と表記されるが以下では単に $S i C$ と記す）半導体を用いて作製された設計耐圧 $1.2 k V$ 級のプレーナゲート構造の $S i C$ 逆導通 $I G B T 1 0 0$ であり、定格出力電流は $4 0 A$ 、絶対最大定格電流は $9 0 A$ 級の素子である。従って過負荷率 N が 2.25 であり、過負荷時には $9 0 A$ の絶対最大定格電流を余裕をもって $6 0$ 秒以上の連続通電ができるものである。

40

【 0 0 4 2 】

まず、本実施例の詳細構成を説明する。

図 1 には、 $S i C$ 逆導通 $I G B T 1 0 0$ の活性領域の一部のみを示す。 $S i C$ 逆導通 $I G B T 1 0 0$ は、例えば活性領域を囲むように耐圧構造部（不図示）を備えている。活性領域とは、半導体素子のオン時に電流が流れる領域であり、耐圧構造部とは、半導体素子を構成する $p n$ 接合表面の電界強度を緩和し、所望の耐圧を実現する構造部である。

$S i C$ 逆導通 $I G B T 1 0 0$ のチップサイズは $8.8 m m \times 4.4 m m$ であり、活性領域は約 $8 m m \times 4 m m$ である。活性領域中の逆導通 $I G B T$ セルはストライプ状であり、

50

セルの幅は約15ミクロンメートルである。活性領域を囲んでいる耐压構造部の幅はダイシング部を含めて水平方向が約0.2mmである。一方、紙面に垂直方向は0.4mmであり、耐压構造部との間に、セルの長手方向の端部ではコレクタ電極のワイヤボンディング用パッドが、また他方の端部ではエミッタ電極のワイヤボンディング用パッドが設けられている。活性領域内のセルは、10個のセルごとにグループセルを構成しており、グループセルの両端にはpトレンチコレクタ115が設けられている。図1には約1.35個分のグループセルが示されており、右側のグループセルでは両端のトレンチコレクタと10セル中4セルのみが示されており、中心付近の6セルは長方形の破線領域に設けられているが図が煩雑で且つ大きくなりすぎるのを避けるために割愛し図示していない。左側のグループセルでは3個半のセルのみを図示し他は割愛している。トレンチコレクタと最近接のセル間は1.2kVの耐压を確保するために離しており、その距離は例えば15ミクロンメートルであってもよく、表面電界緩和手段が設けられていてもよい。チップの厚さはおよそ300μm付近である。

10

20

30

40

50

なお、本実施例の動作メカニズムの説明を容易にするために、図1には3本の電流ルートを矢印を付与した点線で示してある。

【0043】

図1に示すように、本実施例のSiC逆導通IGBT100においては、厚さ約270μmのn⁺ドレイン102が第2コレクタ電極101に裏面が接しており、そのおもて面にはp埋込コレクタ導電層120と第1の短絡領域121が設けられ、それらのおもて面には各々対向してp埋込コレクタ層103とこの層を貫通する第2のn⁺短絡部領域104が設けられている。これらの領域103と104のおもて面には、nバッファ層105が設けられている。p埋込コレクタ導電層120の不純物濃度および厚さは、例えば、それぞれ $1 \times 10^{21} \text{ cm}^{-3}$ および15μmであってもよく、抵抗率が約0.02cmである。また、p埋込コレクタ領域103の不純物濃度および厚さは、例えば、それぞれ $1 \times 10^{18} \text{ cm}^{-3}$ および1.5μmであってもよい。p埋込コレクタ導電層120を貫通するn⁺短絡部の不純物濃度は $1 \times 10^{21} \text{ cm}^{-3}$ であってもよく、p埋込コレクタ層103を貫通するn⁺短絡部104の不純物濃度は $5 \times 10^{19} \text{ cm}^{-3}$ であってもよい。また、nバッファ層105の不純物濃度および厚さは、例えば、それぞれ $3 \times 10^{16} \text{ cm}^{-3}$ および0.8μmであってもよい。各セルにおいてn⁺短絡部103はセルの中心付近に設けてもよく、その幅は8μmであってもよい。n⁺短絡部間の距離、これはp埋込コレクタ層の幅に該当するが、この幅は7μmであってもよい。

【0044】

nバッファ層105のおもて面には、nドリフト層106が設けられている。nドリフト層106は、SiCエピタキシャル層である。nドリフト層106の不純物濃度は、nバッファ層105の不純物濃度以下である。具体的には、nドリフト層106の不純物濃度および厚さは、例えば、各々 $1 \times 10^{16} \text{ cm}^{-3}$ および13μmであってもよい。

【0045】

nドリフト層106の表面層には、pボディ領域107が選択的に複数設けられている。pボディ領域107の不純物濃度は、nドリフト層106の不純物濃度よりも高い。例えば、pボディ領域107の不純物濃度および素子のおもて面からの厚さは、それぞれ $1 \times 10^{18} \text{ cm}^{-3}$ および0.6μmであってもよい。隣り合うpボディ領域107に挟まれたnドリフト層106の幅は、例えば6μmであってもよい。pボディ領域107は、例えばアルミニウムのイオン注入によって形成された層である。

【0046】

なお、SiC半導体は深さ方向に直行する方向の不純物拡散がシリコン半導体に比べて少ないので、図1において半導体層を矩形状に図示している（以下、各図に示す逆導通IGBTにおいても同様に、半導体層を矩形状に図示する）。

【0047】

各pボディ領域107の表面層には、2個のn⁺エミッタ領域108および2個のp

低濃度チャンネル領域 109 や p^+ コンタクト領域 110 が選択的に設けられている。 n^+ エミッタ領域 108 および p^- 低濃度チャンネル領域 109 や p^+ コンタク領域 110 は、イオン注入によって形成された半導体領域である。 p^- 低濃度チャンネル領域 109 は、 p ボディ領域 107 の端部に設けられ n ドリフト層 106 に接する。 n^+ エミッタ領域 108 は、 p^- 低濃度チャンネル領域 109 の n ドリフト層 106 に接する端部とは反対側の端部に接する。

【0048】

n^+ エミッタ領域 108 の、 p^- 低濃度チャンネル領域 109 に接していない側の端部は、 p^+ コンタク領域 110 に接している。各 p ボディ領域 107 に設けられた p^- 低濃度チャンネル領域 109 および n^+ エミッタ領域 108 は、隣り合う他の p ボディ領域 107 の p^- 低濃度チャンネル領域 109 および n^+ エミッタ領域 108 と対称に配置されている。

10

【0049】

p^- 低濃度チャンネル領域 109 および n^+ エミッタ領域 108 は p ボディ領域 107 の表面層にそれぞれイオン注入によって形成される。 p^- 低濃度チャンネル領域 109 の不純物濃度は、 p ボディ領域 107 の不純物濃度よりも低い。具体的には、 p^- 低濃度チャンネル領域 109 の不純物濃度および厚さは、例えば、それぞれ $3 \times 10^{16} \text{ cm}^{-3}$ および $0.3 \mu\text{m}$ であってもよい。またチャンネルの長さは $1.0 \mu\text{m}$ であってもよい。

n^+ エミッタ領域 108 の不純物濃度および厚さは、例えば、それぞれ $5 \times 10^{19} \text{ cm}^{-3}$ および $0.3 \mu\text{m}$ であってもよく、水平方向の幅は、例えば $2.5 \mu\text{m}$ であってもよい。

20

p^+ コンタク領域 110 の不純物濃度は、例えば $1 \times 10^{19} \text{ cm}^{-3}$ であってもよい。

【0050】

p^- 低濃度チャンネル領域 109 の表面には、ゲート絶縁膜 111 を介してゲート電極（制御電極）112 が設けられている。ゲート絶縁膜 111 の厚さは約 500 オングストロームであってもよい。エミッタ電極 114 は、 n^+ エミッタ領域 108 に接するとともに p^+ コンタクト層 110 にも接しており、 p^+ コンタクト層 110 を介して p ボディ領域 107 に電氣的に接している。また、エミッタ電極 114 はゲート電極 112 から層間絶縁膜 113 やゲート絶縁膜 111 により絶縁されている。エミッタ電極 114 と第 1 のコレクタ電極 119 との間には高耐圧・高耐熱レジソンの絶縁物（不図示）が設けられ相互に絶縁されている。この絶縁物はチップのおもて面全体を被覆し、各電極のワイヤボンディングが必要な個所のみ耐圧を損ねない状態で開口しボンディング用パットを設けていてもよい。

30

n^+ 短絡部 104 は好ましくは、 p ボディ領域 107 に各々の水平方向のセンター位置がほぼ重なるように対向させてもよい。

【0051】

セルは例えば 10 個単位でグループ化されてグループセルを構成しており、各グループ間には p^+ トレンチコレクタ領域 115 が設けられている。 p^+ トレンチコレクタ領域 115 の不純物濃度および厚さは、例えば $1 \times 10^{20} \text{ cm}^{-3}$ および $16 \mu\text{m}$ であってもよく、幅が $15 \mu\text{m}$ であってもよい。 p^+ トレンチコレクタ領域 115 から n ドレイン領域 106 への過度の正孔が注入されるのを抑制するために、 n ドレイン領域 106 と p^+ トレンチコレクタ領域 115 の間に n トレンチバッファ領域 116 を設けてもよい。 n トレンチバッファ層 116 は n バッファ層 105 と同じ不純物濃度および厚さ、すなわち $3 \times 10^{16} \text{ cm}^{-3}$ および $0.8 \mu\text{m}$ であってもよい。

40

隣り合う p^+ トレンチコレクタ領域 115 の水平方向の中心間の複数セルをグループセル（図中に付記）と定義し、この中心間距離を以下ではグループセルの幅と呼ぶ。この幅内には、グループセルの両端のセルとこれらに対向する各 p^+ トレンチコレクタ領域 115 間の距離、すなわち電界緩和用のフィールド領域の幅も含まれる。このフィールド領域の中間付近のおもて面には、おもて面と酸化膜等の表面保護膜 130 の界面状態が良好でないときに特に問題となるリーク電流の影響を抑制するために n チャンネルストッパー 122

50

が設けられてもよい。

【0052】

p⁺トレンチコレクタ領域115は少なくともnドリフト層106およびnバッファ層105を貫通してグループセル端部のp埋込コレクタ領域に接するように設けられている。このグループセル端部のp埋込コレクタは、端部のセルのn短絡領域104からp⁺トレンチコレクタ領域115の水平方向の中心位置まで延在しており、端部のセル以外のセルのp埋込コレクタ103よりも幅が広い。以下ではp埋込端部コレクタ117と呼ぶ。p⁺トレンチコレクタ層115はできるだけ低抵抗であることが好ましい。nトレンチバッファ領域116はnバッファ層105の不純物濃度および厚さと同じであってもよいが、例えばp⁺トレンチコレクタ領域115からの過度の正孔の注入を抑制しターンオフ速度を短くするためにはより高濃度でより厚くしてもよい。一方、nバッファ層105内での電圧降下を大きくしてスナックバック現象を抑制するためにはより低濃度でより薄くしてもよい。すなわち、所望の正孔注入量と所望の電圧降下を考慮して設定されるのが好ましい。

10

p⁺トレンチコレクタ領域115の主表面側の露出面には第1コレクタ電極119が設けられている。p⁺トレンチコレクタ領域115の露出面の幅は約15μmであってもよい。グループセルの幅は例えば約200μmである。

【0053】

各グループセルのp埋込コレクタ層103は各グループセル内の両端のp⁺トレンチコレクタ領域115に接続されている。またn⁺短絡領域が貫通しているためp埋込コレクタ層は平面形状がメッシュ状である。貫通しているn⁺短絡領域の水平方向の幅は例えば8μmと一定であるが、垂直方向の幅は7.5μmであってもよい。このn⁺短絡領域の垂直方向の幅を変えることによりp埋込コレクタ層103の抵抗を制御でき、例えばこの垂直方向の幅を小さくすることによりp埋込コレクタ層103の抵抗を小さくできる。

20

p埋込コレクタ導電層120も同様にメッシュ状であり、本実施例ではその形状はp埋込コレクタ層103のメッシュ形状と同じである。しかし、異なってもよく、p埋込コレクタ導電層120のn短絡領域の垂直方向の幅を独立に変えることにより同様にp埋込コレクタ導電層120の抵抗を制御できる。p埋込コレクタ層の抵抗とp埋込コレクタ導電層の抵抗はp⁺トレンチコレクタ領域115に並列接続されており、後者が高不純物濃度で厚いので前者に比べてコレクタ抵抗低減効果に関しては大きな影響を持つ。

30

【0054】

以下に、本実施例の動作とスナックバック現象抑制のメカニズムを説明する。

まず上記においてゲート電圧約20Vを印加しコレクタ電極とエミッタ電極114間に順方向電圧を印加し増加してゆくと、全セルにおいて各セルごとに図1の点線a、bで模式的に示すルートも含んだ多数のルートでMOSFET電流が流れ、その総和が例えば定常動作電流として機能する。

その際、各セルグループの両端のセルでは図1の点線cで模式的に示すルートでも、エミッタ電極114、エミッタ領域（ソース領域として機能）108、チャネル領域109、フィールド領域、nトレンチバッファ領域116、p埋込端部コレクタ層117上のnバッファ層105、n短絡領域104と121、nドレイン層102、第2コレクタ電極101を経由して電子電流が流れる。この電子電流によりnバッファ層内に電界降下が生じるが、短絡領域104から最も遠いnトレンチバッファ層116のおもて面付近で電界降下は最大となる。コレクタ電極とエミッタ電極間の印加電圧を増大してゆき、この電界降下が2.7Vのビルトイン電圧以上になるとこのおもて面付近で正孔の注入が起こりIGBT部分が横型IGBTとして機能しオンする。一旦このIGBT部がオンすると導電率変調効果によりこのIGBT部分の抵抗が大幅に低下し大きなバイポーラ電流（正孔電流と電子電流の合算電流）が流れる。この電流が拡がって端部のセル全体がオンしてより大きな電流が流れ、更に隣接するセルにおいてもこのより大きな電流の拡がり電流分によりnバッファ層内の電圧降下が増大してp埋込コレクタ103から正孔の注入が生

40

50

じ隣接セルがオンし更に大きな電流がながれる。この繰り返しで次々に隣接セルがオンしついに全体がオンする。このようにして、全グループセルがオンし、結局逆導通 IGBT 全体がオンし過負荷電流に該当する大きな電流が流れる。この間に要するターンオン時間は約数十ナノ秒の短い時間である。

【0055】

本実施例特有の p⁺ トレンチコレクタ領域 115 を有しない場合は、図 1 の a や b の電子電流のルートにより 7 μm 幅の p 埋込コレクタ 103 上の半分のバッファ層部分における電界降下によって、p 埋込コレクタ 103 の中央部付近から正孔の注入が生じ IGBT 部がオンする。従って、電界効果が生じるバッファ層部分の長さは約 3.5 μm と短いので電圧降下を生じるためのバッファ層内の抵抗が小さいので、ビルトイン電圧 2.7 V の電界降下を n バッファ層で生じるには極めて大きな電子電流が必要となる。逆導通 IGBT のスナップバック電圧 V_{sb} は、n バッファ層内で正孔の注入が生じ IGBT 部がオンする直前の電圧であるので次式で近似できる。

$$V_{sb} = (\text{チャンネル抵抗での電圧降下}) + (\text{ドリフト抵抗での電圧降下}) + (\text{ビルトイン電圧})$$

1.2 kV 級の本実施例の場合はドリフト抵抗がより大きいので、ドリフト層での電圧降下が大きくなり V_{sb} も大きくなってしまふ。この結果、スナップバック現象に起因する dI_{sb}/dt は例えば約 4240 A/μs、dV_{sb}/dt は約 -70 V/μs であり、回路に大きな悪影響を及ぼしてしまう。

【0056】

一方、本実施例特有の p⁺ トレンチコレクタ領域 115 を設けた場合は、図 1 の点線 c のルートにおける n バッファ層部分での電圧降下が 2.7 V になると正孔注入が生じる。本実施例における n バッファ層の幅は、本来のパイロット IGBT の p⁺ 埋込コレクタ上の n バッファ層の幅とフィールド領域下の p⁺ 埋込コレクタの幅および n トレンチバッファ層領域 116 の幅の総和から構成される。それぞれがいずれも約 15 μm なので総計約 45 μm である。上記の p⁺ トレンチコレクタ領域 115 を有しない場合に比べると約 1.3 倍長く、従ってその分少ない電子電流でビルトイン電圧に到達する。このように電子電流が少ないので V_{sb} は大幅に小さくなり、この結果スナップ現象を大幅に抑制できるものである。

上記の例では n トレンチバッファ層 116 の不純物濃度を $3 \times 10^{16} \text{ cm}^{-3}$ 、厚さを 0.8 μm と n バッファ層 105 と同一にしたが、変えることにより次の効果も発揮できる。すなわち、同じ厚さでその不純物濃度を高くすることにより、n トレンチバッファ層の抵抗値を低くしたり、p⁺ トレンチコレクタ領域 115 からの正孔の注入を抑えたりしてスナップバック現象発生時の電流 I_{sb} を大きくできる。また逆に低くすることにより I_{sb} を小さくできる。更に厚さを厚くすることによっても抵抗値や正孔注入を小さくして I_{sb} を大きくでき、逆に薄くすることによって I_{sb} を小さくもできる。I_{sb} は定常動作時の定格出力電流の上限値とみなせるので、従って定常動作の定格出力電流に合わせて I_{sb} を n トレンチバッファ層領域 116 の不純物濃度や厚さで所望の値に設定することが可能になる。

【0057】

つぎに、図 1 に模式図を示す SiC 逆導通 IGBT 100 の製造方法について、プロセスフローを中心に説明する。また、イオン打ち込み後のアニール工程やホトマスクとして用いたレジストの除去工程、洗浄工程などの通常付随する工程の記述は煩雑になるので削除し主要工程に注目して説明する。

まず、約 280 μm 厚のオフアングル n⁺ 高不純物濃度 SiC 基板を用いて、おもて面に p 埋込コレクタ導電層 120 の形成領域が露出するような開口部を有するレジストマスクを形成し、このレジストマスクをマスクとしてプラズマエッチングにより約 11 μm の深さのトレンチ溝を形成する。

ついで、 0.02 cm 程度の比抵抗を持つ高不純物濃度の p 層をエピタキシャル成長で

10

20

30

40

50

形成する。この成長には気相成長だけでなく液相エピタキシャル成長法などの各種の成長法を適用できる。その後、研磨により n^+ SiC 基板上の p エピタキシャル層を削除し更に約 $1\ \mu\text{m}$ の精密研磨を行い、深さ約 $10\ \mu\text{m}$ の p^+ 埋込コレクタ導電層120を形成する。この際、同時に n^+ 短絡部領域121も形成される。

【0058】

ついで、 $1.5\ \mu\text{m}$ 厚の p 層をエピタキシャル成長で形成し、更に n^+ 短絡部領域104の形成領域となる n^+ 短絡部領域121が露出するような開口部を有するレジストマスクを形成し、このレジストマスクをマスクとして窒素のイオン打ち込みにより選択的に n^+ 短絡部領域104を形成する。この結果、 p 埋込コレクタ導電層120上に p 埋込コレクタ領域103と p 埋込端部コレクタ領域117も同時に形成される。

10

【0059】

その後 n バッファ層105、ついで n ドリフト層106をエピタキシャル成長で順次形成する。つぎに、 n ドリフト層106の表面に p^+ トレンチコレクタ領域115の形成領域が露出するような開口部を有するレジストマスクを形成し、このレジストマスクをマスクとしてプラズマエッチングにより p 埋込端部コレクタ領域117に至るトレンチ溝を形成する。

【0060】

ついで n トレンチバッファ領域116を形成するためにトレンチ溝表面に選択的に窒素のイオン打ち込みを行い、続いてトレンチ溝底部表面のイオン打ち込み層のみを選択的に除去する。更にエピタキシャル成長によりトレンチ溝が十分埋まる厚さの p^+ 層を形成後、研磨によりトレンチ溝以外の p^+ エピタキシャル層を除去しウエーハ表面を平滑にする。露出面の状況によっては仕上げ用精密研磨を施してもよい。これらの研磨工程を実施することにより p^+ トレンチコレクタ領域115および n トレンチバッファ領域116が形成される。

20

【0061】

つぎに、 n ドリフト層106の表面に、 p ボディ領域107の形成領域が露出する開口部を有するレジストマスクを形成する。そして、このレジストマスクをマスクとして、レジストマスクの開口部に露出する n ドリフト層106に p 型不純物であるアルミニウムをイオン打ち込みする。このとき、後の工程において p ボディ領域107の表面層に p ボディ領域107よりも不純物濃度が低い p^- 低濃度チャネル領域109を形成するために、 p ボディ領域107の、浅い部分の不純物濃度が深い部分の不純物濃度よりも低くなるようにイオン注入を多重に行うのが好ましい。

30

【0062】

つぎに、 p ボディ領域107の表面に p^+ コンタクト形成領域110が露出する開口部を有するレジストマスクを形成し、 p 型不純物をイオン注入して p^+ コンタクト領域110を形成する。

更に、 p^- 低濃度チャネル領域109の形成領域が露出する開口部を有するレジストマスクを形成し不純物イオンをイオン注入し p^- 低濃度チャネル領域109を形成する。

【0063】

p^- 低濃度チャネル領域109を形成するためのイオン注入では、 p ボディ領域107の表面層の不純物濃度が p^- 低濃度チャネル領域109の所望の不純物濃度よりも低い場合には、 p^- 低濃度チャネル領域109が所望の不純物濃度となるように p 型不純物濃度をイオン注入する。一方、 p ボディ領域107の表面層の不純物濃度が p^- 低濃度チャネル領域109の所望の不純物濃度よりも高い場合には、 p^- 低濃度チャネル領域109が所望の不純物濃度となるように n 型不純物濃度をイオン注入する。

40

つぎに、 n^+ エミッタ領域108の形成領域が露出する開口部を有するレジストマスクを形成し、 n 型不純物イオンをイオン注入し n^+ エミッタ領域108を選択的に形成する。つぎに、表面にゲート絶縁膜111を形成し、更に多結晶シリコンのゲート電極112を選択的に形成する。つぎに、層間絶縁膜113を形成し、層間絶縁膜113でゲート電極112を覆う。

50

【0064】

つぎに、フォトリソグラフィによって層間絶縁膜113およびゲート絶縁膜111を選択的に除去し、 n^+ エミッタ領域108および p^+ コンタクト層形成領域110とエミッタ電極114とを接続するためのコンタクトホールと p^+ トレンチコレクタと第1コレクタ電極119とを接続するためのコンタクトホールを形成する。つぎに、コンタクトホール内を含めておもて面に金属膜を形成し、更に裏面に第2コレクタ電極用の金属膜を形成する。ついで、表面の金属膜のフォトエッチングによってエミッタ電極114と第1コレクタ電極109を分離形成する。更にダイシングを行い、図1に模式図の一部を示す逆導通IGBT素子100を完成する。

【0065】

なお、上記の製造方法においては、 p 埋込コレクタ導電層120を n^+ 高不純物濃度SiC基板のトレンチ溝にエピタキシャル技術を用いて埋め込んで形成したが次の方法を用いてもよい。すなわち、 n^+ 高不純物濃度SiC基板上に高濃度の p 埋込コレクタ導電層120をエピタキシャル成長させたのちに、SiC基板まで貫通するトレンチ溝を形成した後、エピタキシャル成長により n^+ 高不純物濃度の成長層で埋込み、研磨を施して n^+ 短絡部領域121を形成する方法を用いてもよい。

また、上記の製造方法においては p^+ トレンチコレクタ領域115をエピタキシャルSiCで埋め込んで形成したが種々の他の方法も適用できる。例えば、トレンチ溝の中にバッファ層などを形成後、高不純物濃度の多結晶Siを埋め込んで形成してもよい。この場合、トレンチ溝表面に $2\mu\text{m}$ から $10\mu\text{m}$ 程度の厚さのSiCエピタキシャル層を形成してから高不純物濃度の多結晶Siを埋め込んで形成する方法も、 p^+ トレンチコレクタ領域115の結晶性を向上して正孔の注入を効率よくできるので効果的である。将来的には多結晶Siに代わって低融点金属やカーボン系の材料などで埋め込む方法も期待できる。

【0066】

次に、前記の製造方法で作製する逆導通IGBT100の特性について説明する。

前記の逆導通IGBT100はTO型の高耐圧パッケージに実装して動作試験に供した。すなわち、パッケージのダイボンディング用リードフレームに逆導通IGBTチップの第2コレクタ電極101をはんだ付けし、更に逆導通IGBTチップ上に設けた第1コレクタ電極を集約したコレクタパッドと上記のダイボンディング用リードフレームとを複数本のAlワイヤで結線し第1コレクタ電極101と第2コレクタ電極119を電気的に接続した。また、エミッタ電極114とエミッタリード端子を複数本のAlワイヤで結線するとともに、ゲート電極113を集約したチップ上のゲートパッドとパッケージのゲートリードとを複数本のAlワイヤで結線した。ついで保護用の高耐熱レジンでチップとAlワイヤを完全に被覆して3端子の半導体装置にしたのち動作試験に供した。

なお特性やその測定の方の説明に当たっては、煩雑さを避けるために、接続されている第1コレクタ電極119と第2コレクタ電極101を総称して、単にコレクタ電極と記載する。

【0067】

ゲート電圧を印加しない状態でパッケージのリード端子を介してエミッタ電極114とコレクタ電極の間に順方向電圧を印加すると、リーク電流が流れるが良好な順阻止特性を示し、室温での耐圧すなわちなだれ降伏を示す電圧は約 1.34 kV である。また、なだれ降伏前のリーク電流は室温で $3.2 \times 10^{-3} \text{ A/cm}^2$ 以下、 250°C の高温でも $4 \times 10^{-2} \text{ A/cm}^2$ 以下と良好である。

【0068】

ゲート電極112に閾値電圧以上のゲート電圧約 20 V を印加し、ついでコレクタ電極とエミッタ電極114間に順方向電圧を印加し増加してゆくとほぼ直線的にMOSFET部の通電電流が増加し、 2.2 V で所定の定常動作電流の約 40 A を流すことができた。オン抵抗は約 $55\text{ m}\Omega$ であり低い。更に順方向電圧を増加するとスナップバック現象が現れIGBT部がオンし、更に順方向電圧を増加すると 225% の過負荷電流に相当する 90 A を約 3.2 V のオン電圧で流すことができ過負荷動作時の低損失を達成できた。

10

20

30

40

50

本実施例では、IGBT部がオンする前のMOSFET部のオン抵抗をSiC半導体を用いることにより著しく小さくし、定常動作時の著しい低損失を達成している。上記の著しく低い約55mΩのオン抵抗はSiC-MOSFETと耐圧の理論的な相関関係から考慮しても妥当な低い値である。

また過負荷動作時にはIGBT部をオンさせSiCの導電率変調効果を活用して低損失にするとともに、p埋込コレクタ導電層120を設け且つグループセル構成にしてp⁺トレンチコレクタ領域115も設けることによってp埋込コレクタ領域103からコレクタ電極までの電流通路の抵抗を著しく小さくしている。これらにより、IGBT部のオン抵抗を小さくでき大幅に低損失にし絶対最大定格電流容量を増大させ、過負荷動作時の大きな過負荷電流を低損失で達成している。このように本実施例の逆導通IGBTは定常時と過負荷時のいづれにおいても低損失である一方、その厚さは約300μmであり、素子製作時の加工歪に母材のSiCウエーハが十分耐える高い機械強度を有している。これは、本発明に特有の電気特性実現領域と機械強度実現領域を分離し低いオン抵抗と高い機械強度を両立させたことによる効果である。

スナッチバック現象が現れIGBT部がオンするまでの時間はおおよそ75ナノ秒であり、 dI_{sb}/dt は約285A/μs、 dV_{sb}/dt は約-10.3V/μsである。従って、回路動作に及ぼす影響は実用上まったく無視できるレベルでありスナッチバック現象による悪影響は大幅に抑制できた。これは、本発明に特有のトレンチコレクタ構造と埋込端部コレクタ構造による効果であり、しかも単に従来例のパイロットIGBTのみを適用した場合に比べて小さい面積で実現できている。

このようにスナッチバック現象を大幅に抑制できたのは、上記したようにパイロットIGBTに加えて、本実施例特有のp⁺トレンチコレクタ領域とフィールド領域下のp⁺埋込コレクタの活用によるものであり、単にパイロットIGBTを用いた従来構造に比べて素子面積も低減できている。

【0069】

以上のように、本実施例によれば、低オン抵抗で高い機械強度を有するとともに、過負荷動作時に低損失であるのみならず定常動作領域では特に著しく低損失であり、更に小面積でスナッチバック現象を抑制できる逆導通IGBTを実現できる。

【0070】

(実施例2)

本実施例は耐圧は1.2kV級、定格出力電流は22A、絶対最大定格電流は50A級の4H-SiC逆導通IGBT半導体素子であり、チップサイズは8.8mm×2.4mmであり、活性領域は約8mm×2mmである。

【0071】

図2は、実施例2にかかるSiC逆導通IGBT半導体素子を模式的に示す断面図である。実施例1の素子に比べて、セルの形状および構造はほぼ同じであるが、p⁺トレンチコレクタ領域215および第1コレクタ電極219とnトレンチバッファ216をチップ両端のみに設けている点、p埋込コレクタ導電層220の抵抗率を小さく且つ厚くしている点、パイロットIGBTに対応するp埋込コレクタの幅を長くしている点を除けば実施例1と大きな差異はない。

【0072】

本実施例では、p⁺トレンチコレクタ領域215やnトレンチバッファ216を素子内部に設けないで素子両端のみに設ける一方、p埋込コレクタ導電層220を厚く低抵抗率にすることにより低オン抵抗と低損失化を達成している。

またp⁺トレンチコレクタ領域215や第1コレクタ電極219およびnトレンチバッファ216を素子内部に多数設けることはしないで、素子の両端部のみに設けることで良いので製作プロセスを簡略化できる。すなわち機能的には実装時に第1コレクタ電極219にワイヤボンディングできればよいので、p⁺トレンチコレクタ領域215の幅を大きくでき加工しやすいとともに、必ずしも約16μmと厚くしなくともよく、場合によっては

10

20

30

40

50

p⁺ トレンチコレクタ領域 215 を形成しないで p 埋込コレクタ層 203 の露出させた端部に第 1 コレクタ電極 219 のみを直接形成してもよく p⁺ トレンチコレクタ領域 215 形成用のエピタキシャルプロセスが簡略化もしくは割愛できる。この場合、n トレンチバッファ 216 内での電圧降下が減少することになるが、パイロット IGBT 部の幅を大きくして電圧降下を増大し相殺している。

【0073】

このように実施例 1 に比べて製作プロセスを大幅に簡略化できる。この簡略化した本実施例の製作プロセスのフローは 上記の [0057] ~ [0064] に記載の実施例 1 の製作プロセスにおいて、[0060] を除いて他を実施例 1 と同様に実施するものである。

【0074】

なお、プラズマエッチングにより p 埋込コレクタ導電層 220 が露出するまで SiC をエッチングする際に、p 埋込コレクタ層 203 は少しでも抵抗を低減するためには残存するのが好ましいが、約 1.5 μm と薄いのでエッチング除去されてしまっても構わない。この場合は、電極 219 が素子端部の p 埋込コレクタ導電層 220 上に直接設けられることになる。

【0075】

つぎに、本実施例 2 にかかる SiC 逆導通 IGBT の特性と特徴を説明する。

前記の逆導通 IGBT 200 は TO 型の高耐圧パッケージに実装して動作試験に供した。すなわち、パッケージのダイボンディング用リードフレームに逆導通 IGBT チップの第 2 コレクタ電極 201 をはんだ付けし、更に逆導通 IGBT チップ端部に設けた第 1 コレクタ電極と上記のダイボンディング用リードフレームとを複数本の Al ワイヤで結線し第 1 コレクタ電極 219 と第 2 コレクタ電極 201 を電氣的に接続した。また、エミッタ電極 214 とエミッタリード端子を複数本の Al ワイヤで結線するとともに、ゲート電極 213 を集約したチップ上のゲートパッドとパッケージのゲートリードとを複数本の Al ワイヤで結線した。ついで保護用の高耐熱レジンでチップと Al ワイヤを完全に被覆して 3 端子の半導体装置としたのち動作試験に供した。

なお特性やその測定の方の説明に当たっては、煩雑さを避けるために、接続されている第 1 コレクタ電極 219 と第 2 コレクタ電極 201 を総称して、単にコレクタ電極と記載する。

【0076】

ゲート電圧を印加しない状態でエミッタ電極 214 とコレクタ電極間に順方向電圧を印加すると、リーク電流が流れるが良好な順阻止特性を示し、室温での耐圧すなわちなだれ降伏を示す電圧は 1.38 kV 付近である。また、なだれ降伏前のリーク電流は室温で $1.5 \times 10^{-3} \text{ A/cm}^2$ 以下、250 の高温でも $3 \times 10^{-2} \text{ A/cm}^2$ 以下と良好である。

【0077】

また、ゲート電極 212 に閾値電圧以上のゲート電圧約 20 V を印加し、ついでコレクタ電極とエミッタ電極 214 間に順方向電圧を印加し増加してゆくとほぼ直線的に MOSFET 部の通電電流が増加し、実施例 1 と同様に 2.0 V の順方向電圧で所定の定常動作電流の約 22 A を流すことができた。従ってオン抵抗は約 90 mΩ と低く著しい低損失を達成できた。更に順方向電圧を増加するとスナップ現象が現れ IGBT 部がオンし、更に順方向電圧を増加すると約 230% の過負荷電流に相当する 50 A を約 3.5 V のオン電圧で流すことができ、過負荷動作時の低損失を達成できた。過負荷率 N は約 2.3 であり従来に比べて十分高い。

【0078】

なお、上記の著しく低い約 90 mΩ のオン抵抗は素子の活性化面積を考慮すると、 $14.4 \text{ m}^2/\text{cm}^2$ の特性オン抵抗に相当し、SiC-MOSFET と耐圧の理論的な相関関係から考慮しても妥当な低い値である。一方逆導通 IGBT チップの厚さは約 300 μm であり製作時の加工歪に母材の SiC ウエーハが十分耐える高い機械強度を有している。これは、本発明に特有の電気特性実現領域と機械強度実現領域を分離し低いオン抵抗と高い

10

20

30

40

50

機械強度を両立させたことによる効果である。

スナッチ現象が現れ IGBT 部がオンするまでの時間はおよそ 75 ナノ秒であり、 di/dt は約 $92 \text{ A}/\mu\text{s}$ 、 dV/dt は約 $6.0 \text{ V}/\mu\text{s}$ である。従って、回路動作に及ぼす影響は実用上無視できるレベルである。これは、本発明に特有のトレンチコレクタ構造と埋込端部コレクタ構造による効果であり、しかも単に従来例のパイロット IGBT のみを適用した場合に比べて小さい面積で実現できている。

なお、本実施例では図 2 に即して、両端のみに p^+ トレンチコレクタ領域 215 および第 1 コレクタ電極 219 と n トレンチバッファ 216 をチップ設けた例について説明したが、素子中央部に同様に設けた構造でも同等の効果を得られるものである。

【0079】

以上のように、本実施例によれば、低オン抵抗で高い機械強度を有し、過負荷動作時に低損失であるのみならず定常動作領域では更に著しく低損失である逆導通 IGBT を実現できる。更に、実施例 1 に比べてその製作プロセスを大幅に簡略化できる。

【0080】

(実施例 3)

本実施例は耐圧 1.2 kV 級、定格出力電流は 20 A、絶対最大定格電流は 50 A 級のヘテロ構造 3C-SiC 逆導通 IGBT 半導体素子であり、チップサイズは $8.8 \text{ mm} \times 2.4 \text{ mm}$ であり、活性領域は約 $8 \text{ mm} \times 2 \text{ mm}$ である。

【0081】

図 3 は、実施例 3 にかかるヘテロ構造の 3C-SiC 逆導通 IGBT 半導体素子を模式的に示す断面図である。セルの形状および構造は実施例 2 とほぼ同じである。上記の実施例 2 の半導体素子に比べて、 n^+ ドレイン 302 および p 埋込コレクタ導電層 321 と第 1 の短絡領域 320 を厚さ $280 \mu\text{m}$ の Si 単結晶基板を用いて形成し、その上に 3C-SiC 逆導通 IGBT 半導体素子を形成している点が大きく異なる。

【0082】

本実施例は他の実施例に比べて次の特徴を有する。まず Si 単結晶基板は SiC 基板に比べて安価であるうえに、大口径化が容易にでき経済性に秀でている。更に、結晶が高品質であり高不純物濃度にしても結晶欠陥が少なく且つ低抵抗率が容易に実現できる。また、3C-SiC は 4H-SiC に比べて Si との結晶格子間隔差が極めて少なく、Si 基板の上に結晶品質の良いエピタキシャル成長層を容易に形成できるので、高性能の半導体素子の製作が容易である。

【0083】

この結果、Si 基板内に形成した p 埋込コレクタ導電層 320 は不純物濃度を約 $1 \times 10^{21} \text{ cm}^{-3}$ にした場合、抵抗率を 0.0005 cm 以下に大幅に低減でき、IGBT の抵抗を低減し低損失化できる。また、Si 基板の上に結晶品質の良いエピタキシャル成長層を容易に形成でき、3C-SiC の電子移動度は高く $900 \text{ cm}^2/\text{V}$ 秒以上であり 4H-SiC とほぼ同等の高性能の MOSFET を容易に実現できる

【0084】

つぎに、本 3C-SiC 逆導通 IGBT 半導体素子の製作フローを説明する。まず、 n^+ ドレイン 302 を構成する結晶面 (100) の Si 単結晶基板上に p 埋込コレクタ導電層 321 を選択的に形成する。この際、自動的に第 1 の短絡領域 320 が形成される。その上に 3C-SiC の p 埋込コレクタ層 303 をヘテロエピタキシャル成長させ、この層を貫通する第 2 の n^+ 短絡部領域 304 をイオン打込みにより形成する。ついで n バッファ層 305、 n ドリフト層 306 を順次エピタキシャル成長により形成する。更にイオン打込みにより、 n ドリフト層 306 内に選択的に p ボディ領域 307 を形成し、ついで p ボディ領域 307 内に 2 個の n^+ エミッタ領域 308 および 2 個の p^- 低濃度チャネル領域 309、更に p^+ コンタクト領域 310 を選択的に形成する。その後、ゲート絶縁膜 311 を形成し、これを介して多結晶 Si からなるゲート電極 312 および層間絶縁膜 313 を設け、ついでエミッタ電極 314 と第 1 のコレクタ電極 319 更に裏面の第 2 コレク

10

20

30

40

50

タ電極 301 を形成する。その後、ダイシングを行い逆導通 IGBT 素子 300 を完成する。

【0085】

つぎに、本実施例 3 にかかる SiC 逆導通 IGBT の特性と特徴を説明する。逆導通 IGBT 300 は、前記の実施例 2 と同様に TO 型の高耐圧パッケージに実装して動作試験に供した。当然ながら、第 1 コレクタ電極 101 と第 2 コレクタ電極 119 は電氣的に接続している。

ゲート電圧を印加しない状態でエミッタ電極 314 とコレクタ電極間に順方向電圧を印加すると、リーク電流が流れるが良好な順阻止特性を示し、室温での耐圧すなわちなだれ降伏を示す電圧は 1.17 kV 付近である。また、なだれ降伏前のリーク電流は室温で $2.5 \times 10^{-3} \text{ A/cm}^2$ 以下、250 の高温でも $3.8 \times 10^{-2} \text{ A/cm}^2$ 以下と良好である。

10

【0086】

また、ゲート電極 312 に閾値電圧以上のゲート電圧約 20 V を印加し、ついでコレクタ電極とエミッタ電極 314 間に順方向電圧を印加し増加してゆくとほぼ直線的に MOSFET 部の通電電流が増加し、実施例 2 と同様に 2.1 V の順方向電圧で所定の定常動作電流の約 20 A を流すことができ、約 105 mΩ と極めて低いオン抵抗を実現し著しい低損失を達成できた。このように、1.2 kV 以上の耐圧と著しく低いオン電圧にも関わらず、逆導通 IGBT チップの厚さは約 300 μm であり製作時の加工歪に母材の SiC ウエーハが十分耐える高い機械強度を有している。これは、本発明に特有の電気特性実現領域と機械強度実現領域を分離することにより低いオン抵抗と高い機械強度を両立させたことによる効果である。

20

更に順方向電圧を増加するとスナッチ現象が現れ IGBT 部がオンするが、更に順方向電圧を増加すると 250% の過負荷電流に相当する 50 A を約 3.0 V のオン電圧で流すことができ、過負荷動作時の低損失を達成できた。この 2.5 の過負荷率 N は従来に比べて十分高い値である。

スナッチバック現象が現れ IGBT 部がオンするまでの時間はおおよそ 75 ナノ秒であり、 dI_{sb}/dt は約 89 A/μs、 dV_{sb}/dt は約 -5.3 V/μs である。従って、回路動作に及ぼす影響は実用上まったく無視できるレベルでありスナッチバック現象による悪影響は大幅に抑制できた。これは、本発明に特有の埋込端部コレクタ構造による効果であり、単に従来例のパイロット IGBT のみを適用した場合に比べて小さい面積で実現できている。

30

また、上記の低抵抗とスナッチバック現象の抑制の達成には Si 基板と 3C-SiC を本発明の構造と組み合わせた効果の寄与も大きい。すなわち、Si 基板は現在の SiC 基板に比べて結晶性が良く同不純物濃度で伝導性が優れているため p 埋込コレクタ導電層に好適であり、その抵抗率を 0.0005 Ωcm 以下に大幅に低減できている。

【0087】

以上のように、本実施例によれば、高い機械強度で更なる低オン抵抗を有し、過負荷動作時に低損失であるのみならず、定常動作領域でも更に著しく低損失にでき、小面積でスナッチバック現象とその経時劣化を抑制できる。

40

【0088】

(実施例 4)

実施例 4 にかかる半導体素子は、構成や構造を図示していないが、設計耐圧が 600 V、定格出力電流は 40 A、絶対最大定格電流は 100 A 級の素子であり過負荷率 N が 2 の Si 逆導通 IGBT である。上記の実施例 2 の SiC 逆導通 IGBT に比べると、Si 半導体材料から構成されており半導体層や半導体領域の不純物濃度や厚さが Si の物性値に基づいて設定されている点、チップサイズが 12.8 mm × 12.4 mm と大きい点を除けば素子は実施例 2 とほぼ同じ構成である。

本実施例は、他の実施例に比べて電気特性実現領域と機械強度実現領域の全てを Si 半導

50

体で構成しているのので次の特徴がある。すなわち、Si単結晶基板やSi半導体素子製造プロセスはSiCに比べて安価であるうえに、大口径化が容易にでき経済性に秀でている。更に、SiCよりも結晶が高品質であり高不純物濃度にしても結晶欠陥が少なく且つ低抵抗率が容易に実現できるので、p埋込コレクタ導電層の抵抗率を 0.0005 cm 以下に大幅に低減できるので本逆導通IGBTの抵抗を低減できるとともにビルトイン電圧が約 0.8 V とSiCの $1/4$ なので大幅な低損失化を達成できる。

【0089】

ドリフト層は不純物濃度が $3 \times 10^{14} \text{ cm}^{-3}$ 、厚さが約 $60 \mu\text{m}$ であり、p埋込端部コレクタの幅は約 $200 \mu\text{m}$ である。

本実施例になるSi IGBTは室温での耐圧すなわちなだれ降伏を示す電圧は約 640 V であった。また、ゲート電極に閾値電圧以上のゲート電圧約 20 V を印加し、ついでコレクタ電極とエミッタ電極間に順方向電圧を印加し増加してゆくとほぼ直線的にMOSFET部の通電電流が増加し、 2.5 V で所定の定常動作に必要な定格出力電流の約 40 A を流すことができた。オン抵抗は約 63 m であり、特性オン抵抗は 91 m cm^2 である。この低い特性オン抵抗はSi MOSFETの耐圧と特性オン抵抗の理論的な相関関係から考慮しても適正な低い値である。一方逆導通IGBTチップの厚さは約 $300 \mu\text{m}$ であり製作時の加工歪に母材のSiウエーハが十分耐える高い機械強度を有している。これは、本発明に特有の電気特性実現領域と機械強度実現領域を分離し低いオン抵抗と高い機械強度を両立させたことによる効果である。

【0090】

更に順方向電圧を増加するとスナップ現象が現れてIGBT部がオンしてオン電流が流れ始め、 250% の過負荷電流に相当する絶対最大定格電流 40 A を約 1.9 V の低いオン電圧で流すことができ過負荷動作時の低損失を達成できた。

【0091】

本実施例では、実施例2と同様に p^+ トレンチコレクタ領域とnドリフト層の間にnトレンチバッファ領域を設けている。これにより、p埋込コレクタ領域上のnバッファ層の内部抵抗に加えて、素子の面に直交する長さ約 $60 \mu\text{m}$ のnトレンチバッファ領域における内部抵抗も活用することができ、比較的低い電流で 0.7 V のSiのビルトイン電圧に相当する電圧降下を達成してオンさせることができ、スナップバック現象における V_{sb} も低い値に抑制できている。従来例2のように素子の面に平行なp埋込コレクタ層の上のみにパイロットIGBTを形成する構造の場合は W_p を約 $260 \mu\text{m}$ にしないと本実施例と同等の V_{sb} まで低減できない。本実施例では上記のように約 $200 \mu\text{m}$ のp埋込端部コレクタの幅で同等の V_{sb} を達成しており、小面積でスナップバック現象の抑制を達成できている。

スナップバック現象が現れIGBT部がオンするまでの時間はおおよそ 90 ns であり、 dI_{sb}/dt は約 $657 \text{ A}/\mu\text{s}$ 、 dV_{sb}/dt は約 $-12.5 \text{ V}/\mu\text{s}$ である。上記の従来例2の構造から推測される値に比べて大幅に小さく、回路動作に及ぼす影響は実用上無視できるレベルでありスナップバック現象による悪影響は大幅に抑制できた。これは、本発明に特有の埋込端部コレクタ構造による効果と結晶性が良く同不純物濃度で伝導性が優れているSiでこの埋込端部コレクタを構成している効果によるものである。

【0092】

以上のように本実施例によれば経済性に優れたSi半導体を用いて、低オン抵抗で高い機械強度を有し、過負荷動作時には特に著しく低損失であるとともに、より小面積でスナップバック現象を抑制できるSi逆導通IGBTを実現できる

【0093】

(実施例5)

本実施例は実施例1と同様の、耐圧は 1.2 kV 級、定格出力電流は 45 A 、絶対最大定格電流は 135 A 級の素子であり過負荷率 N が3の高過負荷に対応できる素子である。図4は、実施例4にかかる4H-SiC逆導通IGBT半導体素子を模式的に示す断面図

であり、図 1 の実施例 1 の左側グループセルの 3 個半のセルと p^+ トレンチコレクタ領域 4 1 5 の半分のみを図示し他は割愛し破線領域として示している。

上記の実施例 1 の半導体素子に比べて、 n ドリフト領域にスーパージャンクション構造を採用している点と p^+ トレンチコレクタ領域 4 1 5 の形成にスーパージャンクション製作プロセスを兼用している点および n トレンチバッファ領域を設けていない点を除けば、実施例 1 とほぼ同じである。

【0094】

本実施例は、上記の実施例 1 と同様に、低オン抵抗で高い機械強度を有し、過負荷動作時に低損失であるのみならず、スーパージャンクション構造を採用している点で同耐圧の実施例よりも定常動作領域では特に著しく低損失である。またスーパージャンクション構造製作プロセスを兼用している点で p^+ トレンチコレクタ領域 4 1 5 の製作プロセスを簡略化できる。

10

【0095】

スーパージャンクションは公開特許公報：特開 2 0 0 3 - 2 7 3 3 5 5 などが開示され実用化されており、その詳細説明は割愛するが、本実施例の理解に不可欠な主要点を以下に記述する。図 4 に示すように、実施例 1 の n ドリフト層 1 0 6 に代わって、 p カラム 4 2 3 とこの p カラムによって n ドリフト層が分断されて形成された n カラム 4 2 4 から形成された構造になっている。 n ドリフト層該当部に p カラム 4 2 3 を形成すると、その間の n カラム 4 2 4 は自動的に形成される。従って、図 4 において p カラム 4 2 3 と n カラム 4 2 4 は交互に設けられている。

20

【0096】

実施例 1 の場合は主端子間に順方向電圧を印加すると、 p ボディ領域 1 0 7 とドリフト層 1 0 6 で構成する p n 接合が逆バイアスされドリフト層内に空乏層が拡がり電界が緩和されるが、 p n 接合付近に電界が局所的に集中し高くなってしまふ。本実施例のスーパージャンクションの場合は、耐圧に相当する順方向電圧を印加すると、低不純物濃度の p カラム 4 2 3 と低不純物濃度の n カラム 4 2 4 で構成する p n 接合から空乏層が拡がり、両カラムが全て空乏化されるので電界の局所的な集中を防止できる。この結果、素子のオン抵抗と耐圧の相反関係を改善でき、同じ耐圧の場合でも実施例 1 のドリフト層の不純物濃度に比べて p カラム 4 2 3 と n カラム 4 2 4 の不純物濃度を大幅に増大でき大幅なオン抵抗の低減ができる。

30

このためには p カラム 4 2 3 と n カラム 4 2 4 の不純物濃度と水平方向の幅（すなわち同極性のカラム間の距離）は、耐圧に相当する順方向電圧印加時には完全に空乏化してしまう値に設定することが必要となる。例えば両カラムの不純物濃度は $7 \times 10^{16} \text{ cm}^{-3}$ 、幅は $2.5 \mu\text{m}$ であってもよい。カラムの縦方向の厚さは実施例 1 における n バッファ層と p ボディ領域間の厚さと同じ $1.2 \mu\text{m}$ であってもよい。その他の各層の不純物濃度や寸法などは p^+ トレンチコレクタ領域 4 1 5 を除けば実施例 1 と同じである。

【0097】

つぎに本実施例の特徴である p カラム 4 2 3 と p^+ トレンチコレクタ領域 4 1 5 の製作方法について図 5 と一部図 4 を用いてその製作フローを説明する。図 5 では主要点に注目した説明を行う都合上、 p^+ トレンチコレクタ領域 5 1 5 (図 4 の 4 1 5) とその左右に各 1 個の p カラム 5 2 3 (図 4 の 4 2 3) を有する p ボディ 5 0 7 (図 4 の 4 0 7) を配置して模式化するとともに、下記に示すように複数の半導体層を一括して半導体層 5 5 0 として模式化してある。

40

【0098】

n カラム 5 2 4 (図 4 の 4 2 4) は【0095】に記したように、 p カラム 5 2 3 (図 4 の 4 2 3) を形成するとこれにより n ドリフト層が分断されて自動的に形成されるので、図 5 には n カラムの番号と矢印は記述しない。

まず図 4 におけるドレイン層 4 0 2 を構成する厚さが約 $290 \mu\text{m}$ の高濃度の n^+ 基板に、 p^+ 埋込コレクタ導電層 4 2 0 と p 埋込コレクタ層 4 0 3 を形成する。これらは煩雑化を防ぐために、図 5 では一括して半導体層 5 5 0 として記してある。

50

つぎに半導体層 5 5 0 のおもて面に n バッファ層 5 0 5 (図 4 の 4 0 5) をエピタキシャル成長法で形成し、ついで p 埋込端部コレクタ領域 4 1 7 に接続する p⁺ トレンチコレクタ領域部分 5 1 5 - 0 をアルミニウムのイオン打込みにより選択的に形成する。

【 0 0 9 9 】

つぎに、ドリフト層を構成する n⁻ 半導体層 5 2 5 をエピタキシャル成長し、更にマスク用の酸化膜 5 2 6 を形成し、更に p⁺ トレンチコレクタ領域部分 5 1 5 - 0 上の酸化膜を除去する。その後、レジスト膜 5 2 7 を形成すると図 5 a の構成になる。

【 0 1 0 0 】

つぎに、p⁺ トレンチコレクタ領域 5 1 5 (図 4 の 4 1 5) と p⁻ カラム 5 2 3 (図 4 の 4 2 3) 形成用のイオン打込みをするために、イオン打込み部のレジスト膜 5 2 7 を選択的に除去する。この結果、p⁺ トレンチコレクタ領域該当部は SiC が露出するが、p⁻ カラム 5 2 3 該当部は酸化膜が露出する。ついで高い打込みエネルギーで Al イオンのイオン打込みをすると図 5 b の構成になる。すなわち、p⁺ トレンチコレクタ領域該当部 5 1 5 - 1 は露出しているので所定の高濃度の Al が注入されるが、p⁻ カラム該当部 5 2 2 - 1 には酸化膜でマスクされているので所定の低濃度の Al しか注入されない。

【 0 1 0 1 】

この状態でレジスト膜を形成し、上記の〔 0 0 9 9 〕の工程を再度実施すると、p⁺ トレンチコレクタ領域該当部 5 1 5 - 2 と p⁻ カラム該当部 5 2 3 - 2 が形成され、図 5 c の構成になる。

このように上記の〔 0 0 9 9 〕の工程を複数回繰り返し、図 5 d に示すように所定の設計幅と厚さの p⁻ カラム 5 2 3 を完成する。

【 0 1 0 2 】

つぎに、上記の n⁻ 半導体層 5 2 5 と同じ不純物濃度をもつ n⁻ 半導体層 5 0 9 をエピタキシャル成長し、上記の〔 0 0 9 9 〕の工程を再度実施し p ボディ領域 5 0 7 と p⁺ トレンチコレクタ領域該当部 5 1 6 (図 4 の 4 1 5) を選択的に形成する。この際 p ボディ領域 5 0 7 (図 4 の 4 0 7) が確実に p⁻ カラム 5 2 3 (図 4 の 4 2 3) と接触するように、n⁻ 半導体層 5 0 9 の厚さは p ボディ領域 5 0 7 の厚さ以下にする必要がある。

ついで、p ボディ領域 5 0 7 用の p⁺ コンタクト領域 5 1 0 と p⁺ トレンチコレクタ領域 5 1 5 用の p⁺ トレンチコンタクト領域 5 2 5 (図 4 の 4 2 5) を選択的に形成し p⁺ トレンチコレクタ領域 5 1 5 (図 4 の 4 1 5) を完成する。更に n エミッタ領域 5 0 8 (図 4 の 4 0 8) を選択的に形成し 5 e の構成にする。その後は実施例 1 と同様の製作フローを実施し、図 4 の素子を完成する。

【 0 1 0 3 】

上記の完成素子チップを実施例 1 と同様にパッケージに実装し素子特性測定に供した。室温での耐圧すなわちなだれ降伏を示す電圧は約 1 . 3 4 k V である。また、なだれ降伏前のリーク電流は室温で $2 . 8 \times 10^{-3} \text{ A} / \text{cm}^2$ と良好である。

【 0 1 0 4 】

ゲート電極 4 1 2 に閾値電圧以上のゲート電圧約 2 0 V を印加し、ついでコレクタ電極とエミッタ電極 4 1 4 間に順方向電圧を印加し増加してゆくとほぼ直線的に MOSFET 部の通電電流が増加し、1 . 4 V の非常に低い電圧で所定の定常動作電流の約 4 5 A を流すことができた。特性オン抵抗は約 $9 . 9 6 \text{ m} \Omega / \text{cm}^2$ であり著しく低く、大幅な低損失を達成できた。更に順方向電圧を増加するとスナップバック現象が現れ IGBT 部がオンし、3 0 0 % の過負荷電流に相当する 1 3 5 A を約 3 . 9 V のオン電圧で流すことができ過負荷動作時の低損失を達成できた。この過負荷率 N は 3 は従来に比べて格段に高い。一方逆導通 IGBT チップの厚さは約 3 0 0 μm であり、素子製作時の加工歪に母材の SiC ウエーハが十分耐える高い機械強度を有している。これは、本発明に特有の電気特性実現領域と機械強度実現領域を分離し低いオン抵抗と高い機械強度を両立させたことによる効果である。

スナップバック現象が現れ IGBT 部がオンするまでの時間はおおよそ 9 0 ナノ秒であり、 dI_{sb} / dt は約 $9 2 \text{ A} / \mu\text{s}$ 、 dV_{sb} / dt は約 $- 2 . 7 \text{ V} / \mu\text{s}$ である。従って、

10

20

30

40

50

回路動作に及ぼす影響は実用上無視できるレベルでありスナップバック現象による悪影響は大幅に抑制できた。これは、本発明に特有の埋込端部コレクタ構造による効果であり、単に従来例のパイロット IGBT のみを適用した場合に比べて小さい面積で実現できている。

【0105】

以上のように、本実施例によれば、低オン抵抗で高い機械強度を有するとともに、過負荷動作時に低損失であり、特に定常動作領域では他の実施例に比較して著しく低損失である。また、トレンチコレクタ領域をカラムの製作プロセスで製作できるので製作を簡略にできる。

10

【0106】

(実施例6)

本実施例は実施例1とほぼ同じ特性仕様の4H-SiC逆導通IGBT半導体素子であり、耐圧は1.2kV級、定格出力電流は40A、絶対最大定格電流は90A級の素子である。

図6は、実施例6にかかるSiC逆導通IGBT半導体素子を模式的に示す断面図である。上記の実施例1の半導体素子に比べて、p埋込コレクタ導電層を設けずp埋込コレクタ層603を厚く且つ高不純物濃度に行っている点、p⁺トレンチコレクタ領域615とnドリフト層606の間のおもて面近くにSiO₂酸化膜623を設けその奥にはnトレンチバッファ領域616を設けている点を除けば素子構造や素子形状は実施例1とほぼ同じである。

20

【0107】

本実施例は、上記の実施例1と同様に低オン抵抗で高い機械強度を有し、過負荷動作時に低損失であるのみならず定常動作領域では著しく低損失であるとともに、素子おもて面の積層欠陥に起因するV_{sb}の経時増大を大幅に抑制するに当たって、スナップバック現象の抑制効果をあまり損ねることのないように工夫している。また、p⁺埋込コレクタ導電層を設けないため素子の製作プロセスを大幅に簡略化できる。p⁺埋込コレクタ導電層を設けないため過負荷動作時の損失は少し増加するが、定常動作領域の著しい低損失は維持できる。

【0108】

本実施例ではp埋込コレクタ層603を厚く且つ高不純物濃度に行っている。その値は例えば厚さが約6μm、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ であってもよい。

またその製作方法は次のようなフローによるものであってもよい。すなわち、まず約290μm厚のオフアングルn⁺高不純物濃度SiC基板を用いて、おもて面に約1.0μm厚のp層をエピタキシャル成長で形成し、ついでレジスト膜で被覆しn⁺短絡部領域604の形成領域となる箇所に開口部を形成し、更にこのレジスト膜をマスクとして窒素を高濃度高加速エネルギーでイオン打ち込みし選択的にn⁺短絡部領域104を形成する。以上のエピタキシャル成長膜形成とn⁺短絡部領域への選択的イオン打ち込みを複数回繰り返して所定の厚さのp埋込コレクタ層603とn⁺短絡部領域604を形成する。

その後は{0059}以降に記載の実施例1のプロセスフローに準じて製作するとよい。

30

40

【0109】

スナップバック現象の抑制効果をあまり損ねることなくV_{sb}の経時増大を大幅に抑制できる理由を以下に説明する。本実施例では、SiO₂酸化膜618をp⁺トレンチコレクタ領域615とnドリフト層606の間の素子おもて面に近い部分のみに設け、おもて面から離れた奥の部分にはnトレンチバッファ領域616を設けている。このため、ゲート電極612に閾値電圧以上のゲート電圧を印加した状態でコレクタ電極とエミッタ電極614間に順方向電圧を印加すると、SiO₂酸化膜618とnドリフト層609の間にn電荷蓄積層620が形成される。この結果、電子電流の通電ルートとして点線cで示すようなエミッタ電極614、エミッタ領域(ソース領域として機能)608、チャンネル領域609、n蓄積層620、nトレンチバッファ領域616、p埋込端部コレクタ領域6

50

17上のnバッファ層605、n短絡領域604、n⁺ドレイン層602、第2コレクタ電極601のルートを確認できる。

従って、p埋込端部コレクタ領域617上のnバッファ層605内の電圧降下にnトレンチバッファ領域616内の電圧降下が加算され、実施例1と異なりnトレンチバッファ領域616とSiO₂酸化膜618の接触部付近においてnバッファ層内の電圧降下が最大となる。この付近の電界降下が、2.7Vのビルトイン電圧以上になるとこの部分のp⁺トレンチコレクタ領域615から正孔の注入が起こりIGBT部分がオンする。このように素子おもて面付近でなく素子内部でIGBT部分をオンさせるので、素子おもて面の積層欠陥に起因するV_{sb}の経時増大を大幅に抑制できる。

上記の理由の説明に当たっては図6の中央のp⁺トレンチコレクタ領域の右側のグループセルを用いて説明したが、実際には図6の中央の左側のグループセルのp⁺トレンチコレクタ領域615の方が説明に用いた右側のグループセルのp⁺トレンチコレクタ領域よりも長いので、左側のIGBT部分から先にオンする。このように各グループセルの両端のp埋込端部コレクタ領域617の長さを変えてもスナッチバック現象の抑制効果をあまり損ねることはない。なお、V_{sb}の経時増大の抑制のためにSiO₂酸化膜618を設けたためにnバッファ層が短くなるが、その分p⁺トレンチコレクタ領域615を長くすることにより相殺でき、スナッチバック現象の抑制効果をあまり損ねることなくV_{sb}の経時増大の抑制効果を楽しむことができる。

【0110】

以下に、本実施例6にかかるSiC逆導通IGBTの特性を説明する。

ゲート電圧を印加しない状態でエミッタ電極614とコレクタ電極間に順方向電圧を印加すると、リーク電流が流れるが良好な順阻止特性を示し、室温での耐圧すなわちなだれ降伏を示す電圧は1.35kV付近である。また、なだれ降伏前のリーク電流は室温で $1.5 \times 10^{-3} \text{ A/cm}^2$ 以下、250の高温でも $2.5 \times 10^{-2} \text{ A/cm}^2$ 以下と良好である。実施例1に比べて、耐圧が少し高く、リーク電流が小さくできている。

【0111】

ゲート電極612に閾値電圧以上のゲート電圧約20Vを印加し、ついでコレクタ電極とエミッタ電極614間に順方向電圧を印加し増加してゆくとほぼ直線的にMOSFET部の通電電流が増加し、実施例1と同様に2.2Vの低い順方向電圧で所定の定常動作電流の約40Aを流すことができた。従ってオン抵抗は約55mΩと極めて低く著しい低損失を達成できた。また順方向電圧を増加するとスナッチ現象が現れIGBT部がオンし、更に順方向電圧を増加すると225%の過負荷電流に相当する90Aを約4.1Vのオン電圧で流すことができ過負荷動作時の低損失を達成できた。過負荷率Nは2.25であり十分高い。

なお、上記の著しく低い約55mΩのオン抵抗を達成する一方、逆導通IGBTチップの厚さは約300μmであり製作時の加工歪に母材のSiCウエーハが十分耐える高い機械強度をも達成している。これは、本発明に特有の電気特性実現領域と機械強度実現領域を分離し低いオン抵抗と高い機械強度を両立させたことによる効果である。

スナッチ現象における dI_{sb}/dt は約100A/μs、 dV_{sb}/dt は約-4.6V/μsである。従って、回路動作に及ぼす影響は実用上無視できるレベルであり、実施例2に比べてスナッチ現象は更に抑制できた。これは、本発明に特有のトレンチコレクタ構造と埋込端部コレクタ構造による効果であり、しかも単に従来例のパイロットIGBTのみを適用した場合に比べて小さい面積で実現できている。

【0112】

一方、V_{sb}の経時増大の抑制効果を調べた。まず40Aの定常動作状態と90Aの過負荷動作状態を交互に繰り返してスナッチバック現象を1000回繰り返す試験を実施した後、室温に戻して90Aの過負荷動作時すなわちIGBT動作時のオン電圧を測定した。その結果、実施例1ではオン電圧が0.5V以上増加する劣化素子が数%発生し中には15V以上増加する素子も存在した。しかし、本実施例の場合は0.5V以上増加する劣化素子は1%以下にとどまっており、最大でも0.9Vの増加にとどまっていた。

本実施例でも実施例 1 と同様に、エミッタ電極 6 1 4 が覆っていない素子おもて面部分で、ドリフト領域をごく一部であるが観察できる。一般に素子に通電してエレクトロルミネッセンスを観察することにより積層欠陥を観察できる。そこで上記の本実施例の 1 % の劣化素子を観察した結果、上記の繰り返し試験前後でおもて面付近の積層欠陥の面積の拡大は観察されなかった。一方、実施例 1 の数 % の劣化素子では大部分に、おもて面付近の積層欠陥の面積の拡大が観察された

【 0 1 1 3 】

なお、本実施例では p⁺ トレンチコレクタ領域 6 1 5 と n ドリフト層 6 0 6 の間のおもて面近くに SiO₂ 酸化膜 6 1 8 を設け、その奥には n トレンチバッファ領域 6 1 6 を設けているが、p⁺ トレンチコレクタ領域 6 1 5 と n ドリフト層 6 0 6 の間全体に n トレンチバッファ領域 6 1 6 を設け、更に n ドリフト層 6 0 6 とこの n トレンチバッファ領域 6 1 6 のおもて面近くのみ SiO₂ 酸化膜 6 1 8 を設けても同等の効果を得ることができる。

10

【 0 1 1 4 】

以上のように、本実施例によれば、低オン抵抗で高い機械強度を有し、過負荷動作時に低損失であるのみならず定常動作領域では特に著しく低損失であるとともに、V_{sb}の経時増大を抑制できるにも関わらずスナップバック現象がより抑制された逆導通 IGBT を実現できる。更に、製作プロセスを大幅に簡略化できる。

【 0 1 1 5 】

20

(実施例 7)

本実施例はトレンチゲート型 4H-SiC 逆導通 IGBT 半導体素子であり、耐圧は 900V 級、定格出力電流は 45A、絶対最大定格電流は 180A 級の素子であり過負荷率 N が 4 の高過負荷に対応できる素子である。

図 7 は、実施例 7 にかかる半導体素子である SiC 逆導通 IGBT を模式的に示す断面図である。

上記の実施例 6 の SiC 逆導通 IGBT に比べると、ゲートをトレンチゲートにしている点、これに伴い JFET 部がなくなりセルサイズが小さくなっている点を除けば実施例 6 とほぼ同じ構造である。また、実施例 6 と同様に p 埋込コレクタ層 6 0 3 を厚く且つ高不純物濃度に行っている。

30

【 0 1 1 6 】

本実施例でも、各セルグループの両端のセルでは図 1 の点線 c に類似の電子電流のルートが維持されており、最端部のセルのエミッタ電極 7 1 4、エミッタ領域 (ソース領域として機能) 7 0 8、チャンネル領域 7 0 9、トレンチゲートの周囲の n 蓄積層、フィールド領域、n 蓄積層 7 2 4、n トレンチバッファ領域 7 1 6、p 埋込端部コレクタ領域 7 1 7 上の n バッファ層 7 0 5、n 短絡領域 7 0 4、n ドレイン層 7 0 2、第 2 コレクタ電極 7 0 1 を経由して電子電流が流れる。この電子電流により n バッファ層内に電界降下が生じ、短絡領域 7 0 4 から最も遠い SiO₂ 酸化膜 7 2 3 と n トレンチバッファ領域 7 1 6 との境界の p⁺ トレンチコレクタ領域 7 1 5 付近で電界降下が最大となる。この電子電流が増大しこの電界降下が 2.7V のビルトイン電圧以上になるとこの境界付近で正孔の注入が起こり IGBT 部分がオンする。一旦 IGBT 部分がオンすると電導度変調によりこの部分の抵抗が大幅に低下し大きなパイボラ電流 (正孔電流と電子電流の合算電流) が流れ、この電流が拡がって端部のセル全体がオンし大きなパイボラ電流が流れる。更に隣接するセルにおいてもこの大きなパイボラ電流の拡がり電流により電圧降下が増大し p 埋込コレクタ 7 0 3 から正孔注入が生じこの隣接セルがオンする。この繰り返しによりついにはグループセル全体がオンし、結局逆導通 IGBT 全体がオンし過負荷電流に該当する大きな電流が流れる。

40

【 0 1 1 7 】

なお、本実施例では上記の電子電流のルートにより最初にオンする IGBT 部分のオン電流は、SiO₂ 酸化膜 7 2 3 がより内部に存在するためにより素子内部を流れるので

50

素子おもて面の積層欠陥に起因する V_{sb} の経時増大を大幅に抑制できる。

また、トレンチゲートにした結果、セルの幅を約半分に縮小でき、単位面積当たりのセル数を倍増でき大幅な低損失化を達成できる。更に、 p^+ 埋込コレクタ導電層を設けないため素子の製作プロセスを大幅に簡略化できる。また、 p^+ 埋込コレクタ導電層を設けないため過負荷動作時の損失は幾分増加するが、 p 埋込コレクタ 703 を例えば $4.5 \mu\text{m}$ と厚くし且つ $1 \times 10^{20} \text{cm}^{-3}$ の高不純物濃度にして補償している。

【0118】

以下に、本実施例にかかる SiC 逆導通 IGBT の特性を説明する。

ゲート電圧を印加しない状態でエミッタ電極 714 とコレクタ電極間に順方向電圧を印加すると、リーク電流が流れるが良好な順阻止特性を示し、室温での耐圧すなわちなだれ降伏を示す電圧は 1.03kV 付近である。また、なだれ降伏前のリーク電流は室温で $3.8 \times 10^{-3} \text{A/cm}^2$ 以下である。

10

【0119】

ゲート電極 712 に閾値電圧以上のゲート電圧約 20V を印加し、ついでコレクタ電極とエミッタ電極 714 間に順方向電圧を印加し増加してゆくとほぼ直線的に MOSFET の通電電流が増加し、 0.84V の著しく低い順方向電圧で所定の定常動作電流の約 45A を流すことができた。過負荷率 N は 4.0 であり格段に高い。オン抵抗は約 $18.7 \text{m}\Omega$ と極めて低く、定常動作での著しい低損失化を達成できた。これはトレンチゲート構造にし、且つ p 埋込コレクタ 703 を厚く高不純物濃度にした効果である。

更に順方向電圧を増加するとスナップ現象が現れ IGBT 部がオンし、更に順方向電圧を増加すると 400% の過負荷電流に相当する 180A を約 3.2V の低いオン電圧で流すことができ、過負荷動作の低損失も達成できた。一方逆導通 IGBT チップの厚さは約 $300 \mu\text{m}$ と厚いので、製作時の加工歪に母材の SiC ウエーハが十分耐えることができる高い機械強度を有している。このように、電気特性実現領域と機械強度実現領域を分離した本発明に特有の構造により、低いオン抵抗と高い機械強度を両立させることができた。なお、スナップバック現象における dI_{sb}/dt は約 $+109 \text{A}/\mu\text{s}$ 、 dV_{sb}/dt は約 $-1.9 \text{V}/\mu\text{s}$ であり、従来例に比べるといづれも大幅に低減できており、回路動作に及ぼす影響は実用上無視できるレベルである。このように、本発明に特有の p^+ トレンチコレクタ構造と p 埋込端部コレクタ構造によりスナップバック現象を著しく抑制でき、しかも単に従来例のパイロット IGBT を適用した場合に比べて小さい面積で実現でき

20

30

【0120】

実施例 6 に比べて SiO_2 酸化膜 723 を長くしている分 n^+ トレンチバッファ領域 716 が短くなり、従って内部抵抗も小さくなり I_{sb} 低減効果が減少するので dI_{sb}/dt が少し大きくなっているが、実用上問題の無いレベルである。一方、 V_{sb} の経時増大の抑制効果には改善傾向がみられ良好であった。

【0121】

以上のように、本実施例によれば、高い機械強度で更なる低オン抵抗を有し、過負荷動作時に低損失であるのみならず定常動作領域では格段に著しく低損失にでき、更に小面積でスナップバック現象とその経時劣化を抑制できる。

40

【0122】

(実施例 8)

本実施例は 4H-SiC 逆導通 GTO サイリスタであり、耐圧 2.4kV 級、定格出力電流は 40A 、絶対最大定格電流は 90A 級の素子である。

図 8 は、実施例 8 にかかる SiC 逆導通 GTO サイリスタを模式的に示す断面図である。SiC 逆導通 GTO 800 のチップサイズは $8.8 \text{mm} \times 4.5 \text{mm}$ であり、活性領域は $8.0 \text{mm} \times 4.1 \text{mm}$ であり、活性領域を囲んでいる耐圧構造部の幅はダイシング部を含めて素子の左右では 0.2mm 、上下では 0.4mm である。活性領域中の逆導通 GTO セルはストライプ状であり、セルの幅は $36 \mu\text{m}$ である。チップの厚さはおよそ $300 \mu\text{m}$ の厚さである。

50

【0123】

図8に示すように、SiC逆導通GTO600において、第2アノード電極602に裏面が接する厚さ約290 μm の n^+ コレクタ層602のおもて面には、p埋込コレクタ導電層620と第1の短絡領域621が設けられ、それらのおもて面には各々に対向してp埋込コレクタ層603とこの層を貫通する第2の n^+ 短絡部領域604が設けられている。これらの層603と領域604のおもて面には、nバッファ層605が設けられている。nバッファ層105は、SiCエピタキシャル層である。p埋込エミッタ領域853の不純物濃度および厚さは、例えば、それぞれ $2.0 \times 10^{18} \text{cm}^{-3}$ および2.5 μm であってもよい。n短絡部604の不純物濃度および厚さは、例えば、それぞれ $1 \times 10^{19} \text{cm}^{-3}$ および2.5 μm であってもよい。また、nバッファ層605の不純物濃度および厚さは、例えば、それぞれ $8 \times 10^{15} \text{cm}^{-3}$ および1.0 μm であってもよい。セルの中のp埋込エミッタ層603はセルの中心付近に設けてもよく、その幅は18 μm であってもよい。n短絡部604の幅も18 μm であってもよい。

10

【0124】

nバッファ層605のおもて面には、nドリフト層606が設けられている。nドリフト層606は、SiCエピタキシャル層である。nドリフト層606の不純物濃度は、および厚さは、例えば、それぞれ $5 \times 10^{15} \text{cm}^{-3}$ および23 μm であってもよい。

【0125】

nドリフト層606のおもて面には、pベース領域607が設けられており、不純物濃度および厚さは、例えば、それぞれ $4 \times 10^{17} \text{cm}^{-3}$ および2.0 μm であってもよい。各pベース領域607のおもて面には、 n^+ エミッタ領域608が選択的に複数設けられており、その不純物濃度および厚さは、例えば、それぞれ $5 \times 10^{18} \text{cm}^{-3}$ および1.0 μm であってもよく、水平方向の幅は、例えば20 μm であってもよい。 n^+ エミッタ領域608上にはエミッタ電極609が設けられている。

20

【0126】

n^+ エミッタ領域608の両側のpベース領域607上にはゲート電極610が設けられている。図示していないが、ゲート電極610とpベース領域607の良好なオーミックコンタクトを形成するためにゲート電極610直下のpベース領域607のおもて面には $8 \times 10^{18} \text{cm}^{-3}$ の不純物濃度のコンタクト領域が設けられている。 n^+ エミッタ領域608とp埋込エミッタ層603とは対抗するように設けてもよい。

30

【0127】

セルは実施例1と同様に複数個単位でグループ化され各グループ間には p^+ トレンチエミッタ領域615が設けられている。nドリフト領域606と p^+ トレンチエミッタ領域615の間には素子のおもて面近くには深さ8 μm まで絶縁膜614を設けており、8 μm から約23 μm に渡ってはnトレンチバッファ層616を設けている。隣り合う p^+ トレンチエミッタ領域615の水平方向の中心間の複数セルをグループセルと定義し、この中心間距離を以下ではグループセルの幅と呼ぶ。 p^+ トレンチエミッタ領域615は少なくともnドリフト層606およびnバッファ層605を貫通してグループセル端部のp埋込端部エミッタ領域617に接するように設けられている。端部のp埋込エミッタは端部のセルのn短絡領域604から p^+ トレンチエミッタ領域615の水平方向の中心まで延在しており、以下ではp埋込端部エミッタ617と呼ぶ。従って、p埋込端部エミッタ617は端部セル以外のセルのp埋込エミッタ層603よりも幅が広い。 p^+ トレンチエミッタ領域615はできるだけ低抵抗であることが好ましい。

40

p^+ トレンチエミッタ領域615の主表面側の露出面には第1アノード電極609が設けられている。第1アノード電極619は第2アノード電極601に外部で電氣的に接続されている

【0128】

各グループのセル数は例えば10個であってもよく、また p^+ トレンチエミッタ領域615の露出面の幅は30 μm であってもよい。グループセルの幅は410 μm であってもよい。図6には2個のグループセルの一部が記載されており、 p^+ トレンチエミッタ領域6

50

15を挟んで左側に10個中3.5個分のセルが、右側に10個中約0.2個のセルがグループセルの端部すなわちフィールド領域も含めて記載されている。

【0129】

各グループの全セルのゲート電極610は、各ストライプ状セルの垂直方向の一方の端で隣接するセルのゲート電極610に相互に接続されている。また、各グループの全セルのカソード電極609は各ストライプ状セルの垂直方向の他方の端で隣接するセルのカソード電極609に相互に接続されている。また各セルのp埋込エミッタ層603は隣接するセルのp埋込エミッタ層603と接続されており、更に各グループの両端側のセルのp埋込エミッタ層603は隣接するp⁺トレンチエミッタ領域615に接続されている。

【0130】

以下に、本実施例の動作とスナップバック現象抑制のメカニズムを説明する。

まず上記においてゲート電流約1Aを印加しアノード電極とカソード電極609間に順方向電流を印加し増加してゆくと、全セルにおいて各セルごとに図1の点線a、bで模式的に示すルートを含む多数のルートでnpnトランジスタ電流が流れ、その総和の電流が定常動作電流として機能する。

その際、各セルグループの両端のセルでは図1の点線cで示すルートで、カソード電極609、nエミッタ領域608、pベース領域607、n蓄積層624、nトレンチバッファ層616、p埋込端部エミッタ領域617上のnバッファ層605、n短絡領域604、n⁺層コレクタ602、第2アノード電極601を經由して電子電流も流れる。この電子電流によりnバッファ層内に電界降下が生じるが、短絡領域604から最も遠い

nトレンチバッファ層616と絶縁膜614の接触部付近で電界降下が最大となる。アノード電極とカソード電極間の印加電圧を増加させてゆき、この電界降下が2.7Vのビルトイン電圧以上になるとこの部分のp⁺トレンチエミッタ領域615から正孔の注入が起こり端部のGTOセルがオンする。一旦端部のGTOセルがオンすると導電率変調によりこの部分の抵抗が大幅に低下し大きなバイポーラ電流(正孔電流と電子電流の合算電流)が流れ、この電流が拡がって端部のセル全体がオンし、更に隣接するセルにおいてもこの大きなバイポーラ電流によりp埋込エミッタ層603上のnバッファ層605内の電圧降下が増大し、p埋込エミッタ層603から正孔の注入が生じ隣接セルがオンし、この繰り返しでグループセル全体がオンし、ついには逆導GTO全体がオンし過負荷電流に該当する大きな電流が流れる。この間に要するターンオン時間は約200ナノ秒程度の短い時間である。

【0131】

本実施例特有のp⁺トレンチエミッタ領域615を有しない場合は、p埋込エミッタ層603上の半分のバッファ層部分での電界降下によりp埋込エミッタ603の中央部から正孔の注入が生じGTO部がオンする。従って、電圧降下が生じるバッファ層部分の長さは9μmと短いのでビルトイン電圧2.7Vの電圧降下を生じるには極めて大きな電子電流が必要となり、V_{sb}が大きくなってしまふ。この結果、スナップバック現象に起因するdI_{sb}/dtやdV_{sb}/dtが大きくなり回路に大きな悪影響を及ぼしてしまふ。

【0132】

一方、本実施例特有のp⁺トレンチエミッタ領域615を設けた場合は、図1の点線cのルートにおけるnトレンチバッファ層領域616での電圧降下が加算されるので、電子電流をその分抑制できる。本実施例の場合はnトレンチバッファ層領域616とp埋込端部エミッタ617上のnバッファ層との合計のnバッファ層の長さは約56μmとなるため約6倍長いので、2.7Vの電圧降下に達するための電子電流は大幅に小さくて済むためV_{sb}は大幅に小さくなる。この結果、スナップバック現象を大幅に抑制できるものである。

また、実施例6の{0109}に記載のメカニズムと同様のメカニズムで、pベース領域607とp⁺トレンチエミッタ領域615間のドレイン層606のおもて面の積層欠陥に起因するスナップバック現象の経時変化も大幅に抑制できる。

【0133】

10

20

30

40

50

つぎに、本実施例のSiC逆導通GTOの特性と特徴を説明する。

ゲート電流を印加しない状態でアノード電極とカソード電極609間に順方向電圧を印加すると、リーク電流が流れるが良好な順阻止特性を示し、室温での耐圧すなわちなだれ降伏を示す電圧は2.5kV付近である。また、なだれ降伏前のリーク電流は室温で $1.1 \times 10^{-3} \text{ A/cm}^2$ 以下と良好である。これらはpトレンチコレクタ領域615とnドリフト層606の間にSiO₂酸化膜614を設けたことによる効果である

【0134】

また、ゲート電流約1Aを印加し、ついでアノード電極とカソード電極609間の順方向電圧を増加してゆくとほぼ直線的にnpnトランジスタ部の電流が増加し、2.4Vの順方向電圧で所定の定常動作電流の約40Aを流すことができた。バイポーラ従ってオン抵抗は約60mΩと極めて低く著しい低損失を達成できた。更に順方向電圧を増加するとスナップバック現象が現れGTO部がオンし、更に順方向電圧を増加すると225%の過負荷電流に相当する90Aを約3.9Vのオン電圧で流すことができ、過負荷動作時の低損失を達成できた。過負荷率Nは2.25であり従来に比べて十分高い。

なお、上記の約60mΩの著しく低いオン抵抗にもかかわらず、逆導通GTOチップの厚さは約300μmであるため製作時の加工歪に母材のSiCウエーハが十分耐える高い機械強度を有している。このように、電気特性実現領域と機械強度実現領域を分離した本発明に特有の構造により、低いオン抵抗と高い機械強度を両立させることができた。

スナップバック現象が現れGTO部がオンするまでの時間はおおよそ100ナノ秒であるが、スナップバック現象にともなう dI_{sb}/dt は約+126A/μs、 dV_{sb}/dt は約-5.5V/μsであり回路動作に及ぼす影響は実用上無視できるレベルである。このように、本発明に特有のトレンチコレクタ構造と埋込端部コレクタ構造によりスナップバック現象を著しく抑制でき、しかも単に従来例のパイロットIGBTのみを適用した場合に比べて小さい面積で実現できた。

【0135】

また、40Aの定常動作状態と90Aの過負荷動作状態を交互に繰り返してスナップバック現象を1000回繰り返す試験を実施した後に、室温に戻して90Aの過負荷動作時すなわちGTOがオンする際の V_{sb} を測定すると、実施例1ではオン電圧が0.7V以上増加する劣化素子が数%発生したが、本実施例の場合は1%以下にとどまる。

【0136】

以上のように、本実施例では第1および第2機能素子部がバイポーラ動作のみのSiC逆導通GTOにおいても上記の各実施例と同様に、低オン抵抗で高い機械強度を有し、過負荷動作時に低損失であるのみならず定常動作領域でも著しく低損失であるとともに、特にスナップバック現象の抑制効果をあまり損ねることなく素子おもて面の積層欠陥に起因する V_{sb} の経時増大を大幅に抑制でき信頼性も向上できる。

【0137】

以上、第1から第8の実施例に基づき本発明を説明したが、本発明はこれらに限定されるものではなく各種の変形応用が容易に出来ることは当業者には自明である。例えばセル形状も言及したストライプ形状以外にメッシュ形状等の種々の形状が採用できることは当然である。また、耐圧1.2kV級の半導体素子に言及したが、更に低い耐圧の素子や高い耐圧の素子にも展開できるものである。耐圧が高い素子の場合、実施例で言及したチャネルストップの他に、ジャンクション・エクステンション・ターミネーション、フィールドプレートやRESURF、フィールドリミッチングリングなどの各種の電界緩和技術やスーパージャンクション技術等が適用できることは当業者には自明である。

また、セルの幅やn短絡部の幅やp埋込コレクタの幅も言及した値以外に、各種の素子仕様、例えば定常電流仕様値等によって種々の値を採用することも当然のことである。主に、n短絡部をセルの中心付近のpボディ下に対向して設けたセル構造について言及したが、中心からずらした配置のセル構造等に応用展開できることも当然である。また、n型逆導通SiC-IGBTに言及したが、極性の異なるp型逆導通SiC-IGBTにも同

10

20

30

40

50

様に展開できることは自明である。また、プレーナゲート構造の逆導通SiC-IGBTについて言及したが、トレンチゲート構造やV溝型等の他のゲート構造の逆導通SiC-IGBTに展開できることも自明である。更に、SiC逆導通IGBTとSiC逆導通IGBTについて言及したが、GaNやダイヤモンドといった他のワイドギャップ半導体を用いた逆導通IGBTにも応用展開できるものである。また、逆導通IGBTについて言及したが、他のバイポーラ逆導通半導体素子である逆導通GTO、逆導通静電誘導サイリスタ、逆導通MOSサイリスタ、逆導通GCT、逆導通MCT(MOSコントロールサイリスタ)、逆導通EST(エミッタースイッチサイリスタ)などに応用展開できることは当業者には自明であり容易に推敲できるものである。

10

【産業上の利用可能性】

【0138】

本発明は家電品、自動車、太陽光発電、風力発電、電鉄用途の電源電圧が約2kV以下のインバータや各種電力変換装置に特に効果的に利用でき、大幅な低損失化や高過負荷耐量化ができる。当然ながら、2kV以上の電鉄用途や産業用途、電力事業用途のインバータや各種電力変換装置にも利用できる。

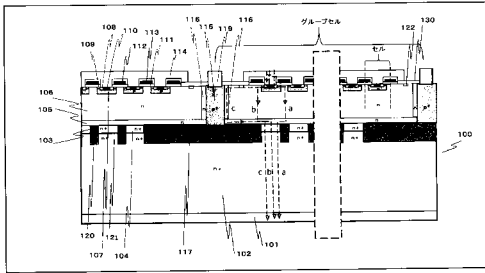
【符号の説明】

【0139】

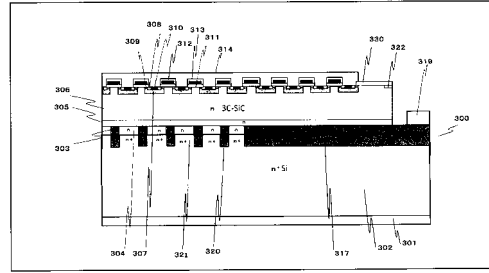
101, 201, 301, 401, 601, 701	: 第2コレクタ電極	20
102, 202, 302, 402, 602	: nドレイン	
103, 203, 303, 403, 603, 703	: p埋込コレクタ層	
104, 204, 304, 404, 604, 704, 804	: 第2n ⁺ 短絡領域	
105, 205, 305, 405, 605, 705, 805	: nバッファ層	
106, 206, 306, 406, 606, 706, 806	: n ⁻ ドリフト層	
107, 207, 307, 407, 607, 707	: pボディ領域	
108, 208, 308, 408, 608, 708	: n ⁺ エミッタ領域	
109, 209, 309, 409, 609,	: p ⁻ チャンネル領域	
110, 210, 310, 410, 610, 710	: p ⁺ コンタクト領域	
111, 211, 311, 411, 611, 711	: ゲート酸化膜	30
112, 212, 312, 412, 612, 712	: ゲート電極	
113, 213, 313, 413, 613, 713	: 層間絶縁膜	
114, 214, 314, 414, 614, 714	: エミッタ電極	
115, 215, 315, 415, 615, 715	: p ⁺ トレンチコレクタ領域	
116, 216, 316, 416, 616, 716, 816	: nトレンチバッファ領域	
117, 217, 317, 417, 617, 717	: p埋込端部コレクタ	
119, 219, 319, 419, 619	: 第1コレクタ電極	
120, 220, 320, 420, 620	: p埋込コレクタ導電層	
121, 221, 321, 421, 621, 821	: 第1n ⁺ 短絡領域	
122, 222, 322, 422	: nチャンネルストッパー	40
423: pカラム、 424: nカラム、 425: p ⁺ トレンチコンタクト領域		
623, 723: SiO ₂ 酸化膜等の絶縁膜、 624, 724: n電荷蓄積層		
701: 第2アノード電極、 702: n ⁺ コレクタ、 703: p埋込エミッタ領域、		
707: pベース領域、 719: 第1アノード電極、 720: p埋込エミッタ導電層		
801: 第2アノード電極 802: nコレクタ層、 803: p埋込アノード層		
804: p埋込アノード導電層、 807: pベース領域、 808: nエミッタ領域		
809: カソード電極、 810: ゲート電極、 811: 表面保護酸化膜		
815: pトレンチアノード領域、 817: p埋込端部エミッタ、 823: 酸化膜		
819: 第1エミッタ電極、 820: p埋込エミッタ導電層、 824: n蓄積層		50

50

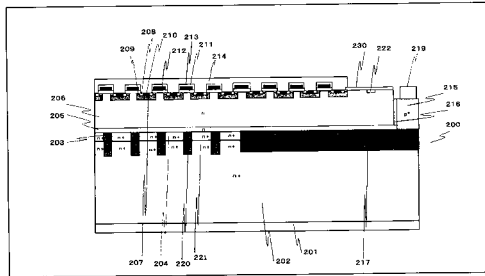
【図1】



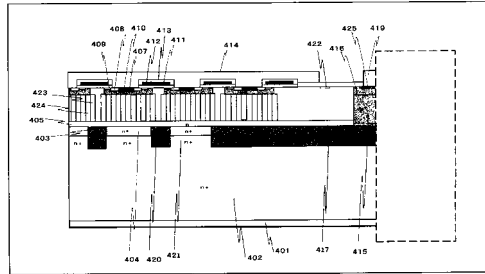
【図3】



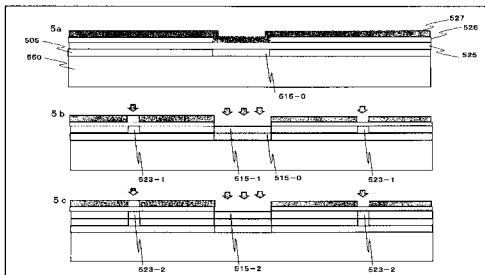
【図2】



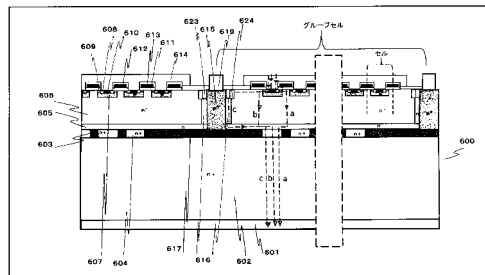
【図4】



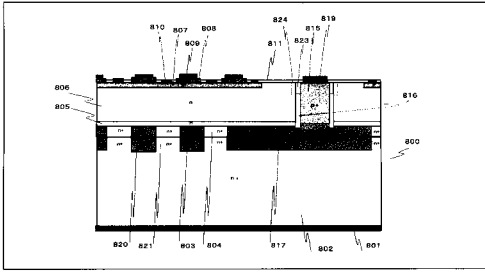
【図5】



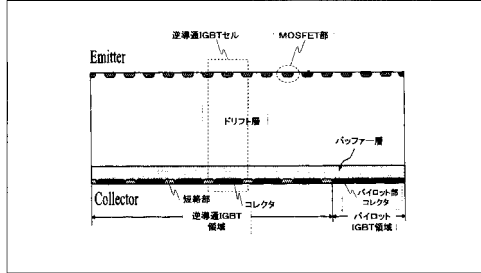
【図6】



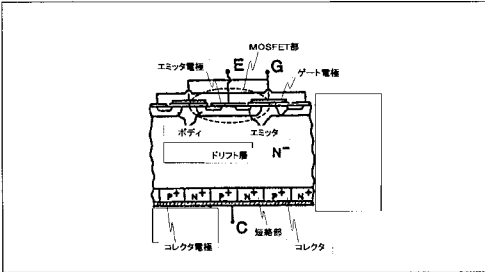
【図 8】



【図 10】



【図 9】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<i>H 0 1 L</i>	<i>29/06</i>	<i>(2006.01)</i>	H 0 1 L 29/78	6 5 8 E
<i>H 0 1 L</i>	<i>29/74</i>	<i>(2006.01)</i>	H 0 1 L 29/78	6 5 2 H
			H 0 1 L 29/78	6 5 2 R
			H 0 1 L 29/06	3 0 1 D
			H 0 1 L 29/06	3 0 1 V
			H 0 1 L 29/78	6 5 3 A
			H 0 1 L 29/74	H