

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-189166

(P2007-189166A)

(43) 公開日 平成19年7月26日(2007.7.26)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 S	5 F 1 4 O
HO 1 L 21/265 (2006.01)	HO 1 L 21/265 Z	

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号	特願2006-7742 (P2006-7742)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成18年1月16日(2006.1.16)	(74) 代理人	100070150 弁理士 伊東 忠彦
		(72) 発明者	大田 裕之 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	岡部 堅一 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

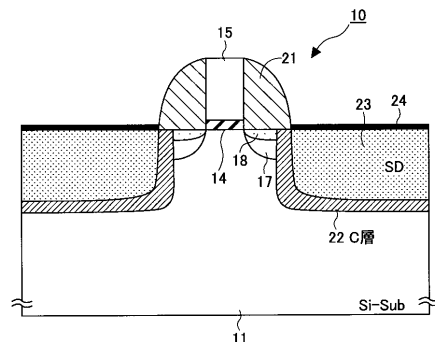
(57) 【要約】

【課題】トランジスタ特性を維持しながら、基板電圧を制御することが可能な半導体装置の構成を提供する。

【解決手段】半導体基板(11)に形成される電界効果型トランジスタのソース・ドレインエクステンション領域(18)の先端に対してゲート電極(15)から離れる方向にオフセットし、かつ、断面プロファイルでソース・ドレイン不純物拡散領域を取り囲んで位置する炭素層(22)を有することを特徴とする半導体装置。

【選択図】 図2

本発明の1実施形態にかかる半導体装置



- | | |
|-------------|-------------|
| 11 シリコン基板 | 21 サイドウォール |
| 14 ゲート絶縁膜 | 22 炭素(C)層 |
| 15 ゲート電極 | 23 ソース・ドレイン |
| 17 ポケット領域 | 24 シリサイド |
| 18 エクステンション | |

【特許請求の範囲】

【請求項 1】

半導体基板に形成される電界効果型トランジスタのソース・ドレインエクステンション領域の先端に対してゲート電極から離れる方向にオフセットし、かつ、断面プロファイルでソース・ドレイン不純物拡散領域を取り囲んで位置する炭素層を有することを特徴とする半導体装置。

【請求項 2】

前記ソース・ドレイン不純物拡散領域は、前記炭素層のチャンネル方向の先端に対して、ゲート電極から離れる方向にオフセットして位置することを特徴とする請求項 1 記載の半導体装置。

10

【請求項 3】

前記炭素層は、前記半導体基板において、前記ソース・ドレイン不純物拡散領域よりも深い位置に位置することを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記ゲート電極の側壁に位置する第 1 サイドウォールと、
前記第 1 サイドウォールを覆って位置する第 2 サイドウォールと
をさらに有し、
前記炭素層は、前記第 1 サイドウォールに整合して位置し、
前記ソース・ドレイン不純物拡散領域は、前記第 2 サイドウォールに整合して位置することを特徴とする請求項 1 記載の半導体装置。

20

【請求項 5】

半導体基板上にゲート絶縁膜を介してゲート電極を形成し、
前記ゲート電極をマスクとして、前記半導体基板にソース・ドレインエクステンション領域を形成し、
前記半導体基板に、前記ソース・ドレインエクステンション領域の先端に対してゲート電極から離れる方向にオフセットするように炭素層を形成し、
前記半導体基板に、前記炭素層のチャンネル側の先端に対してゲート電極から離れる方向にオフセットし、かつ、前記炭素層の深さ方向の先端よりも浅い位置に位置するようにソース・ドレイン不純物拡散領域を形成することを特徴とする半導体装置の製造方法。

30

【請求項 6】

前記ソース・ドレインエクステンション形成後に、前記ゲート電極の側壁に第 1 のサイドウォールを形成し、
前記ゲート電極および第 1 のサイドウォールをマスクとして、前記炭素イオンを注入して炭素層を形成し、
前記第 1 のサイドウォールを被う第 2 のサイドウォールを形成し、
前記ゲート電極、第 1 のサイドウォール、および第 2 のサイドウォールをマスクとして、前記炭素層よりも浅い位置にピークがくるように、前記ソース・ドレイン不純物拡散領域を形成することを特徴とする請求項 5 記載の半導体装置の製造方法。

40

【請求項 7】

前記ソース・ドレインエクステンション形成後に、前記ゲート電極の側壁に第 1 のサイドウォールを形成し、
前記ゲート電極および第 1 のサイドウォールをマスクとして、前記半導体基板表層に、ソース・ドレイン不純物拡散領域の第 1 部分を形成し、
前記ゲート電極および第 1 のサイドウォールをマスクとして、前記ソース・ドレイン不純物拡散領域の第 1 部分の下部にピークがくるように、前記炭素イオンを注入して炭素層を形成し、
前記第 1 のサイドウォールを被う第 2 のサイドウォールを形成し、
前記ゲート電極、第 1 のサイドウォール、および第 2 のサイドウォールをマスクとして

50

、前記炭素層よりも浅い位置にピークがくるように、ソース・ドレイン不純物拡散領域の第 2 部分を形成する

ことを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 8】

前記ソース・ドレインエクステンション形成後に、前記ゲート電極の側壁にサイドウォールを形成し、

前記ゲート電極およびサイドウォールをマスクとして、前記ソース・ドレイン不純物拡散領域を形成し、

前記ゲート電極およびサイドウォールをマスクとして、前記ソース・ドレイン不純物拡散領域の下部にピークがくるように、炭素を斜め注入する

ことを特徴とする請求項 5 記載の半導体装置の製造方法。

10

【請求項 9】

前記炭素の斜め注入により、前記ソース・ドレインエクステンションの先端に対してゲート電極から離れる方向にオフセットし、かつ、断面プロファイルで前記ソース・ドレイン不純物拡散領域を取り囲む炭素層が形成されることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】

前記炭素の注入エネルギーは、3 keV ~ 10 keVであることを特徴とする請求項 5 記載の半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、電界効果型の半導体装置および作製方法に関し、特に、トランジスタの特性を維持しながら基板電圧を制御することが可能な半導体装置の構造とその作製方法に関する。

【背景技術】

【0002】

近年、トランジスタのしきい値電圧をソフトウェアで動的に制御することで、漏れ電流による消費電力を抑える技術が注目されている。

【0003】

トランジスタのしきい値電圧は低いほど高速動作が可能になるが、その分、オン・オフに伴うサブスレッショルド・リークが増え、消費電力が増大する。逆に、しきい値電圧が高い場合には、性能は落ちるが、動作時のサブスレッショルド・リークが減る。

30

【0004】

このような特徴を利用して、高速処理が必要な場面では低いしきい値電圧に設定し、そうでない場合には、高いしきい値電圧にするように、ソフトウェア側で切り替える。

【0005】

しきい値電圧を変動させるために、トランジスタの基板電圧を制御する手法が知られている（たとえば、非特許文献 1 参照）。しかしながら、微細トランジスタにおいては、電流特性を維持しながらトランジスタの基板電圧を制御するのは困難となってきた。ゲート長の微細化に伴ってソース・ドレイン拡散領域が近接するために干渉が生じ、基板電圧を印加しても所望のチャンネル直下電圧が得られないためである。そのため、所望の特性変化が得られなくなる。

40

【0006】

一方、ソース・ドレインの横方向の拡散を確実に抑止する方法として、ゲート電極の両側のサイドウォール直下の基板表層の一部に、アモルファス状態の拡散抑制領域を形成する手法が提案されている（たとえば特許文献 1 参照）。

【0007】

図 1 は、上記文献で提案される手法を説明する図である。半導体基板 101 上に、ゲート絶縁膜 109 を介してゲート電極 102 を形成し、ゲート電極 102 をマスクとするイ

50

オン注入により、エクステンション領域 103 を形成する。第 1 のサイドウォール 104 を形成し、ゲート電極 102 および第 1 のサイドウォール 104 をマスクとして、窒素 (N)、フッ素 (F)、炭素 (C) などのソース・ドレイン 105 の不純物の拡散を抑制する機能を有する物質をイオン注入し、半導体基板 101 の表層の第 1 のサイドウォール 104 に整合する部位を非晶質化して、アモルファス状態の拡散抑制領域 106 を形成する。その後、第 2 のサイドウォール 107 を形成し、ゲート電極 102、第 1 のサイドウォール 104、第 2 のサイドウォール 107 をマスクとするイオン注入により、ソース・ドレイン 105 を形成する。

【非特許文献 1】2004 Symposium on VLSI Technology, Digest of Technical Papers, p. 88-89, 2004

10

【特許文献 1】特開 2005 - 136351 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上記特許文献 1 に開示される手法は、アモルファス化によってソース・ドレインの横方向拡散を抑止する手法に関するものであり、基板に印加されるバイアス電圧の制御とは無関係である。この方法を、基板電圧の制御に適用しても、横方向への不純物の拡散が抑止されるだけで、拡散抑制領域 106 の下部からチャンネル 110 への回り込みは抑制できない。その結果、ソース・ドレイン間の干渉が生じ、印加される基板電圧に悪影響が及ぶ。

【0009】

20

基板バイアス効果を増大させるために、第 2 のサイドウォール幅を最適な幅に調整することが考えられる。このような調整を行うと、チャンネル 110 とソース・ドレイン不純物拡散層との距離が確保され、干渉は低減されるが、ソース・ドレイン不純物層とチャンネルの距離が長くなり、オン電流の減少という別の問題が生じる。

【0010】

そこで、本発明は、トランジスタの特性を維持しながら基板電圧を制御することが可能な半導体装置の構造と、その作製方法を提供することを課題とする。

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明では、ソース・ドレイン不純物層を取り囲むように炭素 (C) 層を形成して拡散抑制を全方向にもたらし、基板バイアス効果を最大限に引き出して、しきい値電圧の正確な制御を可能にする。

30

【0012】

具体的には、本発明の第 1 の側面では、半導体装置は、半導体基板に形成される電界効果型トランジスタのソース・ドレインエクステンション領域の先端に対してゲート電極から離れる方向にオフセットし、かつ、断面プロファイルでソース・ドレイン不純物拡散領域を取り囲んで位置する炭素層を有する。

【0013】

良好な構成例として、前記ソース・ドレイン不純物拡散領域は、炭素層のチャンネル方向の先端に対して、ゲート電極から離れる方向にオフセットして位置する。この構成により、ジャンクションリークを防止することができる。

40

【0014】

また、前記炭素層は、半導体基板において、ソース・ドレイン不純物拡散領域よりも深い位置に位置する。これにより、チャンネル領域への不純物の回りこみを抑制することができる。

【0015】

本発明の第 2 の側面では、半導体装置の製造方法を提供する。この作製方法は、
(a) 半導体基板上にゲート絶縁膜を介してゲート電極を形成し、
(b) 前記ゲート電極をマスクとして、前記半導体基板にソース・ドレインエクステンション領域を形成し、

50

(c) 前記半導体基板に、前記ソース・ドレインエクステンション領域の先端に対してゲート電極から離れる方向にオフセットするように炭素層を形成し、

(d) 前記半導体基板に、前記炭素層のチャンネル側の先端に対してゲート電極から離れる方向にオフセットし、かつ、前記炭素の深さ方向の先端よりも浅い位置に位置するようにソース・ドレイン不純物拡散領域を形成する

工程を含む。

【0016】

ひとつの例としては、

(e) 前記ソース・ドレインエクステンション形成後に、前記ゲート電極の側壁に第1のサイドウォールを形成し、

(f) 前記ゲート電極および第1のサイドウォールをマスクとして、前記炭素イオンを注入して炭素層を形成し、

(g) 前記第1のサイドウォールを被う第2のサイドウォールを形成し、

(h) 前記ゲート電極、第1のサイドウォール、および第2のサイドウォールをマスクとして、前記炭素層よりも浅い位置にピークがくるように、前記ソース・ドレイン不純物拡散領域を形成する。

【0017】

別の例として、

(e) 前記ソース・ドレインエクステンション形成後に、前記ゲート電極の側壁にサイドウォールを形成し、

(f) 前記ゲート電極およびサイドウォールをマスクとして、前記ソース・ドレイン不純物拡散領域を形成し、

(g) 前記ゲート電極およびサイドウォールをマスクとして、前記ソース・ドレイン不純物拡散領域の下部にピークがくるように、炭素を斜め注入する。

【0018】

このような作製方法により、ソース・ドレイン不純物拡散領域を炭素層で取り囲み、トランジスタの特性を維持しつつ基板電圧を制御することのできる半導体装置を製造することができる。

【発明の効果】

【0019】

微細化されたトランジスタの特性を維持しながら基板電圧を制御して、トランジスタのしきい値電圧を所望のレベルに切り替えることができる。

【発明を実施するための最良の形態】

【0020】

以下、図面を参照して、本発明の良好な実施形態を説明する。

【0021】

図2は、本発明の一実施形態に係る半導体装置の構成を示す概略断面図である。半導体装置10は、シリコン基板11上にゲート絶縁膜14を介して形成されるゲート電極15と、ゲート電極15を挟んでシリコン基板11内に位置するソース・ドレイン不純物拡散領域(以下、単に「ソース・ドレイン」と称する)23と、断面プロファイル(As profile)でソース・ドレインを取り囲む炭素(C)層22を有する。

【0022】

半導体装置10はさらに、ゲート電極15に整合するようにシリコン基板11の表層に位置するソース・ドレインエクステンション部(以下、単に「エクステンション」と称する)18と、ポケット領域17と、ゲート電極15の側壁に位置するサイドウォール21を有し、ソース・ドレイン23は、サイドウォール23に整合して位置する。

【0023】

炭素(C)層22は、エクステンション18の先端に対して、ゲート電極15から離れる方向にオフセットして位置する(オフセット1)。

【0024】

10

20

30

40

50

ソース・ドレイン 22 は、炭素 (C) 層 22 のチャンネル方向の先端に対して、ゲート電極 15 から離れる方向にオフセットして位置し (オフセット 2)、炭素 (C) 層 22 により、エクステンション 18 と隔てられる。炭素 (C) 層 22 はまた、シリコン基板 11 内でソース・ドレイン 23 の底部よりも深い位置まで拡がり、断面プロファイルでソース・ドレイン 23 を取り囲む。

【0025】

炭素 (C) 層 22 でソース・ドレイン 23 を取り囲むことにより、ゲート電極 15 直下のシリコン活性領域でのソース・ドレイン間の干渉を防止すると同時に、チャンネル領域での空乏化を防止して、オン電流の減少を防止できる。これにより、基板バイアス効果を最大限に引き出し、しきい値電圧を適切に制御することが可能になる。

10

【0026】

図 3 および図 4 は、本発明の第 1 実施形態に係る半導体装置の作製工程図である。図 3 および図 4 の例では、NMOS トランジスタの作製を例にとって説明する。

【0027】

図 3 (a) に示すように、p 型シリコン基板 11 に、STI などの素子分離領域 12 を形成し、所定の個所にボロン (B) などをイオン注入して、p 型ウエル 13 を形成する。次いで、p 型ウエル領域 13 に、たとえばボロン (B) を $5 \sim 20 \text{ keV}$ の加速エネルギー、 $0.1 \sim 2.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でチャンネル注入を行ったあと、インジウム (In) を $35 \sim 180 \text{ keV}$ の加速エネルギー、 $0.1 \sim 5.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で追加チャンネル注入を行う。

20

【0028】

熱酸化法などにより、全面に膜厚 $0.7 \text{ nm} \sim 1.5 \text{ nm}$ の絶縁膜を形成し、さらに膜厚 $50 \text{ nm} \sim 150 \text{ nm}$ のポリシリコン膜を成長し、所定の形状にパターンングすることによって、ゲート長 40 nm 程度のゲート電極 15 およびゲート絶縁膜 14 を形成する。

【0029】

次に、図 3 (b) に示すように、ゲート電極 15 をマスクとして、たとえばインジウム (In) を $30 \sim 100 \text{ keV}$ の加速エネルギー、 $0.1 \sim 3.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で 4 方向から注入してポケット領域 17 を形成し、次いで、ヒ素 (As) を $0.5 \sim 10 \text{ keV}$ の加速エネルギー、 $0.5 \sim 5.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で注入して、n 型エクステンション 18 を形成する。ポケット領域 17 を形成することにより不純物のチャンネル方向に急峻な分布を実現し、短チャンネル効果を抑制する。

30

【0030】

次に、図 3 (c) に示すように、 10 nm 程度の薄いシリコン酸化膜 21a を全面に堆積した後、厚さ $20 \sim 40 \text{ nm}$ の比較的厚いシリコン窒化膜 21b を全面に堆積し、異方性エッチングでエッチバックすることにより、第 1 のサイドウォール 21A を形成する。第 1 のサイドウォール 21A は、断面 L 字型のシリコン酸化膜 21a と、これを被うシリコン窒化膜 21b とで構成され、その幅は、成膜したシリコン酸化膜 21a とシリコン窒化膜 21b の膜厚のトータルにほぼ等しい。この実施例では、第 1 サイドウォール 21A の厚さは約 $30 \sim \text{nm}$ である。

【0031】

次に、図 4 (d) に示すように、ゲート電極 15 と第 1 サイドウォール 21A をマスクとして、たとえばヒ素 (As) を $5 \sim 15 \text{ keV}$ の加速エネルギー、 $1.0 \times 10^{15} \sim 5.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で注入して、シリコン基板 11 の表層部にソース・ドレインの第 1 部分 23a を形成する。さらに、ソース・ドレインの第 1 部分 23a の下部にピークがくるように、炭素 (C) をイオン注入して炭素 (C) 層 22 を形成する。炭素の注入条件は、 $3 \sim 10 \text{ keV}$ の加速エネルギー、たとえば 5 keV で、 $0.1 \times 10^{14} \sim 5.0 \times 10^{14} \text{ cm}^{-2}$ のドーズ量とする。

40

【0032】

炭素 (C) 層 22 は、第 1 サイドウォール 21A の存在により、エクステンション 18 およびポケット領域 17 の先端に対して、ゲート電極 15 から離れる方向にオフセットさ

50

れている。すなわち、図2のオフセット1は、第1サイドウォール21Aの膜厚で決定される。

【0033】

次に、図4(e)に示すように、全面にシリコン酸化膜を堆積し、異方性エッチングでエッチバックして、第1サイドウォール21Aを被う第2サイドウォール21Bを形成する。第2サイドウォール21Bの厚さ(幅)は、成膜したシリコン酸化膜の膜厚によって制御することができる。第2サイドウォール21Bの厚さは、次工程で形成するソース・ドレイン不純物拡散領域が、炭素(C)層22のチャンネル側先端に対してオフセットする量(図2のオフセット2)を決定するパラメータとなる。図4の例では、第2のオフセット量は約30nmである。

10

【0034】

ゲート電極15、第1サイドウォール21A、および第2サイドウォール21Bをマスクとして、たとえばリン(P)を5.0~10.0keVの加速エネルギー、 $6.0 \times 10^{15} \sim 2.0 \times 10^{16} \text{ cm}^{-2}$ のドーズ量で注入して、ソース・ドレインの第2の部分23bを形成する。ソース・ドレイン23の第2部分23bは、炭素(C)層22のチャンネル側先端に対してオフセットするだけでなく、底面側(基板の深さ方向)の先端からも内側にオフセットする。これにより、ソース・ドレイン23は、完全に炭素(C)層に含まれる。この構成では、エクステンション18が必要以上に長くなることもないので、オン電流を適正に維持することができる。

【0035】

次に、図4(f)に示すように、窒素雰囲気中で1000程度の活性化アニールを行い、注入した不純物イオンを活性化する。その後、全面にニッケル(Ni)膜を堆積し、熱処理によりシリサイド化して、ゲート15、ソース・ドレイン23の露出した表面にニッケルシリサイド(NiSi)を形成する。

20

【0036】

図5および図6は、本発明の第2実施形態に係る半導体装置の作製工程図である。第1実施形態では、第2サイドウォール21Bを形成することによって、炭素(C)層22のチャンネル側先端に対して、ソース・ドレイン23をゲート電極15から離れる方向にオフセットさせていた。第2実施形態では、炭素(C)を斜め注入で打ち込むことにより、第2サイドウォールを形成せずに、ソース・ドレイン23を取り囲む炭素(C)層を形成する。

30

【0037】

図5(a)および図5(b)は、第1実施形態の図3(a)および図3(b)と同様である。すなわち、シリコン基板11上にNMOSトランジスタ用のゲート電極15およびゲート絶縁膜14と、これをマスクとするポケット領域17およびエクステンション18を形成する。

【0038】

次に、図5(c)に示すように、厚さ10nmの薄いシリコン酸化膜21aを全面に堆積した後、厚さ50~80nmの比較的厚いシリコン窒化膜21bを全面に堆積し、異方性エッチングでエッチバックすることにより、サイドウォール21を形成する。サイドウォール21は、断面L字型のシリコン酸化膜21aと、これを被うシリコン窒化膜21bとで構成され、その幅は、成膜したシリコン酸化膜21aとシリコン窒化膜21bの膜厚のトータルにほぼ等しい。サイドウォール21Aの厚さ(幅)によって、次工程で形成するソース・ドレインのチャンネル側先端部の位置が決まる。この実施例では、サイドウォール21の厚さは約60~90nmである。

40

【0039】

次に、図6(d)に示すように、ゲート電極15とサイドウォール21Aをマスクとして、たとえばリン(P)を5.0~10.0keVの加速エネルギー、 $6.0 \times 10^{15} \sim 2.0 \times 10^{16} \text{ cm}^{-2}$ のドーズ量で注入して、シリコン基板11にソース・ドレイン23を形成する。

50

【0040】

次に、図6(e)に示すように、ソース・ドレイン23の下部にピークがくるように、炭素(C)イオンを斜め注入する。このときの注入条件は、3~10keVの加速エネルギー、 $0.025 \times 10^{14} \sim 1.25 \times 10^{14} \text{ cm}^{-2}$ のドーズ量、傾斜角28~30°で4方向に回転させて注入する(トータル注入量： $0.1 \times 10^{14} \sim 5.0 \times 10^{14} \text{ cm}^{-2}$)。

【0041】

斜め注入により形成される炭素(C)層22の先端は、サイドウォール21の存在により、エクステンション18(またはポケット17)に対してオフセットされている(図2のオフセット1)。また、注入条件により、ソース・ドレイン21のチャンネル側および底面側の先端は、炭素(C)層22の先端からオフセットしている(図2のオフセット2)。これにより、ソース・ドレイン23は炭素(C)層22に取り囲まれる。

10

【0042】

次に、図6(f)に示すように、窒素雰囲気中で1000程度の活性化アニールを行い、注入した不純物イオンを活性化する。その後、全面にニッケル(Ni)膜を堆積し、熱処理によりシリサイド化して、ゲート15、ソース・ドレイン23の露出した表面にニッケルシリサイド(NiSi)を形成する。

【0043】

第2実施形態の方法は、2段階でサイドウォールを形成せずに、ソース・ドレイン23を炭素(C)層22で取り囲むことができる。

20

【0044】

図7は、炭素(C)層22を、エクステンション18に対して所定距離オフセットさせた状態で形成することの根拠を示す図である。図7(a)は、炭素(C)層を有さない通常の半導体装置のオフリーク電流特性、図7(b)は、エクステンション先端からのオフセットがない状態で炭素(C)層を形成したときのオフリーク電流特性のグラフである。

【0045】

マークAとマークBは、それぞれドレインおよびソースに流れるオフリーク電流(A/ μm)であり、両者はほぼ等しい。マークCはゲート電極に流れるオフリーク電流、マークDは基板に流れるオフリーク電流である。図7(b)のように、炭素(C)層をエクステンションからオフセットさせずに形成すると、基板に流れる電流が図7(a)の通常構造に比べて、2桁程度増大してしまう。これは、ジャンクションリーク電流の増加によるものと思われる。そこで、実施形態では、炭素(C)層をエクステンションからオフセットさせてオフリーク電流を低減している。

30

【0046】

図8は、炭素(C)の注入による基板バイアス効果の改善を示すグラフである。図8において、横軸は、基板にバイアスを印加しない時と基板にバイアスを印加した時のしきい値電圧の振れ幅、縦軸はオフリーク電流である。マークAは、炭素(C)層を形成しない通常の半導体ウエハでのオフリーク電流、マークBおよびマークCは、実施形態と同様に注入エネルギー5keVで炭素(C)を注入したウエハ1およびウエハ2のオフリーク電流特性、マークDは、比較例として注入エネルギー2keVで炭素(C)を注入したウエハ3のオフリーク電流特性である。

40

【0047】

ウエハ1および2では、炭素(C)イオンがソース・ドレインの下部まで注入され、As profileでソース・ドレインが炭素(C)層に取り囲まれる。これにより、活性化アニールによる不純物の広がりが抑制され、ソース・ドレイン間の干渉が低減される。また、エクステンション18のだれを急峻にしていると思われる。

【0048】

図8のグラフから明らかのように、実施形態に係るウエハ1,2では、炭素(C)を注入しない通常のウエハと比較して、同じオフリーク電流で、しきい値電圧の振れ幅が100mVも向上することがわかる。

50

【0049】

また、比較例のウエハ3のように、注入エネルギー2keVで炭素(C)層を形成すると、炭素(C)を打ち込まない場合と比較して、基板バイアス効果は改善されるが、ソース・ドレインの不純物の拡散は、抑止しきれていない。

【0050】

さらに、ウエハ1、2で、同じ特性が得られていることから、本発明の手法は再現性が良好であり、炭素(C)の注入エネルギーを制御するだけで、基板電圧を良好に制御できることがわかる。

【0051】

なお、実施形態ではNMOSトランジスタを例にとって説明したが、本発明の手法はPMOSトランジスタにも等しく適用される。また、MOSFETだけではなく、MISFET、MEFETなど任意の電界効果トランジスタに適用できる。

【0052】

最後に、以上の説明に関して、以下の付記を開示する。

(付記1) 半導体基板に形成される電界効果型トランジスタのソース・ドレインエクステンション領域の先端に対してゲート電極から離れる方向にオフセットし、かつ、断面プロフィールでソース・ドレイン不純物拡散領域を取り囲んで位置する炭素層を有することを特徴とする半導体装置。

(付記2) 前記ソース・ドレイン不純物拡散領域は、前記炭素層のチャンネル方向の先端に対して、ゲート電極から離れる方向にオフセットして位置することを特徴とする付記1記載の半導体装置。

(付記3) 前記炭素層は、前記半導体基板において、前記ソース・ドレイン不純物拡散領域よりも深い位置に位置することを特徴とする付記1記載の半導体装置。

(付記4) 前記ゲート電極の側壁に位置する第1サイドウォールと、

前記第1サイドウォールを覆って位置する第2サイドウォールとをさらに有し、

前記炭素層は、前記第1サイドウォールに整合して位置し、

前記ソース・ドレイン不純物拡散領域は、前記第2サイドウォールに整合して位置することを特徴とする付記1記載の半導体装置。

(付記5) 前記ソース・ドレインエクステンション領域の下方に位置するポケット領域をさらに有し、

前記炭素層は、前記ソース・ドレインエクステンション領域およびポケット領域の先端に対して、ゲート電極から離れる方向にオフセットすることを特徴とする付記1記載の半導体装置。

(付記6) 半導体基板上にゲート絶縁膜を介してゲート電極を形成し、

前記ゲート電極をマスクとして、前記半導体基板にソース・ドレインエクステンション領域を形成し、

前記半導体基板に、前記ソース・ドレインエクステンション領域の先端に対してゲート電極から離れる方向にオフセットするように炭素層を形成し、

前記半導体基板に、前記炭素層のチャンネル側の先端に対してゲート電極から離れる方向にオフセットし、かつ、前記炭素層の深さ方向の先端よりも浅い位置に位置するようにソース・ドレイン不純物拡散領域を形成する

ことを特徴とする半導体装置の製造方法。

(付記7) 前記ソース・ドレインエクステンション形成後に、前記ゲート電極の側壁に第1のサイドウォールを形成し、

前記ゲート電極および第1のサイドウォールをマスクとして、前記炭素イオンを注入して炭素層を形成し、

前記第1のサイドウォールを被う第2のサイドウォールを形成し、

前記ゲート電極、第1のサイドウォール、および第2のサイドウォールをマスクとして、前記炭素層よりも浅い位置にピークがくるように、前記ソース・ドレイン不純物拡散領

10

20

30

40

50

域を形成する

ことを特徴とする付記 6 記載半導体装置の製造方法。

(付記 8) 前記ソース・ドレインエクステンション形成後に、前記ゲート電極の側壁に第 1 のサイドウォールを形成し、

前記ゲート電極および第 1 のサイドウォールをマスクとして、前記半導体基板表層に、ソース・ドレイン不純物拡散領域の第 1 部分を形成し、

前記ゲート電極および第 1 のサイドウォールをマスクとして、前記ソース・ドレイン不純物拡散領域の第 1 部分の下部にピークがくるように、前記炭素イオンを注入して炭素層を形成し、

前記第 1 のサイドウォールを被う第 2 のサイドウォールを形成し、

前記ゲート電極、第 1 のサイドウォール、および第 2 のサイドウォールをマスクとして、前記炭素層よりも浅い位置にピークがくるように、ソース・ドレイン不純物拡散領域の第 2 部分を形成する

ことを特徴とする付記 6 記載の半導体装置の製造方法。

(付記 9) 前記ソース・ドレインエクステンション形成後に、前記ゲート電極の側壁にサイドウォールを形成し、

前記ゲート電極およびサイドウォールをマスクとして、前記ソース・ドレイン不純物拡散領域を形成し、

前記ゲート電極およびサイドウォールをマスクとして、前記ソース・ドレイン不純物拡散領域の下部にピークがくるように、炭素を斜め注入する

ことを特徴とする付記 6 記載の半導体装置の製造方法。

(付記 10) 前記炭素の斜め注入により、前記ソース・ドレインエクステンションの先端に対してゲート電極から離れる方向にオフセットし、かつ、断面プロファイルで前記ソース・ドレイン不純物拡散領域を取り囲む炭素層が形成されることを特徴とする付記 9 記載の半導体装置の製造方法。

(付記 11) 前記炭素の注入エネルギーは、3 keV ~ 10 keVであることを特徴とする付記 6 記載の半導体装置の製造方法。

(付記 12) 前記ゲート電極をマスクとして、前記半導体基板にポケット領域と、当該ポケット領域よりも浅いソース・ドレインエクステンション領域を形成し、

前記炭素層を、前記ソース・ドレインエクステンション領域およびポケット領域の先端

に対し、ゲート電極から離れる方向にオフセットするように形成する

ことを特徴とする付記 6 記載の半導体装置の製造方法。

【図面の簡単な説明】

【0053】

【図 1】ソース・ドレインの横方向拡散を抑止する公知の構成を示す図である。

【図 2】本発明の一実施形態に係る半導体装置の概略断面図である。

【図 3】本発明の第 1 実施形態の半導体装置の作製工程図(その 1)である。

【図 4】本発明の第 1 実施形態の半導体装置の作製工程図(その 2)である。

【図 5】本発明の第 2 実施形態の半導体装置の作製工程図(その 1)である。

【図 6】本発明の第 2 実施形態の半導体装置の作製工程図(その 2)である。

【図 7】炭素(C)層をエクステンション先端に対してオフセットさせる根拠を説明するためのグラフである。

【図 8】炭素(C)注入による基板バイアス効果の改善を示すグラフである。

【符号の説明】

【0054】

10 半導体装置

11 シリコン基板(半導体基板)

14 ゲート絶縁膜

15 ゲート電極

17 ポケット領域

10

20

30

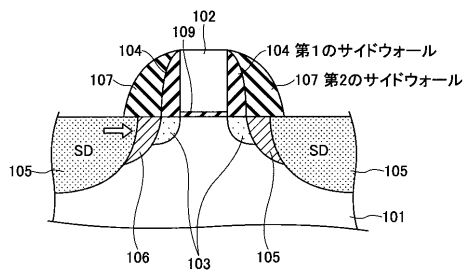
40

50

- 1 8 エクステンション
- 2 1 サイドウォール
- 2 1 A 第1サイドウォール
- 2 1 B 第2サイドウォール
- 2 2 炭素(C)層
- 2 3 ソース・ドレイン

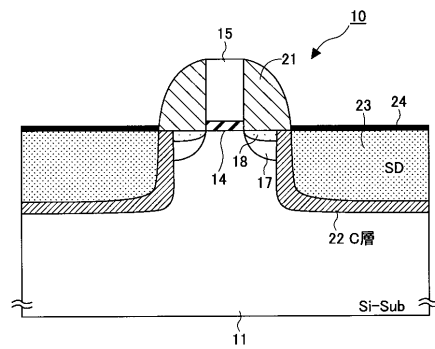
【 図 1 】

ソース・ドレインの横方向拡散を抑制する公知の構成



【 図 2 】

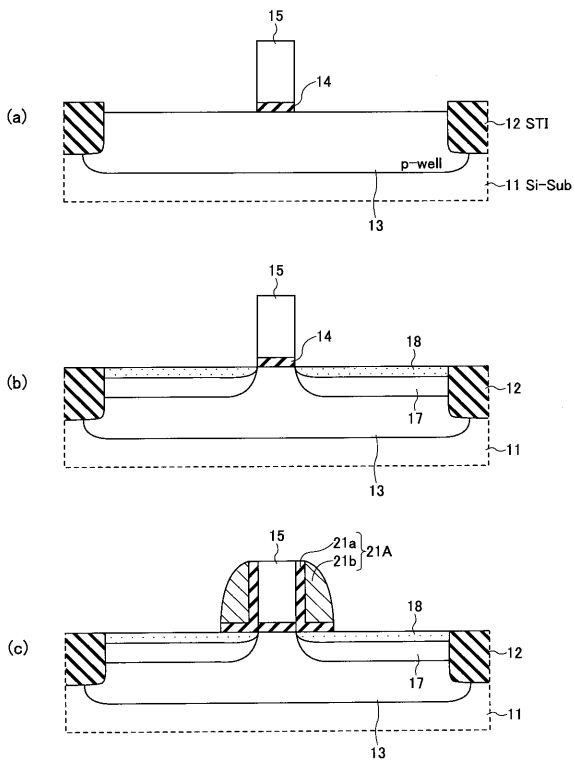
本発明の1実施形態にかかる半導体装置



- | | |
|-------------|-------------|
| 11 シリコン基板 | 21 サイドウォール |
| 14 ゲート絶縁膜 | 22 炭素(C)層 |
| 15 ゲート電極 | 23 ソース・ドレイン |
| 17 ポケット領域 | 24 シリサイド |
| 18 エクステンション | |

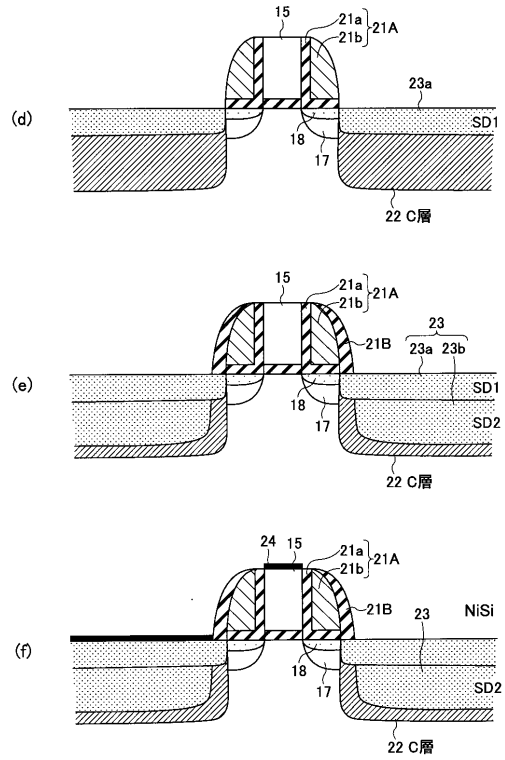
【 図 3 】

第1実施形態の半導体装置の作製工程図(その1)



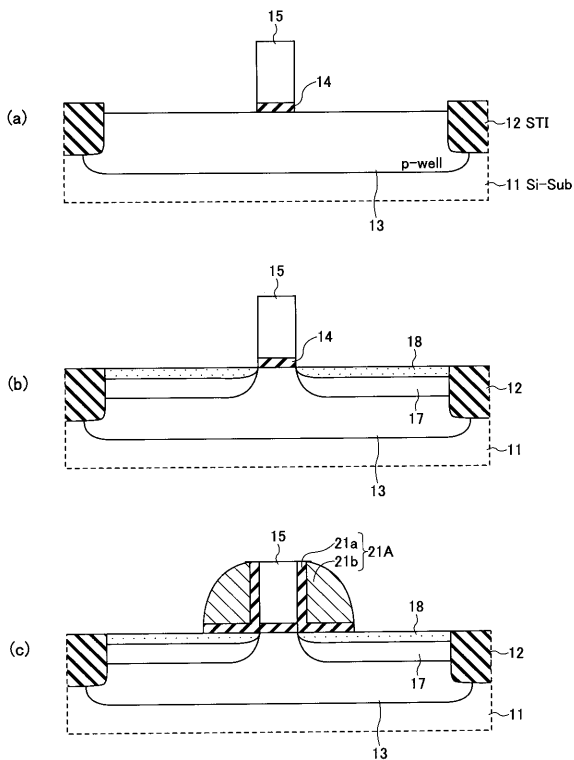
【 図 4 】

第1実施形態の半導体装置の作製工程図(その2)



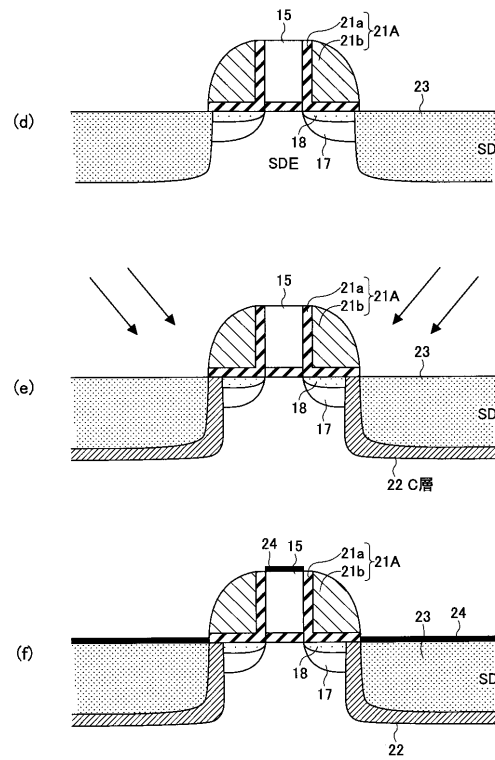
【 図 5 】

第2実施形態の半導体装置の作製工程図(その1)



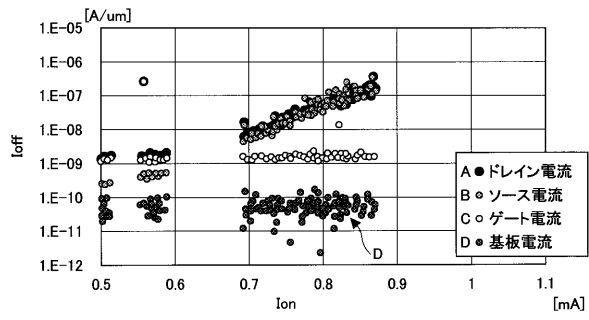
【 図 6 】

第2実施形態の半導体装置の作製工程図(その2)

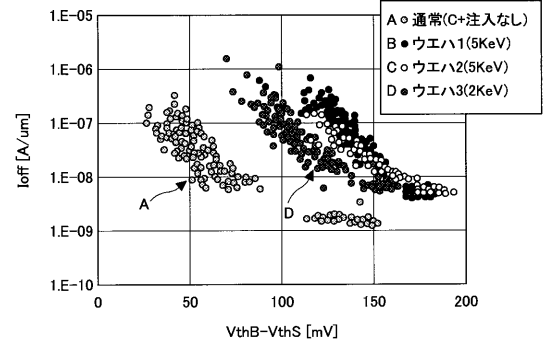


【 図 7 】

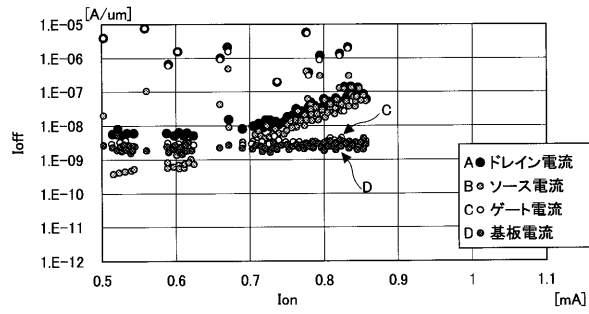
(a) C+注入なし(通常構造)



【 図 8 】



(b) エクステンションポケットにC+注入



フロントページの続き

Fターム(参考) 5F140 AA00 BA01 BB15 BC06 BE07 BF04 BF11 BF18 BG10 BG12
BG14 BG34 BG53 BH14 BH22 BH34 BH35 BH36 BH45 BJ01
BJ08 BK02 BK10 BK13 BK21 BK22 BK34 CB04 CF04