

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年4月8日(08.04.2021)



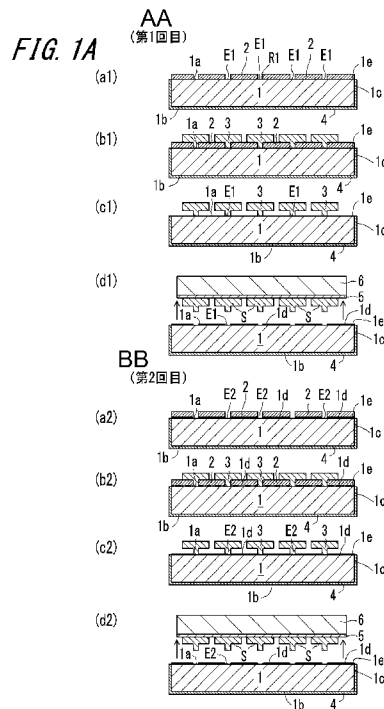
(10) 国際公開番号

WO 2021/066042 A1

- (51) 国際特許分類:
C30B 25/04 (2006.01) C30B 29/38 (2006.01)
H01L 21/20 (2006.01)
- (21) 国際出願番号: PCT/JP2020/037240
- (22) 国際出願日: 2020年9月30日(30.09.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-179582 2019年9月30日(30.09.2019) JP
- (71) 出願人: 京セラ株式会社 (KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).
- (72) 発明者: 西村 剛太 (NISHIMURA, Takehiro); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 久芳豊 (KUBA, Yutaka); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 正木 克明 (MASAKI, Katsuaki); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 村川 賢太郎 (MURAKAWA, Kentaro); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 小林 敏洋 (KOBAYASHI, Toshihiro); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 H A R A K E N Z O W O R L D P A T E N T & T

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子の製造方法



AA First time
BB Second time

(57) Abstract: A method for manufacturing a semiconductor element according to the present disclosure comprises a step of preparing a substrate, a first element forming step of forming a first semiconductor layer in a first region on the surface of the substrate, a first element separating step of separating the first semiconductor layer from the substrate, and a second element forming step of forming a second semiconductor layer in a second region on the surface of the substrate from which the first semiconductor layer has been separated. In this method for manufacturing a semiconductor element,



WO 2021/066042 A1

R A D E M A R K (HARAKENZO WORLD
PATENT & TRADEMARK); 〒5300041 大阪府
大阪市北区天神橋 2 丁目北 2 番 6 号 大
和南森町ビル Osaka (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

at least a portion of the second region overlaps the first region.

(57) 要約: 本開示の半導体素子の製造方法は、基板を準備する工程と、前記基板の表面の第1領域に第1半導体層を形成する第1素子形成工程と、前記第1半導体層を前記基板から分離する第1素子分離工程と、前記第1半導体層が分離した基板の表面の第2領域に第2半導体層を形成する第2素子形成工程と、を備えている。また本開示の半導体素子の製造方法では、前記第2領域の少なくとも一部は、前記第1領域に重なる。

明 細 書

発明の名称：半導体素子の製造方法

技術分野

[0001] 本開示は、半導体素子の製造方法に関する。

背景技術

[0002] 従来技術の一例は、特許文献1および特許文献2に記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特許第4638958号公報

特許文献2：特開2013-251304号公報

発明の概要

[0004] 本開示の半導体素子の製造方法は、基板を準備する工程と、前記基板の表面の第1領域に第1半導体層を形成する第1素子形成工程と、前記第1半導体層を前記基板から分離する第1素子分離工程と、前記第1半導体層が分離した基板の表面の第2領域に第2半導体層を形成する第2素子形成工程と、を備えている。また本開示の半導体素子の製造方法では、前記第2領域の少なくとも一部は、前記第1領域に重なる、構成である。

図面の簡単な説明

[0005] [図1A]本開示の一実施形態に係る半導体素子の製造方法における第1回目および第2回目の製造工程を説明するための図である。

[図1B]本開示の一実施形態に係る半導体素子の製造方法における第3回目の製造工程を説明するための図である。

[図2]素子分離工程後の基板における転移欠陥の発生状態を示す拡大写真である。

[図3]第2マスク形成工程を説明するための図である。

[図4]第3マスク形成工程を説明するための図である。

発明を実施するための形態

- [0006] 従来、半導体素子の製造方法として、基板上に開口部を有するマスクを形成した後、横方向エピタキシャル成長法を用いて、開口部に露出する露出面から半導体素子となる半導体層を成長させる方法が知られている（例えば、特許文献1，2を参照）。成長させた半導体層は、支持基板等に転写されて、基板から分離される。
- [0007] また、特許文献2は、GaN系半導体層を剥離する剥離工程と、前記剥離工程の後、剥離した後のGaN基板を用いて、マスク形成工程及び成長工程を行なうことが記載されている。
- [0008] このような、半導体素子の製造方法では、生産性を向上させることが求められている。
- [0009] 以下、本開示の実施形態について、図面を参照しつつ説明する。なお、本発明は、半導体素子の製造方法に関する。本発明に係る製造方法によって、製造される半導体素子は、例えば、発光素子、受光素子またはショットキーバリアダイオードであればよい。なお、発光素子の場合、例えば、発光ダイオード（Light Emitting Diode；LED）およびレーザダイオード（Laser Diode；LD）素子であればよい。
- [0010] 図1Aの工程a1，b1，c1，d1は、半導体素子の製造に使用されていない初期状態の基板を用いた、半導体素子の第1回目の製造工程に相当する。また、図1Aの工程a2，b2，c2，d2は、基板再使用工程を示すものであり、半導体素子の製造に少なくとも1回使用された基板を用いた。また、図1Bの工程a3，b3，c3，d3は、さらなる基板再使用工程を示すものである。工程a2～d3は、半導体素子の第2回目以降の製造工程に相当する。
- [0011] 図1Aにおいて、「工程a1」は第1マスク形成工程を示し、「工程a2」は第2マスク形成工程を示す。「工程b1」は第1素子形成工程を示し、「工程b2」は第2素子形成工程を示す。「工程c1」は第1マスク除去工程を示し、「工程c2」は第2マスク除去工程を示す。「工程d1」は第1素子分離工程を示し、「工程d2」は第2素子分離工程を示す。

- [0012] 各工程で共通して使用する基板1は、工程a1の前に準備される。基板1は、半導体の結晶成長の起点となる一方主面（以下、第1面ともいう）1aと、第1面1aに対して反対側に位置する他方主面（以下、第2面ともいう）1bとを有する。基板1の、第1面1aを含む表面層は、窒化物半導体で構成されている。実施形態で使用する基板1は、例えば、窒化ガリウム（GaN）単結晶インゴットから切り出したGaN基板である。
- [0013] 基板1は、窒化物半導体中にSiなどの不純物がドーピングされたn型基板であってもよく、窒化物半導体中にMgなどの不純物がドーピングされたp型基板であってもよい。基板1における不純物密度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度以下である。また、基板1としては、GaN基板のほか、Si基板、サファイア基板、SiC基板等を使用してよい。基板1は、基板1上に成長させる半導体層3と同種で形成されていてもよいし、異種で形成されていてもよい。基板1が半導体層3と同種で形成されている場合、例えばGaN基板上にGaN層を成長させてもよい。また基板1が半導体層3と異種で形成されている場合、Si基板、サファイア基板またはSiC基板上にGaN層を成長させてもよい。
- [0014] 基板1は、表面層がGaN層である基板に限定されることはなく、表面層がGaN系半導体で構成されている基板であってもよい。ここでいう「GaN系半導体」とは、例えば、 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ($0 \leq x \leq 1$; $0 \leq y \leq 1$; $0 \leq z \leq 1$; $x + y + z = 1$) によって構成されるものいう。
- [0015] 半導体の結晶成長の起点となる第1面1aを除く、第1面1aに対して反対側に位置する基板1の第2面1bには、後述の工程による基板1の変質または窒化物半導体の分解を抑制するための保護層4が形成されてもよい。保護層4は、例えば、酸化アルミニウムまたはアルミナ等を含んでいてもよい。保護層4は、基板1の、第1面1aと第2面1bとを接続する端面1cにも形成されてもよい。
- [0016] 本実施形態では、基板1の第2面1bに保護層4を位置させている。その結果、基板1の第2面1bの変質を低減することができる。ひいては、半導

体結晶の成長条件を安定させ、量産性を向上させることができる。

[0017] 初期状態の基板 1 を用いた半導体素子の製造方法は、主には、図 1 A の工程 a 1, b 1, c 1, d 1 に相当し、基板 1 の第 1 面 1 a 上に第 1 マスク 2 1 を形成する第 1 マスク形成工程 a 1 と、マスクされた基板 1 の第 1 面 1 a 上に半導体層 3 を形成する第 1 素子形成工程 b 1 と、エッチングにより堆積抑制マスク 2 (第 1 マスク 2 1 という) を除去する第 1 マスク除去工程 c 1 と、半導体層 3 を基板 1 の第 1 面 1 a から分離する第 1 素子分離工程 d 1 と、を含む。

[0018] (a 1) 第 1 マスク形成工程

第 1 マスク形成工程 a 1 では、基板 1 (Ga N 基板) の第 1 面 1 a 上に、フォトリソグラフィ技術およびエッチング技術を用いて、半導体結晶 (半導体層 3) の成長を抑制する堆積抑制マスク 2 (第 1 マスク 2 1) を、所定のパターンに形成する。このとき、基板 1 の第 1 面 1 a の一部である第 1 領域 R 1 が露出するように、第 1 マスク 2 1 を形成する。その結果、後の工程において、第 1 領域 R 1 に半導体層 3 を形成することができる。

[0019] 具体的には、第 1 マスク形成工程 a 1 では、先ず、第 1 面 1 a の全面に第 1 マスク 2 1 を形成する。第 1 マスク 2 1 は、例えば酸化ケイ素 (Si O₂) 層としてよい。第 1 マスク形成工程 a 1 では、P C V D (Plasma Chemical Vapor Deposition) 法を用いて、第 1 面 1 a 上に酸化ケイ素を 3 0 ~ 5 0 0 n m 程度積層する。

[0020] 次に、第 1 面 1 a の全面に形成した第 1 マスク 2 1 の、第 1 面 1 a に対向する面とは反対側の面 (第 1 マスク 2 1 の表側の面) にフォトレジストを塗布し、レジスト層 (図示せず) を形成する。フォトレジストは、ポジ型のフォトレジストでも、ネガ型のレジストでもよい。

[0021] 次に、第 1 マスク 2 1 の所定のパターンに対応するマスクパターンが描かれたフォトマスク (図示せず) を準備する。続いて、フォトマスクを、基板 1 に対して、所定の位置に位置付けた後、フォトマスクに描かれたマスクパターンをレジスト層に露光および現像する。フォトマスクは、例えば、ガラ

基板にクロム (Cr)、チタン (Ti) またはタングステン (W) 等でマスクパターンが描かれたものでよい。

[0022] 次に、露光および現像したレジスト層を硬化させた後、レジスト層に覆われていない、第1マスク21の不要部位を、HF (フッ酸) 系ウェットエッチング、または CF_4 等のフッ素系のガスを用いたドライエッチングによって取り除く。続いて、レジスト層を取り除くことによって、基板1の第1面1a上に所定のパターンを有する第1マスク21を形成することができる。レジスト層は、溶剤によるリフトオフ、アッシング等公知の方法を用いて取り除くことができる。

[0023] エッチングによって第1マスク21が取り除かれた領域 (上向き開口) から覗く露出面E1は、第1面1aが露出する第1領域R1であり、第1領域R1は、第1素子形成工程b1において、半導体結晶の成長の起点となる領域である。なお、第1領域R1は、例えば、複数の帯状に形成されている。

[0024] 露出面E1の並行方向 (図1Aにおける左右方向) における幅 (複数の帯のうちの1つの帯の幅) である開口幅または溝幅は、例えば $2\sim 20\mu m$ でよい。また、実施形態における、第1マスク21の並行方向の幅は、例えば $150\sim 200\mu m$ に設定される。

[0025] 第1マスク21の並行方向の幅と、露出面E1の並行方向の幅との関係は、続いて行われる第1素子形成工程b1において形成される半導体層3の、基板1の第1面1aに垂直な方向の結晶成長速度と、基板1の第1面1aに平行な方向の結晶成長速度との比率、および、成長させる半導体層3の厚みを考慮して設定すればよい。

[0026] また、第1マスク21のパターンとしては、帯状またはストライプ状のほか、帯状体が縦横に直交するように複数配置した格子状であってもよい。一定の間隔 (リピートピッチ) で分断された開口が複数回繰り返される、いわゆるリピート柄 (パターン) であれば、どのようなパターンでもよい。

[0027] さらに、第1面1aにおける、端面1cに近傍した縁部領域1eも、第1

マスク21で覆われていてもよい。これにより、後の第1素子分離工程d1における半導体層3の分離が容易になり、基板1の端に位置する、縁部近傍の半導体層3も、きれいに分離することができる。

[0028] また、第1マスク21（堆積抑制マスク2）を構成するマスク材料としては、例えばSiO₂等の酸化シリコンを含むものを用いる。堆積抑制マスク2は、気相成長によって、マスク材料の表面を起点として、半導体層が成長しない材料であればよい。酸化シリコンを含むもの以外では、例えば、酸化ジルコニウム（ZrO_x）、酸化チタン（TiO_x）、酸化アルミニウム（AlO_x）等の酸化物を用いることができる。ただし、堆積抑制マスク2は、クロム（Cr）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）およびニオブ（Nb）等から選択される遷移金属を使用してもよい。また、マスク材料の堆積方法は、蒸着、スパッタ、および塗布硬化等、マスク材料に適合した方法を適宜用いることができる。

[0029] （b1）第1素子形成工程

第1素子形成工程b1では、第1領域R1である露出面E1から、隣接する第1マスク21上にかけて広がるように、半導体結晶をエピタキシャル成長（Epitaxial Lateral Overgrowth；ELO）させ、素子の一部を構成する半導体層3（第1半導体層31ともいう）を形成する。実施形態における半導体層3は窒化物半導体であり、エピタキシャル成長によって、窒化物半導体を、第1面1aから、第1マスク21の溝の上縁開口を越えて、第1マスク21の上面にまで、成長させる。

[0030] 第1素子形成工程b1では、III族（第13族元素）原料に塩化物を用いるハイドライド気相成長（Hydride Vapor Phase Epitaxy；HVPE）法、III族原料に有機金属を用いる有機金属気相成長（Metal Organic Chemical Vapor Deposition；MOCVD）法、または分子線気相成長（Molecular Beam Epitaxy；MBE）法等の気相成長法を用いることができる。

[0031] 例えば、半導体層3であるGaN層をMOCVD法で成長させる場合、先ず、第1マスク21がパターン形成された基板1を、エピタキシャル装置の

反応室に挿入し、水素ガス、窒素ガス、または、水素と窒素の混合ガスと、アンモニア等のV族原料（第15族元素含有）ガスを供給しながら、基板1を加熱して、所定の成長温度、例えば1050～1100℃まで、昇温させる。

[0032] 続いて、基板1の温度が安定してから、上記の混合ガスおよびV族原料ガスの他に、トリメチルガリウム（TMG）等のIII族（第13族元素含有）原料を供給して、結晶成長領域（第1領域R1）である露出面E1から半導体層3をエピタキシャル成長させる。

[0033] このとき、Si等のn型不純物またはMg等のp型不純物等の原料ガスを供給し、ドーパ量を調整することにより、所望の導電型のGaN層を得ることができる。また、成長結晶が第1マスク21間の溝の開口の縁を越える、または成長結晶が溝を埋め尽くす前に、原料の供給を一旦止めて、半導体結晶の成長を停止させてもよい。このようにして、原料の供給を再開させる前に、第1素子分離工程d1における半導体層3の分離を容易にする「脆弱部」を、部分的な層または膜として形成してもよい。

[0034] 脆弱部の例としては、例えば、GaN層を結晶成長させる場合、第1領域R1の溝内における開口側に位置した半導体層3の上部と露出面E1側に位置した半導体層3の下部との間に、GaNと、BN、AlN、InN等との混晶結晶からなる層を、脆弱部として形成してもよい。

[0035] 上記の他、脆弱部として、結晶成長層とは格子定数の異なる、 $Al_xGa_yIn_zN$ ($0 \leq x \leq 1$; $0 \leq y < 1$; $0 \leq z \leq 1$; $x + y + z = 1$) からなる半導体層3を形成してもよい。また、AlGaN層とGaN層を交互に積層した、超格子構造の脆弱部を形成してもよい。脆弱部は、結晶の成長条件を周期的に変化させて、GaNの結晶粒の大きい層と結晶粒の小さな層とを交互に積層したものであってもよい。脆弱部は、GaNのn型不純物として使用されるシリコン（Si）の濃度を変化させる等して、不純物濃度を変化させた層であってもよい。

[0036] 脆弱部を形成することによって、半導体素子Sを基板1から分離するとき

、脆弱部に応力が集中して亀裂を発生させ易くなり、半導体素子Sを基板1から容易に分離することができる。

[0037] 脆弱部を形成した場合には、その脆弱部の上面（表面）を起点として、続けてGaNを気相成長させる。脆弱部を形成しない場合には、第1領域R1の間の露出面E1を起点として、GaNを気相成長させる。

[0038] 半導体層3は、結晶成長面が第1マスク21の上縁を越えた後は、堆積抑制マスク2の上面に沿って横方向（図1Aにおける左右方向）に成長する。そのため、半導体層3の貫通転位などを低減することができる。

[0039] 第1素子形成工程b1は、第1領域R1の露出面E1から成長を始めた各半導体層3が、隣接する第1半導体層31に接触または互いに重なる前に終了する。その結果、隣接する半導体層3同士が接した際に発生し得るクラックまたは貫通転位等の結晶欠陥を低減することができる。

[0040] なお、第1素子形成工程b1では、半導体素子の少なくとも一部を形成すればよく、第1マスク除去工程前c1に、半導体素子の全ての構成が形成されていなくてもよい。また、半導体素子の全ての構成が形成されていない場合、第1マスク除去工程c1の後、または第1素子分離工程d1の後に半導体素子の残りの構成を形成してもよい。また、半導体素子の構成は、半導体素子の種類に応じて、適宜形成すればよい。

[0041] (c1) 第1マスク除去工程

第1素子形成工程b1の完了後、基板1を気相成長装置（エピタキシャル装置）から取り出し、成長した半導体層3を実質的に侵さないエッチャントを用いて、第1マスク21を除去する。

[0042] 第1マスク21の除去は、例えば、SiO₂膜からなるマスクの場合、HF系ウェットエッチングを行なう。エッチングによって、第1マスク21が除去される。第1半導体層31は、図1Aの(c1)に示すように、露出面E1上に位置する細い接続部によって基板1と接続された、略T字状の形状となる。これにより、第1半導体層31の分離を円滑に行なうことができるようになる。

[0043] (d 1) 第1素子分離工程

第1素子分離工程d 1は、1つの面（下面）に、AuSn等の材料を用いた半田からなる接着層5を有する支持基板6などの部材または治具などを用いて、第1素子形成工程b 1で形成した半導体素子の少なくとも一部を（例えば、第1半導体層3 1）を基板1から分離し、それぞれ、個々の半導体素子Sとする工程である。

[0044] 例えば、下面に接着層5を有する支持基板6を、基板1の第1半導体層3 1が形成された面（第1面1 a）に対向させる。続いて、支持基板6を基板1に向けて押圧し、接着層5を加熱することによって、半導体3を接着層5に接着させる。

[0045] その後、接着層5に接着し一体となった第1半導体層3 1を、上方に引き剥がすように外力を加え、これら第1半導体層3 1を、基板1の第1面1 aから引き上げる。これにより、半導体素子Sの本体を、傷付けることなく分離することができる。第1素子分離工程d 1は、半導体素子Sのサイズに合わせて、第1半導体層3 1を分割する工程、および第1半導体層3 1に電極、配線導体等を形成する工程を含んでいてもよい。なお、第1半導体層3 1を分割する際には、第1半導体層3 1を劈開面で劈開することによって分割してもよい。

[0046] 次に、第1素子分離工程d 1の完了後に1回以上行われる、基板再使用工程について説明する。

[0047] 第1半導体層3 1を分離した後の基板1では、第1面1 aにおける第1マスク2 1に覆われていた領域に、第1面1 aから基板1の内部に至るピット、および第1面1 aに沿った転移欠陥が発生することがある。図2は、ピットおよび転移欠陥が発生した領域（以下、欠陥領域ともいう）1 dを模式的に示している。図2は、基板1の第1面1 aにおける転移欠陥の発生状態を示している。

[0048] 欠陥領域1 dから高品質の半導体結晶を成長させることは困難である。このため、第1面1 a上に堆積抑制マスク2を無作為に再形成し、第1面1 a

から半導体結晶を再度成長させるためには、研磨等の処理を第1面1aに施す必要がある。

[0049] それに対して、第1面1aにおける第1領域R1、すなわち第1面1aにおける半導体層3（第1半導体層31）と接続していた領域には、ピットが少ない。また、例えば図2に示すように、第1領域R1には、転移欠陥が存在しないか、初期状態の基板1と同程度の面密度（例えば、 $1 \times 10^7 / \text{cm}^2$ 以下）でしか転移欠陥が存在しない。したがって、本発明に係る半導体素子の製造方法では、第1領域R1と少なくとも一部が重なる第2領域R2から半導体結晶（第2半導体層32）を再度成長させる、基板再使用工程を有している。これにより、研磨等によってピットおよび転移欠陥を取り除くことを低減することができ、初期状態の基板1と同程度のピット密度および転移欠陥密度の領域から半導体結晶を成長させることができ、ひいては、半導体素子の生産性を向上させることができる。なお、本実施形態では、第2領域R2および第1領域R1は、略一致する領域である。

[0050] 図1Aに示すように、基板再使用工程は、「工程a2」～「工程d2」を有する第2基板再使用工程を有している。「工程a2」は第2マスク形成工程a2を示し、「工程b2」は第2素子形成工程b2を示し、「工程c2」は第2マスク除去工程c2を示し、「工程d2」は第2素子分離工程d2を示す。なお、第2基板再使用工程は、上述した第1素子分離工程d1の後に露出した第1面1aに対して、研磨が行なわれていない状態で、実施される。なお、第2基板再使用工程で、第1素子分離工程d1の後、第2素子形成工程b2の前に第1面1aの少なくとも一部に対して、第1面1aに付着する付着物を洗浄する洗浄工程の後に行なわれてもよい。

[0051] (a2) 第2マスク形成工程

第2マスク形成工程a2では、フォトリソグラフィ技術およびエッチング技術を用いて、第1マスク形成工程a1で形成された第1マスク21の形成位置を含む領域に、新たな堆積抑制マスク2（第2マスク22ともいう）を形成して、第2マスク22に覆われていない露出面（第2の結晶成長領域

(第2領域R2)ともいう) E2を露出させる。第2マスク形成工程a2は、第1工程～第4工程によって構成される。図3において、「工程a21」は第1工程を示し、「工程a22」は第2工程を示し、「工程a23」は第3工程を示し、「工程a24」は第4工程を示す。

[0052] (a21) 第1工程

第1工程a21では、基板1の第1面1aの全面に堆積抑制マスク2(第2マスク22)を形成する。第2マスク22は、例えば厚さ30~500nm程度の酸化ケイ素(SiO₂)層でよい。第1工程a21では、例えば、PVD法等を用いて、第1面1a上に酸化ケイ素を30~500nm程度積層する。

[0053] (a22) 第2工程

第2工程a22では、先ず、第1工程a21で形成した第2マスク22の、基板1に対向する面とは反対側の面(第2マスク22の表側の面)にフォトレジストを塗布し、レジスト層7を形成する。フォトレジストは、ポジ型のフォトレジストでも、ネガ型のレジストでもよい。

[0054] 次に、第1マスク形成工程a1で使用したフォトマスクのマスクパターンに対応するマスクパターンが描かれたフォトマスク(図示せず)を準備する。フォトマスクは、例えば、ガラス基板にクロム(Cr)、チタン(Ti)またはタングステン(W)等でマスクパターンが描かれたものである。続いて、準備したフォトマスクを、基板1に対して、第1マスク形成工程a1と同様に、所定の位置に位置付けた後、フォトマスクに描かれたパターンをレジスト層に露光および現像する。

[0055] フォトマスクは、基板1およびフォトマスクの外形形状、フォトマスクに描かれたマスクパターン、欠陥領域1dの位置等に基づいて、基板1に対して位置付けられてもよい。基板1およびフォトマスクに位置合わせ用のアライメントマークを形成しておき、第1マスク形成工程a1および第2マスク形成工程a2では、フォトマスクを、アライメントマークに基づいて、基板1に対して位置付けてもよい。

[0056] (a 2 3) 第3工程

第3工程 a 2 3 では、所定のパターンに露光および現像したレジスト層 7 を硬化させた後、レジスト層 7 に覆われていない、第2マスク 2 2 の不要部分を、HF（フッ酸）系ウェットエッチング、または、 CF_4 等のフッ素系のガスを用いたドライエッチングによって取り除く。

[0057] (a 2 4) 第4工程

第4工程 a 2 4 では、溶剤によるリフトオフ、アッシング等公知の方法を用いて、レジスト層 7 を取り除き、露出面 E 1 と少なくとも一部が重なる露出面 E 2 を露出させる。

[0058] 上記の第2マスク形成工程 a 2 によって、基板 1 の第1面 1 a に、第1領域 R 1 に少なくとも一部が重なる第2領域 R 2 を露出させることができる。第2領域 R 2 は、第1領域 R 1 に含まれていればよく、第1領域 R 1 に完全に一致している必要はない。また、第2領域 R 2 は、正常な半導体結晶の成長が可能な範囲であれば、欠陥領域 1 d を含んでいてもよい。なお、第2領域 R 2 は、第1領域 R 1 よりも小さくてもよい。

[0059] 第2マスク形成工程 a 2 では、第1面 1 a の縁部領域 1 e にも第2マスク 2 2 を形成してもよい。これにより、第2素子分離工程 d 2 における半導体層 3 の分離が容易になり、基板 1 の端に位置する縁部の近傍に存在する半導体層 3 も、きれいに分離することができる。

[0060] (b 2) 第2素子形成工程

第2素子形成工程 b 2 では、第2領域 R 2 である露出面 E 2 から、隣接する第2マスク 2 2 の上面に広がるように半導体結晶を成長させ、素子の一部を構成する半導体層 3（第2半導体層 3 2 ともいう）を形成する。第2素子形成工程 b 2 は、第1素子形成工程 b 1 と同様であればよい。

[0061] (c 2) 第2マスク除去工程

第2素子形成工程 b 2 の完了後、成長した第2半導体層 3 2 を実質的に侵さないエッチャントを用いて、第2マスク 2 2 を除去する。第2マスク除去工程 c 2 は、第1マスク除去工程 c 1 と同様であればよい。

[0062] (d 2) 第2素子分離工程

第2素子分離工程 d 2は、第2半導体層 3 2を基板 1から分離し、それぞれ、個々の半導体素子 Sとする工程である。第2素子分離工程 d 2は、第1素子分離工程 d 1と同様であればよい。

[0063] このように、本発明に係る半導体素子の製造方法によれば、半導体素子の第1回目の製造工程の後に、研磨等によってピットおよび転移欠陥を取り除くことなく、基板 1の第1面 1 aを再使用して、2回目の半導体素子を形成することができる。これにより、半導体素子の製造における工程数を削減し、生産性を向上させることが可能になる。

[0064] 基板再使用工程では、第2基板再使用工程を2回以上繰り返して行ってもよい。実施形態の半導体素子の製造方法では、研磨等により基板 1の板厚が大きく減少することを低減することができる。

[0065] 図 1 Bに示すように、基板再使用工程は、さらに、「工程 a 3」～「工程 d 3」を有する第3基板再使用工程を有していてもよい。「工程 a 3」は第3マスク形成工程 a 3を示し、「工程 b 3」は第3素子形成工程 b 3を示し、「工程 c 3」は第3マスク除去工程 c 3を示し、「工程 d 3」は第3素子分離工程 d 3を示す。

[0066] (a 3) 第3マスク形成工程

第3マスク形成工程 a 3では、フォトリソグラフィ技術およびエッチング技術を用いて、第2マスク形成工程 a 2で形成された第2マスク 2 2の形成位置を含む領域に、新たな堆積抑制マスク 2 (第3マスク 2 3)を形成して、第3マスク 2 3に覆われていない露出面 (第3の結晶成長領域 (第3領域 R 3)ともいう) E 3を露出させる。第3マスク形成工程 a 3は、第1工程～第4工程によって構成される。図 4において、「工程 a 3 1」は第1工程を示し、「工程 a 3 2」は第2工程を示し、「工程 a 3 3」は第3工程を示し、「工程 a 3 4」は第4工程を示す。

[0067] なお、第3マスク形成工程 a 3は、上述した第2素子分離工程 d 2の後に露出した第1面 1 aに対して、研磨を行なった後に実施されてもよいし、研

磨を行っていない状態で実施されてもよい。第3マスク形成工程a3の前に研磨が行なわれた場合でも、第2マスク除去工程を介在しているため、素子分離工程ごとに基板1を研磨する場合と比較して、基板1の消耗を低減することができる。また、第3マスク形成工程a3は、複数の第2基板再使用工程の後に行なわれてもよい。なお、第2基板再使用工程および第3基板再使用工程は、それぞれ複数回行なわれてもよく、第2基板再使用工程の回数は、第3基板再使用工程の回数よりも多くてもよい。

[0068] (a31) 第1工程

第1工程a31では、基板1の第1面1aの全面に堆積抑制マスク2（第3マスク23ともいう）を形成する。第3マスク23は、例えば厚さ30～500nm程度の酸化ケイ素（ SiO_2 ）層でよい。第1工程a31では、例えば、PCVD法等を用いて、第1面1a上に酸化ケイ素を30～500nm程度積層する。

[0069] (a32) 第2工程

第2工程a32では、先ず、第1工程a31で形成した第3マスク23の、基板1に対向する面とは反対側の面（第3マスク23の表側の面）にフォトレジストを塗布し、レジスト層7を形成する。フォトレジストは、ポジ型のフォトレジストでも、ネガ型のレジストでもよい。

[0070] 次に、第2マスク形成工程a2で使用したフォトマスクのマスクパターンに対応するマスクパターンが描かれたフォトマスク（図示せず）を準備する。フォトマスクは、例えば、ガラス基板にクロム（Cr）、チタン（Ti）またはタングステン（W）等でマスクパターンが描かれたものである。続いて、準備したフォトマスクを、基板1に対して、第2マスク形成工程a2と同様に、所定の位置に位置付けた後、フォトマスクに描かれたパターンをレジスト層に露光および現像する。

[0071] フォトマスクは、基板1およびフォトマスクの外形形状、フォトマスクに描かれたマスクパターン、欠陥領域1dの位置等に基づいて、基板1に対して位置付けられてもよい。基板1およびフォトマスクに位置合わせ用のアラ

イメントマークを形成しておき、第2マスク形成工程 a 2 および第3マスク形成工程 a 3 では、フォトマスクを、アライメントマークに基づいて、基板 1 に対して位置付けてもよい。

[0072] (a 3 3) 第3工程

第3工程 a 3 3 では、所定のパターンに露光および現像したレジスト層 7 を硬化させた後、レジスト層 7 に覆われていない、第3マスク 2 3 の不要部位を、HF (フッ酸) 系ウェットエッチング、または、 CF_4 等のフッ素系のガスを用いたドライエッチングによって取り除く。

[0073] (a 3 4) 第4工程

第4工程 a 3 4 では、溶剤によるリフトオフ、アッシング等公知の方法を用いて、レジスト層 7 を取り除き、露出面 E 2 に少なくとも一部が重なる露出面 E 3 を露出させる。

[0074] 上記の第3マスク形成工程 a 3 によって、基板 1 の第1面 1 a に、第2領域 R 2 に少なくとも一部が重なる第3領域 R 3 を露出させることができる。第3領域 R 3 は、第2領域 R 2 に含まれていればよく、第2領域 R 2 に完全に一致している必要はない。また、第3領域 R 3 は、正常な半導体結晶の成長が可能な範囲であれば、欠陥領域 1 d を含んでいてもよい。なお、第3領域 R 3 の少なくとも一部は、第1領域 R 1 と重なっていてもよい。また、第3領域 R 3 は、第1領域 R 1 から離れていてもよい。また、第3領域 R 3 は、第1領域 R 1 よりも小さくてもよい。

[0075] 第3マスク形成工程 a 3 では、第1面 1 a の縁部領域 1 e にも第3マスク 2 3 を形成してもよい。これにより、第3素子分離工程 d 3 における半導体層 3 の分離が容易になり、基板 1 の端に位置する縁部の近傍に存在する半導体層 3 も、きれいに分離することができる。

[0076] (b 3) 第3素子形成工程

第3素子形成工程 b 3 では、第3領域 R 3 である露出面 E 3 から、隣接する第3マスク 2 3 の上面に広がるように半導体結晶を成長させ、素子の一部を構成する半導体層 3 (第3半導体層 3 3 ともいう) を形成する。第3素子

形成工程 b 3 は、第 2 素子形成工程 b 2 と同様であればよい。

[0077] (c 3) 第 3 マスク除去工程

第 3 素子形成工程 b 3 の完了後、成長した第 3 半導体層 3 3 を実質的に侵さないエッチャントを用いて、第 3 マスク 2 3 を除去する。第 3 マスク除去工程 c 3 は、第 2 マスク除去工程 c 2 と同様であればよい。

[0078] (d 3) 第 3 素子分離工程

第 3 素子分離工程 d 3 は、第 3 半導体層 3 3 を基板 1 から分離し、それぞれ、個々の半導体素子 S とする工程である。第 3 素子分離工程 d 3 は、第 2 素子分離工程 d 2 と同様であればよい。

[0079] このように、実施形態の半導体素子の製造方法によれば、半導体素子の第 1 回目の製造工程の後に、研磨等によってピットおよび転移欠陥を取り除くことなく、基板 1 の第 1 面 1 a を再使用することができる。これにより、半導体素子の製造における工程数を削減し、生産性を向上させることが可能になる。

[0080] このように、実施形態の半導体素子の製造方法によれば、半導体素子の生産性を向上させることができる。なお、第 2 基板再使用工程（第 2 素子分離工程 d 2）または第 3 基板再使用工程（第 3 素子分離工程 d 3）の後に、第 2 素子または第 3 素子が剥離した後の基板 1 の厚みを大きくする基板成長工程をさらに備えてもよい。その結果、基板 1 自体を再生することができ、半導体素子を再び製造することができる。なお、基板 1 自体の再生は、例えば単結晶インゴットと同様に行われてもよい。具体的には、例えば気相成長または液相成長によって行われればよい。

[0081] 本開示は、その精神または主要な特徴から逸脱することなく、他のいろいろな形態で実施できる。したがって、前述の実施形態はあらゆる点で単なる例示に過ぎず、本開示の範囲は特許請求の範囲に示すものであって、明細書本文には何ら拘束されない。さらに、特許請求の範囲に属する変形や変更は全て本開示の範囲内のものである。

[0082] 例えば、上記では、第 2 基板再使用工程は、第 1 素子分離工程 d 1 の後に

第1面1aを研磨することなく実施する例を記載したが、第1素子分離工程d1の後、第2素子形成工程b2の前に第1面1aを研磨してもよい。その結果、第2素子の不良を低減することができ、ひいては、半導体素子の生産性を向上させることができる。

[0083] また、第1素子分離工程d1において、第1素子の分離は、第1素子が接触している基板1の表層の一部をとともに行なってもよい。この場合、第1素子を分離するときに、基板1の表層の一部を除去することができ、欠陥などの少ない基板1の面を新たに露出させることができる。その結果、第1面a全体を研磨するなどの工程をスキップすることができ、半導体素子の生産性を向上させることができる。なお、この場合には、接着層5および支持基板6を使用して第1半導体層31を基板1から引き剥がすときに、基板1に応力が加わるように、引きはがせばよい。

[0084] また、第1素子分離工程d1において、第1素子の分離は、例えば、第1半導体層31の基板1に接触する部分を含む領域を除去した後に、第1素子を分離してもよい。すなわち、第1マスク上に位置する第1半導体層31を第1素子（または第1素子の一部）として、それ以外の部分を除去した後に、第1素子（または第1素子の一部）を、接着層5および支持基板6を使用して分離してもよい。なお、このとき、接着層5および支持基板6を第1半導体層31に接着させた後に、第1マスクを除去すればよい。なお、第1マスクを除去すれば、容易に第1素子を基板1から分離することができる。

[0085] また、上記では、堆積抑制マスク2として、酸化ケイ素層を設ける例を説明したが、堆積抑制マスク2は、半導体層3の材料が付着しにくい材料を用いることができ、例えば、フッ素樹脂の層であってもよい。また、堆積抑制マスク2は、無機物または有機物の材料から構成される層の表面にフッ素処理してもよい。また、堆積抑制マスク2は、基板1の第1主面aに対して、第1領域R1、第2領域R2または第3領域R3を除く領域に対して、直接、フッ素処理を行ない、堆積抑制マスク2として機能させてもよい。フッ素系の材料を使用することによって、半導体層3の成長を低減することができる。

る。

[0086] また、上記では、第1素子を分離する前に第1マスク21を除去する例を説明したが、第1マスク21を除去せずに、第2マスク22または第3マスク23として再使用してもよい。

[0087] 本開示は次の実施の形態が可能である。

[0088] 本開示の半導体素子の製造方法は、基板を準備する工程と、前記基板の表面の第1領域に第1半導体層を形成する第1素子形成工程と、
、
前記第1半導体層を前記基板から分離する第1素子分離工程と、
前記第1半導体層が分離した基板の表面の第2領域に第2半導体層を形成する第2素子形成工程と、
を備え、

前記第2領域の少なくとも一部は、前記第1領域に重なる、構成である。

[0089] 本開示の半導体素子の製造方法によれば、半導体素子の製造における工程数を削減したり、半導体素子の品質を向上させたりすることで、半導体素子の生産性を向上させることができる。

請求の範囲

- [請求項1] 基板を準備する工程と、
前記基板の表面の第1領域に第1半導体層を形成する第1素子形成工程と、
前記第1半導体層を前記基板から分離する第1素子分離工程と、
前記第1半導体層が分離した基板の表面の第2領域に第2半導体層を形成する第2素子形成工程と、
を備え、
前記第2領域の少なくとも一部は、前記第1領域に重なる、半導体素子の製造方法。
- [請求項2] 請求項1に記載の半導体素子の製造方法において、
基板を準備する工程の後、前記第1領域を露出させつつ前記基板の前記第1面に第1マスクを形成する第1マスク形成工程と、
前記第1素子分離工程の前に、前記第1マスクを除去する第1マスク除去工程と、を備える、半導体素子の製造方法。
- [請求項3] 請求項1または2に記載の半導体素子の製造方法において、
前記第1領域および前記第2領域は、複数の帯状の領域である、半導体素子の製造方法。
- [請求項4] 請求項1～3のいずれかに記載の半導体素子の製造方法において、
前記第1領域および前記第2領域は、格子状の領域である、半導体素子の製造方法。
- [請求項5] 請求項1～4のいずれかに記載の半導体素子の製造方法において、
前記第2領域は、前記第1領域よりも小さい、半導体素子の製造方法。
- [請求項6] 請求項1～5のいずれかに記載の半導体素子の製造方法において、
前記第1素子分離工程において、前記第1素子の分離は、前記第1素子が接触している前記基板の一部とともに行なう、半導体素子の製造方法。

- [請求項7] 請求項1～6のいずれかに記載の半導体素子の製造方法において、前記第1半導体層が分離した前記基板に、少なくとも一部が前記第1領域と重なる第2領域を露出させつつ前記基板の前記第1面に第2マスクを形成する第2マスク形成工程と、を備える、半導体素子の製造方法。
- [請求項8] 請求項7に記載の半導体素子の製造方法において、前記第2マスクを除去する第2マスク除去工程と、前記第2半導体層を前記基板から分離する第2素子分離工程と、をさらに備え、前記第2マスク形成工程、前記第2素子形成工程、前記第2マスク除去工程および前記第2素子分離工程を、1回以上繰り返す、半導体素子の製造方法。
- [請求項9] 請求項1～8のいずれかに記載の半導体素子の製造方法において、前記第1素子分離工程の後、前記第2素子形成工程の前に、前記基板の前記第1面の少なくとも一部の表面を洗浄する洗浄工程を有する、半導体素子の製造方法。
- [請求項10] 請求項1～9のいずれかに記載の半導体素子の製造方法において、前記第1素子分離工程の後、前記第2素子形成工程の前に、前記基板の前記第1面の少なくとも一部を磨く研磨工程を、さらに備える、半導体素子の製造方法。
- [請求項11] 請求項1～10のいずれかに記載の半導体素子の製造方法において、前記第2半導体層を前記基板から分離する第2素子分離工程と、をさらに備え、前記第2半導体層が分離した前記基板に、少なくとも一部が前記第2領域と重なる第3領域を露出させつつ前記基板の前記第1面に第3マスクを形成する第3マスク形成工程と、前記第3領域に第3半導体層を形成する第3素子形成工程と、

をさらに備える、半導体素子の製造方法。

[請求項12] 請求項11に記載の半導体素子の製造方法において、
前記第3領域の少なくとも一部は、前記第1領域に重なっている、
半導体素子の製造方法。

[請求項13] 請求項12に記載の半導体素子の製造方法において、
前記第3領域は、前記第1領域とは離れている、半導体素子の製造
方法。

[請求項14] 請求項11～13のいずれかに記載の半導体素子の製造方法におい
て、
前記第2素子分離工程の後、前記第3素子形成工程の前に、前記基
板の前記1面の少なくとも一部を磨く研磨工程を、さらに備える、半
導体素子の製造方法。

[請求項15] 請求項11～14のいずれかに記載の半導体素子の製造方法におい
て、
前記第2素子分離工程または前記第3素子分離工程の後に、前記第2
素子または前記第3素子が剥離した後の基板の厚みを大きくする基板
成長工程をさらに備える、半導体素子の製造方法。

[請求項16] 請求項1～15のいずれかに記載の半導体素子の製造方法において
、
前記第1面の縁部領域を第1マスクで覆う、半導体素子の製造方法
。

[請求項17] 請求項1～16のいずれかに記載の半導体素子の製造方法において
、
前記基板の、前記第1面に対して反対側に位置する第2面に保護層
を形成する、半導体素子の製造方法。

[請求項18] 請求項1～17のいずれかに記載の半導体素子の製造方法において
、
前記第1マスクは、酸化シリコンを含むものを用いる、半導体素子

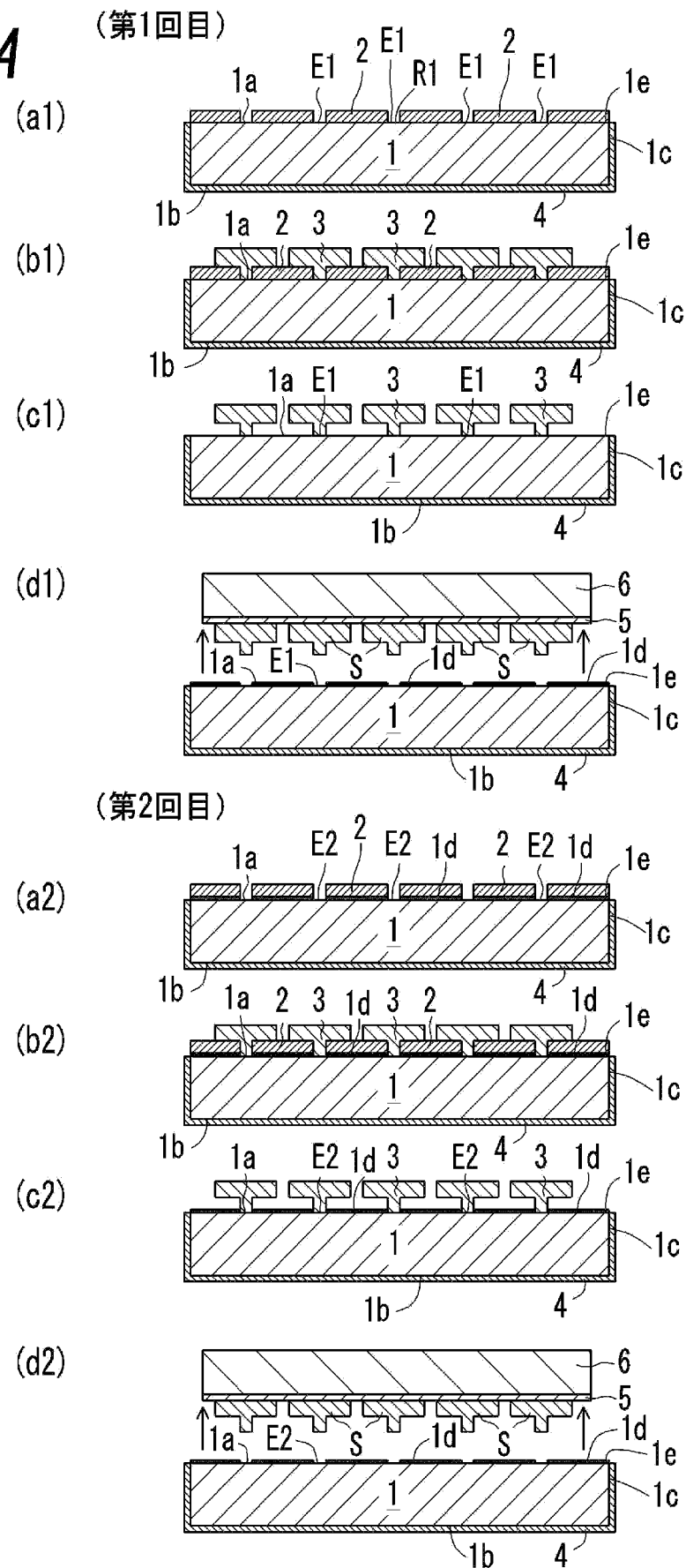
の製造方法。

[請求項19] 請求項1～18のいずれかに記載の半導体素子の製造方法において

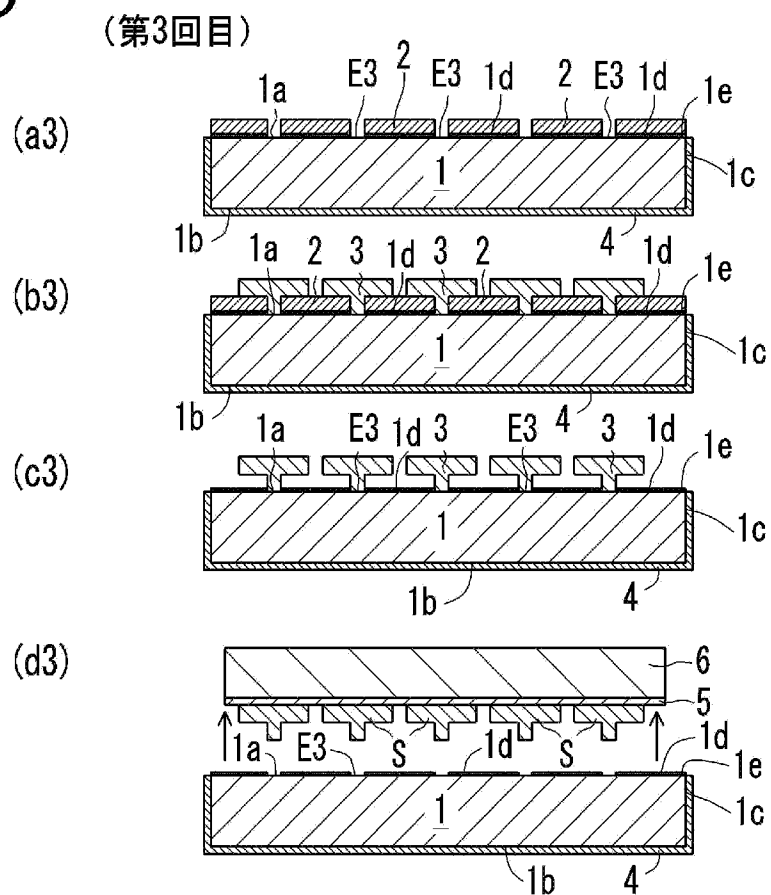
、

前記第1マスクは、タングステン、モリブデン、タンタルおよびニオブからなる元素群のうち、少なくとも1種の元素を含有するものを用いる、半導体素子の製造方法。

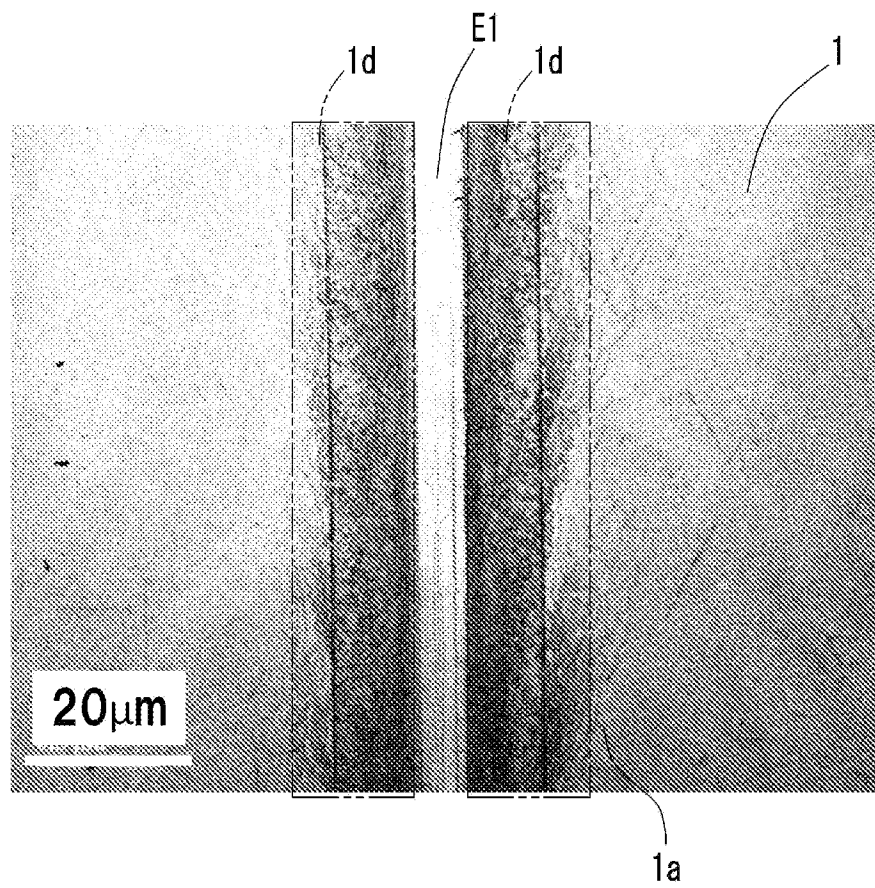
[図1A]

FIG. 1A

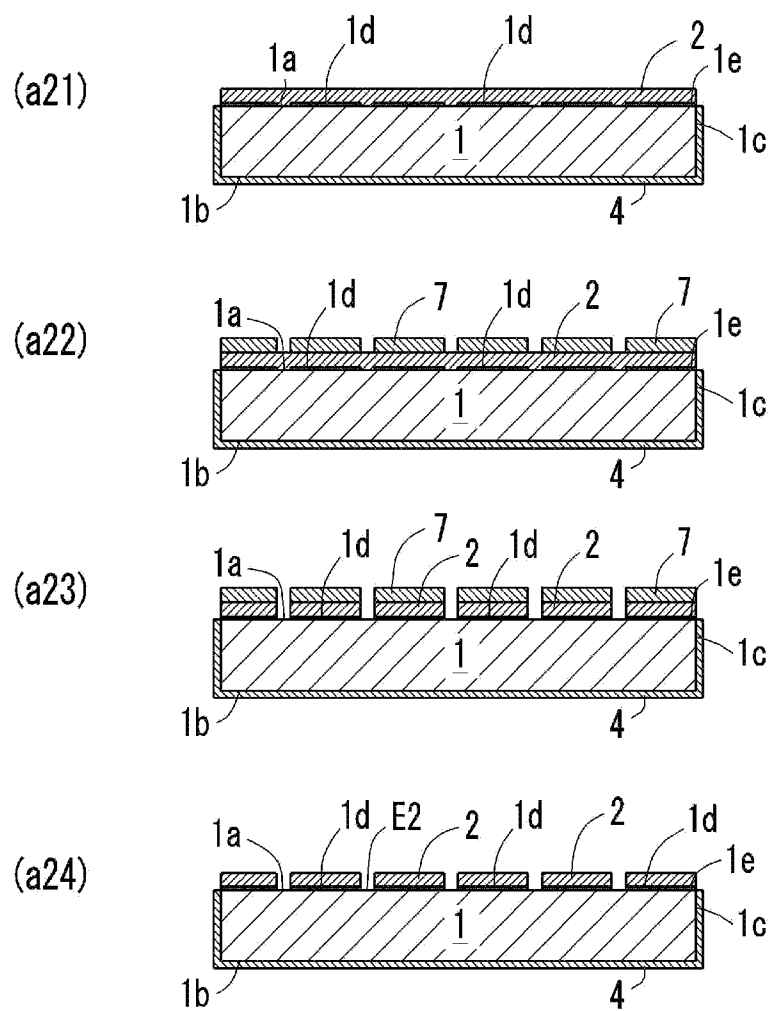
[図1B]

FIG. 1B

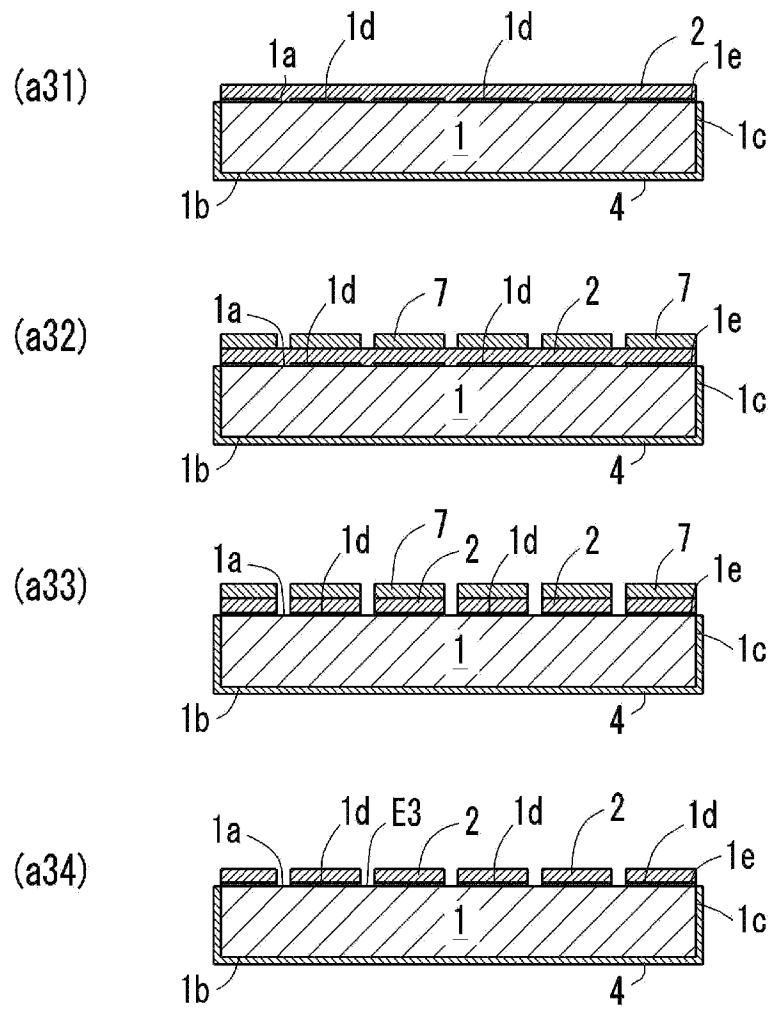
[図2]

FIG. 2

[図3]

FIG. 3

[図4]

FIG. 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/037240

A. CLASSIFICATION OF SUBJECT MATTER
C30B 25/04(2006.01)i; H01L 21/20(2006.01)i; C30B 29/38(2006.01)i
FI: H01L21/20; C30B29/38 D; C30B25/04
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
C30B25/04; H01L21/20; C30B29/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-251304 A (FURUKAWA CO., LTD.) 12 December 2013 (2013-12-12) paragraphs [0020], [0091]-[0097], fig. 17, 18	1-4, 6-8, 11, 12, 18 9, 10, 14-17, 19 5, 13
Y	JP 2014-225554 A (SHINRYO CORPORATION) 04 December 2014 (2014-12-04) paragraph [0011]	9, 10, 14
Y	WO 2017/164233 A1 (TOKUYAMA CORPORATION) 28 September 2017 (2017-09-28) paragraph [0077]	15
Y	JP 2003-7616 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 10 January 2003 (2003-01-10) fig. 5	16
Y	JP 9-306848 A (NEC CORP.) 28 November 1997 (1997-11-28) fig. 1	17
Y	JP 2019-134101 A (KYOCERA CORP.) 08 August 2019 (2019-08-08) paragraph [0017]	19
A	JP 2007-73569 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 22 March 2007 (2007-03-22)	1-19

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 December 2020 (02.12.2020)	Date of mailing of the international search report 15 December 2020 (15.12.2020)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/037240

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2013-251304 A	12 Dec. 2013	(Family: none)	
JP 2014-225554 A	04 Dec. 2014	(Family: none)	
WO 2017/164233 A1	28 Sep. 2017	US 2019/0093255 A1 paragraph [0097] EP 3434816 A1 CN 108713075 A	
JP 2003-7616 A	10 Jan. 2003	US 2002/0137248 A1 fig. 5 EP 1244139 A2	
JP 9-306848 A	28 Nov. 1997	(Family: none)	
JP 2019-134101 A	08 Aug. 2019	US 2019/0237324 A1 paragraph [0034]	
JP 2007-73569 A	22 Mar. 2007	US 2007/0054476 A1 EP 1760767 A2 KR 10-2007-0025975 A CN 1929090 A HK 1102243 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） C30B 25/04(2006.01)i; H01L 21/20(2006.01)i; C30B 29/38(2006.01)i FI: H01L21/20; C30B29/38 D; C30B25/04		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） C30B25/04; H01L21/20; C30B29/38 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-251304 A (古河機械金属株式会社) 12.12.2013 (2013 - 12 - 12) [0020],[0091]-[0097], 図17,18	1-4,6-8,11,12,18
Y		9,10,14-17,19
A		5,13
Y	JP 2014-225554 A (株式会社新菱) 04.12.2014 (2014 - 12 - 04) [0011]	9,10,14
Y	WO 2017/164233 A1 (株式会社トクヤマ) 28.09.2017 (2017 - 09 - 28) [0077]	15
Y	JP 2003-7616 A (松下電器産業株式会社) 10.01.2003 (2003 - 01 - 10) 図5	16
Y	JP 9-306848 A (日本電気株式会社) 28.11.1997 (1997 - 11 - 28) 図1	17
Y	JP 2019-134101 A (京セラ株式会社) 08.08.2019 (2019 - 08 - 08) [0017]	19
A	JP 2007-73569 A (住友電気工業株式会社) 22.03.2007 (2007 - 03 - 22)	1-19
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 02.12.2020	国際調査報告の発送日 15.12.2020	
名称及びあて先 日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 宇多川 勉 50 3125 電話番号 03-3581-1101 内線 3559	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/037240

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-251304 A	12.12.2013	(ファミリーなし)	
JP 2014-225554 A	04.12.2014	(ファミリーなし)	
WO 2017/164233 A1	28.09.2017	US 2019/0093255 A1 [0097] EP 3434816 A1 CN 108713075 A	
JP 2003-7616 A	10.01.2003	US 2002/0137248 A1 FIG.5 EP 1244139 A2	
JP 9-306848 A	28.11.1997	(ファミリーなし)	
JP 2019-134101 A	08.08.2019	US 2019/0237324 A1 [0034]	
JP 2007-73569 A	22.03.2007	US 2007/0054476 A1 EP 1760767 A2 KR 10-2007-0025975 A CN 1929090 A HK 1102243 A	