



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0071802  
(43) 공개일자 2012년07월03일

(51) 국제특허분류(Int. Cl.)  
H01L 21/3065 (2006.01)  
(21) 출원번호 10-2010-0133492  
(22) 출원일자 2010년12월23일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
이몽섭  
서울특별시 송파구 새말로5길 27, 아파트 702호  
(문정동, 주성파크뷰)  
황인석  
경기도 수원시 영통구 동탄지성로488번길 22, 벽  
산e빌리지아파트 103동 1001호 (망포동)  
(74) 대리인  
권혁수, 송윤호, 오세준

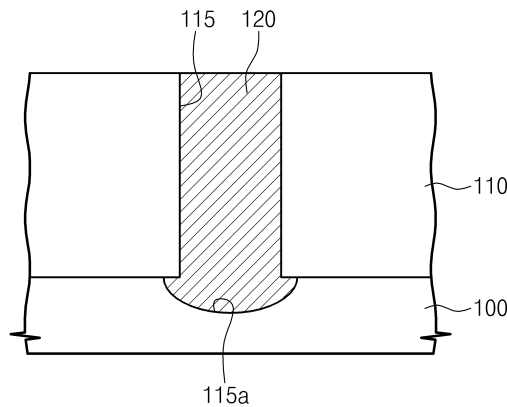
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치의 형성 방법

**(57) 요약**

반도체 장치의 형성 방법이 제공된다. 본 발명에 따른 반도체 장치의 형성 방법은 식각 대상물을 갖는 기판을 준비하는 것 및 플라즈마-프리-식각 공정(Plasma-Free-Etching Process)을 이용하여 상기 식각 대상물을 식각하는 것을 포함하되, 상기 플라즈마-프리-식각 공정은 할로젠간 화합물(Interhalogen compound), 불소(F<sub>2</sub>) 및 불화 제논(XeF<sub>2</sub>) 중에서 적어도 하나를 포함하는 식각 가스를 이용하는 것을 포함할 수 있다.

**대표도** - 도2d



## 특허청구의 범위

### 청구항 1

식각 대상물을 갖는 기판을 준비하는 것; 및

플라즈마-프리-식각 공정(Plasma-Free-Etching Process)을 이용하여 상기 식각 대상물을 식각하되, 상기 플라즈마-프리-식각 공정은 할로젠간 화합물(Interhalogen compound), 불소( $F_2$ ) 및 불화 제논( $XeF_2$ ) 중에서 적어도 하나를 포함하는 식각 가스를 이용하는 것을 포함하는 반도체 장치의 형성 방법.

### 청구항 2

제1항에 있어서,

상기 식각 대상물은 플라즈마 손상 영역을 포함하고,

상기 플라즈마 손상 영역은 상기 플라즈마-프리-식각 공정에 의해서 제거되는 반도체 장치의 형성 방법.

### 청구항 3

제1항에 있어서,

상기 플라즈마-프리-식각 공정이 수행된 기판에 수소 치환 공정을 수행하는 것을 더 포함하는 반도체 장치의 형성 방법.

### 청구항 4

제3항에 있어서,

상기 수소 치환 공정은,

상기 플라즈마-프리-식각 공정이 수행된 기판상에 수소를 포함하는 가스를 제공하는 것; 및

상기 기판에 열처리 공정을 수행하는 것을 포함하는 반도체 장치의 형성 방법.

### 청구항 5

제4항에 있어서,

상기 수소를 포함하는 가스는 불화 수소(HF), 암모니아 또는 불화 수소 중에서 적어도 하나를 포함하는 반도체 장치의 형성 방법.

### 청구항 6

제1항에 있어서,

상기 플라즈마-프리-식각 공정은 등방성 식각 공정인 반도체 장치의 형성 방법.

### 청구항 7

제1항에 있어서,

상기 식각 대상물을 준비하는 것은,

상기 기판에 절연막을 형성하는 것; 및

상기 절연막을 관통하여 상기 기판을 노출시키는 개구부를 형성하는 것을 포함하고,

상기 식각 대상물을 식각하는 것은,

상기 개구부에 의해 노출된 상기 기판을 식각하여 상기 기판 내에 리세스 영역을 형성하는 것을 포함하는 반도체 장치의 형성 방법.

**청구항 8**

제7항에 있어서,

상기 리세스 영역의 최장폭은 상기 개구부의 하단의 폭보다 큰 반도체 장치의 형성 방법.

**청구항 9**

제1항에 있어서,

상기 식각 대상물은 자연 산화막을 포함하고,

상기 플라즈마-프리-식각 공정을 수행하기 전에, 상기 자연 산화막을 제거하는 전식각 공정(Pre-Etching process)를 수행하는 것을 더 포함하는 반도체 장치의 형성 방법.

**청구항 10**

제9항에 있어서,

상기 전식각 공정은 불화 수소(HF), 암모니아 또는 불화 질소 중에서 적어도 하나를 포함하는 공정 가스를 이용하는 반도체 장치의 형성 방법.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 장치의 형성 방법에 관한 것이다.

**배경기술**

[0002] 최근 휴대폰, 노트북 등의 전자산업에서 제품의 경량화, 소형화, 고속화, 다기능화, 고성능화, 높은 신뢰성 및 저렴한 가격에 대한 요구가 증가하고 있다. 이러한 요구를 충족시키기 위해서, 반도체 장치의 집적도를 증가시키고 반도체 장치의 공정 마진을 확보하는 것뿐만 아니라 상기 반도체 장치의 전기적 특성 및 신뢰성을 개선하는 것이 요구되고 있다.

[0003] 특히, 반도체 장치에서 상기 요구들을 충족시키기 위해서, 반도체 장치의 제조 공정에 대한 다양한 연구들이 이루어지고 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 실시 예들이 해결하고자 하는 일 기술적 과제는 신뢰성 및 전기적 특성이 향상된 반도체 장치의 형성 방법을 제공하는데 있다.

[0005] 본 발명의 실시 예들이 해결하고자 하는 다른 기술적 과제는 공정 마진을 확보할 수 있는 반도체 장치의 형성 방법을 제공하는데 있다.

**과제의 해결 수단**

[0006] 상술한 기술적 과제들을 해결하기 위한 반도체 장치의 형성 방법이 제공된다. 본 발명의 일 실시 예들에 따른 반도체 장치의 형성 방법은 식각 대상물을 갖는 기관을 준비하는 것 및 플라즈마-프리-식각 공정(Plasma-Free-Etching Process)을 이용하여 상기 식각 대상물을 식각하는 것을 포함하되, 상기 플라즈마-프리-식각 공정은 할로겐간 화합물(Interhalogen compound), 불소(F<sub>2</sub>) 및 불화 제논(XeF<sub>2</sub>) 중에서 적어도 하나를 포함하는 식각 가스를 이용할 수 있다.

[0007] 일 실시 예에 따르면, 상기 식각 대상물은 플라즈마 손상 영역을 포함하고, 상기 플라즈마 손상 영역은 상기 플라즈마-프리-식각 공정에 의해서 제거될 수 있다.

[0008] 본 발명의 일 실시 예들에 따른 반도체 장치의 형성 방법은 상기 플라즈마-프리-식각 공정이 수행된 기관에 수소 치환 공정을 수행하는 것을 더 포함할 수 있다.

- [0009] 일 실시 예에 따르면, 상기 수소 치환 공정은 상기 플라즈마-프리-식각 공정이 수행된 기판상에 수소를 포함하는 가스를 제공하는 것 및 상기 기판에 열처리 공정을 수행하는 것을 포함할 수 있다.
- [0010] 일 실시 예에 따르면, 상기 수소를 포함하는 가스는 불화 수소(HF), 암모니아 또는 불화 수소 중에서 적어도 하나를 포함할 수 있다.
- [0011] 일 실시 예에 따르면, 상기 플라즈마-프리-식각 공정은 등방성 식각 공정일 수 있다.
- [0012] 일 실시 예에 따르면, 상기 식각 대상물은 실리콘을 포함할 수 있다.
- [0013] 일 실시 예에 따르면, 상기 플라즈마-프리-식각 공정은 상온~300℃의 공정 온도 및 0.00001~1atm의 공정 압력에서 수행될 수 있다.
- [0014] 일 실시 예에 따르면, 상기 플라즈마-프리-식각 공정의 상기 식각 가스는 불활성 가스를 더 포함할 수 있다.
- [0015] 일 실시 예에 따르면, 상기 식각 대상물을 준비하는 것은, 상기 기판에 절연막을 형성하는 것 및 상기 절연막을 관통하여 상기 기판을 노출시키는 개구부를 형성하는 것을 포함할 수 있다. 상기 식각 대상물을 식각하는 것은, 상기 개구부에 의해 노출된 상기 기판을 식각하여 상기 기판 내에 리세스 영역을 형성하는 것을 포함할 수 있다.
- [0016] 일 실시 예에 따르면, 상기 리세스 영역의 최장폭은 상기 개구부의 하단의 폭보다 큰 반도체 장치의 형성 방법.
- [0017] 본 발명의 일 실시 예들에 따른 반도체 장치의 형성 방법은 상기 개구부 및 상기 리세스 영역 내에 도전체를 형성하는 것을 더 포함할 수 있다.
- [0018] 일 실시 예에 따르면, 상기 식각 대상물은 자연 산화막을 포함하고, 상기 플라즈마-프리-식각 공정을 수행하기 전에, 상기 자연 산화막을 제거하는 전식각 공정(Pre-Etching process)를 수행하는 것을 더 포함할 수 있다.
- [0019] 일 실시 예에 따르면, 상기 전식각 공정은 불화 수소(HF), 암모니아 또는 불화 질소 중에서 적어도 하나를 포함하는 공정 가스를 이용할 수 있다.
- [0020] 일 실시 예에 따르면, 상기 전식각 공정의 상기 공정 가스는 불활성 가스를 더 포함할 수 있다.
- [0021] 일 실시 예에 따르면, 상기 전식각 공정은 상온~300℃의 공정 온도 및 0.00001~1atm의 공정 압력에서 수행되는 반도체 장치의 형성 방법.
- [0022] 일 실시 예에 따르면, 상기 식각 가스에 의한 상기 식각 대상물의 식각률은 상기 식각 가스에 의한 실리콘 산화물의 식각률보다 약90~110배 높을 수 있다.
- [0023] 일 실시 예에 따르면, 상기 식각 가스에 의한 상기 식각 대상물의 식각률은 상기 식각 가스에 의한 실리콘 질화물의 식각률보다 약40~60배 높을 수 있다.

**발명의 효과**

- [0024] 상술된 반도체 장치의 형성 방법에 따르면, 플라즈마-프리-식각 공정(Plasma-Free-Etching process)에 의해서 식각 대상물을 식각할 수 있다. 상기 플라즈마-프리-식각 공정은 플라즈마를 이용하지 않기 때문에, 상기 식각된 식각 대상물의 표면이 플라즈마에 의한 손상되는 것을 최소화할 수 있다. 따라서, 신뢰성 및 전기적 특성이 개선된 반도체 장치를 구현할 수 있다.
- [0025] 또한, 상기 플라즈마-프리-식각 공정(Plasma-Free-Etching process)은 할로젠간 화합물(Interhalogen compound), 불소(F<sub>2</sub>) 및 불화 제논(XeF<sub>2</sub>) 중에서 적어도 하나를 포함하는 식각 가스를 이용할 수 있다. 상기 식각 가스는 식각 대상물에 대해서 높은 식각 선택성을 갖을 수 있다. 따라서, 상기 플라즈마-프리-식각 공정이 수행되는 동안, 식각 대상물 이외의 막질들이 식각되는 것을 최소화할 수 있다. 따라서, 반도체 장치의 제조 공정 마진을 확보할 수 있다.

**도면의 간단한 설명**

- [0026] 도1은 본 발명의 일 실시 예들에 따른 반도체 장치의 형성 방법을 설명하기 위한 순서도이다.

도2a 내지 도2d은 본 발명의 일 실시 예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

도3a 내지 도3j는 본 발명의 다른 일 실시 예들에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

도4는 본 발명의 실시 예들에 따른 반도체 장치를 포함하는 메모리 시스템의 일 예를 간략히 도시한 블록도이다.

도5는 본 발명의 실시 예들에 따른 반도체 장치를 구비하는 메모리 카드의 일 예를 간략히 도시한 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0027] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시 예들을 통해서 쉽게 이해될 것이다. 그러나, 본 발명은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0028] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 본 명세서에서 어떤 막(또는 층)이 다른 막(또는 층) 또는 기판상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막(또는 층)이 개재될 수도 있다.

[0029] 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 구성들의 크기 및 두께 등은 명확성을 위하여 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드 지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

[0030] 본 명세서의 다양한 실시 예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시 예에의 제1막질로 언급된 막질이 다른 실시 예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

[0031] 이하, 본 발명의 일 실시 예들에 따른 반도체 장치의 형성 방법이 설명된다. 도1은 본 발명의 일 실시 예들에 따른 반도체 장치의 형성 방법을 설명하기 위한 순서도이고, 도2a 내지 도2d은 본 발명의 일 실시 예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

[0032] 도1 및 도2a를 참조하면, 기판(100)상에 절연막(110)을 형성할 수 있다. 상기 절연막(110)은 물리 기상 증착 공정(Physical Vapor Deposition Process:PVD), 화학 기상 증착 공정(Chemical Vapor Deposition Process:CVD) 또는 원자층 증착 공정(Atomic Layer Deposition Process:ALD)에 의해 형성될 수 있다. 상기 절연막(110)은 단일층(Single-layered) 또는 다층(Multi-layered)으로 형성될 수 있다. 상기 절연막(110)은 산화물, 질화물 또는 산화질화물 중에서 적어도 하나를 포함할 수 있다. 상기 기판(100)은 반도체 물질을 포함할 수 있다. 예컨대, 상기 기판(100)은 실리콘 기판 또는 실리콘-게르마늄 기판 중에서 적어도 하나일 수 있다.

[0033] 도1 및 도2b를 참조하면, 상기 절연막(110)내에 상기 절연막(110)을 관통하여 상기 기판(100)의 상부면을 노출시키는 개구부(115)를 형성할 수 있다(S10). 일 실시 예에 따르면, 상기 개구부(115)는 홀 형태 또는 라인 형태일 수 있다. 상기 개구부(115)를 형성하는 것은 상기 절연막(110)상에 마스크 패턴을 형성하는 것 및 상기 마스크 패턴을 식각 마스크로 이용하여 상기 절연막(110)을 식각하는 것을 포함할 수 있다.

[0034] 일 실시 예에 따르면, 상기 절연막(110)을 식각하는 것은 플라즈마를 이용하는 이방성 식각 공정에 의해 수행

될 수 있다. 상기 이방성 식각 공정은 이방성 식각이 우세한 식각 공정일 수 있다. 상기 이방성 식각 공정이 플라즈마를 이용하므로, 상기 개구부(115)에 의해 노출되는 상기 기판(100)의 상부 영역 내에 플라즈마 손상 영역이 형성될 수 있다. 상기 플라즈마 손상 영역은 상기 이방성 식각 공정에서 사용된 플라즈마에 의해서 상기 기판(100)의 상부면에 반도체 원자들간의 결합이 깨진 영역일 수 있다.

[0035] 도1 및 도2c를 참조하면, 상기 개구부(115)에 의해 노출되는 상기 기판(100)의 상부 영역에 플라즈마-프리-식각 공정을 수행하여 상기 기판(100)내에 리세스 영역(115a)을 형성할 수 있다(S30). 상기 개구부(115)에 의해 노출되는 상기 기판(100)에 식각 가스를 이용하는 상기 플라즈마-프리-식각 공정을 수행하여 상기 기판(100)내에 리세스 영역(115a)을 형성할 수 있다. 상기 플라즈마-프리-식각 공정은 플라즈마를 사용하지 않고, 상기 개구부(115)에 의해 노출된 상기 기판(100)의 상부 영역과 상기 식각 가스를 반응시켜서 상기 기판(100)의 일부를 식각하는 것일 수 있다. 상기 플라즈마-프리-식각 공정은 플라즈마를 사용하지 않는 식각 공정이므로, 상기 플라즈마-프리-식각 공정에 의해 형성된 리세스 영역(115a)의 내면에 플라즈마 손상 영역이 형성되는 것을 최소화할 수 있다.

[0036] 상기 식각 가스는 상기 기판(100)에 포함된 반도체 물질과 반응할 수 있는 가스들을 포함할 수 있다. 예를 들어, 상기 기판(100)이 실리콘을 포함하는 경우, 상기 식각 가스는 할로젠간 화합물(Interhalogen compound), 불소(F<sub>2</sub>) 및 불화 제논(XeF<sub>2</sub>) 중에서 적어도 하나를 포함할 수 있다. 예를 들어, 상기 할로젠간 화합물은 불소-브롬 화합물(ex, BrF, BrF<sub>3</sub> 또는 BrF<sub>5</sub>), 염소-불소 화합물(ex, ClF, ClF<sub>3</sub> 또는 ClF<sub>5</sub>) 또는 요오드-불소 화합물(ex, IF<sub>3</sub> 또는 IF<sub>5</sub>) 중에서 적어도 하나일 수 있다.

[0037] 상기 식각 가스는 상기 기판(100)에 대해서 높은 식각 선택성을 가질 수 있다. 즉, 상기 기판(100)의 상기 식각 가스에 의한 식각률은 상기 절연막(110)의 상기 식각 가스에 의한 식각률보다 높을 수 있다. 예를 들어, 상기 기판(100)이 실리콘을 포함하고, 상기 절연막(110)이 실리콘 산화물을 포함하는 경우, 상기 식각 가스에 의한 상기 기판(100)의 식각률은 상기 식각 가스에 의한 상기 절연막(110)의 식각률보다 100배 이상 클 수 있다. 또한, 상기 기판(100)이 실리콘을 포함하고, 상기 절연막(110)이 실리콘 질화물을 포함하는 경우, 상기 식각 가스에 의한 상기 기판(100)의 식각률은 상기 식각 가스에 의한 상기 절연막(110)의 식각률보다 50배 이상 클 수 있다. 따라서, 상기 플라즈마-프리-식각 공정에서 상기 절연막(110)이 식각되는 것을 최소화할 수 있다.

[0038] 일 실시 예에 따르면, 상기 플라즈마-프리-식각 공정은 상온~300℃의 공정 온도 및 0.00001~1atm의 공정 압력에서 수행될 수 있다. 일 실시 예에 따르면, 상기 식각 가스는 불활성 가스를 더 포함할 수 있다. 예를 들어, 상기 식각 가스는 질소 또는 아르곤 중에서 적어도 하나를 포함할 수 있다.

[0039] 상기 플라즈마-프리-식각 공정은 등방성 식각 공정일 수 있다. 상기 등방성 식각 공정에 의해서 상기 리세스 영역(115a)은 상기 개구부(115)의 측벽을 지나서 옆으로 연장된 형태일 수 있다. 즉, 상기 리세스 영역(115a)의 최장폭은 상기 개구부(115)의 하단의 폭보다 길수 있다.

[0040] 상기 플라즈마-프리-식각 공정을 수행하기 전에, 상기 개구부(115)에 의해 노출되는 상기 기판(100)의 상부면에 형성된 자연 산화막을 제거하기 위한 전식각 공정(Pre-Etching Process)을 수행할 수 있다(S20).

[0041] 상기 개구부(115)를 형성한 후, 상기 개구부(115)에 의해 노출된 기판(100)의 상부면에 자연 산화막이 형성될 수 있다. 상기 전식각 공정은 공정 가스를 이용하여 상기 기판(100)의 상부면의 자연 산화막을 제거할 수 있다. 상기 전식각 공정은 플라즈마를 사용하지 않고, 상기 기판(100)의 상부면의 자연 산화막과 상기 공정 가스를 반응시켜서 상기 자연 산화막을 제거하는 것일 수 있다. 상기 전식각 공정은 플라즈마를 사용하지 않는 식각 공정이므로, 상기 전식각 공정이 수행된 기판의 표면에 플라즈마 손상 영역이 형성되는 것을 최소화할 수 있다.

[0042] 상기 공정 가스는 상기 자연 산화막에 포함된 산화물과 반응할 수 있는 가스들을 포함할 수 있다. 예를 들어, 상기 자연 산화막이 실리콘 산화물을 포함하는 경우, 상기 공정 가스는 암모니아, 불화 수소 또는 불화 질소 중에서 적어도 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 전식각 공정은 상온~300℃의 공정 온도 및 0.00001~1atm의 공정 압력에서 수행될 수 있다. 일 실시 예에 따르면, 상기 공정 가스는 불활성 가스를 더 포함할 수 있다. 예를 들어, 상기 식각 가스는 질소 또는 아르곤 중에서 적어도 하나를 포함할 수 있다.

[0043] 일 실시 예에 따르면, 상기 전식각 공정은 등방성 식각 공정일 수 있다. 따라서, 상기 전식각 공정에서 상기 개구부(115)의 내측벽이 옆으로 식각될 수 있다. 상기 전식각 공정에서 사용되는 공정 가스가 상기 개구부(115)에 의해 노출된 상기 절연막(110)과 반응하여 식각되는 것에 의해서 상기 개구부(115)의 폭이 증가될 수

있다.

- [0044] 상기 리세스 영역(115a)이 형성된 기판(100)에 수소 치환 공정을 더 수행할 수 있다(S40). 상기 수소 치환 공정은 상기 리세스 영역(115a)의 내면에 수소를 포함하는 가스를 제공하는 것(S42) 및 상기 기판(100)에 열처리 공정을 수행하는 것(S44)을 포함할 수 있다. 수소를 포함한 가스는 불화 수소 또는 암모니아 중에서 적어도 하나를 포함할 수 있다. 상기 열처리 공정은 150~250℃에서 수행될 수 있다.
- [0045] 상기 리세스 영역(115a)내에 상기 플라즈마-프리-식각 공정에서 사용된 식각 가스 포함된 할로겐 원소와 상기 리세스 영역(115a)의 내면의 반도체 원소가 결합된 반도체-할로겐 결합물이 형성될 수 있다. 상기 수소 치환 공정은 상기 반도체-할로겐 결합물을 반도체-수소 결합물로 변경할 수 있다.
- [0046] 상기 수소 치환 공정에 의해서 상기 리세스 영역(115a)의 내면에 반도체-할로겐 결합물보다 결합력이 강한 반도체-수소 결합물이 형성되어 상기 리세스 영역(115a) 내면에 자연 산화막이 형성되는 것을 최소화할 수 있다.
- [0047] 도2d를 참조하면, 상기 개구부(115) 및 상기 리세스 영역(115a) 내에 도전체(120)를 형성할 수 있다. 상기 도전체(120)는 반도체 물질(ex, 다결정 실리콘), 금속-반도체 화합물(ex, 텅스텐 실리사이드), 도전성 금속질화물(ex, 티타늄 질화물, 탄탈륨 질화물 또는 텅스텐 질화물 등) 또는 금속(ex, 티타늄, 텅스텐 또는 탄탈륨 등) 중에서 선택된 적어도 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 도전체(120)는 상기 개구부(115) 및 상기 리세스 영역(115a)의 내면과 접촉할 수 있다.
- [0048] 상기 도전체(120)를 형성하는 것은 상기 절연막(110)상에 상기 개구부(115) 및 상기 리세스 영역(115a)을 채우는 도전막을 형성하는 것 및 상기 도전막을 상기 절연막(110)의 상부면이 노출될 때까지 식각하는 것을 포함할 수 있다. 상기 도전막은 화학 기상 증착 공정 또는 물리 기상 증착 공정에 의해 형성될 수 있다. 상기 식각 공정은 에치백 공정 또는 화학적 기계적 평탄화 공정 중에서 적어도 하나에 의해 수행될 수 있다.
- [0049] 본 발명의 일 실시 예들에 따르면, 상기 개구부(115)를 형성한 후, 플라즈마를 사용하지 않는 플라즈마-프리-식각 공정에 의해 리세스 영역(115a)이 형성될 수 있다. 따라서, 상기 리세스 영역(115a)의 내면에 플라즈마 손상 영역이 형성되는 것을 최소화할 수 있다. 만약, 상기 리세스 영역이 플라즈마를 이용하는 이방성 식각 공정에 의해 형성된다면, 상기 리세스 영역의 내면에 반도체 원자들간의 결합이 깨진 플라즈마 손상 영역이 형성될 수 있다. 따라서, 상기 리세스 영역 내에 형성되는 도전체의 저항을 증가시킬 수 있다. 하지만, 본 발명의 일 실시 예들에 따르면, 상기 리세스 영역(115a)의 내면에 플라즈마 손상 영역이 형성되는 것을 최소화할 수 있으므로, 상기 개구부(115) 및 상기 리세스 영역(115a) 내에 형성되는 도전체(120)의 저항을 감소시킬 수 있다. 결과적으로, 신뢰성 및 전기적 특성이 개선된 반도체 장치를 구현할 수 있다.
- [0050] 이에 더하여, 상기 리세스 영역(115a)이 상기 개구부(115)의 측벽을 지나서 옆으로 연장된 형태인 경우, 상기 리세스 영역(115a) 및 상기 개구부(115) 내에 형성되는 도전체(120)가 상기 기판(100)과 접촉하는 면적이 증가될 수 있다. 상기 도전체(120)와 상기 기판(100)의 접촉 면적의 증가에 의해서 상기 도전체(120)의 저항을 감소시킬 수 있다. 따라서, 신뢰성 및 전기적 특성이 개선된 반도체 장치를 구현할 수 있다.
- [0051] 상술된 실시 예들에 따른 반도체 장치의 형성 방법은 반도체 장치의 제조 과정에서 다양하게 적용될 수 있다. 이하, 본 발명의 실시 예들에 따른 반도체 기억 장치의 형성 방법에 대해서 도면을 참조하여 설명한다. 도3a 내지 도3j는 본 발명의 다른 일 실시 예들에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.
- [0052] 도3a를 참조하면, 활성부(203)을 정의하는 소자 분리 패턴(201)을 포함하는 기판(200)이 준비된다. 상기 소자 분리 패턴(201)은 절연 물질을 포함할 수 있다. 예컨대, 상기 소자 분리 패턴(201)은 산화물, 질화물 또는 산화질화물을 중에서 적어도 하나를 포함할 수 있다. 상기 기판(200)은 반도체 물질을 포함할 수 있다. 예컨대, 상기 기판(200)은 실리콘 또는 게르마늄 중에서 적어도 하나를 포함할 수 있다.
- [0053] 상기 기판(200)내에 트렌치(205)를 형성할 수 있다. 도시되지는 않았지만, 상기 트렌치(205)는 평면적 관점에서 일 방향으로 연장되고, 상기 활성부(203) 및 상기 소자 분리 패턴(201)을 가로지르는 라인 형태로 형성될 수 있다. 일 실시 예에 따르면, 상기 기판(200)에 복수의 트렌치(205)들이 형성될 수 있다. 예를 들어, 한 쌍의 트렌치들(205)이 상기 활성부(203)를 가로지를 수 있다.
- [0054] 상기 각 트렌치(205)내에 게이트 전극이 형성될 수 있다. 상기 게이트 전극은 벌크 게이트 패턴(225) 및 라이너 게이트 패턴(223)을 포함할 수 있다. 상기 벌크 게이트 패턴(225)은 상기 트렌치(205)내에 배치되도록 형성될 수 있다. 상기 라이너 게이트 패턴(223)은 상기 벌크 게이트 패턴(225)과 상기 트렌치(205)사이에 배치되도록 형성될 수 있다. 상기 라이너 게이트 패턴(223) 및 상기 벌크 게이트 패턴(225)은 도핑된 반도체, 도

전성 금속질화물(ex, 티타늄 질화물, 탄탈륨 질화물 또는 텅스텐 질화물 등) 또는 금속(ex, 루세늄, 이리듐, 티타늄, 텅스텐 또는 탄탈륨 등) 중에서 선택된 적어도 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 벌크 게이트 패턴(225)과 상기 라이너 게이트 패턴(223)은 서로 다른 도전 물질을 포함할 수 있다. 예를 들어, 상기 벌크 게이트 패턴(225)은 텅스텐을 포함하고, 상기 라이너 게이트 패턴(223)은 티타늄 질화물을 포함할 수 있다.

[0055] 상기 트렌치(205)와 상기 라이너 게이트 패턴(223)사이의 게이트 유전막(210)이 형성될 수 있다. 상기 게이트 유전막(210)은 상기 트렌치의 내면을 따라 연장될 수 있으며, 상기 기판(200)의 상부면을 덮을 수 있다. 상기 게이트 유전막(210)은 고 유전물질, 산화물, 질화물 또는 산화 질화물 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 고유전 물질은 질화물의 유전상수에 비하여 높은 유전상수를 갖는 절연물질일 수 있다. 예컨대, 상기 고유전 물질은 산화 하프늄 또는 산화알루미늄등과 같은 절연성 금속산화물 중에서 선택된 적어도 하나일 수 있다.

[0056] 상기 트렌치(205)내의 상기 게이트 전극 상에 캐핑 패턴(227)이 배치될 수 있다. 상기 캐핑 패턴(227)은 상기 게이트 전극의 상부면을 덮도록 형성될 수 있다. 상기 캐핑 패턴(227)은 절연 물질을 포함할 수 있다. 예컨대, 상기 캐핑 패턴(227)은 산화물, 질화물 또는 산화질화물 중에서 적어도 선택된 적어도 하나를 포함할 수 있다.

[0057] 상기 트렌치들(205) 양측의 상기 활성부(203) 내에 상기 트렌치(205)와 인접한 도핑 영역들(207a, 207b)을 형성할 수 있다. 일 실시 예에 따르면, 상기 활성부(203)내에 제1 도핑 영역(207a) 및 한 쌍의 제2 도핑 영역들(207b)이 형성될 수 있다. 상기 제1 도핑 영역(207a)은 상기 한 쌍의 게이트 전극들 사이의 활성부(203)내에 형성될 수 있다. 또한, 상기 한 쌍의 제2 도핑 영역들(207b) 사이에 상기 한 쌍의 게이트 전극들 및 상기 제1 도핑 영역(207a)이 배치되도록 형성될 수 있다.

[0058] 상기 도핑 영역들(207a, 207b)의 하부면은 상기 활성부(203)의 상부면으로부터 소정의 깊이에 형성될 수 있다. 상기 도핑 영역들(207a, 207b)은 상기 트렌치들(205)의 측벽에 접할 수 있다. 상기 도핑 영역들(207a, 207b)은 상기 활성부(203)내에 불순물을 주입하는 공정에 의해서 형성될 수 있다. 일 실시 예에 따르면, 상기 도핑 영역들(207a, 207b)의 하부면은 상기 각 트렌치(205)의 바닥면보다 높을 수 있다.

[0059] 상기 기판(200)상에 제1 층간 절연막(230)을 형성할 수 있다. 상기 제1 층간 절연막(230)은 물리 기상 증착 공정(PVD), 화학 기상 증착 공정(CVD) 또는 원자층 증착 공정(ALD)에 의해 형성될 수 있다. 상기 제1 층간 절연막(230)은 산화물, 질화물 또는 산화질화물 중에서 선택된 적어도 하나를 포함할 수 있다.

[0060] 상기 제1 층간 절연막(230)내에 상기 제1 층간 절연막(230)을 관통하여 상기 활성부(203)의 제1 도핑 영역(207a)을 노출시키는 제1 홀(233)을 형성할 수 있다. 상기 제1 홀(233)은 상기 제1 층간 절연막(230) 상에 제1 마스크 패턴을 형성하고, 상기 제1 마스크 패턴을 이용하여 상기 제1 층간 절연막(230)을 식각 하는 것에 의해 형성될 수 있다.

[0061] 일 실시 예에 따르면, 상기 제1 층간 절연막(230)을 식각하는 것은 플라즈마를 이용하는 제1 이방성 식각 공정에 의해 수행될 수 있다. 상기 이방성 식각 공정이 플라즈마를 이용하므로, 제1 홀(233)에 의해 노출되는 상기 제1 도핑 영역(207a)의 상부 영역 내에 플라즈마 손상 영역이 형성될 수 있다. 상기 플라즈마 손상 영역은 상기 이방성 식각 공정에서 사용된 플라즈마에 의해서 상기 제1 도핑 영역(207a)의 상부 영역 내의 반도체 원자들간의 결합이 깨진 영역일 수 있다.

[0062] 도3b를 참조하면, 상기 제1 홀(233)에 의해 노출되는 상기 활성부(203)의 상부 영역에 제1 플라즈마-프리-식각 공정을 수행하여 상기 활성부(203)내에 제1 리세스 영역(233a)을 형성할 수 있다.

[0063] 상기 제1 홀(233)에 의해 노출되는 상기 제1 도핑 영역(207a)에 제1 식각 가스를 이용하는 상기 제1 플라즈마-프리-식각 공정을 수행하여 상기 제1 도핑 영역(207a)내에 제1 리세스 영역(233a)을 형성할 수 있다. 상기 제1 플라즈마-프리-식각 공정은 플라즈마를 사용하지 않고, 상기 제1 홀(233)에 의해 노출된 상기 제1 도핑 영역(207a)의 상부 영역과 상기 제1 식각 가스를 반응시켜서 상기 제1 도핑 영역(207a)의 일부를 식각하는 것일 수 있다. 상기 제1 플라즈마-프리-식각 공정은 플라즈마를 사용하지 않는 식각 공정이므로, 상기 제1 플라즈마-프리-식각 공정에 의해 형성된 제1 리세스 영역(233a)의 내면에 플라즈마 손상 영역이 형성되는 것을 최소화할 수 있다.

[0064] 상기 제1 식각 가스는 상기 제1 도핑 영역(207a)에 포함된 반도체 원소와 반응할 수 있는 가스들을 포함할 수 있다. 예를 들어, 상기 제1 도핑 영역(207a)이 실리콘을 포함하는 경우, 상기 제1 식각 가스는 할로젠간 화합

물(Interhalogen compound), 불소(F<sub>2</sub>) 및 불화 제논(XeF<sub>2</sub>) 중에서 적어도 하나를 포함할 수 있다. 예를 들어, 상기 할로젠간 화합물은 불소-브롬 화합물(ex, BrF, BrF<sub>3</sub> 또는 BrF<sub>5</sub>), 염소-불소 화합물(ex, ClF, ClF<sub>3</sub> 또는 ClF<sub>5</sub>) 또는 요오드-불소 화합물(ex, IF<sub>3</sub> 또는 IF<sub>5</sub>) 중에서 적어도 하나일 수 있다.

- [0065] 상기 제1 식각 가스는 상기 제1 도핑 영역(207a)에 대해서 높은 식각 선택성을 가질 수 있다. 즉, 상기 제1 도핑 영역(207a)의 상기 제1 식각 가스에 의한 식각률은 상기 제1 층간 절연막(230)의 상기 제1 식각 가스에 의한 식각률보다 높을 수 있다. 예를 들어, 상기 제1 도핑 영역(207a)이 실리콘을 포함하고, 상기 제1 층간 절연막(230)이 실리콘 산화물을 포함하는 경우, 상기 제1 식각 가스에 의한 상기 제1 도핑 영역(207a)의 식각률은 상기 제1 식각 가스에 의한 상기 제1 층간 절연막(230)의 식각률보다 100배 이상 클 수 있다. 또한, 상기 제1 도핑 영역(207a)이 실리콘을 포함하고, 상기 제1 층간 절연막(230)이 실리콘 질화물을 포함하는 경우, 상기 제1 식각 가스에 의한 상기 제1 도핑 영역(207a)의 식각률은 상기 제1 식각 가스에 의한 상기 제1 층간 절연막(230)의 식각률보다 50배 이상 클 수 있다. 즉, 상기 제1 플라즈마-프리-식각 공정에서 상기 활성부(203)의 제1 도핑 영역(207a)만을 선택적으로 식각할 수 있다. 따라서, 상기 제1 플라즈마-프리-식각 공정에서 상기 제1 층간 절연막(230)이 식각되는 것을 최소화할 수 있다.
- [0066] 일 실시 예에 따르면, 상기 제1 플라즈마-프리-식각 공정은 상온~300℃의 공정 온도 및 0.00001~1atm의 공정 압력에서 수행될 수 있다. 일 실시 예에 따르면, 상기 제1 식각 가스는 불활성 가스를 더 포함할 수 있다. 예를 들어, 상기 제1 식각 가스는 질소 또는 아르곤 중에서 적어도 하나를 포함할 수 있다.
- [0067] 상기 제1 플라즈마-프리-식각 공정을 수행하기 전에, 상기 제1 홀(233)에 의해 노출되는 상기 제1 도핑 영역(207a)의 상부면에 형성된 자연 산화막을 제거하기 위한 제1 전식각 공정을 수행할 수 있다.
- [0068] 상기 제1 홀(233)을 형성한 후, 상기 제1 홀(233)에 의해 노출된 상기 제1 도핑 영역(207a)의 상부면에 자연 산화막이 형성될 수 있다. 상기 제1 전식각 공정은 공정 가스를 이용하여 상기 제1 도핑 영역(207a)의 상부면의 자연 산화막을 제거할 수 있다. 상기 제1 전식각 공정은 플라즈마를 사용하지 않고, 상기 제1 도핑 영역(207a)의 상부면의 자연 산화막과 상기 공정 가스를 반응시켜서 상기 자연 산화막을 제거하는 것일 수 있다. 상기 제1 전식각 공정은 플라즈마를 사용하지 않는 식각 공정이므로, 상기 제1 전식각 공정이 수행된 상기 제1 도핑 영역(207a)의 표면에 플라즈마 손상 영역이 형성되는 것을 최소화할 수 있다.
- [0069] 상기 공정 가스는 상기 자연 산화막에 포함된 산화물과 반응할 수 있는 가스들을 포함할 수 있다. 예를 들어, 상기 자연 산화막이 실리콘 산화물을 포함하는 경우, 상기 공정 가스는 암모니아, 불화 수소 또는 불화 질소 중에서 적어도 하나를 포함할 수 있다.
- [0070] 일 실시 예에 따르면, 상기 제1 전식각 공정은 상온~300℃의 공정 온도 및 0.00001~1atm의 공정 압력에서 수행될 수 있다. 일 실시 예에 따르면, 상기 공정 가스는 불활성 가스를 더 포함할 수 있다. 예를 들어, 상기 식각 가스는 질소 또는 아르곤 중에서 적어도 하나를 포함할 수 있다.
- [0071] 일 실시 예에 따르면, 상기 제1 전식각 공정은 등방성 식각 공정일 수 있다. 따라서, 상기 제1 전식각 공정에 의해서 상기 제1 홀(233)의 내측벽이 옆으로 식각될 수 있다. 상기 제1 전식각 공정에서 사용되는 공정 가스가 상기 제1 홀(233)에 의해 노출된 상기 제1 층간 절연막(230)과 반응하여 식각되는 것에 의해서 상기 제1 홀(233)의 폭이 증가될 수 있다.
- [0072] 상기 제1 리세스 영역(233a)이 형성된 기판(200)에 제1 수소 치환 공정을 더 수행할 수 있다. 상기 제1 수소 치환 공정은 상기 제1 리세스 영역(233a)의 내면에 수소를 포함하는 가스를 제공하는 것 및 상기 기판(200)에 열처리 공정을 수행하는 것을 포함할 수 있다. 상기 수소를 포함한 가스는 불화 수소 또는 암모니아 중에서 적어도 하나를 포함할 수 있다. 상기 열처리 공정은 150~250℃에서 수행될 수 있다.
- [0073] 상기 제1 리세스 영역(233a)내에 상기 제1 플라즈마-프리-식각 공정에서 사용된 제1 식각 가스 포함된 할로젠 원소와 상기 제1 리세스 영역(233a)의 내면의 반도체 원소가 결합된 반도체-할로젠 결합물이 형성될 수 있다. 상기 제1 수소 치환 공정은 상기 반도체-할로젠 결합물을 반도체-수소 결합물로 변경할 수 있다.
- [0074] 상기 제1 수소 치환 공정에 의해서 상기 제1 리세스 영역(233a)의 내면에 상기 반도체-할로젠 결합물보다 결합력이 강한 반도체-수소 결합물이 형성되어 상기 제1 리세스 영역(233a)의 내면에 자연 산화막이 형성되는 것을 최소화할 수 있다.
- [0075] 도3c를 참조하면, 상기 제1 홀(233) 및 상기 제1 리세스 영역(233a)내에 제1 콘택 플러그(235)를 형성할 수 있다. 상기 제1 콘택 플러그(235)는 반도체 물질(ex, 다결정 실리콘), 금속-반도체 화합물(ex, 텅스텐 실리사

이드), 도전성 금속질화물(ex, 티타늄 질화물, 탄탈늄 질화물 또는 텅스텐 질화물 등) 또는 금속(ex, 티타늄, 텅스텐 또는 탄탈늄 등) 중에서 선택된 적어도 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 제1 콘택 플러그(235)는 상기 제1 홀(233) 및 상기 제1 리세스 영역(233a)의 내면과 접촉할 수 있다.

[0076] 본 발명의 일 실시 예들에 따르면, 상기 제1 홀(233)을 형성한 후, 플라즈마를 사용하지 않는 제1 플라즈마-프리-식각 공정에 의해 제1 리세스 영역(233a)이 형성될 수 있다. 따라서, 상기 제1 리세스 영역(233a)의 내면에 플라즈마 손상 영역이 형성되는 것을 최소화할 수 있다. 만약, 상기 리세스 영역이 플라즈마를 이용하는 이방성 식각 공정에 의해 형성된다면, 상기 리세스 영역의 내면에 플라즈마 손상 영역이 형성될 수 있다. 따라서, 상기 리세스 영역내에 형성되는 도전체의 저항을 증가시킬 수 있다. 하지만, 본 발명의 일 실시 예들에 따르면, 상기 제1 리세스 영역(233a)의 내면에 플라즈마 손상 영역이 형성되는 것을 최소화할 수 있으므로, 상기 리세스 영역(233a)과 제1 콘택 플러그(235)의 계면 저항을 감소시킬 수 있다. 따라서, 신뢰성 및 전기적 특성이 개선된 반도체 기억 장치를 구현할 수 있다.

[0077] 상기 제1 층간 절연막(230)상에 상기 제1 콘택 플러그(235)와 전기적으로 연결되는 배선(237)을 형성할 수 있다. 도시되지는 않았지만, 상기 배선(237)은 평면적 관점에서 상기 트렌치(205)가 연장되는 일 방향에 교차하는 방향으로 연장되는 라인 형태일 수 있다. 상기 배선(237)은 반도체 물질(ex, 다결정 실리콘), 금속-반도체 화합물(ex, 텅스텐 실리사이드), 도전성 금속질화물(ex, 티타늄 질화물, 탄탈늄 질화물 또는 텅스텐 질화물 등) 또는 금속(ex, 티타늄, 텅스텐 또는 탄탈늄 등) 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 배선(237)은 상기 제1 층간 절연막(150)상에 도전막을 형성하고, 상기 도전막을 패터닝하는 것에 의해서 형성될 수 있다. 이와 달리, 상기 배선(237)은 다마신 공정(Damascene Process)에 의해 형성될 수 있다. 즉, 상기 배선(237)은 상기 제1 층간 절연막(230)상에 개구부가 포함된 절연막을 형성하고, 상기 개구부를 도전 물질로 채우는 것에 의해서 형성될 수 있다.

[0078] 상기 제1 층간 절연막(230)에 상기 배선(237)을 덮는 제2 층간 유전막(240)이 형성될 수 있다. 상기 제2 층간 유전막(240)은 화학 기상 증착 공정에 의해서 형성될 수 있다. 상기 제2 층간 유전막(240)은 산화물, 질화물 또는 산화질화물 중에서 선택된 적어도 하나를 포함할 수 있다.

[0079] 도3d를 참조하면, 상기 제1 층간 절연막(230) 및 상기 제2 층간 유전막(240) 내에, 상기 제1 층간 절연막(230) 및 상기 제2 층간 유전막(240)을 관통하여 상기 활성부(203)의 상기 제2 도핑 영역들(207b)을 노출시키는 제2 홀(243)을 형성할 수 있다. 상기 제2 홀(243)은 상기 제2 층간 유전막(240)상에 제2 마스크 패턴을 형성하고, 상기 제2 마스크 패턴을 이용하여 상기 제1 층간 절연막(230) 및 상기 제2 층간 유전막(240)을 식각하는 것에 의해 형성될 수 있다.

[0080] 일 실시 예에 따르면, 상기 제1 층간 절연막(230) 및 상기 제2 층간 유전막(240)을 식각하는 것은 플라즈마를 이용하는 제2 이방성 식각 공정에 의해 수행될 수 있다. 상기 제2 이방성 식각 공정이 플라즈마를 이용하므로, 상기 제2 홀(243)에 의해 노출되는 상기 활성부(203)의 제2 도핑 영역들(207b)의 상부면에 플라즈마 손상 영역이 형성될 수 있다. 상기 플라즈마 손상 영역은 상기 제2 이방성 식각 공정에서 사용된 플라즈마에 의해서 상기 제2 도핑 영역들(207b)의 상부면의 반도체 원자들간의 결합이 깨진 영역일 수 있다.

[0081] 도3e를 참조하면, 상기 제2 홀(243)에 의해 노출되는 상기 제2 도핑 영역들(207b)의 상부면에 제2 플라즈마-프리-식각 공정을 수행하여 상기 제2 도핑 영역들(207b)내에 제2 리세스 영역(243a)을 형성할 수 있다. 상기 제2 플라즈마-프리-식각 공정은 제2 식각 가스를 이용하여 상기 제2 도핑 영역들(207b)의 일부를 식각할 수 있다. 상기 제2 플라즈마-프리-식각 공정은 도3b를 참조하여 설명한 제1 리세스 영역(233a)을 형성하기 위한 제1 플라즈마-프리-식각 공정과 동일한 것일 수 있다. 또한, 상기 제2 식각 가스는 도3b를 참조하여 설명한 제1 식각 가스와 동일한 특성을 가질 수 있다. 따라서, 상기 제2 리세스 영역(243a)은 도3b를 참조하여 설명한 제1 리세스 영역(233a)과 동일한 특성을 가질 수 있다.

[0082] 상기 제2 플라즈마-프리-식각 공정을 수행하기 전에, 상기 제2 홀(243)에 의해 노출되는 상기 제2 도핑 영역들(207b)의 상부면의 자연 산화막을 제거하기 위한 제2 전식각 공정을 수행할 수 있다. 상기 제2 전식각 공정은 상기 도3b를 참조하여 설명한 제1 전식각 공정과 동일한 것일 수 있다. 따라서, 상기 제2 전식각 공정은 상기 제1 전식각 공정과 동일한 가스 공정 가스를 사용할 수 있다.

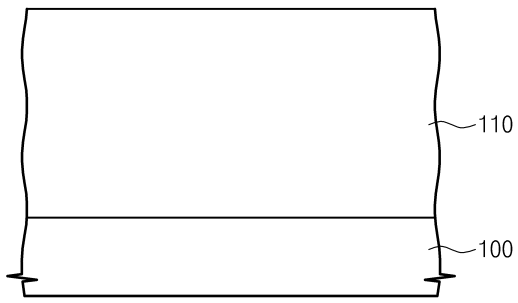
[0083] 상기 제2 리세스 영역(243a)의 내면에 제2 수소 치환 공정을 더 수행할 수 있다. 상기 제2 수소 치환 공정은 도3를 참조하여 설명한 제1 수소 치환 공정과 동일한 것일 수 있다. 따라서, 상기 제2 수소 치환 공정은 상기 제2 리세스 영역(243a)의 내면에 수소를 포함하는 가스를 제공하는 것 및 상기 기판(200)에 열처리 공정을 수행하는 것을 포함할 수 있다.

- [0084] 상기 제2 수소 치환 공정에 의해서 상기 제2 리세스 영역(243a)의 내면에 상기 반도체-할로젠 결합물보다 결합력이 강한 반도체-수소 결합물이 형성되어 상기 제2 리세스 영역(243a)의 내면에 자연 산화막이 형성되는 것을 최소화할 수 있다.
- [0085] 도3f를 참조하면, 상기 제2 홀(243) 및 상기 제2 리세스 영역(243a)내에 제2 콘택 플러그(245)가 형성될 수 있다. 상기 제2 콘택 플러그(245)는 반도체 물질(ex, 다결정 실리콘), 금속-반도체 화합물(ex, 텅스텐 실리사이드), 도전성 금속질화물(ex, 티타늄 질화물, 탄탈륨 질화물 또는 텅스텐 질화물 등) 또는 금속(ex, 티타늄, 텅스텐 또는 탄탈륨 등) 중에서 선택된 적어도 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 제2 콘택 플러그(245)는 상기 제2 홀(243) 및 상기 제2 리세스 영역(243a)의 내면과 접촉할 수 있다.
- [0086] 본 발명의 일 실시 예들에 따르면, 상기 제2 리세스 영역(243a)은 도3b를 참조하여 설명한 제1 리세스 영역(233a)과 동일한 특성을 가질 수 있고, 동일한 방법에 의해 형성될 수 있다. 따라서, 상기 제2 리세스 영역(243a)의 내면에 플라즈마 손상 영역이 형성되는 것을 최소화할 수 있으므로, 상기 제2 홀(243) 및 상기 제2 리세스 영역(243a)내에 형성되는 제2 콘택 플러그(245)의 저항을 감소시킬 수 있다. 결과적으로, 신뢰성 및 전기적 특성이 개선된 반도체 기억 장치를 구현할 수 있다.
- [0087] 도3g를 참조하면, 상기 제2 층간 유전막(240)상에 희생막(250)을 형성할 수 있다. 상기 희생막(250)내에 상기 제2 콘택 플러그(245)를 노출시키는 제3 홀(253)을 형성할 수 있다. 상기 제3 홀(253)을 형성하는 것은 상기 희생막(250)상에 제3 마스크 패턴을 형성하는 것 및 상기 제3 마스크 패턴을 식각 마스크로 이용하여 상기 희생막(250)을 식각하는 것을 포함할 수 있다.
- [0088] 일 실시 예에 따르면, 상기 희생막(250)을 식각하는 것은 플라즈마를 이용하는 제3 이방성 식각 공정에 의해 수행될 수 있다. 일 실시 예에 따르면, 상기 제3 이방성 식각 공정에 의해서 상기 희생막(250)은 이방성으로 식각될 수 있다. 상기 제3 이방성 식각 공정이 플라즈마를 이용하므로, 상기 제3 홀(253)에 의해 노출되는 상기 제2 콘택 플러그(245)의 상부 영역 내에 플라즈마 손상 영역이 형성될 수 있다. 상기 플라즈마 손상 영역은 상기 제3 이방성 식각 공정에서 사용된 플라즈마에 의해서 상기 제2 콘택 플러그(245)의 상부 영역 내의 원자들간의 결합이 깨진 영역일 수 있다.
- [0089] 도3h를 참조하면, 상기 제3홀(253)에 의해 노출되는 상기 제2 콘택 플러그(245)의 상부 영역에 제3 플라즈마-프리-식각 공정을 수행하여 제2 콘택 플러그(245)내에 제3 리세스 영역(253a)을 형성할 수 있다.
- [0090] 상기 제3 플라즈마-프리-식각 공정은 제3 식각 가스를 이용하여 상기 제2 콘택 플러그(245)의 일부를 식각할 수 있다. 상기 제3 플라즈마-프리-식각 공정은 도3b를 참조하여 설명한 제1 리세스 영역(233a)을 형성하기 위한 제1 플라즈마-프리-식각 공정과 동일한 것일 수 있다. 또한, 상기 제3 식각 가스는 도3b를 참조하여 설명한 제1 식각 가스와 동일한 특성을 가질 수 있다. 따라서, 상기 제3 리세스 영역(253a)은 도3b를 참조하여 설명한 제1 리세스 영역(233a)과 동일한 특성을 가질 수 있다.
- [0091] 상기 제3 플라즈마-프리-식각 공정을 수행하기 전에, 상기 제3홀(253)에 의해 노출되는 상기 제2 콘택 플러그(245)의 상부면 상의 자연 산화막을 제거하기 위한 제3 전식각 공정을 수행할 수 있다. 상기 제3 전식각 공정은 상기 도3b를 참조하여 설명한 제1 전식각 공정과 동일한 것일 수 있다. 따라서, 상기 제3 전식각 공정은 상기 제1 전식각 공정과 동일한 가스 공정 가스를 사용할 수 있다.
- [0092] 상기 제3 리세스 영역(253a)의 내면에 제3 수소 치환 공정을 더 수행할 수 있다. 상기 제3 수소 치환 공정은 도3를 참조하여 설명한 제1 수소 치환 공정과 동일한 것일 수 있다. 따라서, 상기 제3 수소 치환 공정은 상기 제3 리세스 영역(253a)의 내면에 수소를 포함하는 가스를 제공하는 것 및 상기 기판(200)에 열처리 공정을 수행하는 것을 포함할 수 있다.
- [0093] 상기 제3 수소 치환 공정에 의해서 상기 제3 리세스 영역(253a)의 내면에 상기 반도체-할로젠 결합물보다 결합력이 강한 반도체-수소 결합물이 형성되어 상기 제3 리세스 영역(253a)의 내면에 자연 산화막이 형성되는 것을 최소화할 수 있다.
- [0094] 도3i를 참조하면, 상기 제3 홀(253) 및 상기 제3 리세스 영역(253a)의 내면을 콘포말하게 덮는 제1 전극(261)을 형성할 수 있다. 일 실시 예에 따르면, 상기 제1 전극(261)은 실린더 형태일 수 있다. 상기 제1 전극(261)은 도전 물질을 포함할 수 있다. 예를 들어, 상기 제1 전극(261)은 도핑된 반도체, 도전성 금속질화물(ex, 티타늄 질화물, 탄탈륨 질화물 또는 텅스텐 질화물 등), 금속(ex, 루세늄, 이리듐, 티타늄 또는 탄탈륨 등) 및 도전성 금속산화물(ex, 산화 이리듐 등)등에서 선택된 적어도 하나를 포함할 수 있다.

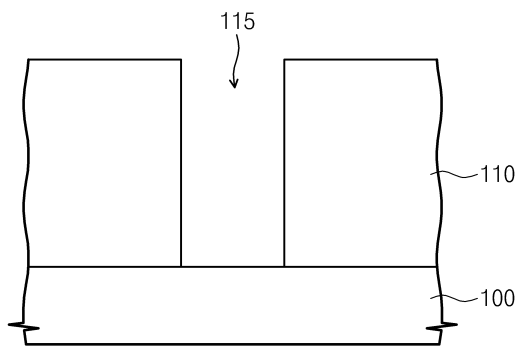
- [0095] 도3j를 참조하면, 상기 희생막(250)이 제거되고, 상기 제2 층간 유전막(240)상에 콘포말하게 캐패시터 유전막(263)을 형성할 수 있다. 상기 캐패시터 유전막(263)은 제1 전극(261)의 전체 표면을 덮을 수 있다. 상기 캐패시터 유전막(263)은 산화물, 질화물, 산화질화물 또는 고유전물질 중에서 선택된 적어도 하나를 포함할 수 있다.
- [0096] 상기 제2 층간 유전막(240)상에 상기 캐패시터 유전막(263)을 덮는 제2 전극(265)이 배치될 수 있다. 상기 제2 전극(265)은 도전 물질을 포함할 수 있다. 예컨대, 상기 제2 전극(265)은 도핑된 반도체, 금속, 도전성 금속질화물, 금속 실리사이드 중에서 선택된 적어도 하나를 포함할 수 있다.
- [0097] 상기 제1 전극(261), 상기 캐패시터 유전막(263) 및 상기 제2 전극(265)은 캐패시터(Capacitor)에 포함될 수 있다. 상술된 것처럼, 상기 제3 리세스 영역(253a)은 도3b를 참조하여 설명한 제1 리세스 영역(233a)과 동일한 방법에 의해 형성될 수 있고 동일한 특성을 가질 수 있다. 따라서, 상술된 실시 예에 따르면, 상기 제3 리세스 영역(253a)의 내면에 플라즈마 손상 영역이 형성되는 것을 최소화할 수 있으므로, 상기 제3 리세스 영역(253a)내에 형성되는 제 1 전극(261)과 제2 콘택 플러그(245)의 계면의 저항을 감소시킬 수 있다. 결과적으로 신뢰성 및 전기적 특성이 개선된 반도체 기억 장치를 구현할 수 있다.
- [0098] 도4는 본 발명의 기술적 사상에 기초한 반도체 장치를 포함하는 전자 시스템의 일 예를 도시한 블록도 이다.
- [0099] 도4를 참조하면, 본 발명의 일 실시 예에 따른 반도체 장치를 포함하는 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 상기 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 상기 버스(1150)를 통하여 서로 결합 될 수 있다. 상기 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0100] 상기 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세스, 마이크로 컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 상기 기억 장치(1130)는 데이터 및/또는 명령어 등을 저장할 수 있다. 상기 기억 장치(1130)는 상술된 실시 예들에 개시된 반도체 장치들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1130)는 다른 형태의 반도체 장치(ex, 비휘발성 기억 소자 및/또는 에스램 장치등)를 더 포함할 수 있다. 상기 다른 형태의 반도체 장치도 상술된 실시 예들에 개시된 반도체 장치들 일 수 있다. 상기 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 상기 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(1140)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 도시하지 않았지만, 상기 전자 시스템(1100)은 상기 컨트롤러(1110)의 동작을 향상시키기 위한 동작 기억 소자로서, 고속의 에스램 소자 등을 더 포함할 수도 있다.
- [0101] 상기 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0102] 도5은 본 발명의 기술적 사상에 기초한 반도체 장치를 포함하는 메모리 카드의 일 예를 도시한 블록도 이다.
- [0103] 도5를 참조하면, 본 발명의 일 실시 예에 따른 메모리 카드(1200)는 기억 장치(1210)를 포함한다. 상기 기억 장치(1210)는 상술된 실시 예들에 개시된 반도체 장치들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1210)는 다른 형태의 반도체 장치(ex, 비휘발성 기억 장치 및/또는 에스램 장치등)를 더 포함할 수 있다. 상기 다른 형태의 반도체 장치도 상술된 실시 예들에 개시된 반도체 장치들 일 수 있다. 상기 메모리 카드(1200)는 호스트(Host)와 상기 기억 장치(1210) 간의 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함할 수 있다.
- [0104] 상기 메모리 컨트롤러(1220)는 메모리 카드의 전반적인 동작을 제어하는 프로세싱 유닛(1222)을 포함할 수 있다. 또한, 상기 메모리 컨트롤러(1220)는 상기 프로세싱 유닛(1222)의 동작 메모리로서 사용되는 에스램(1221, SRAM)을 포함할 수 있다. 이에 더하여, 상기 메모리 컨트롤러(1220)는 호스트 인터페이스(1223), 메모리 인터페이스(1225)를 더 포함할 수 있다. 상기 호스트 인터페이스(1223)는 메모리 카드(1200)와 호스트(Host)간의 데이터 교환 프로토콜을 구비할 수 있다. 상기 메모리 인터페이스(1225)는 상기 메모리 컨트롤러(1220)와 상기 기억 장치(1210)를 접속시킬 수 있다. 더 나아가서, 상기 메모리 컨트롤러(1220)는 에러 정정 블록(1224, Ecc)를 더 포함할 수 있다. 상기 에러 정정 블록(1224)은 상기 기억 장치(1210)로부터 독출된 데



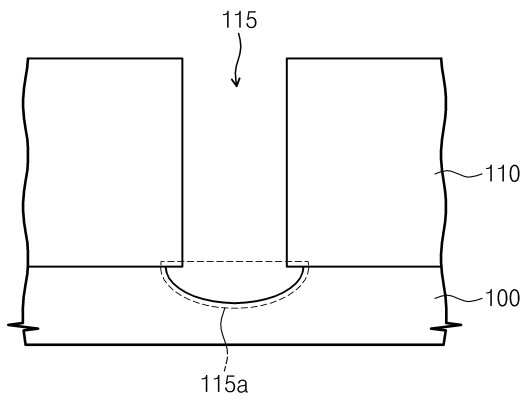
도면2a



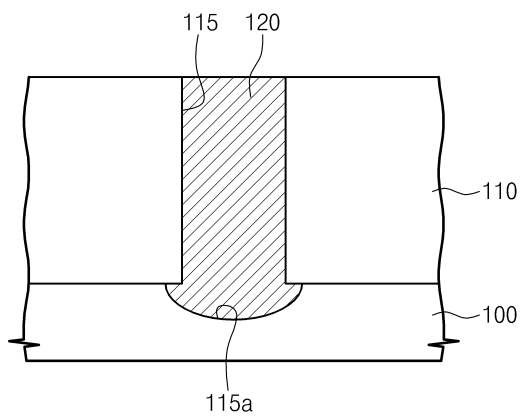
도면2b



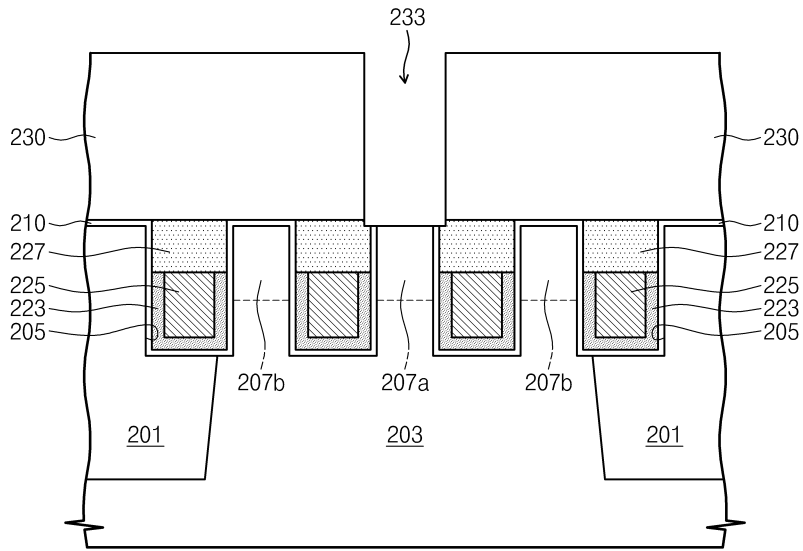
도면2c



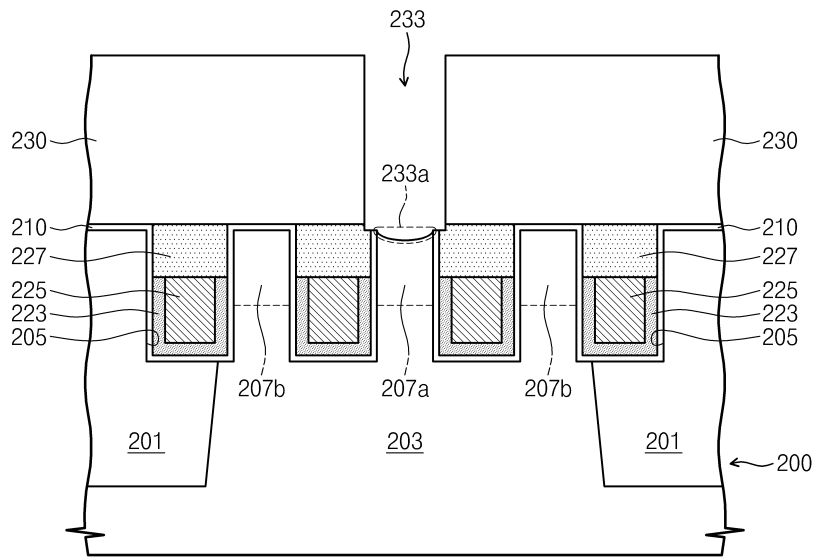
도면2d



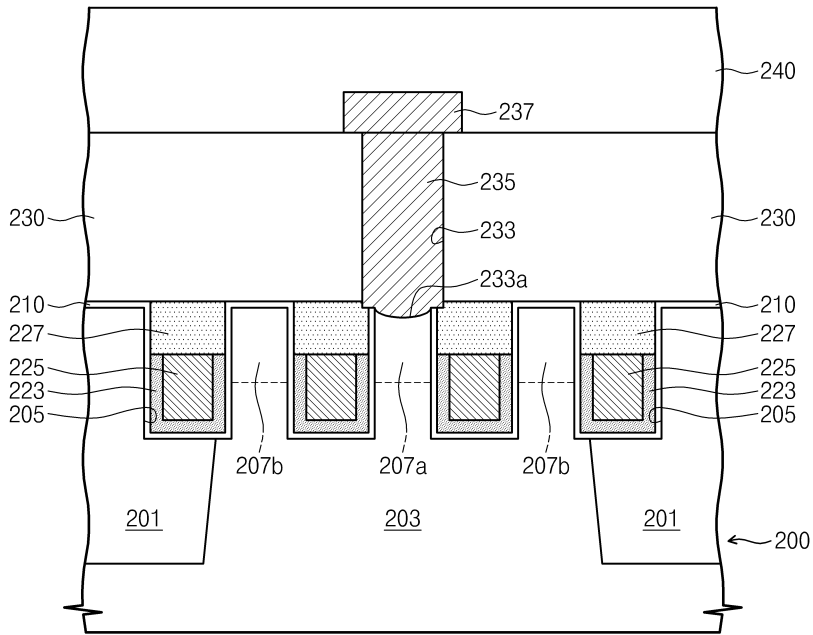
도면3a



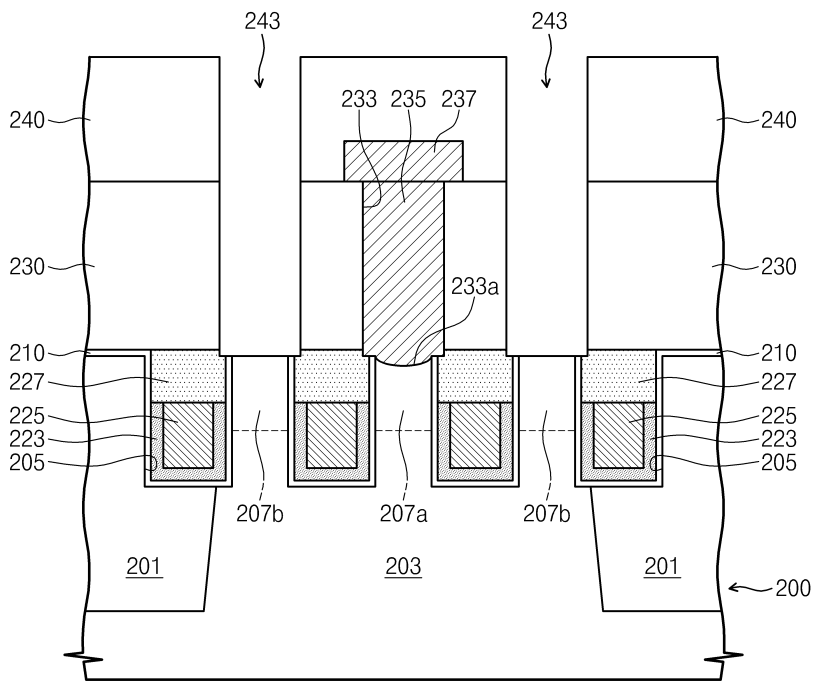
도면3b



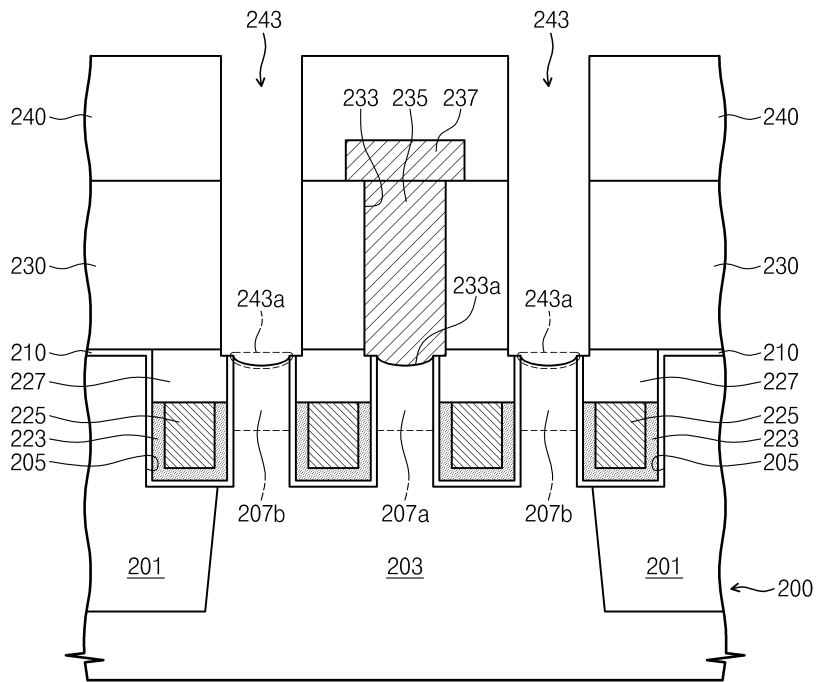
도면3c



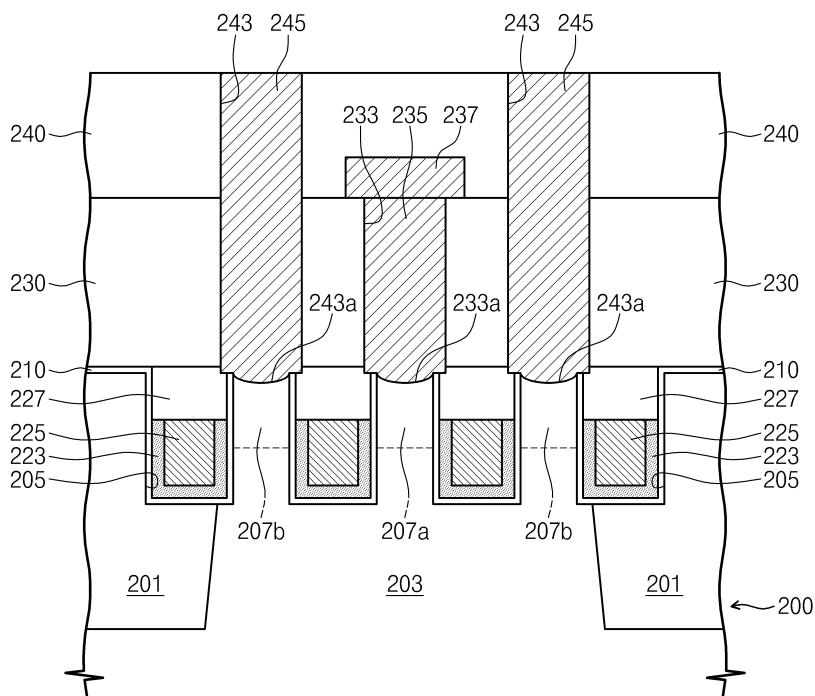
도면3d



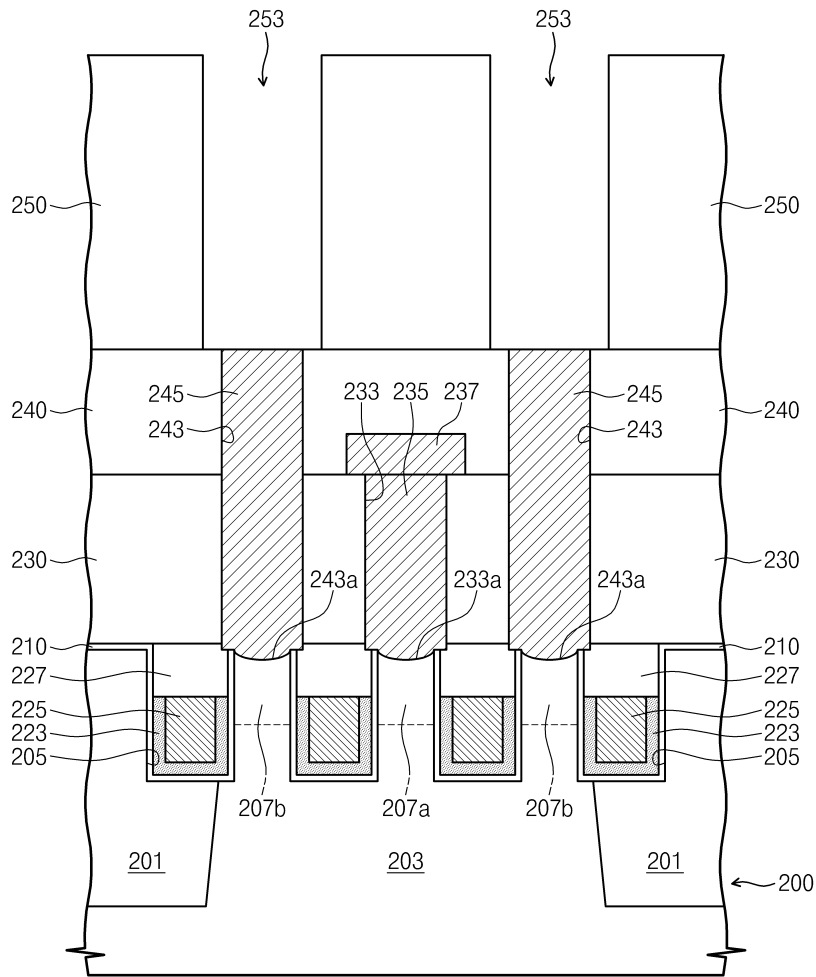
도면3e



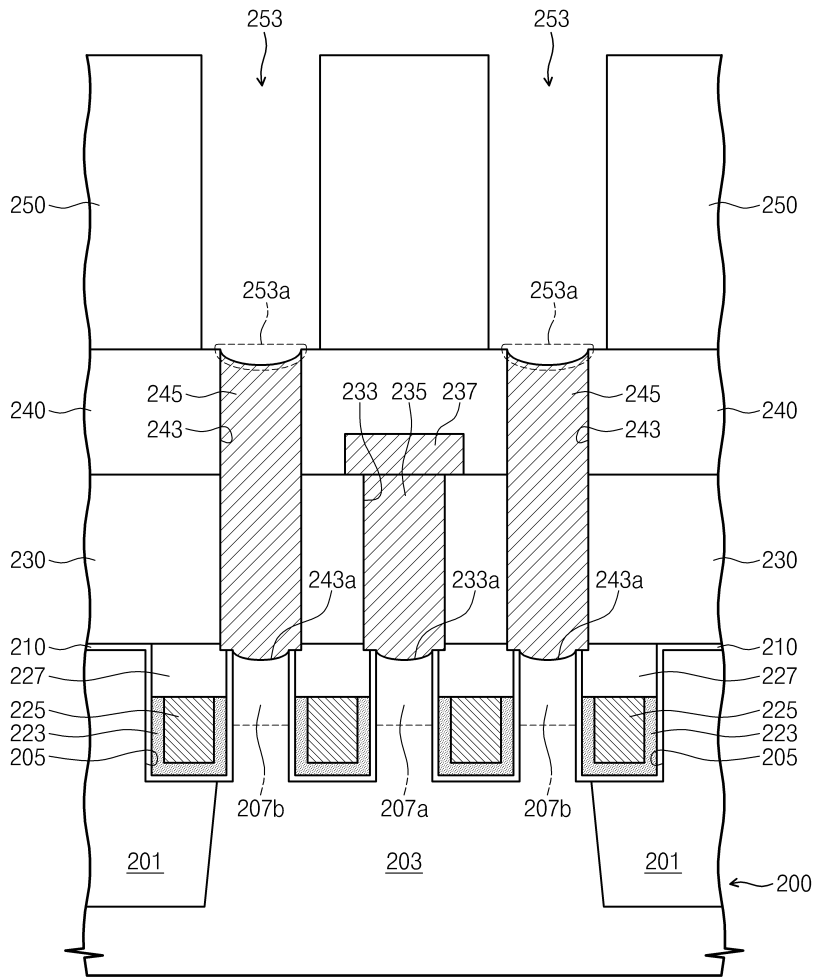
도면3f



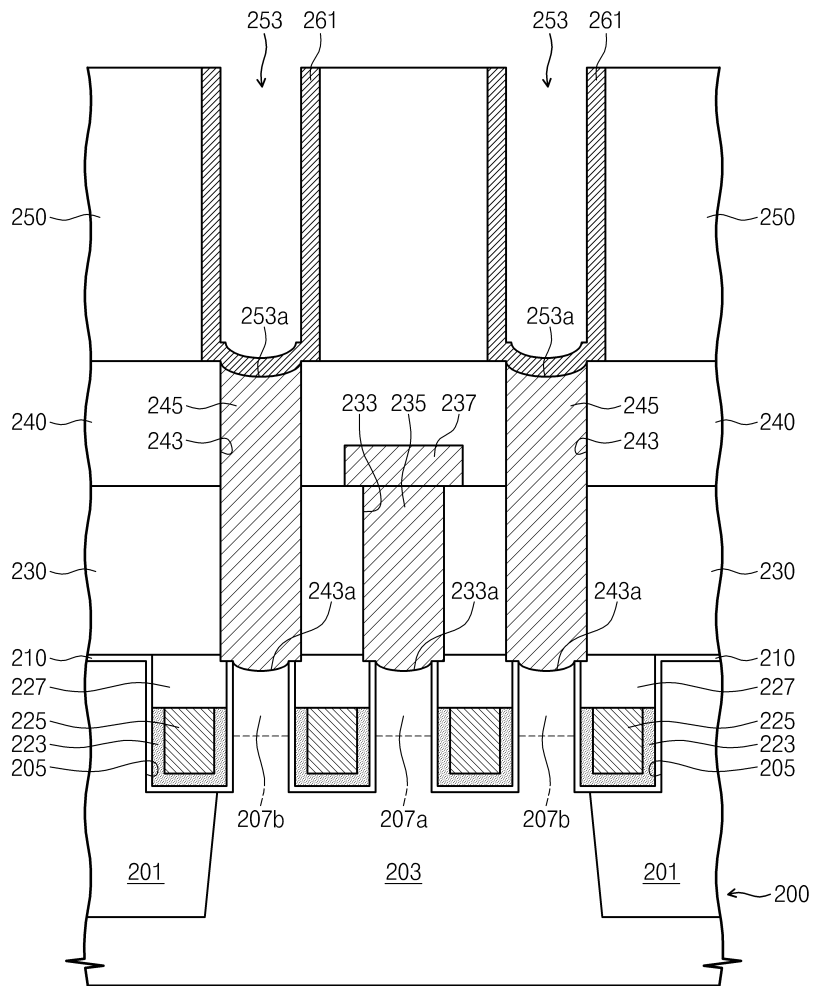
도면3g



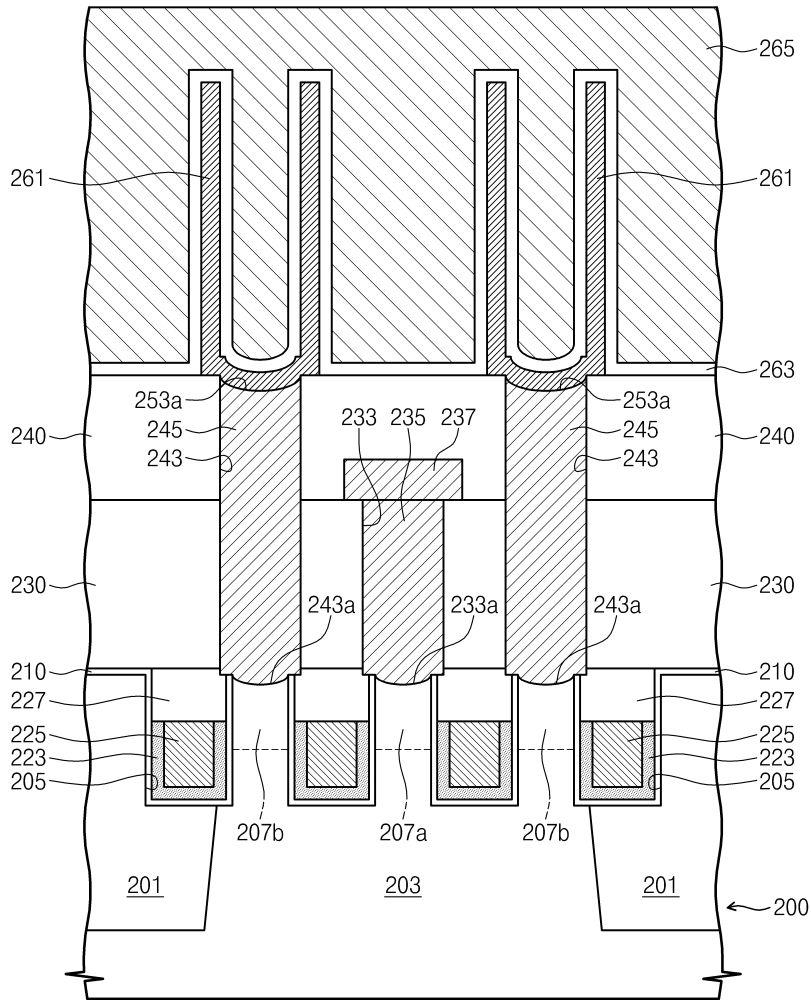
도면3h



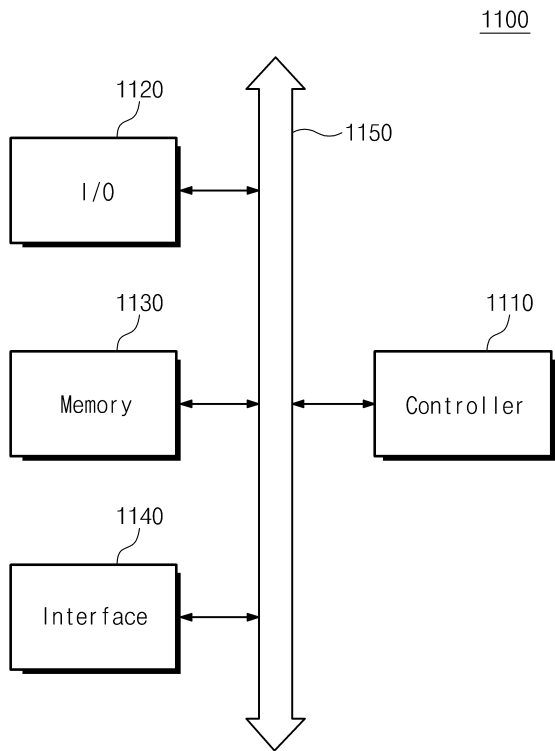
도면3i



도면3j



도면4



도면5

