



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I620189 B

(45)公告日：中華民國 107 (2018) 年 04 月 01 日

(21)申請案號：102100761

(22)申請日：中華民國 102 (2013) 年 01 月 09 日

(51)Int. Cl. : G11C16/30 (2006.01)

G05F1/46 (2006.01)

(30)優先權：2012/02/27 南韓

10-2012-0019832

(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：李東洙 LEE, DONG-SU (KR)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

US 6348886B1

US 7002330B2

US 7262587B2

US 8872488B2

US 2003/0042971A1

US 2006/0190746A1

審查人員：劉耀允

申請專利範圍項數：23 項 圖式數：14 共 55 頁

(54)名稱

適用於低外部電源供應電壓之電壓產生器

VOLTAGE GENERATORS ADAPTIVE TO LOW EXTERNAL POWER SUPPLY VOLTAGE

(57)摘要

本發明揭示一種電壓產生器，其可產生相對於一低外部電源供應電壓之一高位準的目標電壓。一參考電壓產生器包含：一箝位調節器，其由一外部源供應之一第一電源供應電壓驅動，且接收一第一電壓以產生一箝位電壓；及一位準放大器，其由比該第一電源供應電壓高之一第二電源供應電壓驅動，且接收該箝位電壓以產生一參考電壓。該箝位電壓可經設定以具有一導致相對於一動態隨機存取記憶體(DRAM)中之一記憶體單元陣列之一成功恢復操作的電壓位準。

Voltage generators may generate a level of a high target voltage with respect to a low external power supply voltage. A reference voltage generator includes a clamp regulator which is driven by a first power supply voltage supplied from an external source and receives a first voltage to generate a clamp voltage, and a level amplifier which is driven by a second power supply voltage that is higher than the first power supply voltage and receives the clamp voltage to generate a reference voltage. The clamp voltage may be set to have a voltage level which results in a successful restore operation with respect to a memory cell array in a dynamic random access memory (DRAM).

指定代表圖：

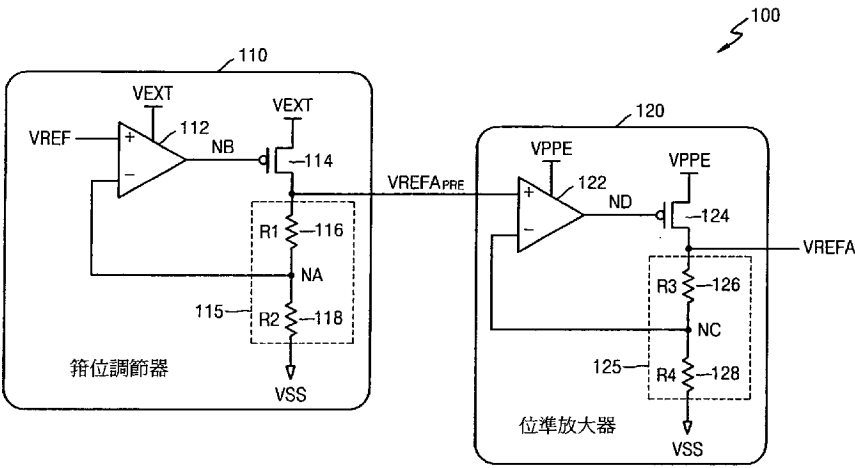


圖1

符號簡單說明：

- 100 . . . 參考電壓產生器
- 110 . . . 箝位調節器
- 112 . . . 第一比較單元
- 114 . . . 第一切換單元
- 115 . . . 第一位準控制單元/第一位準電壓調節器電路
- 116 . . . 第一電阻器
- 118 . . . 第二電阻器
- 120 . . . 位準放大器
- 122 . . . 第二比較單元
- 124 . . . 第二切換單元
- 125 . . . 第二位準控制單元
- 126 . . . 第三電阻器
- 128 . . . 第四電阻器
- NA . . . 第一節點
- NB . . . 第二節點
- NC . . . 第三節點
- ND . . . 第四節點
- R1 . . . 電阻
- R2 . . . 電阻
- R3 . . . 電阻
- R4 . . . 電阻
- VEXT . . . 外部電源供應電壓/第一電源供應電壓
- VPPE . . . 第二電源供應電壓
- VREF . . . 第一電壓/第一參考電壓
- VREFA . . . 第二參考電壓

VREF_{APRE} . . . 箱
位電壓
VSS . . . 接地電壓

圖8係用於描述根據一實施例之圖7之一第一參考電壓產生器之一例示性電路圖；

圖9係用於描述根據一實施例之圖7之一第一內部電壓產生電路之一例示性電路圖；

圖10A係用於描述根據一實施例之圖7之一第二內部電壓產生器及一核心區塊之一感測放大器之一例示性電路圖；

圖10B係用於描述根據一實施例之基於圖10A之一位元線之一資料寫入操作之一例示性圖示；

圖11係用於描述包含根據各種例示性實施例之一參考電壓產生器之一DRAM之另一實例之一圖示；

圖12係用於描述包含根據各種例示性實施例之一參考電壓產生器之一半導體記憶體裝置之一圖示；

圖13係展示根據一實施例之其上應用圖12之一半導體記憶體裝置之一記憶體系統之一實施方案實例之一圖示；及

圖14係根據一例示性實施例之其上已安裝一記憶體系統之一計算系統之一方塊圖。

【實施方式】

在下文中，將參考附圖而描述實施例。提供該等實施例以對熟習技術者更完全描述本發明。可對所揭示之實施例作出各種改變，且所揭示之實施例可具有各種形式，但某些例示性實施例將在圖式中被繪示且被詳細描述。此等實施例不意欲限制本發明，且應瞭解，該等實施例包含落在本發明之精神及範疇內之全部改變、等效物及替代物。在全部圖式中，相同元件符號意指相同組件。在附圖中，可為了清楚而放大或誇大地繪示結構。

本文中所使用之術語僅用於描述本發明之目的，且不意欲限制性。如本文中所使用，若內文無另外明確指示，則單數形式意欲亦包

含複數形式。應進一步瞭解，本說明書中所使用之術語「包括」、「包含」及/或「具有」特指存在所陳述之特徵、數目、步驟、操作、組件、元件或以上各者之一組合，但不排除存在或添加一或多個其他特徵、數目、步驟、操作、組件、元件或以上各者之組合。

應瞭解，當一元件被稱為「連接或耦合至另一元件」或「位於另一元件上」時，其可直接連接或耦合至另一元件或直接位於另一元件上，或可存在介入元件。相比而言，當一元件被稱為「直接連接」或「直接耦合」至另一元件時，不存在介入元件。如本文中所使用，術語「及/或」包含相關列項之一或多者之任何及全部組合且可縮寫為「/」。

應瞭解，儘管術語「第一」、「第二」等等可在本文中用於描述各種元件，但此等元件不應受限於此等術語。若無另外指示，則此等術語僅用於區分元件。例如，在不背離本發明之教示之情況下，可將一第一晶片稱為一第二晶片，且類似地，可將一第二晶片稱為一第一晶片。

本文中所使用之術語(其包含科技術語)具有與熟習技術者一般所理解之術語相同之含義，只要該等術語被不同地定義。應瞭解，一通用詞典中所定義之術語具有與相關技術中之術語之含義一致之含義。只要該等術語未被明確定義，則其等不應被理想或過度地分析為形式含義。

一半導體記憶體裝置可包含產生來自一外部電源供應電壓VEXT之一內部電源供應電壓AIVC之一內部電壓降頻轉換器。當該半導體記憶體裝置被實施為一動態隨機存取記憶體(DRAM)時，該內部電源供應電壓AIVC可用作為包含一DRAM單元陣列之一核心區塊之一電源供應電壓。

在DRAM之操作特徵中，一刷新時間可與儲存於一單元節點中之

中之第一比較單元112及第一切換單元114之操作，第一節點NA之電壓變為幾乎等於第一電壓VREF(例如，第一節點NA之電壓經組態以趨向於與第一電壓VREF相同)。因此，箝位電壓VREFAPRE可由第一電阻器116之一電阻R1及第二電阻器118之一電阻R2確定如下。

$$VREFAPRE = VREF \left(\frac{R1+R2}{R2} \right) \dots\dots\dots (1)$$

相應地，箝位電壓VREFAPRE之位準可藉由調整電阻器116之電阻R1及第二電阻器118之電阻R2而調節為具有與VREF相關之某一值。箝位電壓VREFAPRE可被設定為在將資料寫入至與DRAM之一位元線BL連接之一記憶體單元MC時導致一成功單元恢復操作之一最小電壓位準。箝位電壓VREFAPRE可被調節為(例如)約1.08伏特。

位準放大器120可為包含一第二比較單元122、一第二切換單元124及一第二位準控制單元125之一電壓調節器電路。第二比較單元122由第二電源供應電壓VPPE驅動且比較箝位電壓VREFAPRE與一第三節點NC之一電壓以輸出一第四節點ND之一電壓。第二電源供應電壓VPPE可被設定為具有比第一電源供應電壓VEXT之位準高之一位準。例如，當第一電源供應電壓VEXT為約1.2伏特時，第二電源供應電壓VPPE可例如為約1.6伏特。第二比較單元122可包含形成一比較器之電路元件，且因此可在本文中被稱為一比較器電路。

若第三節點NC之電壓低於箝位電壓VREFAPRE，則第二比較單元122可將一邏輯低位準輸出至第四節點ND。若第三節點NC之電壓高於箝位電壓VREFAPRE，則第二比較單元122可將一邏輯高位準輸出至第四節點ND。第四節點ND可與第二切換單元124連接。

第二切換單元124可為包含(例如)一PMOS電晶體之一電路，該PMOS電晶體由第二電源供應電壓VPPE驅動且其閘極連接至第四節點ND。在PMOS電晶體中，第二電源供應電壓VPPE係連接至一源極，

第四節點ND係連接至一閘極，且一汲極輸出參考電壓VREFA。關於第二切換單元124，可回應於與邏輯低位準對應之第四節點ND之電壓而接通PMOS電晶體。透過接通之PMOS電晶體而供應第二電源供應電壓VPPE，以因此增大參考電壓VERFA之位準。關於第二切換單元124，可回應於與一邏輯高位準對應之第四節點ND之電壓而斷開PMOS電晶體。斷開之PMOS電晶體無法增大參考電壓VREFA之位準，此係因為其已切斷第二電源供應電壓VPPE之供應。

第二位準控制單元125(亦被稱為第二位準電壓調節器電路125)可連接於參考電壓VREFA與接地電壓VSS之間，其中可串聯連接一第三電阻器126與一第四電阻器128。第三電阻器126與第四電阻器128之間之一連接節點為第三節點NC。歸因於包含於位準放大器120中之第二比較單元122及第二切換單元124的操作，第三節點NC之電壓變幾乎等於箝位電壓VREFA_{PRE}。因此，參考電壓VREFA可由第三電阻器126之一電阻R3及第四電阻器128之一電阻R4確定如下。

$$VREFA = VREFA_{PRE} \left(\frac{R3 + R4}{R4} \right) \dots\dots\dots (2)$$

據此，參考電壓VREFA之位準可藉由調整箝位電壓VREFA_{PRE}之位準、第三電阻器126之電阻R3及第四電阻器128之電阻R4而調節為具有某一值。當箝位電壓VREFA_{PRE}為(例如)約1.08伏特時，可產生(例如)約1.2伏特之參考電壓VREFA。位準放大器120接收箝位電壓VREFA_{PRE}以產生參考電壓VREFA，且其之一增益可計算為約1.2/1.08。在此實例中，參考電壓VREFA可調節為與參考電壓VREF大致相同，使得即使外部電壓VEXT及/或VPPE被降低，參考電壓VREF亦被維持。

圖2係用於描述圖1之參考電壓產生器100之一操作之一曲線圖。
參考圖2，圖中展示根據第一電源供應電壓VEXT之位準而產生



之箝位電壓VREFA_{PRE}的位準及參考電壓VREFA的位準。產生幾乎等於第一電源供應電壓VEXT之箝位電壓VREFA_{PRE}及第一電源供應電壓VEXT之增量，接著，使箝位電壓VREFA_{PRE}在約1.08伏特處被箝位。產生具有一電壓位準之如下參考電壓VREFA，該電壓位準為箝位電壓VREFA_{PRE}與位準放大器120之增益(1.2/1.08)之一乘積。

$$VREFA = VREFA_{PRE} * \frac{1.2}{1.08} \dots\dots\dots (3)$$

圖3係用於描述根據一第二例示性實施例之一參考電壓產生器300之一圖示。

參考圖3，參考電壓產生器300由第二電源供應電壓VPPE驅動且接收一第二電壓VPERI以產生參考電壓VREFA。第二電源供應電壓VPPE可被設定為具有比第一外部電源供應電壓VEXT(其為一外部電源供應電壓)高之一位準，如上文參考圖1所描述。例如，若第一外部電源供應電壓VEXT為約1.2伏特，則第二電源供應電壓VPPE可被設定為約1.6伏特。

參考電壓產生器300可包含於一半導體記憶體裝置(例如一DRAM)中。該DRAM可大致包含一核心區塊及若干周邊電路區塊。該核心區塊意指包含一DRAM單元陣列之一區塊，且該等周邊電路區塊意指除該核心區塊以外之剩餘區塊。第二電壓VPERI可為用在該DRAM之該等周邊電路區塊中之電壓之一者。第二電壓VPERI可被設定為例如約1.08伏特。在一實施例中，基於一第一外部電源供應電壓VEXT而設定第二電壓VPERI。

參考電壓產生器300可包含一比較單元322、一切換單元324及一位準調節器電路或控制單元325。比較單元322由第二電源供應電壓VPPE驅動且包含諸如一比較器之一電路，該比較器經組態以比較第二電壓VPERI與一第一節點NE之一電壓以輸出一第二節點NF之一電

壓。若第一節點NE之電壓低於第二電壓VPERI，則比較單元322可將一邏輯低位準輸出至第二節點NF。若第一節點NE之電壓高於第二電壓VPERI，則比較單元322可將一邏輯高位準輸出至第二節點NF。第二節點NF可與切換單元324連接。

切換單元324可為例如包含一PMOS電晶體之一電路，該PMOS電晶體由第二電源供應電壓VPPE驅動且其閘極連接至第二節點NF。在PMOS電晶體中，第二電源供應電壓VPPE係連接至一源極，第二節點NF係連接至一閘極，且一汲極輸出參考電壓VREFA。關於切換單元324，可回應於與邏輯低位準對應之第二節點NF之電壓而接通PMOS電晶體。透過接通之PMOS電晶體而供應第二電源供應電壓VPPE以因此增大參考電壓VREFA之位準。關於切換單元324，可回應於與一邏輯高位準對應之第二節點NF之電壓而斷開PMOS電晶體。斷開之PMOS電晶體無法增大參考電壓VREFA之位準，此係因為其已切斷第二電源供應電壓VPPE之供應。

位準調節器電路325可連接於參考電壓VREFA與接地電壓VSS之間，其中可串聯連接一第一電阻器326與一第二電阻器328。第一電阻器326與第二電阻器328之間之一連接節點為第一節點NE。歸因於比較單元322及切換單元324之操作，第一節點NE之電壓變為幾乎等於第二電壓VPERI。因此，參考電壓VREFA可由第一電阻器326之一電阻R3及第二電阻器328之一電阻R4確定如下。

$$VREFA = VPERI \left(\frac{R3 + R4}{R4} \right) \dots\dots\dots (4)$$

相應地，可藉由調整第二電壓VPERI之位準、第一電阻器326之電阻R3及第二電阻器328之電阻R4而調節參考電壓VREFA之位準。當第二參考電壓VPERI例如為約1.08伏特時，可產生例如約1.2伏特之參考電壓VREFA。

圖4係用於描述根據一第三實施例之一參考電壓產生器400之一圖示。

參考圖4，參考電壓產生器400可包含一箝位調節器410、一電荷幫浦單元415及一位準放大器420。參考電壓產生器400由第一電源供應電壓VEXT(其為一外部電源供應電壓)驅動且接收第一電壓VREF以產生箝位電壓VREFA_{PRE}及參考電壓VREFA。

箝位調節器410可結構化為與參考圖1而描述之箝位調節器110實質上相同。不再提供箝位調節器410之一詳細描述以避免重複描述。箝位調節器410由例如約1.2伏特之第一電源供應電壓VEXT驅動且接收例如約0.75伏特之第一電壓VREF以產生例如約1.08伏特之箝位電壓VREFA_{PRE}。

電荷幫浦單元415接收第一電源供應電壓VEXT且透過一電荷幫浦操作而輸出具有比第一電源供應電壓VEXT之位準高之一位準之第二電源供應電壓VPPE。若第一電源供應電壓VEXT為約1.2伏特，則第二電源供應電壓VPPE可被設定為例如約1.6伏特。電荷幫浦單元415可包含一振盪器及一幫浦電容器。該振盪器產生一振盪信號，且該幫浦電容器回應於該振盪信號而產生來自第一電源供應電壓VEXT之一幫浦電壓。電荷幫浦單元415可包含在幫浦電壓達到一預定電壓位準時停止電荷幫浦操作之一幫浦控制單元。幫浦電壓可被輸出為第二電源供應電壓VPPE。

位準放大器420由第二電源供應電壓VPPE驅動且接收由箝位調節器410產生之箝位電壓VREFA_{PRE}以產生參考電壓VREFA。位準放大器420可結構化為與參考圖1而描述之位準放大器120實質上相同。不再提供位準放大器420之一詳細描述以避免重複描述。位準放大器420由具有例如約1.6伏特之一位準之第二電源供應電壓VPPE驅動，且在一實施例中，當箝位電壓VREFA_{PRE}為約1.08伏特時，位準放大器420產

生約1.2伏特之參考電壓VREFA。位準放大器420接收箝位電壓VREFA_{PRE}以產生參考電壓VREFA，且其之一增益可計算為約1.2/1.08。

圖5係用於描述根據一第四實施例之一參考電壓產生器500之一圖示。

參考圖5，參考電壓產生器500包含一箝位調節器510、一降壓單元515及一位準放大器520。參考電壓產生器500由一第一外部電源供應電壓VEXT1及一第二外部電源供應電壓VEXT2驅動且接收第一電源VREF以產生箝位電壓VREFA_{PRE}及參考電壓VREFA。第一外部電源供應電壓VEXT1之位準與第二外部電源供應電壓VEXT2之位準可彼此不同。第二外部電源供應電壓VEXT2可被設定為具有比第一外部電源供應電壓VEXT1之位準高之一位準。

箝位調節器510可結構化為與參考圖1而描述之箝位調節器110實質上相同。不再提供箝位調節器510之一詳細描述以避免重複描述。箝位調節器510由例如約1.2伏特之第一外部電源供應電壓VEXT1驅動且接收例如約0.75伏特之第一電壓VREF以產生例如約1.08伏特之箝位電壓VREFA_{PRE}。

降壓單元515接收第二外部電源供應電壓VEXT2且降低該電壓以輸出第二電源供應電壓VPPE。當第二外部電源供應電壓VEXT2例如為約2.5伏特時，第二電源供應電壓VPPE可被設定為例如1.6伏特。降壓單元515可包含串聯連接於第二外部電源供應電壓VEXT2與第二電源供應電壓VPPE之間之複數個二極體元件。該二極體元件導致與一PN接面正向電壓降V_f對應之一電壓降導電。例如，對於n個二極體元件，第二電源供應電壓VPPE可被確定為VEXT2-n•V_f。

降壓單元515可包含串聯連接於第二外部電源供應電壓VEXT2與第二電源供應電壓VPPE之間之複數個MOS電晶體。在該等MOS電晶

體之各者中，可互連其之一閘極與一汲極。該等MOS電晶體之各者以二極體模式操作且導致與一臨限電壓 V_{TN} 對應之一電壓降導電。例如，對於 n 個MOS電晶體，第二電源供應電壓 V_{PPE} 可被確定為 $V_{EXT2-n} \cdot V_{TN}$ 。

位準放大器520由第二電源供應電壓 V_{PPE} 驅動且接收箝位調節器510中所產生之箝位電壓 $V_{REFA_{PRE}}$ 以產生參考電壓 V_{REFA} 。位準放大器520可結構化為與參考圖1而描述之位準放大器120實質上相同。不再提供位準放大器520之一詳細描述以避免重複描述。在一實施例中，位準放大器520由約1.6伏特之第二電源供應電壓 V_{PPE} 驅動且可針對約1.08伏特之箝位電壓 $V_{REFA_{PRE}}$ 而產生約1.2伏特之參考電壓 V_{REFA} 。位準放大器520接收箝位電壓 $V_{REFA_{PRE}}$ 以產生參考電壓 V_{REFA} ，且其之一增益可計算為約 $1.2/1.08$ 。

圖6係用於描述根據一第五實施例之一參考電壓產生器600之一圖示。

參考圖6，參考電壓產生器600包含一分壓器610及一位準放大器620。分壓器610劃分第一電源供應電壓 V_{EXT} 與第三電源供應電壓 V_{SS} 之間之一電壓以產生箝位電壓 $V_{REFA_{PRE}}$ 。分壓器610可包含連接於第一電源供應電壓 V_{EXT} 與箝位電壓 $V_{REFA_{PRE}}$ 之間之一第一電阻器及連接於箝位電壓 $V_{REFA_{PRE}}$ 與第三電源供應電壓 V_{SS} 之間之一第二電阻器。可藉由調整該第一電阻器及該第二電阻器之電阻而調節箝位電壓 $V_{REFA_{PRE}}$ 之位準。第一電源供應電壓 V_{EXT} 可例如為約1.2伏特，且第三電源供應電壓 V_{SS} 可為一接地電壓。該第一電阻器及該第二電阻器之電阻可經調整以產生約1.08伏特之箝位電壓 $V_{REFA_{PRE}}$ 。

位準放大器620由第二電源供應電壓 V_{PPE} 驅動且接收由分壓器610產生之箝位電壓 $V_{REFA_{PRE}}$ 以產生參考電壓 V_{REFA} 。位準放大器620可結構化與參考圖1而描述之位準放大器120實質上相同。不再提

供位準放大器620之一詳細描述以避免重複描述。在一實施例中，位準放大器620由約1.6伏特之第二電源供應電壓 V_{PPE} 驅動且可針對約1.08伏特之箝位電壓 $V_{REFA_{PRE}}$ 而產生約1.2伏特之參考電壓 V_{REFA} 。位準放大器620接收箝位電壓 $V_{REFA_{PRE}}$ 以產生參考電壓 V_{REFA} ，且其之一增益可計算為約 $1.2/1.08$ 。

由根據各種實施例之參考電壓產生器產生之參考電壓 V_{REFA} 可用作充當用於產生用在一DRAM中之內部電源供應電壓之一標準之一電壓。

圖7係用於描述包含根據各種實施例之一參考電壓產生器之一DRAM 700之一實例之一圖示。

參考圖7，DRAM 700可包含一核心區塊701(其包含一記憶體單元陣列702及一感測放大器703)、一周邊電路單元704及一輸出緩衝器單元705。記憶體單元陣列702可包含複數個字線、該複數個字線上之與該複數個字線互連之複數個位元線、配置於該等字線與該等位元線之相交點附近之複數個記憶體單元、能夠選擇該複數個字線中之一預定字線之一列解碼器及能夠選擇該複數個位元線中之一預定位元線之一行解碼器。感測放大器703可感測放大自該複數個位元線讀取之記憶體單元資料。周邊電路單元704可包含一位址緩衝器、一資料輸入緩衝器及控制電路。輸出緩衝器單元705由外部電源供應電壓 V_{EXT} 驅動且讀出經感測放大之記憶體單元資料。

DRAM 700可包含一第一參考電壓產生器706、一第一內部電壓產生器707、一第二參考電壓產生器708及一第二內部電壓產生器709。第一參考電壓產生器706接收外部電源供應電壓 V_{EXT} 以產生第一參考電壓 V_{REF} 。第一內部電壓產生器707由外部電源供應電壓 V_{EXT} 驅動且接收第一參考電壓 V_{REF} 以產生一第一內部電源供應電壓 I_{VC} 。第一內部電源供應電壓 I_{VC} 可用作為用於驅動周邊電路單元704

VREF。

圖9係用於描述根據一例示性實施例之圖7之第一內部電壓產生器707之一電路圖。

參考圖9，第一內部電壓產生器707由外部電源供應電壓VEXT驅動且接收第一參考電壓VREF以產生第一內部電源供應電壓IVC。第一內部電壓產生器707可包含形成一比較單元902、一切換單元904及一位準控制單元905之電路。比較單元902由外部電源供應電壓VEXT驅動，比較第一參考電壓VREF與一第一節點ND_B之一電壓，且將一比較結果輸出至一第二節點ND_C。外部電源供應電壓VEXT可例如為約1.2伏特，且第一參考電壓VREF可例如為約0.75伏特。若第一節點ND_B之電壓低於第一參考電壓VREF，則比較單元902可將一邏輯低位準輸出至第二節點ND_C。若第一節點ND_B之電壓高於第一參考電壓VREF，則比較單元902可將一邏輯高位準輸出至第二節點ND_C。第二節點ND_C可與切換單元904連接。

在一實施例中，切換單元904可為由外部電源供應電壓VEXT驅動且閘極連接至第二節點ND_C之一PMOS電晶體。在該PMOS電晶體中，外部電源供應電壓VEXT係連接至一源極，第二節點ND_C係連接至一閘極，且一汲極輸出內部電源供應電壓IVC。切換單元904可回應於與邏輯低位準對應之第二節點ND_C之一電壓而接通該PMOS電晶體。透過接通之PMOS電晶體而供應外部電源供應電壓VEXT以因此增大內部電源供應電壓IVC之位準。關於切換單元904，可回應於與一邏輯高位準對應之第二節點ND_C之電壓而斷開該PMOS電晶體。斷開之PMOS電晶體無法增大內部電源供應電壓IVC之位準，此係因為其已切斷外部電源供應電壓VEXT之供應。

位準控制單元905可連接於內部電源供應電壓IVC與接地電壓VSS之間，其中可串聯連接一第一電阻器906與一第二電阻器908。第一電

阻器906與第二電阻器908之間之一連接節點為第一節點ND_B。歸因於比較單元902及切換單元904之操作，第一節點ND_B之電壓變為幾乎等於第一參考電壓VREF。因此，可由第一電阻器906之一電阻及第二電阻器908之一電阻確定內部電源供應電壓IVC。

圖10A係用於描述根據一例示性實施例之圖7之第二內部電壓產生器709及核心區塊701之感測放大器703之一電路圖。

參考圖10A，第二內部電壓產生器709由第二電源供應電壓VPPE驅動且接收由第二參考電壓產生器708產生之第二參考電壓VREFA，以產生第二內部電源供應電壓AIVC。第二內部電壓產生器709可包含一比較單元1002及一驅動單元1004。

比較單元1002比較第二參考電壓VREFA與第二內部電源供應電壓AIVC且輸出一比較結果。若第二內部電源供應電壓AIVC低於第二參考電壓VREFA，則比較單元1002可輸出一邏輯低位準。若第二內部電源供應電壓AIVC高於第二參考電壓VREFA，則比較單元1002可輸出一邏輯高位準。比較單元1002之一輸出可與驅動單元1004連接。

驅動單元1004由第二電源供應電壓VPPE驅動，且回應於比較單元1002之一輸出而產生第二內部電源供應電壓AIVC。驅動單元1004可為(例如)閘極連接至比較單元1002之輸出之一PMOS電晶體。在該PMOS電晶體中，第二電源供應電壓VPPE係連接至一源極，比較單元1002之輸出係連接至一閘極，且一汲極輸出第二內部電源供應電壓AIVC。關於驅動單元1004，可回應於比較單元1002之邏輯低位準輸出而接通該PMOS電晶體。透過接通之PMOS電晶體而供應第二電源供應電壓VPPE，以因此增大第二內部電源供應電壓AIVC之位準。對於驅動單元1004，回應於比較單元1002之邏輯高位準輸出而斷開該PMOS電晶體。斷開之PMOS電晶體無法增大第二內部電源供應電壓AIVC之位準，此係因為其已切斷第二電源供應電壓VPPE之供應。

因此，第二內部電壓產生器709可產生具有與第二參考電壓VREFA之位準幾乎相同之一位準之第二內部電源供應電壓AIVC。在一實施例中，當第二電源供應電壓VPPE為約1.6伏特且由第二參考電壓產生器708產生之第二參考電壓VREFA為約1.2伏特時，可產生約1.2伏特之第二內部電源供應電壓AIVC。

感測放大器703可包含一感測單元1030及一等化單元1040。感測單元1030可感測放大記憶體單元陣列702之一位元線BL及一互補位元線BLB上之資料。感測單元1030可包含連接於位元線BL與互補位元線BLB之間之一第一感測單元PSA及一第二感測單元NSA。第一感測單元PSA可包含其等之閘極相交於位元線BL與互補位元線BLB之間之PMOS電晶體。第二感測單元NSA可包含其等之閘極相交於位元線BL與互補位元線BLB之間之NMOS電晶體。等化單元1040可包含連接於位元線BL與互補位元線BLB之間且對一位元線等化信號PEQI作出回應之NMOS電晶體。

第一感測單元PSA由產生於第二內部電壓產生器709之第二內部電源供應電壓AIVC驅動，且第二感測單元NSA由接地電壓VSS驅動。第二內部電源供應電壓AIVC透過對一第一致能信號LAPG作出回應之一第一切換單元1010而提供至第一感測單元PSA，且接地電壓VSS透過對一第二致能信號LANG作出回應之一第二切換單元1020而提供至第二感測單元NSA。

驅動感測單元1030之第二內部電源供應電壓AIVC可為在將資料寫入至與位元線BL連接之一記憶體單元MC時之一單元恢復操作之一重要要素。特定言之，如圖10B中所展示，當位元線BL與互補位元線BLB之前一邏輯位準經反相且將反相邏輯位準寫入至記憶體單元MC時，第二內部電源供應電壓AIVC需要維持一特定電壓位準。即使在外部電源供應電壓VEXT之位準被降低以減少DRAM之功率消耗時，

亦可恆定地產生具有一目標電壓位準之第二內部電源供應電壓AIVC。

第二內部電壓產生器709可產生與第二參考電壓VREFA幾乎相同之第二內部電源供應電壓AIVC。在一實施例中，即使在歸因於外部電源供應電壓VEXT降低至約1.2伏特而產生約0.75伏特之第一參考電壓VREF時，第二參考電壓產生器708亦可產生比第一參考電壓VREF高之約1.08伏特之箝位電壓VREFA_{PRE}。箝位電壓VREFA_{PRE}之位準可被設定為在將資料寫入至與DRAM之位元線BL連接之記憶體單元MC時導致一成功單元恢復操作之一最小電壓位準。第二參考電壓產生器708可藉由使用箝位電壓VREFA_{PRE}而產生約1.2伏特之第二參考電壓VREFA。因此，可產生導致一成功單元恢復操作之具有約1.2伏特之一目標電壓位準之第二內部電源供應電壓AIVC。不論外部電源供應電壓VEXT之位準如何，該目標電壓位準(例如1.2伏特)之第二內部電源供應電壓AIVC均可在記憶體單元MC之單元電容減少之一情況中確保一刷新時間。

圖11係用於描述包含根據各種實施例之一參考電壓產生器之一DRAM 1100之另一實例之一圖示。

參考圖11，DRAM 1100可包含核心區塊701(其包含記憶體單元陣列702及感測放大器703)、周邊電路單元704、輸出緩衝器單元705、第一參考電壓產生器706及第二參考電壓產生器708。DRAM 1100可包含可結構化為與圖7之第二內部電壓產生器709實質上相同之一單一內部電壓產生器709。然而，與圖7之DRAM 700不同，DRAM 1100不包含驅動周邊電路單元704之第一內部電壓產生器707。

外部電源供應電壓VEXT可降低至例如1.2伏特或更低以符合DRAM 1100之低消耗功率特徵。在此情況中，周邊電路單元704及輸出緩衝器單元705可經組態以連接至降低之外部電源供應電壓VEXT，

且周邊電路單元704及輸出緩衝器單元705可由VEXT驅動。周邊電路單元704可例如包含一位址緩衝器、一資料輸入緩衝器及控制電路。輸出緩衝器單元705由外部電源供應電壓VEXT驅動且讀出經感測放大之記憶體單元資料。

第一參考電壓產生器706接收外部電源供應電壓VEXT且產生第一參考電壓VREF。第二參考電壓產生器708由外部電源供應電壓VEXT及第二電源供應電壓VPPE驅動且接收第一參考電壓VREF以產生第二參考電壓VREFA。

如同參考圖1而描述之參考電壓產生器100，第二參考電壓產生器708可包含箝位調節器110及位準放大器120。箝位調節器110由外部電源供應電壓VEXT驅動且接收第一參考電壓VREF以產生箝位電壓VREFA_{PRE}。在一實施例中，即使在歸因於外部電源供應電壓VEXT降低至1.2伏特或更小而產生0.75伏特或更低之第一參考電壓VREF時，第二參考電壓產生器708亦可產生比第一參考電壓VREF高之約1.08伏特之箝位電壓VREFA_{PRE}。箝位電壓VREFA_{PRE}之位準可被設定為在將資料寫入至與DRAM之位元線BL連接之記憶體單元MC時導致一成功單元恢復操作之一最小電壓位準。在一實施例中，位準放大器120由比外部電源供應電壓VEXT高之第二電源供應電壓VPPE驅動且藉由使用約1.08伏特之箝位電壓VREFA_{PRE}而產生約1.2伏特之第二參考電壓VREFA。例如，亦可例如根據參考圖3至圖6而描述之參考電壓產生器之實施例之一者而實施第二參考電壓產生器708。

內部電壓產生器709由第二電源供應電壓VPPE驅動且接收第二參考電壓VREFA以產生第二內部電源供應電壓AIVC。內部電壓產生器709可產生與第二參考電壓VREFA相同之第二內部電源供應電壓AIVC。在一實施例中，可產生一目標電壓位準為約1.2伏特之第二內部電源供應電壓AIVC。第二內部電源供應電壓AIVC可用作為用於驅

動核心區塊701之一電源。第二內部電源供應電壓AIVC具有在將資料寫入至與位元線BL連接之記憶體單元MC時導致一成功單元恢復操作之一目標電壓位準。不論外部電源供應電壓VEXT之位準如何，約1.2伏特之第二內部電源供應電壓AIVC均可確保記憶體單元MC之一刷新時間。

根據本文中所揭示實施例之參考電壓產生器可包含於圖12所展示之一半導體記憶體裝置(例如一同步雙倍資料速率動態隨機存取記憶體(DDR-SDRAM)中。

參考圖12，一DDR-SDRAM 1200可包含一記憶體單元陣列1201，其包含DRAM單元及用於驅動該等DRAM單元之各種電路區塊。例如，可在一晶片選擇信號CS自一無效位準(例如邏輯高)改變至一有效位準(例如邏輯低)時啟動一時序暫存器1202。時序暫存器1202接收諸如一時脈信號CLK、一時脈致能信號CKE、一晶片選擇信號CSB、一列位址選通信號RASB、一行位址選通信號CASB、一寫入致能信號WEB、一資料輸入/輸出遮蔽信號DQM等等之一命令信號，處理所接收之命令信號，且產生用於控制該等電路區塊之各種內部命令信號LRLS、LCBR、LWE、LCAS、LWCBR及LDQM。

時序暫存器1202中所產生之內部命令信號之部分係儲存於一程式化暫存器1204中。例如，與資料輸出相關聯之延時資訊及叢發長度資訊可儲存於程式化暫存器1204中。儲存於程式化暫存器1204中之內部命令信號可被提供至一延時/叢發長度控制單元1206，延時/叢發長度控制單元1206接著提供一控制信號以控制輸出至一行解碼器1210或一輸出緩衝器1212之資料之延時或叢發長度。

一位址暫存器1220可自一外部源接收一位址信號ADD。一列位址信號可透過一列位址緩衝器1222而提供至一列解碼器1224。行位址信號可透過一行位址緩衝器1208而提供至行解碼器1210。列位址緩衝

電感耦合類型藉由纏繞一線圈若干次而產生一強磁場，且以一類似頻率諧振之一線圈接近該強磁場以因此產生耦合。

非輻射類型使用透過一近電磁場而使電磁波移動於以相同頻率諧振之兩種介質之間之漸逝波耦合。

主控晶片 1331 及受控晶片 1332 可包含根據各種所揭示實施例之參考電壓產生器。該參考電壓產生器可包含一箝位調節器及一位準放大器，如圖 1 中所展示。該箝位調節器由外部電源供應電壓驅動且接收第一參考電壓以產生箝位電壓。在一實施例中，即使在因外部電源供應電壓降低至 1.2 伏特或更低而產生 0.75 伏特或更低之第一參考電壓時，該參考電壓產生器亦可產生比第一參考電壓高之約 1.08 伏特之箝位電壓。箝位電壓位準可被設定為在將資料寫入至與 DRAM 之位元線 BL 連接之記憶體單元 MC 時導致一成功單元恢復操作之一最小電壓位準。該位準放大器由比外部電源供應電壓高之第二電源供應電壓驅動，且藉由使用例如約 1.08 伏特之箝位電壓而產生例如約 1.2 伏特之第二參考電壓。可根據參考圖 3 至圖 6 而描述之參考電壓產生器之實施例之一者而實施該參考電壓產生器。第二參考電壓可具有用於產生內部電源供應電壓之一參考電壓位準，該內部電源供應電壓驅動感測放大器。內部電源供應電壓具有在將資料寫入至與位元線連接之記憶體單元時導致一成功單元恢復操作之一目標電壓位準。不論外部電源供應電壓之位準如何，內部電源供應電壓均可確保記憶體單元 MC 之刷新時間。

記憶體模組 1310 可透過一系統匯流排而與記憶體控制器 1320 通信。資料 DQ、命令 (CMD)/位址 (ADD)、一時脈信號 CLK 等等可透過該系統匯流排而傳輸及接收於記憶體模組 1310 與記憶體控制器 1320 之間。

圖 14 係根據一例示性實施例之其上安裝一記憶體系統之一計算

系統1400之一方塊圖。

參考圖14，根據一實施例之一半導體記憶體裝置可安裝為計算系統1400(諸如一行動裝置或一桌上型電腦)上之一RAM 1420。安裝為RAM 1420之半導體記憶體裝置可根據上述實施例之任一者。例如，RAM 1420可為根據前述實施例之一半導體記憶體裝置，或可為一記憶體模組。RAM 1420可意欲包含半導體記憶體裝置及記憶體控制器。

根據一例示性實施例之計算系統1400包含一中央處理裝置(CPU)1410、RAM 1420、一使用者介面1430及一非揮發性記憶體1440，其等係電連接至一匯流排1450。非揮發性記憶體1440可為一大容量儲存裝置，諸如一固態驅動器(SSD)或硬碟驅動器(HDD)。

在計算系統1400中，RAM 1420可包含根據本文中所揭示實施例之一參考電壓產生器。該參考電壓產生器可包含一箝位調節器及一位準放大器，如圖1中所展示。該箝位調節器由外部電源供應電壓驅動且接收第一參考電壓以產生箝位電壓。即使在歸因於外部電源供應電壓降低至例如1.2伏特或更低而產生例如0.75伏特或更低之第一參考電壓時，該參考電壓產生器亦可產生比第一參考電壓高之例如約1.08伏特之箝位電壓。箝位電壓位準可被設定為在將資料寫入至與DRAM之位元線BL連接之記憶體單元MC時導致一成功單元恢復操作之一最小電壓位準。該位準放大器由比外部電源供應電壓高之第二電源供應電壓驅動，且藉由使用例如約1.08伏特之箝位電壓而產生例如約1.2伏特之第二參考電壓。可根據參考圖3至圖6而描述之各種實施例之一者而實施該參考電壓產生器。第二參考電壓可具有用於產生內部電源供應電壓之參考電壓位準，該內部電源供應電壓驅動感測放大器。內部電源供應電壓具有在將資料寫入至與位元線連接之記憶體單元時導致一成功單元恢復操作之一目標電壓位準。不論降低之外部電源供應電壓

807	第三電阻器
808	第四NMOS電晶體
809	第五NMOS電晶體
810	偏壓單元
820	控制單元
830	驅動單元
902	比較單元
904	切換單元
905	位準控制單元
906	第一電阻器
908	第二電阻器
1002	比較單元
1004	驅動單元
1010	第一切換單元
1020	第二切換單元
1030	感測單元
1040	等化單元
1100	DRAM
1200	同步雙倍資料速率動態隨機存取記憶體 (DDR- DRAM)/半導體記憶體裝置
1201	記憶體單元陣列
1202	時序暫存器
1204	程式化暫存器
1206	延時/叢發長度控制單元
1208	行位址緩衝器
1210	列解碼器

1212	輸出緩衝器
1220	位址暫存器
1222	列位址緩衝器
1224	列解碼器
1226	記憶庫選擇單元
1230	感測放大器
1232	資料輸入暫存器
1234	輸入/輸出控制器
1300	記憶體系統
1310	記憶體模組
1320	記憶體控制器
1330	半導體記憶體裝置
1331	主控晶片
1332	受控晶片
1400	計算系統
1410	中央處理裝置(CPU)
1420	隨機存取記憶體(RAM)1430 使用者介面
1440	非揮發性記憶體
1450	匯流排
ADD	位址信號
AIVC	第二內部電源供應電壓
BL	位元線
BLB	互補位元線
CASB	行位址選通信號
CKE	時脈致能信號
CLK	時脈信號

CMD	命令
CSB	晶片選擇信號
DQ	資料
DQM	資料/輸入/輸出遮蔽信號
IVC	第一內部電源供應電壓
LANG	第二致能信號
LAPG	第一致能信號
LCAS	內部命令信號
LCBR	刷新命令/內部命令信號
LDQM	內部命令信號
LRAS	刷新命令/內部命令信號
LWCBR	內部命令信號
LWE	內部命令信號
MC	記憶體單元
NA	第一節點
NB	第二節點
NC	第三節點
ND	第四節點
ND_A	第二節點
ND_B	第一節點
ND_C	第二節點
NE	第一節點
NF	第二節點
NSA	第二感測單元
PEQI	位元線等化信號
PSA	第一感測單元

R1	電阻
R2	電阻
R3	電阻
R4	電阻
RASB	列位址選通信號
VEXT	外部電源供應電壓/第一電源供應電壓
VEXT1	第一外部電源供應電壓
VEXT2	第二外部電源供應電壓
VPERI	第二電壓/第二參考電壓
VPPE	第二電源供應電壓
VREF	第一電壓/第一參考電壓
VREF_F	第一節點電壓
VREFA	第二參考電壓
VREFA _{PRE}	箝位電壓
VSS	接地電壓/第三電源供應電壓
WEB	寫入致能信號

發明摘要

※ 申請案號：102100761

※ 申請日：102/01/09

※IPC 分類：G11C 16/30 (2006.01)
G05F 1/46 (2006.01)

【發明名稱】

適用於低外部電源供應電壓之電壓產生器

VOLTAGE GENERATORS ADAPTIVE TO LOW EXTERNAL
POWER SUPPLY VOLTAGE

【中文】

本發明揭示一種電壓產生器，其可產生相對於一低外部電源供應電壓之一高位準的目標電壓。一參考電壓產生器包含：一箝位調節器，其由一外部源供應之一第一電源供應電壓驅動，且接收一第一電壓以產生一箝位電壓；及一位準放大器，其由比該第一電源供應電壓高之一第二電源供應電壓驅動，且接收該箝位電壓以產生一參考電壓。該箝位電壓可經設定以具有一導致相對於一動態隨機存取記憶體 (DRMA) 中之一記憶體單元陣列之一成功恢復操作的電壓位準。

【英文】

Voltage generators may generate a level of a high target voltage with respect to a low external power supply voltage. A reference voltage generator includes a clamp regulator which is driven by a first power supply voltage supplied from an external source and receives a first voltage to generate a clamp voltage, and a level amplifier which is driven by a second power supply voltage that is higher than the first power supply voltage and receives the clamp voltage to generate a reference voltage. The clamp voltage may be set to have a voltage level which results in a successful restore operation with respect to a memory cell array in a dynamic random access memory (DRAM).

圖式

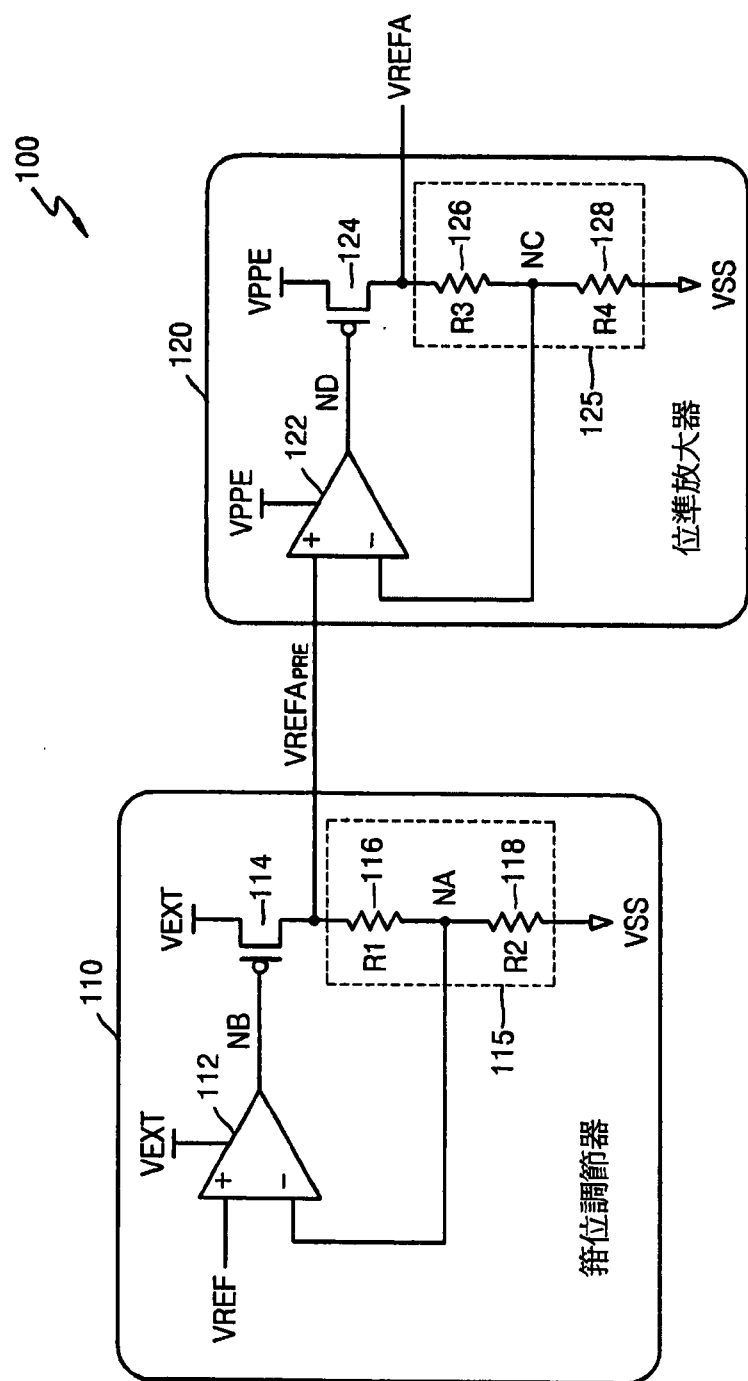


圖1

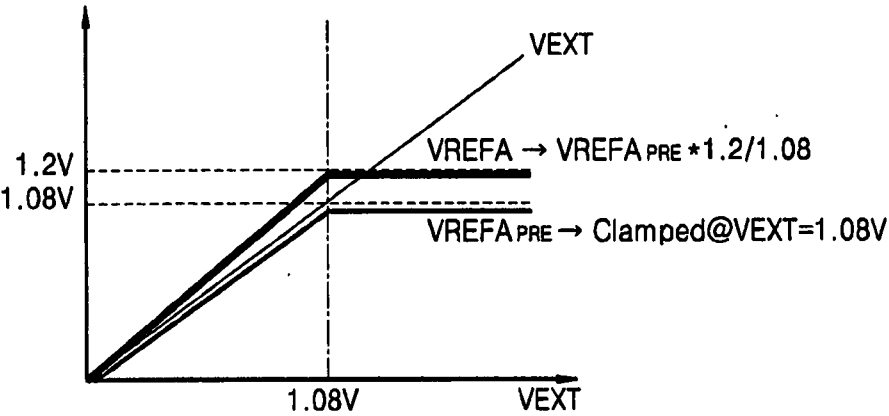


圖2

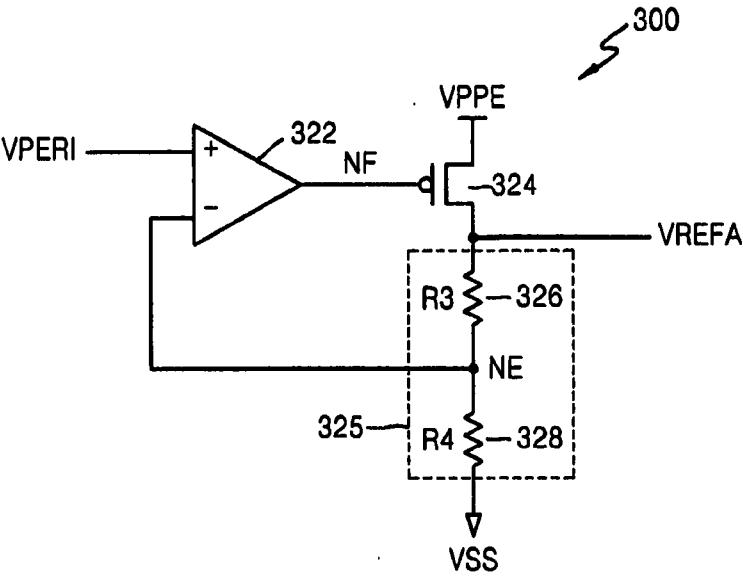


圖3

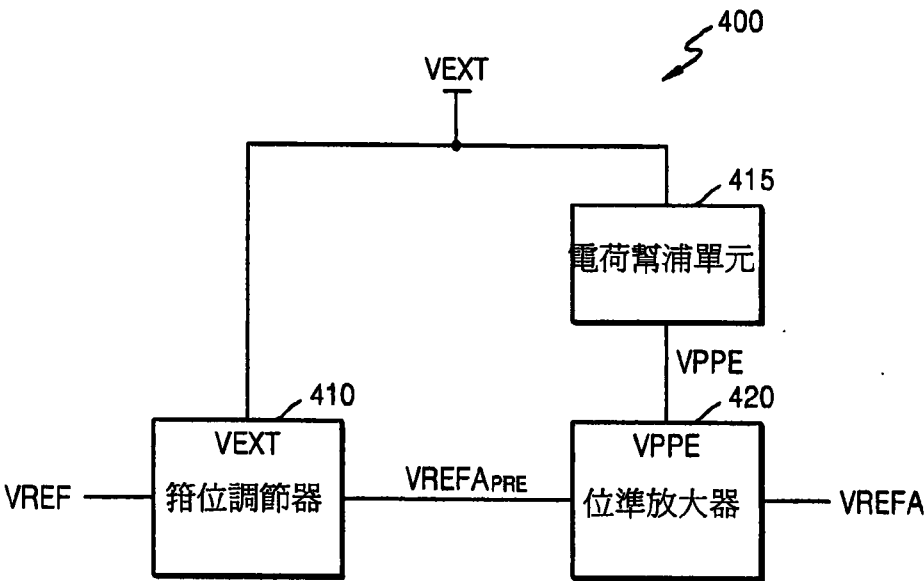


圖4

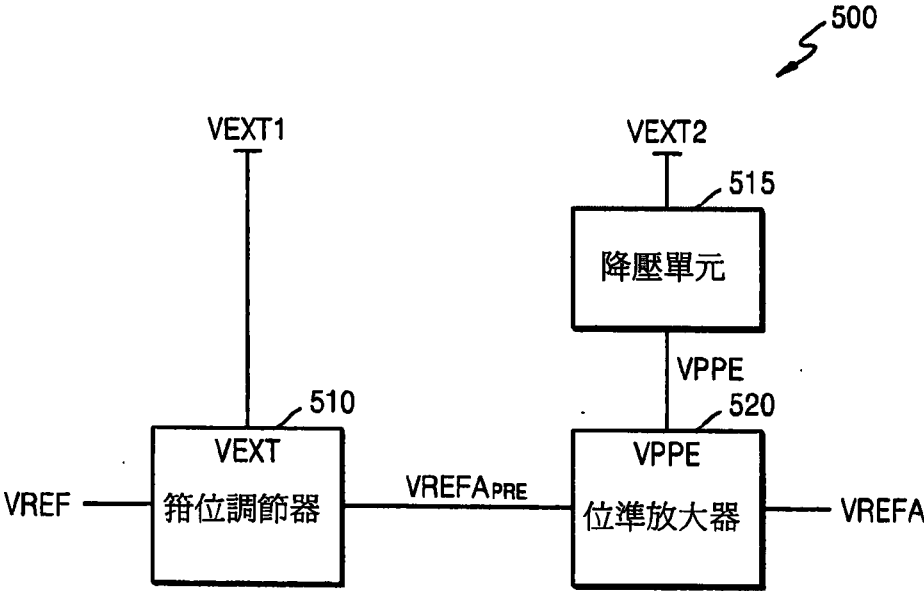


圖5

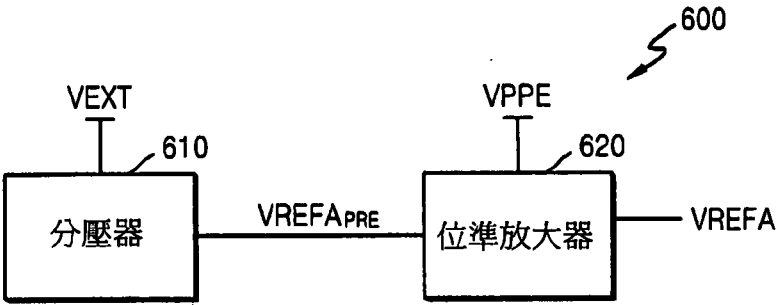


圖6

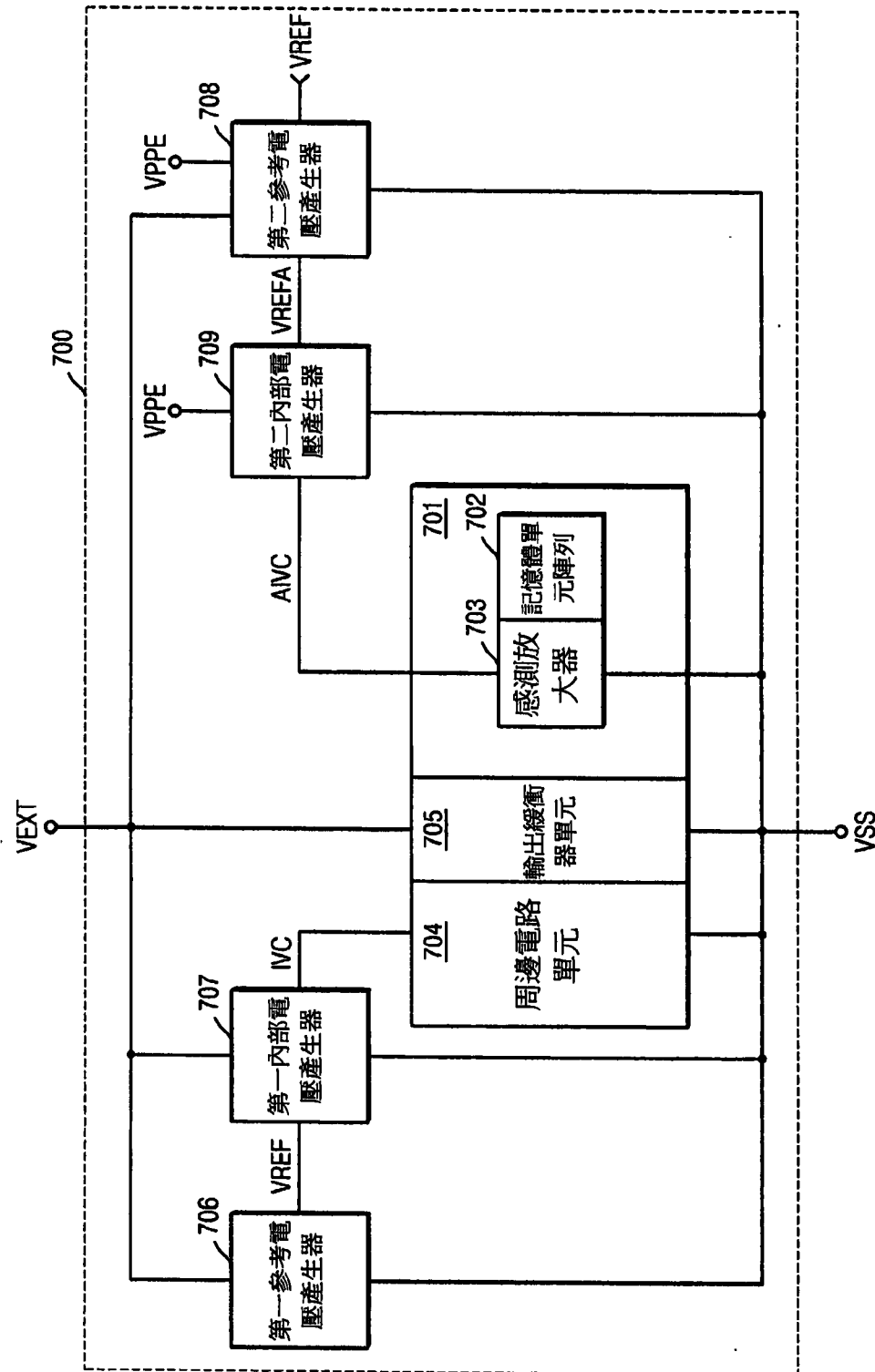


圖7

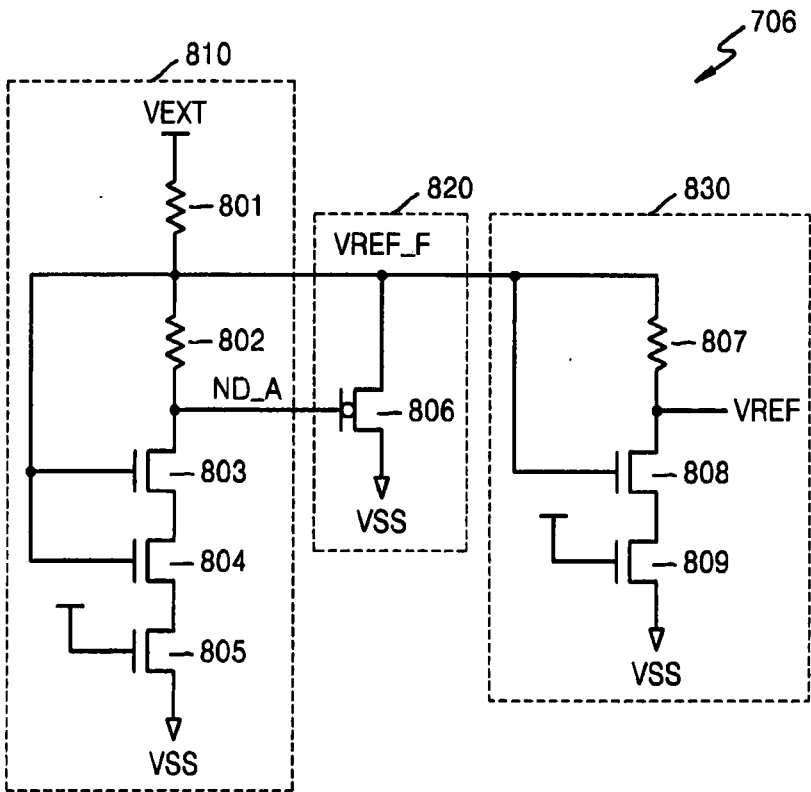


圖8

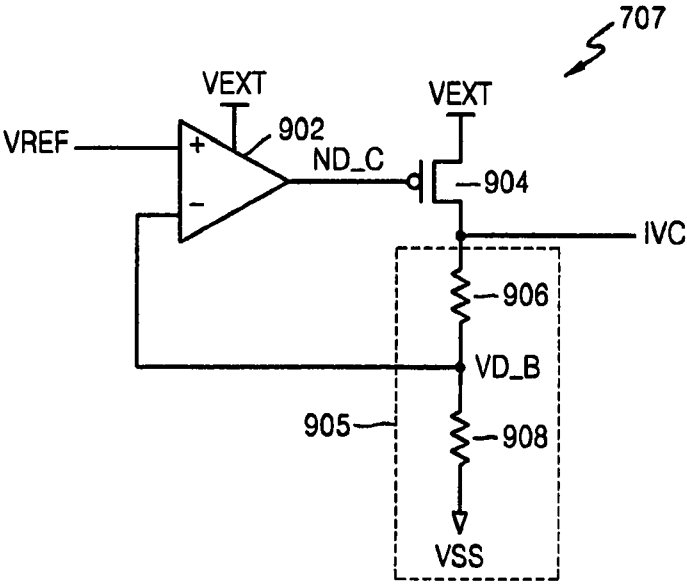
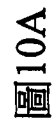


圖9



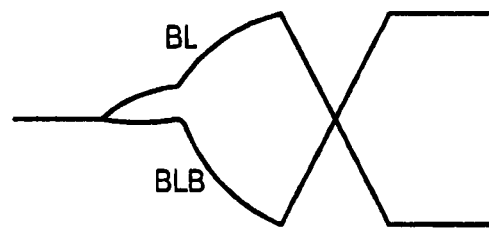


圖10B

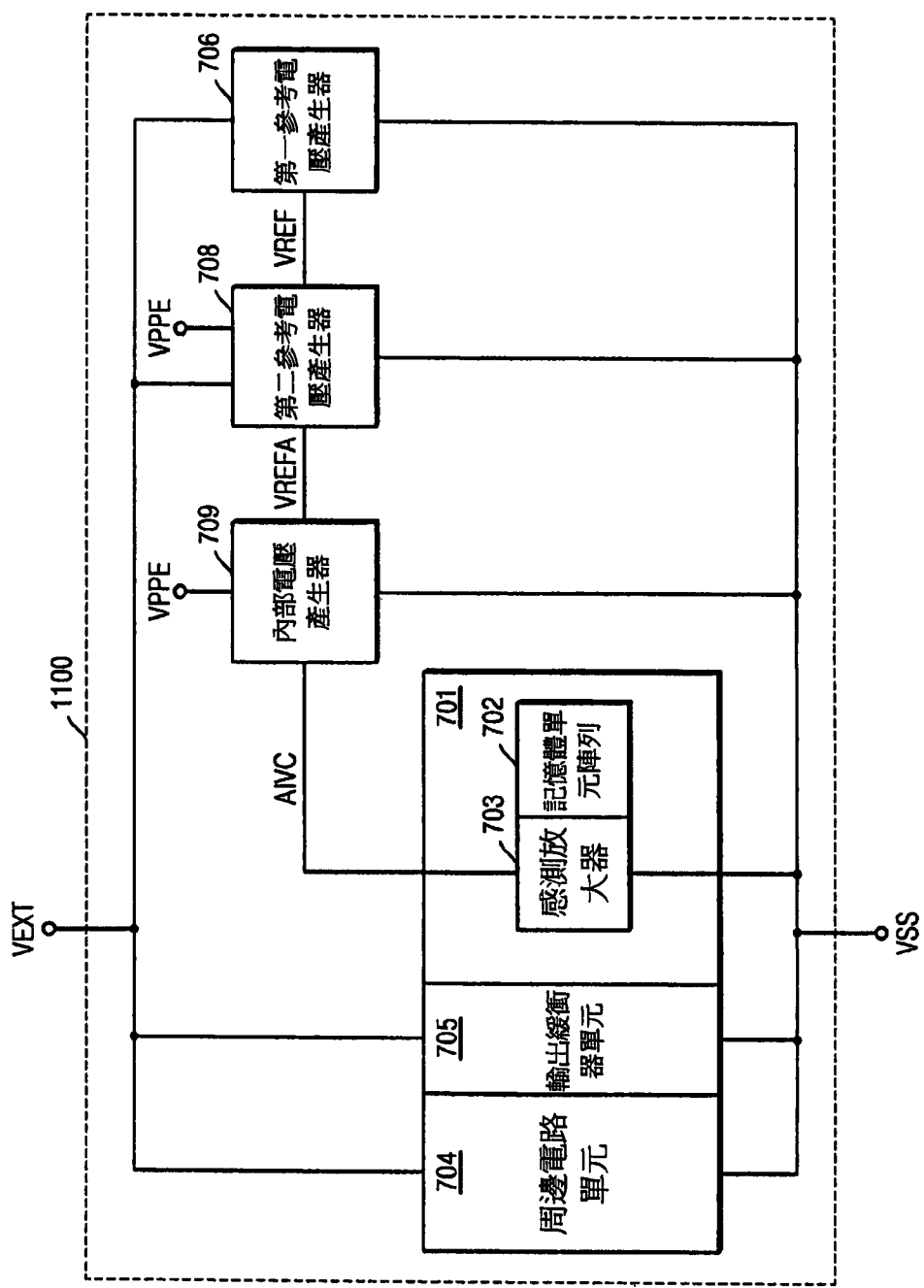


圖11

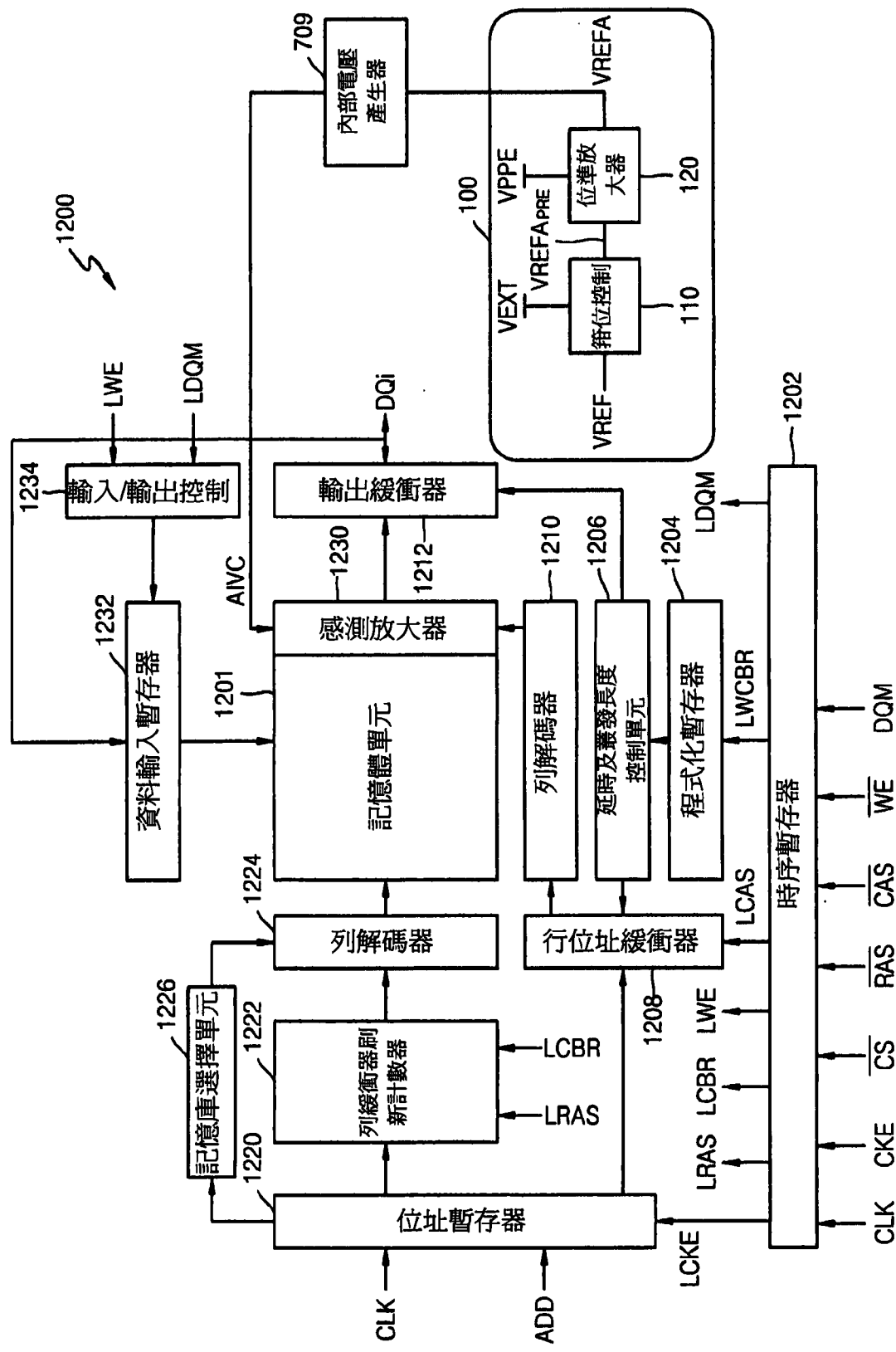


圖12

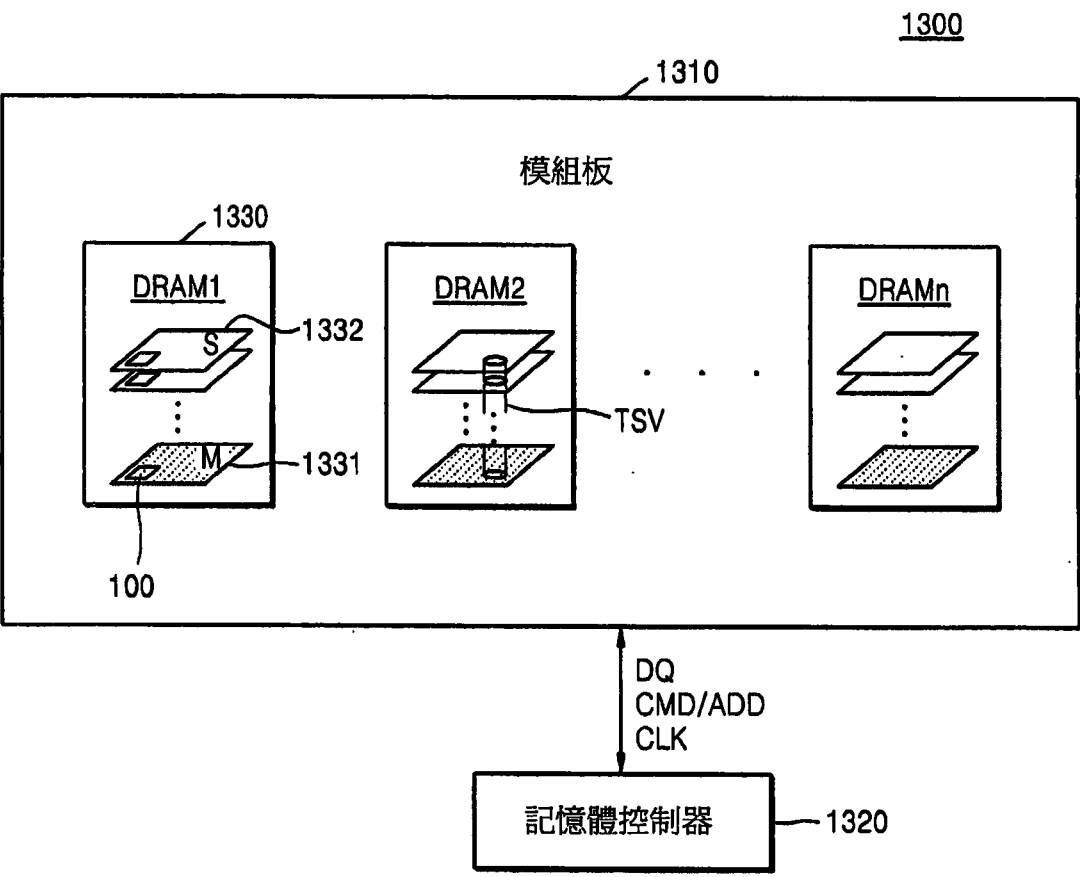


圖13

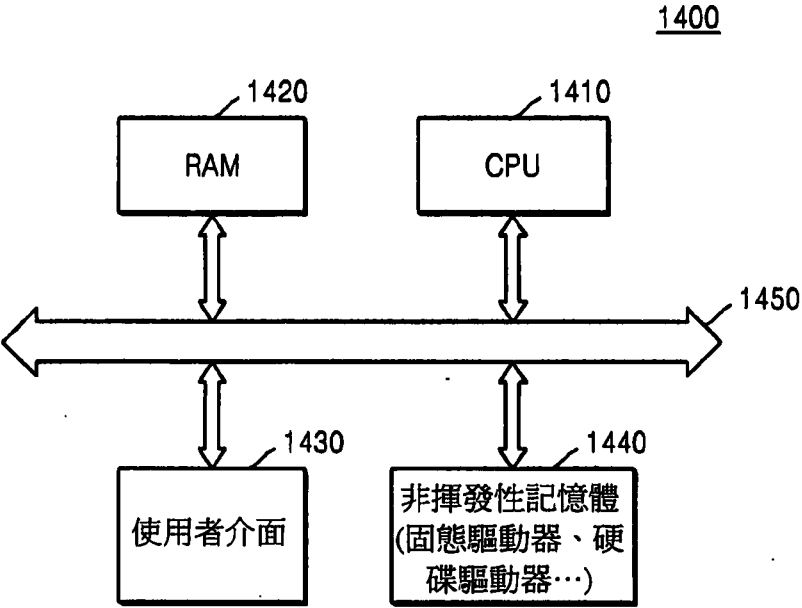


圖14

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100	參考電壓產生器
110	箝位調節器
112	第一比較單元
114	第一切換單元
115	第一位準控制單元/第一位準電壓調節器電路
116	第一電阻器
118	第二電阻器
120	位準放大器
122	第二比較單元
124	第二切換單元
125	第二位準控制單元
126	第三電阻器
128	第四電阻器
NA	第一節點
NB	第二節點
NC	第三節點
ND	第四節點
R1	電阻
R2	電阻
R3	電阻
R4	電阻
VEXT	外部電源供應電壓/第一電源供應電壓
VPPE	第二電源供應電壓

VREF	第一電壓/第一參考電壓
VREFA	第二參考電壓
VREFA _{PRE}	箝位電壓
VSS	接地電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

適用於低外部電源供應電壓之電壓產生器

VOLTAGE GENERATORS ADAPTIVE TO LOW EXTERNAL
POWER SUPPLY VOLTAGE

相關申請案之交互參考

本申請案主張2012年2月27日於韓國知識產權局申請之韓國專利申請案第10-2012-0019832號之權利，該案之全文以引用方式併入本文中。

【技術領域】

本發明係關於一種半導體記憶體裝置，且更特定言之，本發明係關於一種即使在一低外部電源供應電壓處亦產生一特定位準之內部電壓之電壓產生器及一種包含該電壓產生器之半導體記憶體裝置及記憶體系統。

【先前技術】

一半導體記憶體裝置之一操作環境趨向於藉由使用一低操作電壓而減少功率消耗。半導體記憶體裝置可經設計以由一內部電壓驅動，該內部電壓自由一外部源提供之一電壓降壓。一外部電源供應電壓(其為一操作電壓)之位準因半導體記憶體裝置之低功率消耗趨勢而進一步降低。一內部電壓之位準歸因於一低位準之外部電源供應電壓而亦進一步降低。若內部電壓之位準降低至低於一目標電壓，則可劣化半導體記憶體裝置之操作特徵。

【發明內容】

所揭示之實施例提供一種即使在一低外部電源供應電壓處亦產生一特定位準之一參考電壓及一特定位準之一內部電源供應電壓之電

壓產生器，及一種包含該電壓產生器之半導體記憶體裝置及記憶體系統。

根據一實施例，提供一種參考電壓產生器，其包含：一箝位調節器，其由自一外部源供應之一第一電源供應電壓驅動且接收一第一電壓以產生一箝位電壓；及一位準放大器，其由比該第一電源供應電壓高之一第二電源供應電壓驅動且接收該箝位電壓以產生一參考電壓。

參考電壓產生器可包含於一動態隨機存取記憶體(DRAM)中，且箝位電壓可被設定為具有導致相對於該DRAM中之記憶體單元資料之一成功恢復操作之一電壓位準。

箝位調節器可包含：一第一比較單元，其由第一電源供應電壓驅動且經組態以比較第一電壓與一第一節點之一電壓並輸出一第二節點之一電壓；一第一切換單元，其由第一電源供應電壓驅動且經組態以回應於該第二節點之該電壓而輸出箝位電壓；及一第一位準控制單元，其經組態以輸出具有與第一電壓之一位準相同之位準之該第一節點之該電壓且調節箝位電壓之一位準。

第一切換單元可為一p通道金屬氧化物半導體(PMOS)電晶體，其中第一電源供應電壓係連接至一源極，第二節點係連接至一閘極，且箝位電壓係連接至一汲極。

第一位準控制單元可包含連接於箝位電壓與第二節點之間之一第一電阻器及連接於第二節點與一接地電壓之間之一第二電阻器。

位準放大器可包含：一第二比較單元，其由第二電源供應電壓驅動且比較箝位電壓與一第三節點之一電壓以輸出一第四節點之一電壓；一第二切換單元，其由第二電源供應電壓驅動且回應於該第四節點之該電壓而輸出參考電壓；及一第二位準控制單元，其用於輸出具有與箝位電壓之一位準相同之位準之第三節點之電壓且調節參考電壓

之一位準。

第二切換單元可為一p通道金屬氧化物半導體(PMOS)電晶體，其中第二電源供應電壓係連接至一源極，第四節點係連接至一閘極，且參考電壓係連接至一汲極。

第二位準控制單元可包含連接於參考電壓與第三節點之間之一第三電阻器及連接於第三節點與接地電壓之間之一第四電阻器。

參考電壓產生器可進一步包含一電荷幫浦單元，其經組態以接收第一電源供應電壓且透過一電荷幫浦操作而輸出第二電源供應電壓。

參考電壓產生器可進一步包含一降壓單元，其經組態以接收比第一電源供應電壓高之一第三電源供應電壓且降低該第三電源供應電壓以輸出第二電源供應電壓。

根據所揭示實施例之另一態樣，提供一種其上供應來自一外部源之一第一電源供應電壓之動態隨機存取記憶體(DRAM)，該DRAM包含：一比較單元，其由比該第一電源供應電壓高之一第二電源供應電壓驅動且經組態以比較一第一電壓與一第一節點之一電壓以在一第二節點處產生一電壓；一切換單元，其由該第二電源供應電壓驅動且經組態以回應於該第二節點之該電壓而輸出一參考電壓；及一位準控制單元，其經組態以輸出具有與該第一電壓之一位準相同之位準之該第一節點之該電壓且調節該參考電壓之一位準，其中該第一電壓被設定為具有導致相對於該DRAM中之記憶體單元資料之一成功恢復操作之一電壓位準。

根據另一實施例，提供一種其上供應來自一外部源之一第一電源供應電壓之動態隨機存取記憶體(DRAM)，該DRAM包含：一分壓器，其經組態以劃分一第一電源供應電壓與一接地電壓之間之一電壓以產生一箝位電壓；及一位準放大器，其由比該第一電源供應電壓高

之一第二電源供應電壓驅動且經組態以接收該箝位電位以產生一參考電壓，其中該箝位電壓被設定為具有導致相對於該DRAM中之記憶體單元資料之一成功恢復操作之一最小電壓位準。

根據另一實施例，提供一種半導體記憶體裝置，其包含：一第一參考電壓產生器，其經組態以接收自一外部源供應之一第一電源供應電壓且產生一第一參考電壓；一第二參考電壓產生器，其由比該第一電源供應電壓高之一第二電源供應電壓驅動且經組態以接收該第一參考電壓以產生一箝位電壓及一第二參考電壓；及一內部電壓產生器，其由該第二電源供應電壓驅動且經組態以接收該第二參考電壓以產生一內部電源供應電壓。

【圖式簡單說明】

將自結合附圖之以下詳細描述而更清楚地理解例示性實施例。

圖1係用於描述根據本發明之一第一例示性實施例之一參考電壓產生器之一圖示；

圖2係用於描述根據一實施例之圖1之一參考電壓產生器之一例示性操作之一曲線圖；

圖3係用於描述根據一第二例示性實施例之一參考電壓產生器之一圖示；

圖4係用於描述根據一第三例示性實施例之一參考電壓產生器之一圖示；

圖5係用於描述根據一第四例示性實施例之一參考電壓產生器之一圖示；

圖6係用於描述根據一第五例示性實施例之一參考電壓產生器之一圖示；

圖7係用於描述包含根據各種例示性實施例之一參考電壓產生器之一動態隨機存取記憶體(DRAM)之一實例之一圖示；

電荷之數量成比例。該單元節點意指一DRAM單元電晶體與一單元電容器之間之一節點。儲存於該單元節點中之電荷之數量 Q 與一單元電容 C 成比例(即， $Q=CV$)且與一內部電壓 I_{VC} (其為一儲存電壓 V)成比例。當一單元電容器之尺寸歸因於一半導體製程之分段而減小時，一單元電容亦減小。在其中單元電容減小之此等情況中，內部電源供應電壓 A_{IVC} 之位準需要為較高以確保一刷新時間。當內部電源供應電壓 A_{IVC} 在一目標電壓位準處維持恆定時，不論外部電源供應電壓 V_{EXT} 之位準如何，該刷新時間均可維持處於一特定所要位準。

內部電源供應電壓 A_{IVC} 通常藉由自外部電源供應電壓 V_{EXT} 降壓而產生。外部電源供應電壓 V_{EXT} 之位準因DRAM之低功率消耗趨勢而降低。外部電源供應電壓 V_{EXT} 之降低位準可低於內部電源供應電壓 A_{IVC} 之目標電壓位準。在此情況中，歸因於降低位準之外部電源供應電壓 V_{EXT} ，可產生具有比目標電壓位準低之一位準之內部電源供應電壓 A_{IVC} 。由於內部電源供應電壓 A_{IVC} 具有比目標電壓位準低之一位準，所以難以確保DRAM之刷新時間。相應地，需要即使在外部電源供應電壓 V_{EXT} 之位準被降低時亦能夠使內部電源供應電壓 A_{IVC} 之目標電壓位準維持恆定之電壓產生器。

圖1係用於描述根據一例示性實施例之一參考電壓產生器100之一圖示。

參考圖1，參考電壓產生器100可包含一箝位調節器110及一位準放大器120。箝位調節器110由一第一電源供應電壓 V_{EXT} 驅動且接收一第一電壓 V_{REF} 以產生一箝位電壓 $V_{REFA_{PRE}}$ 。第一外部電源供應電壓 V_{EXT} 可為例如自一半導體記憶體裝置外部之一電壓源接收之一外部電源供應電壓。位準放大器120由一第二電源供應電壓 V_{PPE} 驅動且接收箝位電壓 $V_{REFA_{PRE}}$ 以產生一參考電壓 V_{REFA} 。第二電源供應電壓 V_{PPE} 可被設定為具有比第一電源供應電壓 V_{EXT} 高之一位準。第二

電源供應電壓VPPE亦可為一外部電源供應電壓。

箝位調節器110可為包含一第一比較單元112、一第一切換單元114及一第一位準控制單元115之一電壓調節器電路。第一比較單元112由第一電源供應電壓VEXT驅動且比較第一電壓VREF與一第一節點NA之一電壓以輸出一第二節點NB之一電壓。第一電源供應電壓VEXT可例如為約1.2伏特。第一電壓VREF可例如為約0.75伏特。若第一節點NA之電壓低於第一電壓VREF，則第一比較單元112可將一邏輯低位準輸出至第二節點NB。若第一節點NA之電壓高於第一電壓VREF，則第一比較單元112可將一邏輯高位準輸出至第二節點NB。第一比較單元112可包含形成一比較器之電路元件，且因此可在本文中被稱為一比較器電路。第二節點NB可與第一切換單元114連接。

第一切換單元114可為例如包含一p通道金屬氧化物半導體(PMOS)電晶體之一電路，該PMOS電晶體由第一電源供應電壓VEXT驅動且其閘極連接至第二節點NB。在PMOS電晶體中，第一電源供應電壓VEXT係連接至一源極，第二節點NB係連接至一閘極，且一汲極輸出箝位電壓VREFAPRE。關於第一切換單元114，可回應於與邏輯低位準對應之第二節點NB之電壓而接通PMOS電晶體。透過接通之PMOS電晶體而供應第一電源供應電壓VEXT以因此增大箝位電壓VREFAPRE之位準。關於第一切換單元114，可回應於與一邏輯高位準對應之第二節點NB之電壓而斷開PMOS電晶體。斷開之PMOS電晶體無法增大箝位電壓VREFAPRE之位準，此係因為其已切斷第一電源供應電壓VEXT之供應。

第一位準控制單元115(亦被稱為第一位準電壓調節器電路115)可連接於箝位電壓VREFAPRE與一接地電壓VSS之間，其中可串聯連接一第一電阻器116與一第二電阻器118。第一電阻器116與第二電阻器118之間之一連接節點為第一節點NA。歸因於包含於箝位調節器110

之一電源。

第二參考電壓產生器708由外部電源供應電壓VEXT及第二電源供應電壓VPPE驅動且接收第一參考電壓VREF以產生第二參考電壓VREFA。如同參考圖1而描述之參考電壓產生器100，第二參考電壓產生器708可包含箝位調節器110及位準放大器120。箝位調節器110由外部電源供應電壓VEXT驅動且接收第一參考電壓VREF以產生箝位電壓VREFA_{PRE}。位準放大器120由比外部電源供應電壓VEXT高之第二電源供應電壓VPPE驅動且接收箝位電壓VREFA_{PRE}以產生第二參考電壓VREFA。可根據參考圖3至圖6而描述之參考電壓產生器之實施例之一者而實施第二參考電壓產生器708。

第二內部電壓產生器709由第二電源供應電壓VPPE驅動且接收第二參考電壓VREFA以產生一第二內部電源供應電壓AIVC。第二內部電源供應電壓AIVC可用作為用於驅動核心區塊701之一電源。

圖8係用於描述根據一例示性實施例之圖7之第一參考電壓產生器706之一電路圖。

參考圖8，第一參考電壓產生器706可藉由劃分外部電源供應電壓VEXT而產生第一參考電壓VREF。第一參考電壓產生器706可包含一偏壓單元810、一控制單元820及一驅動單元830。偏壓單元810可為一電路，其包含串聯連接於外部電源供應電壓VEXT與接地電壓VSS之間之第一電阻器801與第二電阻器802及第一至第三n通道金屬氧化物半導體(NMOS)電晶體803至805。第一電阻器801與第二電阻器802之間之一第一節點電壓VREF_F可連接至第一NMOS電晶體803及第二NMOS電晶體804之閘極。第三NMOS電晶體805之閘極可連接至外部電源供應電壓VEXT。第一電阻器801、第二電阻器802及第一至第三NMOS電晶體803至805劃分外部電源供應電壓VEXT，使得第一節點電壓VREF_F可指示劃分電壓。

控制單元820可控制第一節點電壓 V_{REF_F} ，直至外部電源供應電壓 V_{EXT} 穩定。控制單元820可包含連接於第一節點電壓 V_{REF_F} 與接地電壓 V_{SS} 之間之一PMOS電晶體806。PMOS電晶體806之一閘極可連接至第二電阻器802與第一NMOS電晶體803之間之一第二節點 ND_A 。在施加外部電源供應電壓 V_{EXT} 之一初始階段處接通PMOS電晶體806以因此使第一節點電壓 V_{REF_F} 穩定為接地電壓 V_{SS} 。其後，若恆定地施加例如約1.2伏特之外部電源供應電壓 V_{EXT} ，則可斷開PMOS電晶體806。

驅動單元830可回應於第一節點電壓 V_{REF_F} 而產生第一參考電壓 V_{REF} 。驅動單元830可包含串聯連接於第一節點電壓 V_{REF_F} 與接地電壓 V_{SS} 之間之一第三電阻器807及第四NMOS電晶體808與第五NMOS電晶體809。第四NMOS電晶體808之一閘極係連接至第一節點電壓 V_{REF_F} ，且第五NMOS電晶體809之一閘極可連接至外部電源供應電壓 V_{EXT} 。第三電阻器807與第四NMOS電晶體808之間之一連接節點之一電壓可被產生作為第一參考電壓 V_{REF} 。

在外部電源供應電壓 V_{EXT} 增大之後，第一節點電壓 V_{REF_F} 增大且第一參考電壓 V_{REF} 亦增大。若第一節點電壓 V_{REF_F} 增大，則可接通第四NMOS電晶體808以因此防止第一參考電壓 V_{REF} 增大。

在外部電源供應電壓 V_{EXT} 降低之後，第一節點電壓 V_{REF_F} 降低且第一參考電壓 V_{REF} 亦降低。若第一節點電壓 V_{REF_F} 降低，則可斷開第四NMOS電晶體808以因此防止第一參考電壓 V_{REF} 降低。

因此，無論外部電源供應電壓 V_{EXT} 如何變化，第一參考電壓產生器706均可穩定地產生第一參考電壓 V_{REF} 。第一參考電壓產生器706可針對約1.2伏特之外部電源供應電壓 V_{EXT} 而產生例如約0.75伏特之第一參考電壓 V_{REF} 。第一參考電壓 V_{REF} 可被設置為根據參考圖1及圖3至圖5而描述之各種實施例之參考電壓產生器之第一電壓

器1222可回應於刷新命令LRAS及LCBR而進一步接收由一刷新計數器產生之一刷新位址信號，且將列位址信號及刷新位址信號之一者提供至列解碼器1224。位址暫存器1220可將用於選擇一記憶庫之一記憶庫信號提供至一記憶庫選擇單元1226。

列解碼器1224解碼自列位址緩衝器1222輸入之列位址信號或刷新位址信號且啟動記憶體單元陣列1201之一字線。行解碼器1210解碼一行位址信號且選擇記憶體單元陣列1201之一位元線。例如，一行選擇線係應用於一半導體記憶體裝置1200，使得可透過一行選擇線而執行選擇。

一感測放大器1230放大由列解碼器1224及行解碼器1210選擇之一記憶體單元之資料，且將該放大資料提供至輸出緩衝器1212。待寫入至一資料單元之資料透過一資料輸入暫存器1232而提供至記憶體單元陣列1201，且一輸入/輸出控制器1234可透過資料輸入暫存器1232而控制一資料正向操作。

如圖1中所展示，參考電壓產生器100可包含箝位調節器110及位準放大器120。箝位調節器110由外部電源供應電壓VEXT驅動且接收第一參考電壓VREF以產生箝位電壓VREFA_{PRE}。在一實施例中，即使在歸因於外部電源供應電壓VEXT降低至1.2伏特或更低而產生0.75伏特或更低之第一參考電壓VREF時，第二參考電壓產生器708亦可產生比第一參考電壓VREF高之約1.08伏特之箝位電壓VREFA_{PRE}。箝位電壓VREFA_{PRE}之位準可被設定為在將資料寫入至與DRAM之位元線BL連接之記憶體單元MC時導致一成功單元恢復操作之一最小電壓位準。在一實施例中，位準放大器120由比外部電源供應電壓VEXT高之第二電源供應電壓VPPE驅動，且藉由使用約1.08伏特之箝位電壓VREFA_{PRE}而產生約1.2伏特之第二參考電壓VREFA。亦可根據參考圖3至圖6而描述之參考電壓產生器之實施例之一者而實施參考電壓產生

器100。第二參考電壓VREFA可具有用於產生一內部電源供應電壓AIVC之一參考電壓位準，內部電源供應電壓AIVC驅動感測放大器1230(例如透過一內部電壓產生器709)。內部電源供應電壓AIVC具有在將資料寫入至與位元線BL連接之記憶體單元MC時導致一成功單元恢復操作之一目標電壓位準。在一實施例中，不論外部電源供應電壓VEXT之位準如何，約1.2伏特之一內部電源供應電壓AIVC均可確保記憶體單元MC之刷新時間。

圖13係展示根據一實施例之其上應用圖12之半導體記憶體裝置之一記憶體系統1300之一實施方案實例之一圖示。

參考圖13，記憶體系統1300可包含一記憶體模組1310及一記憶體控制器1320。記憶體模組1310可包含安裝於一模組板上之至少一半導體記憶體裝置1330。半導體記憶體裝置1330可例如實施為一DRAM晶片，且半導體記憶體裝置1330可包含複數個半導體層。該等半導體層可包含一或多個主控晶片1331及一或多個受控晶片1332。可透過一基板穿孔(諸如一矽穿孔(TSV)而執行該等半導體層之間之信號轉發。

儘管已在當前實施例中描述其中透過一TSV而執行半導體層之間之信號轉發之一結構，但此信號轉發亦可應用於其中透過引線接合、插入或引線成形帶而沈積半導體層之一結構。

亦可透過光學輸入/輸出(IO)連接而執行半導體層之間之信號轉發。例如，可藉由使用利用射頻(RF)波或超音波之一輻射型連接、利用磁感應之一電感耦合型連接或利用磁場諧振之一非輻射型連接而互連半導體層。

輻射類型藉由使用一天線(諸如一單極天線或一倒F型平面天線(PIFA)而無線轉發一信號。輻射發生在隨時間逝去而改變之一電場或一磁場彼此影響時，且具有相同頻率之一天線(若存在)可接收適合於入射波之偏振特徵之一信號。

之位準如何，內部電源供應電壓均可確保記憶體單元之一刷新時間。

儘管已參考本發明之例示性實施例而特定描述本發明，但其等僅具繪示性且一般技術者應瞭解，各種改變及其他等效實施例亦可。因此，應由以下申請專利範圍之技術精神定義本發明之真實技術範疇。

【符號說明】

100	參考電壓產生器
110	箝位調節器
112	第一比較單元
114	第一切換單元
115	第一位準控制單元/第一位準電壓調節器電路
116	第一電阻器
118	第二電阻器
120	位準放大器
122	第二比較單元
124	第二切換單元
125	第二位準控制單元
126	第三電阻器
128	第四電阻器
300	參考電壓產生器
322	比較單元
324	切換單元
325	位準調節器電路/控制單元
326	第一電阻器
328	第二電阻器
400	參考電壓產生器

410	箝位調節器
415	電荷幫浦單元
420	位準放大器
500	參考電壓產生器
510	箝位調節器
515	降壓單元
520	位準放大器
600	參考電壓產生器
610	分壓器
620	位準放大器
700	動態隨機存取記憶體(DRAM)/內部電壓產生器
701	核心區塊
702	記憶體單元陣列
703	感測放大器
704	周邊電路單元
705	輸出緩衝器單元
706	第一參考電壓產生器
707	第一內部電壓產生器
708	第二參考電壓產生器
709	第二內部電壓產生器/內部電壓產生器
801	第一電阻器
802	第二電阻器
803	第一n通道金屬氧化物半導體(NMOS)電晶體
804	第二NMOS電晶體
805	第三NMOS電晶體
806	p通道金屬氧化物半導體(PMOS)電晶體

申請專利範圍

1. 一種參考電壓產生器，其包含：

一箝位調節器，其係由受一外部來源供應的一外部第一電源供應電壓驅動，且受組配為可接收一第一電壓以產生一箝位電壓；以及

一位準放大器，其係由高於該第一電源供應電壓的一第二電源供應電壓驅動，且受組配為可接收該箝位電壓以產生一參考電壓。

2. 如請求項1之參考電壓產生器，其中，該參考電壓產生器被包含在一動態隨機存取記憶體(DRAM)中，且該箝位電壓被設定為具有可使得針對該DRAM中之記憶體單元資料的恢復操作成功的最小電壓位準。

3. 如請求項1之參考電壓產生器，其中，該箝位調節器包含：

一第一比較單元，其係由該第一電源供應電壓驅動，且受組配為可將該第一電壓與一第一節點之電壓作比較以輸出一第二節點之電壓；

一第一切換單元，其係由該第一電源供應電壓驅動，且受組配為可回應於該第二節點之該電壓而輸出該箝位電壓；以及

一第一位準控制單元，其受組配為可輸出該第一節點之該電壓並可調節該箝位電壓之位準，其中，該第一節點之該電壓具有與該第一電壓之位準相同的位準。

4. 如請求項3之參考電壓產生器，其中，該第一切換單元為一p通道金屬氧化物半導體(PMOS)電晶體，在該PMOS電晶體中，該第一電源供應電壓係連接至源極，該第二節點係連接至閘極，且該箝位電壓係連接至汲極。

5. 如請求項3之參考電壓產生器，其中，該第一位準控制單元包含：
 - 一第一電阻器，其係連接在該箝位電壓與該第二節點之間；以及
 - 一第二電阻器，其係連接在該第二節點與一接地電壓之間。
6. 如請求項1之參考電壓產生器，其中，該位準放大器包含：
 - 一第二比較單元，其係由該第二電源供應電壓驅動，且受組配為可將該箝位電壓與一第三節點之電壓作比較以輸出一第四節點之電壓；
 - 一第二切換單元，其係由該第二電源供應電壓驅動，且受組配為可回應於該第四節點之該電壓而輸出該參考電壓；以及
 - 一第二位準控制單元，其受組配為可輸出該第三節點之該電壓並可調節該參考電壓之位準，其中，該第三節點之該電壓具有與該箝位電壓之位準相同的位準。
7. 如請求項6之參考電壓產生器，其中，該第二切換單元為一p通道金屬氧化物半導體(PMOS)電晶體，在該PMOS電晶體中，該第二電源供應電壓係連接至源極，該第四節點係連接至閘極，且該參考電壓係連接至汲極。
8. 如請求項6之參考電壓產生器，其中，該第二位準控制單元包含：
 - 一第三電阻器，其係連接在該參考電壓與該第三節點之間；以及
 - 一第四電阻器，其係連接在該第三節點與該接地電壓之間。
9. 如請求項1之參考電壓產生器，其進一步包含：

一電荷幫浦單元，用以接收該第一電源供應電壓、並透過一電荷幫浦操作而輸出該第二電源供應電壓。

10. 如請求項1之參考電壓產生器，其中，該參考電壓產生器進一步包含：

一降壓單元，用以接收高於該第一電源供應電壓的一第三電源供應電壓、並降低該第三電源供應電壓以輸出該第二電源供應電壓。

11. 一種受來自外部來源之外部第一電源供應電壓供應的動態隨機存取記憶體(DRAM)，該DRAM包含：

一比較電路，其係由高於該第一電源供應電壓的一第二電源供應電壓驅動，且受組配為可將一第一電壓與一第一節點之電壓作比較以產生一第二節點之電壓；

一切換電路，其係由該第二電源供應電壓驅動，且受組配為可回應於該第二節點之該電壓而輸出一參考電壓；以及

一位準控制電路，其受組配為可輸出該第一節點之該電壓並可調節該參考電壓之位準，其中，該第一節點之該電壓趨向該第一電壓之位準，

其中，該第一電壓被設定為具有可使得針對該DRAM中之記憶體單元資料的恢復操作成功的一電壓位準。

12. 如請求項11之DRAM，其中，該第一電壓被設定為具有可使得針對該DRAM中之記憶體單元資料的恢復操作成功的最小電壓位準。

13. 如請求項11之DRAM，其中，該切換電路為一p通道金屬氧化物半導體(PMOS)電晶體，在該PMOS電晶體中，該第二電源供應電壓係連接至源極，該第二節點係連接至閘極，且該參考電壓係連接至汲極。

14. 如請求項11之DRAM，其中，該位準控制電路包含：
- 一第一電阻器，其係連接在該參考電壓與該第一節點之間；以及
 - 一第二電阻器，其係連接在該第一節點與一接地電壓之間。
15. 一種受來自外部來源之外部第一電源供應電壓供應的動態隨機存取記憶體(DRAM)，該DRAM包含：
- 一分壓器，用以在該外部第一電源供應電壓與一接地電壓之間分出一電壓以產生一箝位電壓；及
 - 一位準放大器，其係由高於該第一電源供應電壓的一第二電源供應電壓驅動，且受組配為可接收該箝位電壓以產生一參考電壓，
- 其中，該箝位電壓被設定為具有可使得針對該DRAM中之記憶體單元資料的恢復操作成功的最小電壓位準。
16. 如請求項15之DRAM，其中，該分壓器包含：
- 一第一電阻器，其係連接在該第一電源供應電壓與該箝位電壓之間；以及
 - 一第二電阻器，其係連接在該箝位電壓與該接地電壓之間。
17. 如請求項15之DRAM，其中，該位準放大器包括：
- 一比較電路，其係由該第二電源供應電壓驅動，且受組配為可將該箝位電壓與一第一節點之電壓作比較；
 - 一切換電路，其係由該第二電源供應電壓驅動，且受組配為可回應於一第二節點之電壓而輸出該參考電壓；以及
 - 一位準控制電路，其受組配為可輸出該第一節點之該電壓並可調節該參考電壓之位準，其中，該該第一節點之該電壓具

有與該箝位電壓之位準相同的位準。

18. 如請求項17之DRAM，其中，該切換電路為一p通道金屬氧化物半導體(PMOS)電晶體，在該PMOS電晶體中，該第二電源供應電壓係連接至源極，該第二節點係連接至閘極，且該參考電壓係連接至汲極。
19. 如請求項17之DRAM，其中，該位準控制電路包含：
 - 一第一電阻器，其係連接在該參考電壓與該第一節點之間；以及
 - 一第二電阻器，其係連接在該第一節點與該接地電壓之間。
20. 一種參考電壓產生器，其包含：
 - 一電壓調節器，其連接至一外部電壓源和一參考電壓源，且受組配為可輸出基於自該外部電壓源輸入的一外部電壓及自該參考電壓源輸入的一參考電壓所決定的一經調節電壓；以及
 - 一放大器，其連接至該電壓調節器和一第二電壓源，且受組配為可輸出基於從該電壓調節器輸出的該經調節電壓及自該第二電壓源輸入的一電壓所決定的一經放大經調節參考電壓，其中，自該外部電壓源輸入至該電壓調節器的該外部電壓所具有之位準比自該第二電壓源輸入至該放大器的該電壓低。
21. 如請求項20之參考電壓產生器，其中：
 - 該第二電壓源為一外部電壓源。
22. 如請求項20之參考電壓產生器，其中：
 - 該參考電壓產生器受組配為可使得該經放大經調節參考電壓大於從該電壓調節器輸出的該經調節電壓且與該參考電壓大致相等。
23. 如請求項20之參考電壓產生器，其中，該電壓調節器包含：

一第一比較電路，其係由該外部電壓驅動，且受組配為可將該參考電壓與一第一節點之電壓作比較以輸出一第二節點之電壓；

一第一切換電路，其係由該外部電壓驅動，且受組配為可回應於該第二節點之該電壓而輸出該經調節電壓；以及

一第一位準控制電路，其受組配為可輸出該第一節點之該電壓，該第一節點之該電壓具有趨向該參考電壓之位準之位準。