



(12) 发明专利

(10) 授权公告号 CN 1871869 B

(45) 授权公告日 2012.07.04

(21) 申请号 200480030677.4

(51) Int. Cl.

(22) 申请日 2004.09.01

H04W 88/02(2009.01)

(30) 优先权数据

(56) 对比文件

60/504,507 2003.09.19 US

JP 特开 2001-298780 A, 2001.10.26, 全文.

10/786,585 2004.02.24 US

CN 1414563 A, 2003.04.30, 全文.

US 6151681 A, 2000.11.21, 全文.

(85) PCT申请进入国家阶段日

CN 1433180 A, 2003.07.30, 说明书第 3 页第

2006.04.18

6 行 - 第 11 页第 25 行及附图 1-10.

(86) PCT申请的申请数据

US 5615162 A, 1997.03.25, 全文.

PCT/US2004/028579 2004.09.01

审查员 阎岩

(87) PCT申请的公布数据

W02005/034546 EN 2005.04.14

(73) 专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 康殷叶 卡蒂科扬·埃蒂拉扬

(74) 专利代理机构 北京律盟知识产权代理有限  
责任公司 11287

代理人 王允方 刘国伟

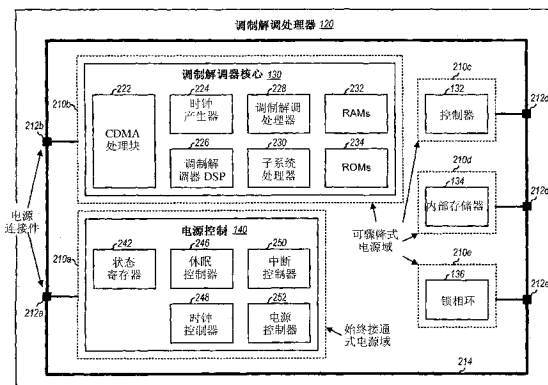
权利要求书 4 页 说明书 11 页 附图 6 页

(54) 发明名称

无线终端机的电源骤降

(57) 摘要

本发明揭示一种用于一调制解调处理器的集成电路,其包括若干被划分成“始终接通式”电源域及“可骤降式”电源域的处理单元。一始终接通式电源域一直通电。一可骤降式电源域则可在不需要使用所述电源域中的处理单元时断电。一始终接通式电源域内的一电源控制单元使所述可骤降式电源域在进入休眠后断电并在这些域自休眠中唤醒后对其加电。用于将所述可骤降式电源域断电的任务可包括 (1) 保存这些电源域的相关硬件寄存器, (2) 冻结所述 IC 的输出引脚以最低程度地干扰外部单元, (3) 对所述骤降的电源域的输入引脚进行箝位, (4) 将一主振荡器断电并停用振荡器时钟,等等。对所述骤降的电源域加电时执行互补的任务。



1. 一种用于一无线通信装置的集成电路,其包括:

一始终接通式电源域,其包括耦接至一第一电源并在所述无线通信装置通电时一直通电的电路块;及

至少一个可骤降式电源域,每一可骤降式电源域均包括通过一各自的电源连接件耦接至一第二电源并通过所述电源连接件来通电或断电的电路块;

其中所述始终接通式电源域的所述电路块包含电源控制单元,所述电源控制单元确定所有所述至少一个可骤降式电源域的通电和断电的状态且进一步独立地确定所述至少一个可骤降式电源域中的每一者的通电和断电的状态。

2. 如权利要求 1 所述的集成电路,其中位于所述至少一个可骤降式电源域中的所述电路块运行以对无线通信实施调制与解调。

3. 如权利要求 1 所述的集成电路,其中所述始终接通式电源域运行以对至少一个无线通信系统中的每一个维持一时间线,每一系统的所述时间线指示所述无线通信装置相对于所述系统的休眠时间及联机时间,所述休眠时间对应于所述无线通信装置不接收来自所述系统消息的那段时间,且所述联机时间对应于所述无线通信装置对所述系统的一信号进行处理的那段时间。

4. 如权利要求 3 所述的集成电路,其中所述至少一个可骤降式电源域在所述无线通信装置不接收来自所述至少一个无线通信系统中的任一个消息时的所述休眠时间期间内断电。

5. 如权利要求 1 所述的集成电路,其中每一可骤降式电源域的所述电源连接件均包括至少一个开关,所述至少一个开关运行以在所述可骤降式电源域中的所述电路块被启用时为其供电,并在所述电路块被禁用时断开供电。

6. 如权利要求 5 所述的集成电路,其中每一电源连接件的所述至少一个开关均包括一头部开关或一脚部开关。

7. 如权利要求 1 所述的集成电路,其中所述第一及第二电源为一个共用电源。

8. 如权利要求 1 所述的集成电路,其中所述第一及第二电源为具有不同电压的不同电源。

9. 如权利要求 1 所述的集成电路,其中所述电源控制单元包括一电源控制器,所述电源控制器运行以提供至少一个控制信号对所述至少一个可骤降式电源域中的每一个通电或断电。

10. 如权利要求 1 所述的集成电路,其中所述电源控制单元包括一中断控制器,所述中断控制器运行以监控所述集成电路的输入信号,且如果所述输入信号有要求,则提供一对所述至少一个可骤降式电源域通电的指示。

11. 如权利要求 3 所述的集成电路,其中所述电源控制单元包括一休眠控制器,所述休眠控制器运行以维持对所述至少一个无线通信系统中的每一个所述时间线。

12. 如权利要求 1 所述的集成电路,其中所述电源控制单元包括一时钟控制器,所述时钟控制器运行以启用及禁用所述至少一个可骤降式电源域的时钟。

13. 如权利要求 1 所述的集成电路,其进一步包括:

用于所述集成电路的至少一个输出引脚的至少一个输出电路,每一输出引脚对应于一个输出电路,每一输出电路均自所述至少一个可骤降式电源域中的一个接收一输出信号并

使用所述输出信号来驱动相关联的输出引脚。

14. 如权利要求 13 所述的集成电路,其中每一输出电路均包括一锁存器,所述锁存器运行以在相关联的可骤降式电源域断电时维持用于所述相关联的输出引脚的所述输出信号的逻辑状态。

15. 如权利要求 1 所述的集成电路,其进一步包括:

至少一个接口电路,其用于所述始终接通式电源域与所述至少一个可骤降式电源域之间的至少一个连接;每一接口电路均包括一箝位电路,其运行以将一各自的接口信号箝位至逻辑低或逻辑高。

16. 如权利要求 15 所述的集成电路,其中每一接口电路均进一步包括一电平移位器,所述电平移位器运行以在所述两个电源域的两个不同电压之间变换所述各自的接口信号。

17. 如权利要求 1 所述的集成电路,其中每一可骤降式电源域的所述电源连接件均包括一足够数量的静电放电二极管,以防止在所述可骤降式电源域断电时所述第二电源短路。

18. 如权利要求 1 所述的集成电路,其进一步包括:

一内部存储器,其运行以接收用于配置所述集成电路的一存储系统的引导代码。

19. 如权利要求 18 所述的集成电路,其中所述引导代码自一外部非易失性存储器下载至所述内部存储器中,并在所述至少一个可骤降式电源域通电时执行之。

20. 如权利要求 18 所述的集成电路,其中所述引导代码在被执行时为所述存储系统配置一存储控制器,并设置一外部易失性存储器。

21. 如权利要求 1 所述的集成电路,其中所述无线通信装置运行以与一码分多址系统进行通信。

22. 如权利要求 1 所述的集成电路,其中所述无线通信装置运行以与一全球移动通信系统进行通信。

23. 如权利要求 1 所述的集成电路,其中所述始终接通式电源域为所述至少一个可骤降式电源域中的每一者维持一有限的状态。

24. 如权利要求 1 所述的集成电路,其中所述始终接通式电源域执行一断电顺序以对所述至少一个可骤降式电源域断电。

25. 如权利要求 1 所述的集成电路,其中所述始终接通式电源域执行一加电顺序以对所述至少一个可骤降式电源域加电。

26. 一种无线通信装置,其包括一运行以对无线通信实施调制与解调的调制解调处理器,所述调制解调处理器包括

一始终接通式电源域,其包括耦接至一第一电源并在所述无线通信装置通电时一直通电的电路块;及

至少一个可骤降式电源域,每一可骤降式电源域均包括通过一电源连接件耦接至一第二电源并通过所述电源连接件来通电或断电的电路块;

其中所述始终接通式电源域的所述电路块包含电源控制单元,所述电源控制单元确定所有所述至少一个可骤降式电源域的通电和断电的状态且进一步独立地确定所述至少一个可骤降式电源域中的每一者的通电和断电的状态。

27. 如权利要求 26 所述的无线通信装置,其中所述始终接通式电源域运行以对至少一

个无线通信系统中的每一个维持一时间线,每一系统的所述时间线均指示所述无线通信装置相对于所述系统的休眠时间及联机时间,所述休眠时间对应于所述无线通信装置不自所述系统接收消息的时间,且所述联机时间对应于所述无线通信装置对所述系统的一信号进行处理的时间,且其中所述至少一个可骤降式电源域在所述至少一个通信系统的所述休眠时间期间断电。

28. 如权利要求 26 所述的无线通信装置,其进一步包括:

一主振荡器耦接至所述调制解调处理器,其运行以在所述至少一个可骤降式电源域通电时提供一由所述调制解调处理器中的电路块使用的主时钟;及

一休眠振荡器耦接至所述调制解调处理器,其运行以在所述至少一个可骤降式电源域断电时提供一由所述始终接通式电源域中的所述电路块使用的休眠时钟,其中所述休眠时钟具有一低于所述主时钟的频率。

29. 如权利要求 26 所述的无线通信装置,其进一步包括:

一易失性存储器,其运行以存储所述无线通信装置的程序代码,其中所述易失性存储器在未被任何可骤降式电源域存取时被置于一自刷新模式中。

30. 一种使一无线通信装置省电的方法,所述方法包括:

当所述无线通信装置通电时使一始终接通式电源域中的电路块一直通电;

通过可骤降式电源域的一电源连接件来对至少一个可骤降式电源域中每一者的电路块通电或断电;及

用包含在所述始终接通式电源域中的所述电路块中的电源控制单元确定所有所述至少一个可骤降式电源域的通电和断电的状态且独立地确定所述至少一个可骤降式电源域中的每一者的通电和断电的状态。

31. 如权利要求 30 所述的方法,其进一步包括:

接收一进入休眠的指示,且其中在超过一特定持续时间的休眠期间将所述至少一个可骤降式电源域中的所述电路块断电。

32. 如权利要求 30 所述的方法,其进一步包括:

在将所述至少一个可骤降式电源域断电前,锁存输出引脚的逻辑状态;及  
在对所述至少一个可骤降式电源域通电后,释放所述输出引脚。

33. 如权利要求 30 所述的方法,其进一步包括:

在将所述至少一个可骤降式电源域断电前,保存硬件状态;及  
在对所述至少一个可骤降式电源域通电后,恢复所述硬件状态。

34. 如权利要求 30 所述的方法,其进一步包括:

在将所述至少一个可骤降式电源域断电前,将一易失性存储器置于一自刷新模式下;  
及  
在对所述至少一个可骤降式电源域通电后,使所述易失性存储器退出所述自刷新模式。

35. 如权利要求 30 所述的方法,其进一步包括:

在将所述至少一个可骤降式电源域断电前,停用所述至少一个可骤降式电源域的时钟;及

在使所述至少一个可骤降式电源域通电后,启用所述时钟。

36. 如权利要求 30 所述的方法,其进一步包括:

在将所述至少一个可骤降式电源域断电前,将一用于为所述至少一个可骤降式电源域产生所述时钟的振荡器断电;及

在对所述至少一个可骤降式电源域通电后,对所述振荡器通电。

37. 一种使无线通信装置省电的设备,其包括用于在所述设备通电时使一始终接通式电源域中的电路块一直通电的构件;

用于通过可骤降式电源域的一电源连接件来对至少一个可骤降式电源域中每一个的电路块通电或断电的构件;及

用于使包含在所述始终接通式电源域中的所述电路块中的电源控制单元确定所有所述至少一个可骤降式电源域的通电和断电的状态和独立地确定所述至少一个可骤降式电源域中每一者的构件。

38. 如权利要求 37 所述的设备,其进一步包括:

用于接收一进入休眠的指示的构件,且其中所述至少一个可骤降式电源域中的所述电路块在休眠期间断电。

39. 如权利要求 37 所述的设备,其进一步包括:

用于在使所述至少一个可骤降式电源域断电前锁存输出引脚的逻辑状态的构件;及

用于在对所述至少一个可骤降式电源域通电后释放所述输出引脚的构件。

## 无线终端机的电源骤降

[0001] 相关申请案

[0002] 本申请案主张享有 2003 年 9 月 19 日提出申请的第 60/504,507 号美国临时专利申请案的优先权。

### 技术领域

[0003] 本发明大体而言涉及电路,且更具体而言涉及用于使无线终端机省电的技术。

### 背景技术

[0004] 蜂窝式通信系统中的无线终端机(例如蜂窝式电话)只是偶尔处于现用状态,而对于不在进行呼叫的大量时间周期中则保持在一“空闲”模式中。为了确保终端机仍能接收系统向其发送的消息,终端机甚至在其处于空闲模式中时也周期性地监控一寻呼信道。这些消息可提醒终端机存在一呼入呼叫、为终端机载送更新的系统参数、等等。

[0005] 无线终端机通常为便携式的并由一内部电池供电。为了省电并延长在各次电池再充电之间的待机时间,系统通常在指定时间在寻呼信道上向终端机发送消息。可将寻呼信道划分成若干“时隙”,并可由系统为终端机指配特定的时隙。此后,终端机在其所指配到的时隙之前进入一“活动”状态,监控寻呼信道上有无消息并在不再需要进行通信的情况下转换至一“非活动状态”。在连续的活动状态之间的时间周期中,终端机在非活动状态下休眠并使尽可能多的电路不活动以省电。“休眠”是指终端机处于非活动状态期间的的时间。

[0006] 通常,终端机在处于非活动状态下时使模拟电路块(例如功率放大器、振荡器等)断电并停用数字电路块的时钟。以互补金属氧化物半导体(CMOS)制成的数字电路通过两种机理来耗电:(1)通过在电路处于活动状态及切换时耗用动态电流及(2)通过在电路处于不活动状态及不切换时汲取泄漏电流。在当前的 CMOS 制作技术中,动态电流大于泄漏电路许多倍。在此种情况下,对于 CMOS 数字电路而言,可仅通过停用这些电路的时钟以切断动态电流来实现明显的省电。

[0007] 然而,泄漏电流是不可忽略的且将随着 CMOS 技术按比例缩小至更小的几何尺寸而成为总电源消耗中的一重要部分。这是因为相对于晶体管尺寸的减小而言,泄漏电流会以极高的比率增加。更高的泄漏电流,与长的不活动周期相结合,会消耗电源并缩短使用电池电源的便携式装置的待机时间,而这非常不合乎人们的希望。

[0008] 因此,在所属领域中需要提供使无线终端机省电的技术。

### 发明内容

[0009] 本发明提供用于对无线终端机实施“电源骤降”的技术。电源骤降是指在不需要使用电路块/处理单元时将电路块/处理单元断电以减小泄漏电流及省电。为执行电源骤降,将用于无线终端机中的集成电路(IC)内的电路块/处理单元划分成多个电源域。每一电源域均通过一电源连接件耦接至一电源。将每一电源域指定成“始终接通式”或“可骤降式”。始终接通式电源域一直(即当无线终端机接通电源时)通电。而可骤降式电源域在

所述电源域中的处理单元不需要使用时则可断电。

[0010] 通常结合一指示无线终端机何时可进入休眠的休眠时间线来实施电源骤降。对于不同的无线通信系统,所述休眠时间线可以不同。始终接通式电源域内的一电源控制单元使可骤降式电源域在进入休眠后断电并恰好在自休眠中唤醒前为这些域加电。还可根据一外部中断事件来为骤降的电源域加电。

[0011] 通常实施一组任务来使所述可骤降式电源域断电。例如,断电任务可包括保存所述可骤降式电源域的相关硬件寄存器,冻结 IC 的输出引脚以最低程度地干扰耦接至所述 IC 的外部单元,对骤降的电源域的输入引脚进行箝位,使一主振荡器断电并停用来自所述振荡器的主时钟,等等。通常实施互补的一组任务来为骤降的电源域加电。例如,所述加电任务可包括为所述主振荡器加电并启用所述主时钟,恢复软件、固件及硬件状态,释放输入及输出引脚,等等。下文将进一步详细地阐述这些不同的任务。

[0012] 下文将进一步详细阐述本发明的不同方面、实施例及特征。

### 附图说明

[0013] 结合图式阅读下文所作详细说明,将更易得知本发明的特征及性质,在各图式中,相同的参考符号自始至终表示相应的意义且其中:

[0014] 图 1 显示无线终端机的一方块图;

[0015] 图 2A 显示将调制解调处理器划分成多个电源域;

[0016] 图 2B 显示一用于调制解调处理器的集成电路的布局;

[0017] 图 3 显示一用于将所述电源域连接至一个或多个电源总线的构造;

[0018] 图 4 显示一用于处理一无线通信系统的寻呼信道的时间线;

[0019] 图 5A 及 5B 分别显示可骤降式电源域的一断电顺序及一加电顺序;

[0020] 图 6 显示三个不同系统的时间线;

[0021] 图 7 图解说明调制解调处理器的一软件引导过程;及

[0022] 图 8A 及 8B 显示各电源域及 / 或各调制解调处理器焊垫之间的接口及输出电路。

### 具体实施方式

[0023] 本文中所使用的“实例性”一词是指“用作一实例、示例或例示”。本文中被描述为“实例性”的任何实施例或设计,均未必解释为好于或优于其他实施例或设计。

[0024] 图 1 显示一无线终端机 100 的一方块图,该终端机 100 可为蜂窝式电话、手机、无线通信装置、个人数字助理 (PDA)、等等。终端机 100 可监控及 / 或与一个或多个无线通信系统进行通信,例如码分多址 (CDMA) 系统、全球移动通信 (GSM) 系统、蓝牙 (Bluetooth) 系统、多输入多输出 (MIMO) 系统、正交频分多址 (OFDMA) 系统、等等。CDMA 系统可执行一种或多种 CDMA 标准,例如 IS-2000 及 IS-95 (其还称作“1x-EV DV”)、IS-856 (其还称作“1x-EV DO”)、宽带 CDMA (W-CDMA)、等等。执行 W-CDMA 的 CDMA 系统还称作通用移动通信系统 (UMTS) 系统。终端机 100 能够通过一接收路径及一发射路径提供双向通信。

[0025] 对于接收路径而言,由一个或多个系统中的基站所发射的信号由一天线 112 接收到,通过一双工器 (D) 114 选路,并提供至一接收单元 (RCVR) 116。接收单元 116 对所接收的信号进行调节 (例如滤波、放大及下变频),对经调节的信号进行数字化,并将数据样本

提供至一调制解调处理器 120 供进一步处理。对于发射路径而言,调制解调处理器 120 处理要由终端机 100 发射的数据并将“数据芯片”提供至一发射单元 (TMTR) 118。每一数据芯片均为一要在一个芯片周期中发射的值,对于某些 CDMA 系统而言,该值为  $1/(1.2288 \times 10^6)$ 。发射单元 118 对数据芯片进行调节(例如纸灰尘模拟形式、滤波、放大及上变频)并产生一经调制的信号,该经调制的信号通过双工器 114 选路并由天线 112 发射。

[0026] 调制解调处理器 120 包括能支持监控及/或与一个或多个系统进行通信的各种处理单元。调制解调处理器 120 进一步接口于终端机 100 内的其他单元。对于图 1 中所示的实施例而言,调制解调处理器 120 包括一调制解调器核心 130、一控制器 132、一内部存储器 134、锁相回路 (PLL) 136 及一电源控制单元 140—其均耦接至一总线 128。调制解调器核心 130 对接收路径实施解调及解码并对发射路径实施编码及调制。控制器 132 控制调制解调处理器 120 内的各种处理单元的运行。内部存储器 134 存储由调制解调处理器 120 内的处理单元所使用的数据及程序代码并可包括一高速缓冲存储器、随机存取存储器 (RAM)、只读存储器 (ROM)、等等。PLL 136 控制终端机 100 内的各种振荡器,以使这些振荡器以适当的频率运行。如下文所述,电源控制单元 140 控制调制解调处理器 120 内各种处理单元的电源。

[0027] 对于图 1 中所示的实施例而言,调制解调处理器 120 进一步耦接至一主振荡器 152、一休眠振荡器 154、一易失性存储器 156 及一非易失性存储器 158—其均支持调制解调处理器 120。主振荡器 152 提供一由调制解调处理器 120 用于正常运行的高频主/系统时钟,并可构建有(例如)一经温度补偿的晶体振荡器 (TCXO)。休眠振荡器 154 提供一由调制解调处理器 120 内的始终接通式电源域使用的低频休眠时钟。易失性存储器 156 为调制解调处理器 120 所使用的数据及代码提供大容量存储并可构建有(例如)一同步动态 RAM (SDRAM) 或某些其他类型的存储器。非易失性存储器 158 提供大容量非易失性存储并可构建有(例如) NAND 闪速存储器、NOR 闪速存储器或某种其他类型的非易失性存储器。

[0028] 通常,调制解调处理器 120 可包括少于、多于及/或不同于图 1 中所示的处理单元。调制解调处理器 120 中所包含的特定处理单元通常视调制解调处理器 120 的设计及正在支持的通信系统而定。调制解调处理器 120 也可耦接至少于、多于及/或不同于图 1 中所示的外部单元。

[0029] 调制解调处理器 120 可构建于一单个 CMOS 集成电路中以获得诸如尺寸减小、成本下降、功耗减小等各种好处。随着 IC 制作技术不断改进并变迁至更小的几何尺寸,晶体管的尺寸在继续收缩。可对几何尺寸变小的 IC 使用一更低的电源以减小功耗。通常减小(即降低)尺寸变小的晶体管的阈电压(其为使晶体管导通的电压)以提高运行速度。然而,阈电压的降低及晶体管几何尺寸的减小会导致泄漏电流升高—其为在晶体管不在切换时通过晶体管的电流。随着 CMOS 技术按比例缩减至 90nm(纳米)及以下,泄漏电流更成问题。

[0030] 可通过将尽可能多的数字电路在不需要时断电来减少因泄漏电流而引起的功耗。终端机 100 可能只在其处于空闲时的一小部分时间中活动。在此种情况下,可在该时间的大部分时间中断开许多处理单元的电源(即“骤降”),以减小功耗并延长待机时间。

[0031] 将调制解调处理器 120 划分成多个电源域。每一电源域均包括若干通过一电源连接件耦接至一电源的处理单元。将每一电源域指定为始终接通式域或可骤降式域。一始终



接通式域在终端机 100 接通电源时会一直通电。而一可骤降式电源域则可在该电源域中的处理单元不需要使用时断电。每一可骤降式电源域均可独立于其他可骤降式电源域而通电或关闭。本文中所述“加电”与“通电”为可互换使用的同义术语，且“断电”与“关闭”也为同义术语。

[0032] 图 2A 显示将调制解调处理器 120 内的处理单元划分成多个电源域 210。在此实例中，将调制解调处理器 120 中的五个处理单元 130 至 140 放置于五个不同的电源域 210a 至 210e 中。通常，每一电源域均可包括任一数量的处理单元，且每一处理单元均可包括任一数量的电路块。每一电源域 210 均通过一电源连接件 212 耦接至一电源总线 214。对于图 2A 中所示的实例而言，电源控制单元 140 的电源域 210a 为唯一的始终接通式电源域，而所有其他电源域 210b 至 210e 均为可骤降式域。

[0033] 调制解调处理器 120 内的每一处理单元 130 至 140 均可包括不同的电路块。例如，调制解调器核心 130 包括若干 CDMA 处理块 222、一时钟产生器 224、一调制解调器数字信号处理器 (DSP) 226、一调制解调处理器 228、一子系统处理器 230、若干 RAM 232 及若干 ROM 234。时钟产生器 224 产生由调制解调处理器 120 内的处理单元所使用的各种时钟。CDMA 处理块 222 会 (1) 为发射路径实施编码、交错及调制及 (2) 为接收路径实施解调、解交错及解码。例如，如在所属领域中所已知，CDMA 处理块 222 可为接收路径构建一具有多个搜索器及手指处理器的耙式接收机。CDMA 处理块 222 还执行其他辅助性功能，例如维持一为正由终端机 100 监控的每一系统提供系统时间的实时计数器 (RTC)。调制解调器 DSP 226 执行并非时间紧要的调制解调 (调制 / 解调) 功能，例如导频信道处理、流量信道处理 (例如对软件决策进行处理) 等等。调制解调处理器 228 控制调制解调器核心 130 内的各种电路块的运行。子系统处理器 230 控制输入 / 输出 (I/O) 总线及外围设备。处理器 228 及 230 可构建有精简指令集计算 (RISC) 处理器。RAM 232 及 ROM 234 存储由调制解调器核心 130 所使用的数据及代码。

[0034] 电源控制单元 140 控制每一可骤降式电源域的电源，在下文中将对其加以进一步详细说明。

[0035] 图 2B 显示调制解调处理器 120 的一 CMOS 集成电路的一实例性布局。图 2A 显示了调制解调处理器 120 的处理单元但并未指示每一单元的尺寸。图 2B 则显示了始终接通式电源域 210a 的尺寸相对于可骤降式电源域 210b 至 210e 的尺寸的关系。在一典型的构建方案中，始终接通式电源域仅占集成电路总电路小片面积的一小部分 (例如百分之二到三)，而可骤降式电源域则占电路小片面积的大部分。因此，通过将可骤降式电源域在不需要时予以断电，可明显减小集成电路的泄漏电流。

[0036] 每一可骤降式电源域 210 的电源连接件 212 均包括适当的硬件来向电源域内的处理块供源及断开这些处理块的电源。如果不需要使用域中的任何处理单元，则可将每一可骤降式电源域 210 断电。

[0037] 图 3 显示一用于将电源域 210 连接至电源总线的配置 300。电源连接件 212a 将始终接通式电源域 210a 直接耦接至一标记为  $V_{s1}$  的电源总线 214a。电源连接件 212b 至 212e 分别用于可骤降式电源域 210b 至 210e。对于图 3 中所示的实施例而言，每一电源连接件 212b 至 212e 均包括一头部开口，可启用该头部开关来对所述域加电或可停用该头部开关来将所述域断电。每一可骤降式电源域 x (其中  $x = b, c, d$  或  $e$ ) 的磁头开关均可构建有

一 P 沟道 FET 312, P 沟道 FET 312 具有一耦接至一电源总线 214b 的源极 (其标记为  $V_{s2}$ )、一耦接至所述电源域的一内部电源总线的漏极 (其标记为  $V_{DD_x}$ ) 及一接收电源域的一  $pwr\_ctrl\_x$  控制信号的栅极。该  $pwr\_ctrl\_x$  信号在逻辑低时对电源域 x 加电,而在为逻辑高时将电源域 x 断电。电源总线 214a 及 214b 可具有相同或不同的电压。

[0038] 可按其他方式来控制可骤降式电源域的电,此仍属于本发明范围内。例如,可使用电源域与电路地电位之间的一脚部开关来控制电源域的电。作为另一实例,可对一给定的可骤降式电源域同时使用头部开关与脚部开关二者。通常,一集成电路可包括任一数量的电源总线。可将一条电源总线用于集成电路的输入 / 输出 (I/O) 焊垫并在终端机 100 接通电源时使该电源总线一直通电。然后可将始终接通式电源域 210a 耦接至该用于 I/O 焊垫的电源总线。可使用多个电源总线来提供不同的电源电压或用于不同的电源体制。

[0039] 电源控制单元 140 包括各种支持对可骤降式电源域通电或断电的电路块。对于图 2A 中所示的实施例而言,电源控制单元 140 包括若干状态寄存器 242、一休眠控制器 246、一时钟控制器 248、一中断控制器 250 及一电源控制器 252。状态寄存器 242 存储 (1) 骤降的电源域的断电状态及 (2) 在加电时无法由软件恢复的相关硬件状态 (例如有限状态机 (FSM) 状态)。

[0040] 休眠控制器 246 监控活动并记录正在受到监控的每一系统的休眠时间线。终端机 100 可监控一个或多个系统,例如 (举例而言) 下文所述及在图 6 中所示的  $1x-EV_{DV}$ 、 $1x-EV_{DO}$  及 GSM 系统。在一实施例中,休眠控制器 246 包括每一系统的一个休眠核心。每一休眠核心均包括一休眠计数器及一休眠有限状态机 (FSM)。休眠计数器维持在休眠期间系统时间的连续性。当休眠计数器在预热时间开始处到期 (参见图 4) 时,休眠控制器 246 会中断电源控制器 252 以便唤醒。休眠计数器继续对预热时间的持续时间进行计数。当休眠计数器在联机时间开始处到期时,休眠控制器 246 会中断调制解调处理器 120 以指示联机处理的开始。在活动状态期间,调制解调器核心 130 内的实时计数器 (RTC) 维持正在受到监控的每一系统的系统时间。

[0041] 时钟控制器 248 在断电前停用主时钟 152 并在加电后启用主时钟 152。中间控制器 250 监控来自调制解调处理器 120 外部的其他单元的输入信号。通过调制解调处理器 120 的焊垫来接收这些输入信号。中断控制器 250 探测来自这些外部单元的中断信号并在其接收到一要求调制解调处理器 120 唤醒的外部中断信号时提醒电源控制器 252。

[0042] 电源控制器 252 产生用于支持对可骤降式电源域断电及加电的各种控制信号。电源控制器 252 自休眠控制器 246 接收指示一休眠周期的开始及结束的信号及自中断控制器 250 接收外部中断信号。电源控制器 252 可为所要控制的每一个块 (例如主振荡器) 维持一有限状态机 (FSM) 及为所要分别通电或断电的每一电源域维持一 FSM。根据这些不同的输入及 FSM, 电源控制器 252 产生用于在适当时刻对可骤降式电源域断电及加电的控制信号。例如,电源控制器 252 可为电源连接件 212 中的开关产生  $pwr\_ctrl$  信号,如在图 3 中所示。电源控制器 252 还可为一外部电源管理单元产生一信号,然后该外部电源管理单元可对可骤降式电源域的电总线实施加电或断电。

[0043] 电源控制单元 140 存储正受到监控的每一系统的时间线消息并确定其中可将可骤降式电源域断电的时间周期。如果休眠持续时间足够长 (例如超过一预定时间周期),则电源控制单元 140 可将可骤降式电源域断电。如果休眠周期太短且与断电及加电相关的开

销将使断电不划算,则电源控制单元 140 可放弃断电。如果可骤降式电源域因休眠周期太短而未断电,则可仍然停用主时钟以切断动态电流并减小功耗。

[0044] 电源控制单元 140 执行多个任务来对调制解调处理器 120 内的可骤降式电源域正确地进行断电及加电。表 1 列出了一些为对可骤降式电源域进行断电及加电而可执行的任务。根据调制解调处理器 120 的设计,也可执行更少的、额外的及 / 或不同的任务。

[0045] 表 1

[0046]

断电任务	
1	保存来自可骤降式电源域的相关硬件状态
2	将外部存储器 156 置于低功率模式中
3	冻结 IC 输出引脚
4	停用可骤降式电源域的主时钟
5	将可骤降式电源域断电
6	将主振荡器 1 52 断电

[0047]

加电任务	
1	对主振荡器 152 通电
2	对骤降的电源域通电
3	启用骤降的电源域的主时钟
4	使外部存储器 156 退出低功率模式
5	对软件进行重新引导
6	重新下载固件映像
7	恢复硬件寄存器
8	释放 IC 输出引脚

[0048] 在断电前可能需要保存某些硬件状态,以使调制解调处理器 120 可在通电时正确地恢复运行。在调制解调处理器 120 断电的整个时间期间,使调制解调处理器 120 的输出引脚维持在“最新”逻辑状态 - 其为恰好在断电前的逻辑状态,以使耦接至调制解调处理器 120 的外部单元最低程度地受正在断电的调制解调处理器的影响。存储器 156 存储由调制解调处理器 120 内的各种处理单元使用的代码及数据并在调制解调处理器断电时被置于

一低功率模式中。停用主时钟,并使主振荡器 152 在休眠期间也断电。通过控制每一可骤降式电源域电源连接件中的开关,断开该电源域电源。通常,执行互补的任务来断电及加电。下文将进一步详细阐述表 1 中的每一项任务。

[0049] 调制解调处理器 120 包括可划归成三种不同类别的处理单元:通用处理器、专用处理器及硬件块。通用处理器(例如控制器 132、调制解调处理器 228 及子系统处理器 230)根据软件代码来运行并可配置成执行各种功能。专用处理器(例如调制解调器 DSP 226)根据固件来运行并设计成执行特定功能(例如算术功能、断电/加电任务,等等)。硬件块(例如 CDMA 处理块 222)执行特定处理并可利用寄存器来维持状态信息。调制解调处理器 120 内的处理单元可彼此相互依赖。例如,硬件块可由专用处理器来控制,专用处理器又可由通用处理器来控制。在此种情况下,在加电后各处理单元得到恢复的时间次序很重要。

[0050] 在休眠期间,也可将终端机 100 内的其他模拟及数字电路块断电。例如,在休眠期间通常将发射及接收路径的射频(RF)前端、功率放大器、振荡器等断电。此外,在接收消息时,发射路径中的电路不需要加电。为简明起见,下文只对与对调制解调处理器 120 断电及加电相关的任务及事件进行阐述。

[0051] 许多蜂窝式系统使用一寻呼信道来将消息传输至空闲的终端机。在一 1xEV DV 系统中,将寻呼信道(PCH)划分成(80msec)寻呼信道时隙。在寻呼信道上为一以时隙模式运行的终端机指配特定的时隙。一时隙循环指标(SCI)确定终端机所指配到的时隙多频繁地出现在寻呼信道上。SCI 为 1 是指示所指配到的时隙每 2.56 秒出现一次。在终端机所指配到的时隙中将寻呼消息(如果有)发送至终端机。

[0052] 不同的蜂窝式系统可使用不同的寻呼信道结构及格式。然而,通常对所有寻呼信道构建方案使用相同的总体概念。一终端机指配至寻呼信道时间线的仅一小部分且仅需在该时间的一小部分内活动来处理寻呼信道。为了省电,终端机可休眠且可将大部分模拟及数字电路断电。

[0053] 图 4 显示一用于处理 1xEV DV 系统中的寻呼信道的时间线。在图 4 中,终端机 100 的一新的寻呼时隙循环起始于  $T_0$  时刻。终端机 100 自  $T_0$  时刻休眠直到其下一所指配的时隙为止。终端机 100 在其下一所指配的时隙前在  $T_3$  时刻唤醒,并对必需的电路进行通电及预热。终端机 100 从  $T_4$  时刻开始接收并处理寻呼信道。终端机 100 在  $T_5$  时刻结束对寻呼信道的处理,且此后若不再需要进行其他通信则重新进入休眠。终端机可在大部分所述时间中休眠。作为一实例,对于  $SCI = 1$  的 1xEV 系统而言,自  $T_0$  至  $T_3$  的休眠时间可为 2503msec,自  $T_3$  至  $T_4$  的预热时间可为 17msec,而自  $T_4$  至  $T_5$  的活动(即联机)时间可为 40msec。在此种情况下,终端机 100 可在超过 97% 的所述时间中休眠。

[0054] 图 4 还显示电源骤降在休眠时间线上的覆盖。在  $T_0$  时刻完成联机处理后,终端机 100 在自  $T_0$  时刻至  $T_1$  时刻的断电周期期间实施断电任务。在预热时间前,终端机 100 在自  $T_2$  时刻至  $T_3$  时刻的加电周期期间实施加电任务。

[0055] 图 5A 显示一用于关断调制解调处理器 120 内的可骤降式电源域电源的断电顺序 510 的时间线。在已确定出终端机因不再需要进行其他通信而可进入休眠后,电源控制单元 140 在断电周期期间实施表 1 中所列的任务。在  $T_{d1}$  时刻,保存相关硬件寄存器。在  $T_{d2}$  时刻,将存储器 156 在休眠期间置于低功率模式中。在  $T_{d3}$  时刻,冻结调制解调处理器 120 的输出引脚的状态。在  $T_{d4}$  时刻,停用主时钟。在  $T_{d5}$  时刻,将电源自可骤降式电源域断开。

在  $T_{d6}$  时刻, 将主振荡器 152 断电。也可按不同于图 5A 所示的时间顺序来实施断电任务。通常可在一短的时间周期 (例如 1msec) 内实施这些任务。

[0056] 图 5B 显示一用于接通调制解调处理器 120 内的可骤降式电源域的电源的加电顺序 520 的时间线。电源控制单元 140 在所指配的寻呼时隙的预热时间之前在加电周期期间实施表 1 中所列的任务。在  $T_{u1}$  时刻, 对主振荡器 152 加电。在  $T_{u2}$  时刻, 向骤降的电源域供电。在  $T_{u3}$  时刻, 启用可骤降式电源域的主时钟。在  $T_{u4}$  时刻, 使存储器 156 退出低功率模式。在  $T_{u5}$  时刻, 重新引导调制解调处理器 120 的软件。在  $T_{u6}$  时刻, 重新下载固件映像。在  $T_{u7}$  时刻, 恢复相关的硬件寄存器。在  $T_{u8}$  时刻, 释放调制解调处理器 120 的输出引脚。可在一相对较短的时间周期 (例如在一实例性设计中为 10 至 25  $\mu$  sec) 中实施加电任务。可按不同于图 5B 所示的时间顺序来实施加电任务。通常, 在适当时刻实施图 5A 及 5B 中的加电任务, 所述适当时刻可视调制解调处理器 120 及系统的设计而定。

[0057] 图 5A 及 5B 显示实例性断电及加电顺序。也可构建具有不同于图 5A 及 5B 中所示任务的其他断电及加电顺序。也可将图 5A 及 5B 视为为对可骤降式电源域断电及加电而可实施的各个步骤的流程图。

[0058] 终端机 100 可监控采用不同技术 (例如 1x-EV DV、1x-EV DO、GSM 等等) 的多个无线通信系统。每一系统均与一指示该系统的可容许休眠时间及所需联机时间的特定时间线相关联。不同的系统通常具有不同的时间线。此外, 这些系统通常彼此不同步。

[0059] 图 6 显示三个不同系统 - 系统 A、B 及 C (例如其可为一 1x-EV DV 系统、一 1x-EVDO 系统及一 UMTS 系统) - 的实例性时间线。例如, 终端机 100 可能已经与系统 A 建立了一呼叫并仍然监控来自系统 B 的寻呼信道。终端机 100 所监控的每一系统均具有一不同的休眠及联机时间的时间线。调制解调处理器 120 的休眠时间为所有三个系统均在休眠期间的的时间。由多个系统共享的电路块只有当所有这些系统均在休眠时才可断电。甚至当只有一个系统正在休眠时, 也可将只有该一个系统使用的电路块断电。电源控制器 250 识别由终端机 100 所支持的所有系统均在休眠的共同休眠周期并决定是否继续进行断电顺序。调制解调处理器 120 也可实施一局部休眠, 在该局部休眠中, 仅对正被接收的系统所需的可骤降式电源域加电而将所有其他可骤降式电源域断电。

[0060] 如上文所述, 在休眠过后加电时适当地恢复软件、固件及硬件。如下文所述, 可通过实施一软件重新引导来恢复软件。可通过将一固件映像自外部非易失性存储器 158 重新下载至内部 RAM (例如 RAM 232) 来恢复固件。可通过检索所保存的状态并使软件重新配置硬件寄存器来恢复硬件。如上文所述, 如果各处理单元相互关联, 那么用于恢复软件、固件及硬件状态的时间顺序就很重要。

[0061] 调制解调处理器 120 内的通用处理器根据存储于易失性存储器 156 中的代码来运行。该代码可 (永久地) 存储于非易失性存储器 158 中并可在为终端机 100 加电时装入易失性存储器 156 中。此后, 调制解调处理器 120 内的通用处理器执行来自易失性存储器 156 而不是非易失性存储器 158 中的代码。

[0062] 一软件启动过程将该代码自非易失性存储器 158 装入至易失性存储器 156 中。可根据非易失性存储器 158 的能力 (其可为“可执行式”或“不可执行式”) 来构建不同的软件引导过程。可执行式非易失性存储器 (例如一 NOR 闪存) 可像 RAM 那样来存取, 且可从此类非易失性存储器中检索代码并可直接由调制解调处理器 120 内的通用处理器来执行

该代码。不可执行式非易失性存储器（例如一 NAND 闪存）则以（例如 512 字节）页面形式每次一个页面地提供代码，因此通常自此类非易失性存储器中检索出代码并将其存储于另一存储器（例如一 SDRAM）中以供使用。

[0063] 软件引导（其也可称作“冷”引导或“通电”引导）是在终端机 100 首次通电时实施并包括一组步骤。软件重新引导（其也可称作“热”引导或“恢复”引导）是在休眠过后加电时实施并通常包括在进行软件引导时所实施的步骤的一子集。在进行软件引导及软件重新引导时所实施的特定步骤通常视系统配置、非易失性存储器类型等等而定。

[0064] 图 7 图解说明一以 NAND 闪存构建而成的非易失性存储器 158 的软件引导过程。该软件引导过程分两部分实施。在第一部分中，当终端机 100 首次加电时，将一引导代码自非易失性存储器 158 (NAND 闪存) 下载至内部存储器 134 (例如一 SRAM)。该引导代码配置一存储控制器、设置存储器 156、接通总线，等等。在第二部分中，一软件下载工具将该代码的其余部分自非易失性存储器 158 复制至易失性存储器 156 (例如通过调制解调处理器 120 内的数据总线 128)。然后，该代码在存储器 156 中设置一嵌入式文件系统 (EFS) 并配置调制解调处理器 120。软件引导过程的第一部分可相对较快（例如少于 1msec）但第二部分的完成可能需要一长的时间周期（例如大约两秒钟）。

[0065] 存储器 156 为一易失性存储器，其在断电的情况下会丢失其数据。当可骤降式电源域在休眠期间断电时，将易失性存储器 156 置于低功率模式中。在此种低功率模式中，存储器 156 周期性地对其存储单元再充电（即刷新）以保持代码及数据。电源控制单元 140 在断电时间期间将存储器 156 置于低功率模式中并在加电时间期间使存储器 156 退出低功率模式。自刷新的 SDRAM 可从市场上买到并可用于存储器 156。

[0066] 当再一次重新对可骤降式电源域加电时，实施一软件重新引导过程来恢复调制解调处理器 120 的运行。对于软件重新引导而言，只重复图 7 中所描述的软件引导过程的第一部分，而跳过第二部分的大部分。然后，使存储器 156 退出低功率模式。然后，存储器 156 中的代码配置调制解调处理器 120 内的处理单元。因在休眠期间该代码由存储器 156 来保持，所以存储器 156 的初始化、自非易失性存储器 158 向存储器 156 下载代码及在第二部分中的 EFS 设置均可被跳过。这可大大缩短软件重新引导所需的时间量。

[0067] 也可将引导代码存储于调制解调处理器 120 内的一 ROM 中。在此种情况下，引导代码可在加电时自 ROM 执行，而无需自外部非易失性存储器 158 下载。

[0068] 在将可骤降式电源域断电之前，可能需要保存一些硬件状态。这些硬件状态可包括诸如调制解调器核心 130、PLL 136 等各种处理单元的配置信息。可在断电之前将硬件状态保存在电源控制单元 140 内的状态寄存器 242 中、存储器 156 中或外部存储器 156 中。在休眠过后一加电时，会通过检索先前得到保存的硬件状态寄存器来恢复硬件状态。由于软件也会配置硬件，因此在软件重新引导过程后硬件状态也会得到恢复。

[0069] 始终接通式电源域 210a 通过 I/O 接口与可骤降式电源域 210a 至 210e 耦接及进行通信。如上文所述，不同的电源域可耦接至具有不同电压的不同电源总线。在此种情况下，对每一从一具有较低电源电压的电源域去往一具有较高电源电压的电源域的信号实施电平移位。

[0070] 当可骤降式电源域断电时，骤降的电源域的输出接口不再由这些域驱动。视需要，将这些输出接口箝位至逻辑低或逻辑高（例如电路地电位或电源电压），以使耦接至这些

接口的电路不受影响。还需要将输出箝位至骤降的电源域,以消除自 I/O 接口至这些电源域的泄漏路径。

[0071] 由始终接通式电源域中的电源控制单元 140 产生两个控制信号(即 freeze\_io 及 power\_down 信号)并使用其控制(即箝位及冻结/释放)可骤降式电源域与始终接通式电源域及焊垫之间的接口。这些控制信号允许以所期望的时间顺序来实施箝位及冻结/释放。例如,当加电时,可能需要首先解除对骤降的电源域的输入信号的箝位且然后自骤降的电源域释放输出信号。

[0072] 图 8A 显示一(较低电压)可骤降式电源域 210x 与(较高电压)始终接通式电源域 210a 之间的接口电路 810。接口电路 810 对一来自电源域 210x 的输出信号实施电平移位并箝位至地电位。在接口电路 810 内,对于输出路径而言,一 NAND 门 812 自电源域 210x 接收输出信号且如果 freeze\_io 信号为逻辑高则将所述输出信号箝位至逻辑低,反之,则传递所述输出信号。一电平移位器 814 将 NAND 门 812 的输出自电源域 210x 的较低电源电压变换至电源域 210a 的较高电源电压。对于输入路径而言,一 NAND 门 816 自始终接通式电源域 210a 接收一输入信号且如果 power\_down 信号为逻辑高则将所述输入信号强制至逻辑低,否则传递所述输入信号。在从一低电压域去往一高电压域时需要进行电平移位,但在从高电压域去往低电压域时则不需要。也可使用适当的电路来将可骤降式电源域 210x 的输出信号箝位至逻辑高。

[0073] 在可骤降式电源域断电的整个时间过程中,均使调制解调处理器 120 的输出引脚维持在最新逻辑状态(即恰好在断电前的状态)。终端机 100 的其他硬件单元可视这些输出引脚而定。当调制解调处理器 120 断电时,通过使输出引脚维持在其最新的状态下,会使其他硬件单元最低程度地受到影响。

[0074] 每一输出引脚均与用于驱动该引脚的焊垫电路相关联。焊垫电路为该引脚接收一输出信号、对该信号进行缓冲并通过所缓冲的信号来驱动该输出引脚。下文将阐述一实例性输出焊垫电路。

[0075] 图 8B 显示一位于调制解调处理器 120 的(较低电压)可骤降式电源域 210x 与一(较高电压)焊垫 220 之间的输出电路 820。输出电路 820 对来自电源域 210x 的输出信号实施电平移位及锁存。在输出电路 820 内,一电平移位器 824 对来自电源域 210x 的输出信号进行移动。然后一锁存器 826 使用 freeze\_io 信号来锁存经平移的输出信号并将所锁存的输出信号提供至焊垫 220。当 freeze\_io 信号为逻辑高时锁存(即冻结)该输出信号,反之则传递该输出信号。焊垫 220 包括用于驱动调制解调处理器 120 的一相应输出引脚的驱动电路。

[0076] 可将从调制解调处理器 120 的焊垫去往可骤降式电源域的输入信号通过图 8A 中的 NAND 门 816 箝位至电路地电位或箝位至电源电压。中断控制器 250 监控来自焊垫的相关输入信号是否存在需要再一次将可骤降式电源域断电的状态。这些状态可包括(例如)来自终端机 100 内其他单元/组件的外部中断信号。当探测到这样一种状态时,中断控制器 250 会触发电源控制器 252 来对骤降的电源域加电。

[0077] 参见图 3,通过相应的焊垫提供外部电源总线 214a 及 214b,且可通过串联耦接的一个或多个静电放电(ESD)二极管将这些焊垫连接在一起。这些 ESD 二极管用来防止在这两条电源总线之间形成一大的电压-其可能是因(例如)静电放电而引起。ESD 二极管在

正常运行期间承受反偏压。串联耦接足够数量的ESD二极管,其耦合方式使这些二极管在可骤降式电源域断电时不承受正向偏压。可将ESD二极管与P沟道FET 312并联耦接,但为了简明起见,在图3中未予以显示。

[0078] 为了简明起见,在上文说明中将所有可骤降式电源域描述为一同通电或断电。通常,可单独使每一可骤降式电源域通电或断电。可在任一给定瞬间只使必要的可骤降式电源域通电。为在使可骤降式电源域通电及断电时实现更大的灵活性,需要更为复杂的控制机构。

[0079] 本文中所述的用于将处理单元划分成始终接通式及可骤降式电源域的技术可用于各种类型的集成电路中,例如调制解调器IC(如上文所述)、通信IC、处理器IC等等。这些技术还可有利地用于各种应用中,例如无线通信(如上文所述)、无线计算等等。通常,可骤降式电源域可用于任何具有一其中所述电源域只需在一部分时间中通电的时间线的应用中。

[0080] 可通过各种构件来构建本文所述的具有可骤降式电源域的集成电路及用于使可骤降式电源域通电及断电的技术。具有可骤降式电源域的集成电路可为应用专用集成电路(ASIC)、DSP、可编程逻辑装置(PLD)、现场可编程式门阵列(FPGA)、处理器、控制器、微控制器、微处理器等等。用于使可骤降式电源域通电及断电的控制功能可构建于硬件或软件中。对于硬件构建方案而言,通电/断电控制功能可构建于集成电路内(例如调制解调处理器120中的电源控制单元140内)或构建于集成电路的外部。对于软件构建方案而言,通电/断电控制功能可由实施本文所述功能的模块(例如程序、功能,等等)来构建。软件代码可存储于一存储单元(例如图1中的存储器134、156或158)中并可由一处理器(例如图1中的控制器132或图2中的电源控制器252)来执行。

[0081] 提供对所揭示实施例的上述说明旨在使所属领域的技术人员能够制作或使用本发明。所属领域的技术人员将易知这些实施例的各种修改形式,且本文中所界定的一般性原理也可适用于其他实施例,此并不背离本发明的精神或范围。因此,本发明并非旨在仅限于本文中所示的实施例,而是要赋予其与本文所揭示的原理及新颖特征相一致的最宽广的范围。



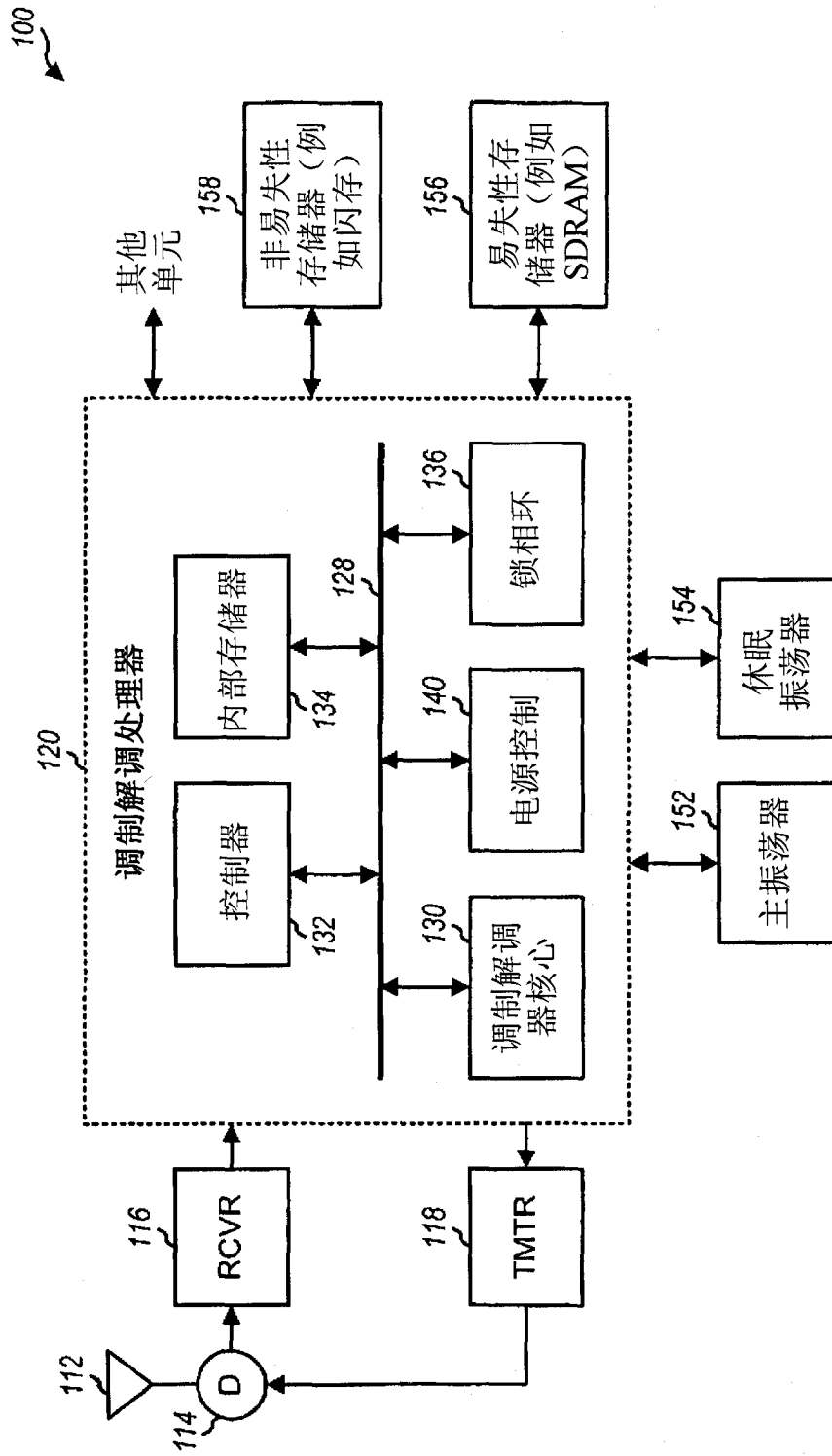


图 1

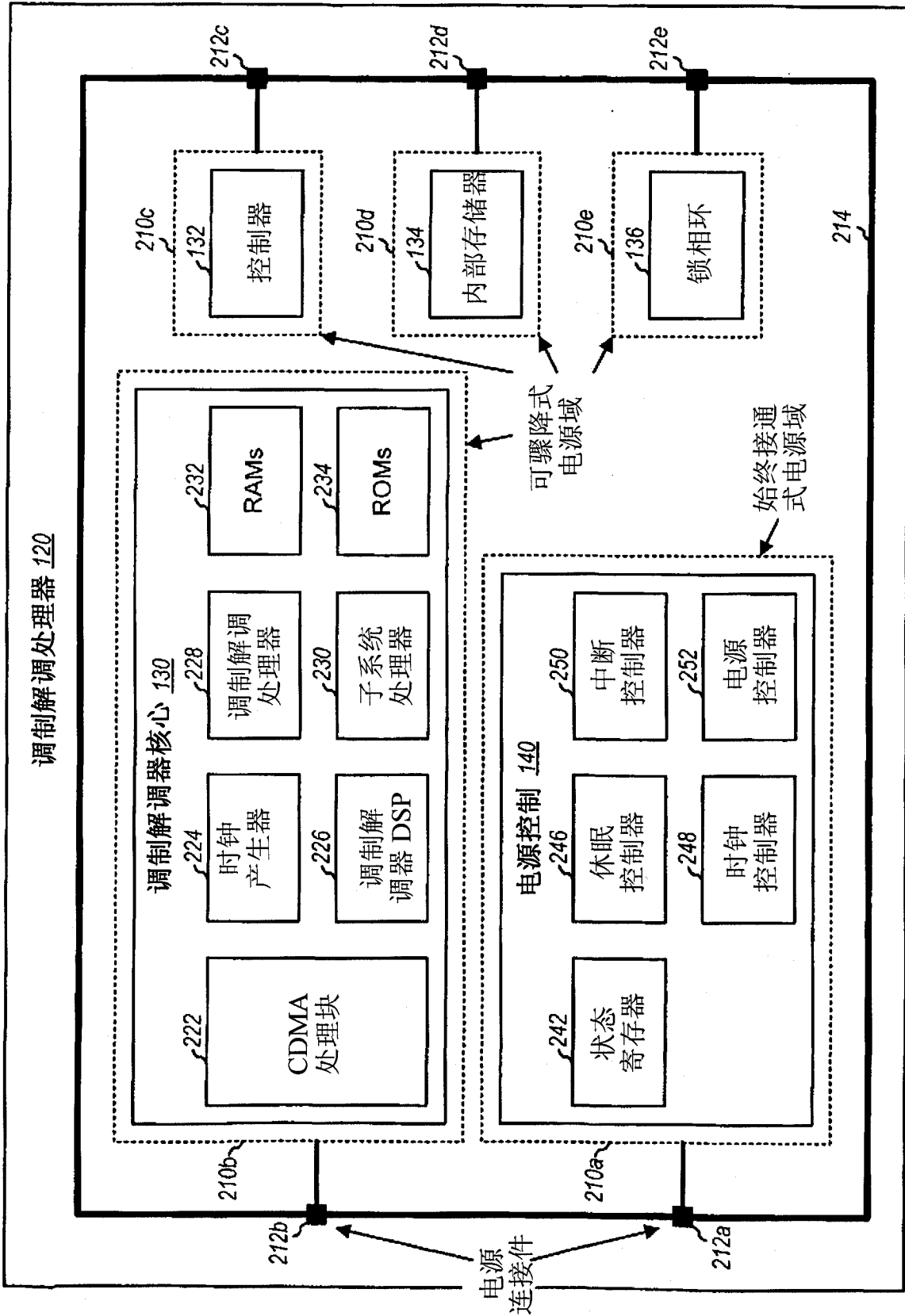


图 2A

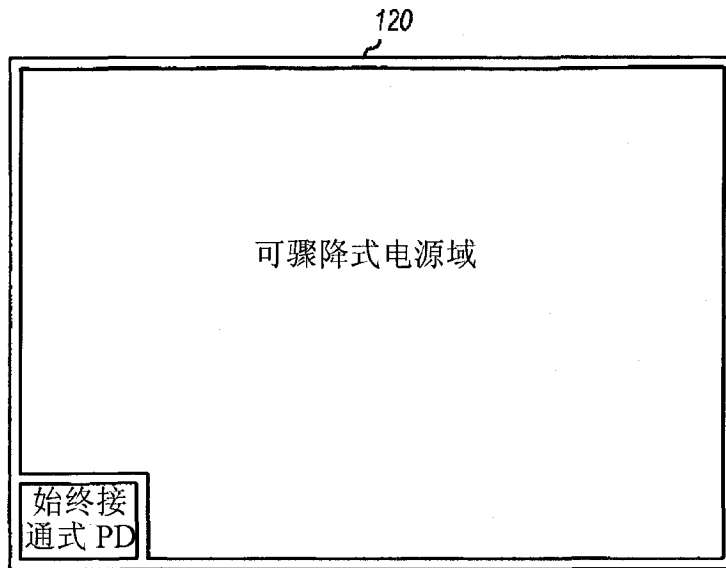


图 2B

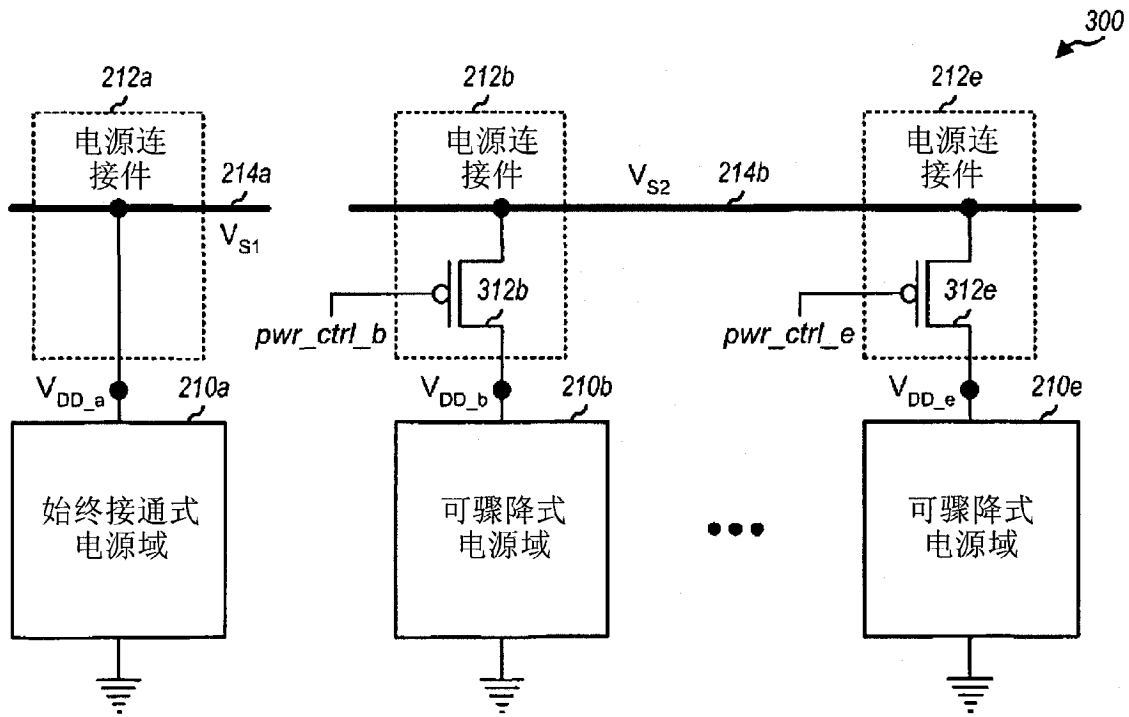


图 3

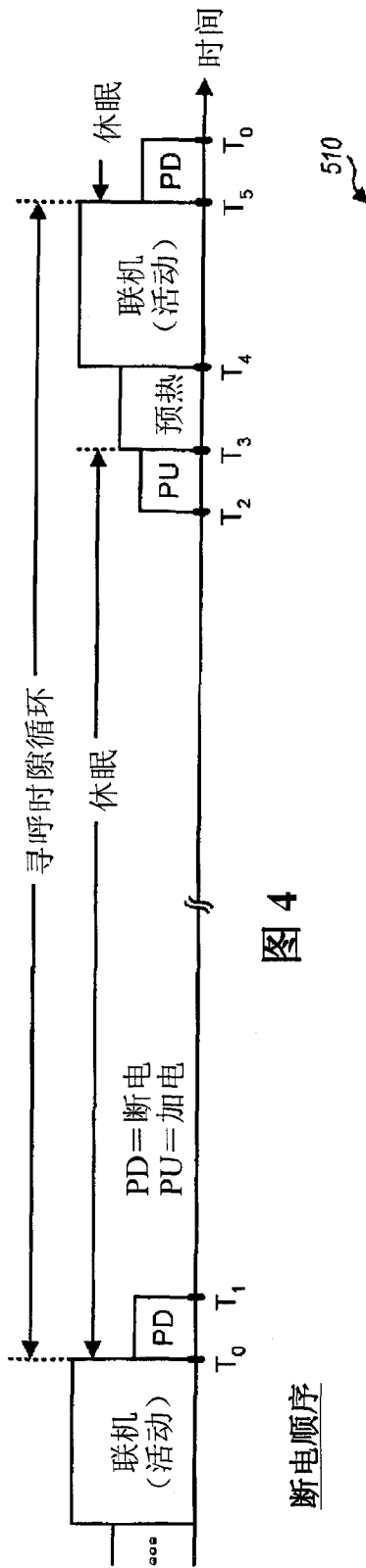


图 4

断电顺序

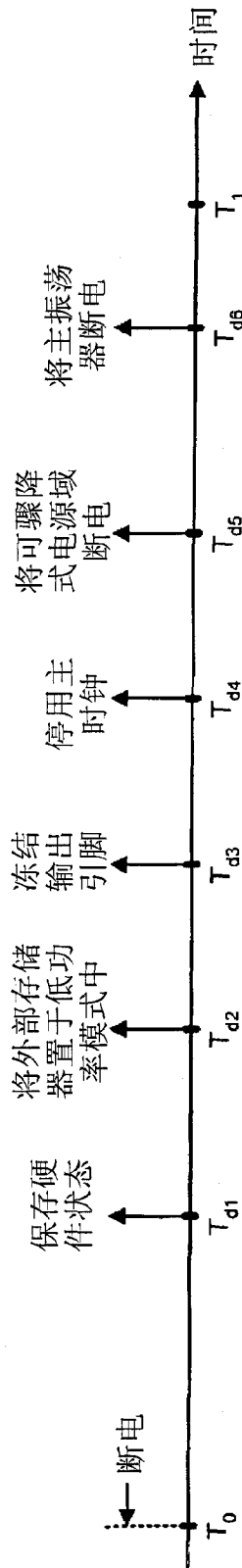


图 5A

加电顺序

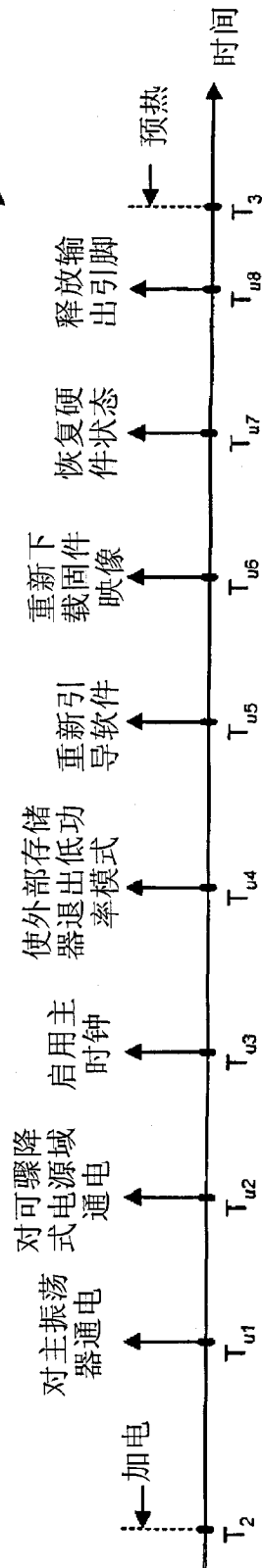


图 5B

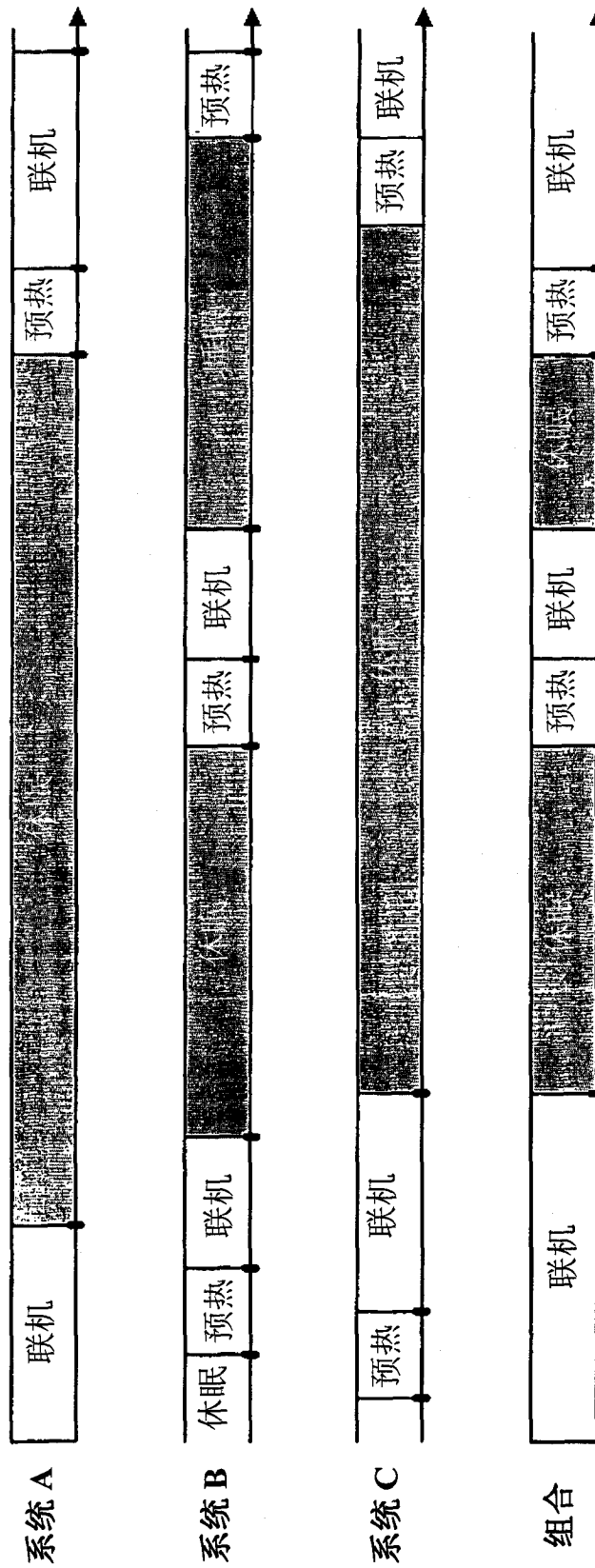


图 6

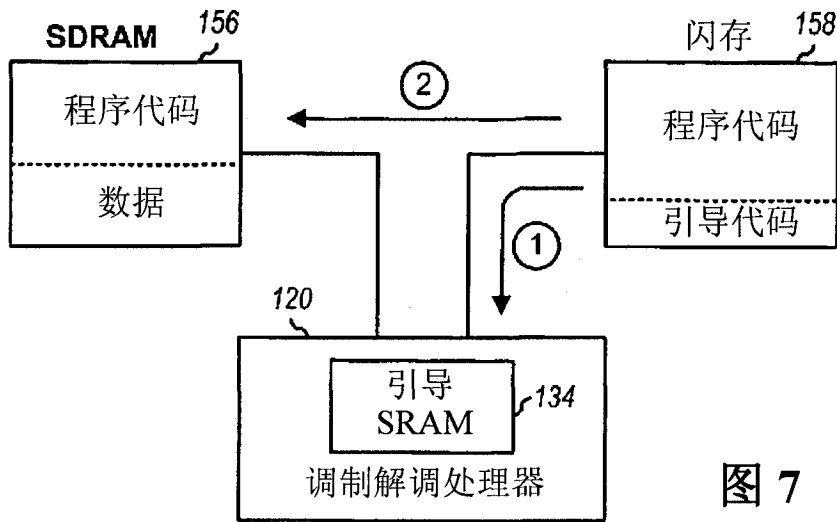


图 7

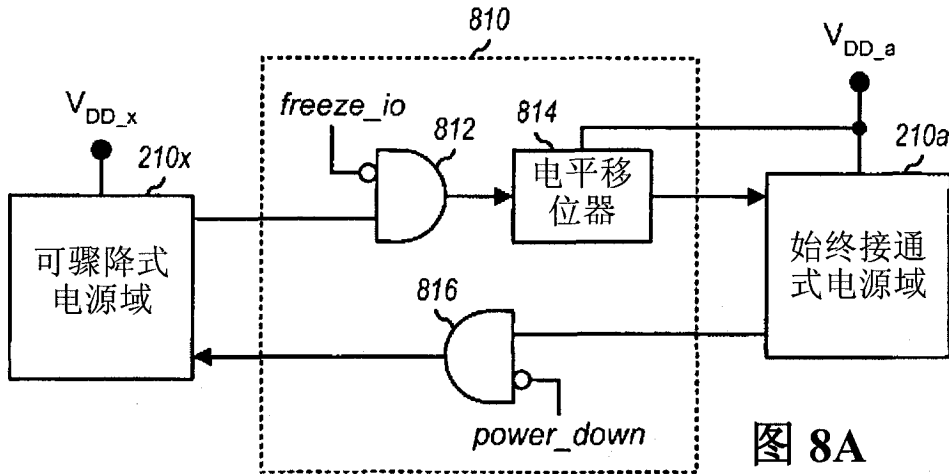


图 8A

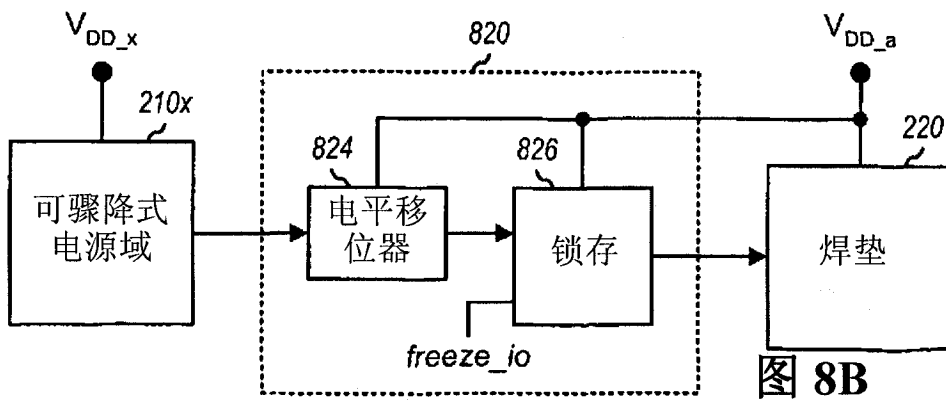


图 8B