告本

申請日期	89.9.1
案號	89117847
類別	H01L 29/78

（以上各欄由本局填註）

A4
C4

497266

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	非揮發性半導體記憶體
	日文	不揮発性半導体メモリ
二、發明 ~~新作~~ 人	姓名	1.竹内 健 2.田中 智晴 3.柴田 昇
	國籍	均日本
	住、居所	1.日本國東京都港區白金2-4-2-305 2.日本國神奈川縣橫濱市港南區大久保2-13-21-105 3.日本國神奈川線橫濱市金澤區並木3-2-7 克雷亞雷東芝並木111
三、申請人	姓名（名稱）	日商東芝股份有限公司
	國籍	日本
	住、居所（事務所）	日本國神奈川縣川崎市幸區堀川町72番地
	代表人姓名	岡村 正

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本	1999年9月28日	特願平11-275327	☑有　□無主張優先權
日本	1999年12月3日	特願平11-345299	☑有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明(1)

發明之技術領域

本發明係有關非揮發性半導體記憶體，尤其是使用在多值NAND單元型EEPROM(Multi-level NAND cell type EEPROM)，如使用在4值NAND單元型EEPROM上。

先前技術

我們所知的一種非揮發性半導體記憶體爲NAND單元型EEPROM。該EEPROM具有由數個NAND單元單位(Cell Unit)所構成的記憶單元陣列。各NAND單元單位係由串聯的數個記憶單元及其兩端分別連接的兩個選擇電晶體所構成，並連接在位元線與源極線之間。

各記憶單元係由具有在漂浮閘極(Floating Gate)上堆積控制閘極之堆疊閘極(Stack Gate)構成的n通道MOS電晶體所構成。各選擇電晶體同樣的係由具有在下方電極上堆積上方電極構成的n通道MOS電晶體所構成。但是，實際上發揮選擇電晶體閘極功能的是下方電極。

NAND單元單位內之數個電晶體(記憶單元、選擇電晶體)中相鄰的兩個電晶體，於一個源極區域或是一個汲極區域內共用兩個此種電晶體。

以下說明NAND單元型EEPROM的具體構成：

圖72顯示NAND單元型EEPROM之記憶單元陣列的一部分。

NAND單元單位係由串聯之數個(4、8、16等)記憶單元及其兩端分別連接兩個選擇電晶體所構成，並連接在位元線BLi及源極線SL之間。源極線SL在指定的位置連接由

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（2）

鋁、多晶矽等導體所構成的基準電位線。

源極線SL向列方向延伸，位元線BLi及基準電位線則向行方向延伸。源極線SL及基準電位線的接觸部，可以設置在源極線SL與64條位元線BL0、…BL63的各交叉點上。基準電位線則連接配置在記憶單元陣列外圍的外圍電路。

字線(控制閘極線)WL1、…WLn向列方向延伸，選擇閘極線SG1、SG2也向列方向延伸。置於一條字線(控制閘極線)WLi上的所有記憶單元，稱之爲一頁。此外，置於在兩條選擇閘極線SG1、SG2之間之字線WL1、…WLn上的所有記憶單元，則稱之爲一個NAND區塊，或是僅稱爲一個區塊。

一頁可以由256位元組(256×8個)的記憶單元所構成。對於一頁內的記憶單元，幾乎同時執行寫入。此外，一頁由256位元組的記憶單元構成，一個NAND單元單位由8個記憶單元所構成時，一個區塊則由2048位元組(2048×8個)的記憶單元所構成。對於一個區塊內的記憶單元，幾乎同時執行刪除。

圖73爲記憶單元陣列內一個NAND單元單位的平面圖。圖74爲沿圖73之LXXIV-LXXIV線的剖面圖，圖75爲沿圖73之LXXV-LXXV線的剖面圖。此外，圖76則顯示圖73至圖75之裝置的等價電路。

於p型基板(p-sub)11-1內形成由n型井區域(Cell n-well)11-2及p型井區域(Cell p-well)11-3所構成的雙井區域。記憶單元及選擇電晶體在p型井區域11-3內形成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(3)

記憶單元及選擇電晶體配置在p型井區域11-3內的元件區域內。元件區域被形成在p型井區域11-3上之元件分離氧化膜(元件分離區域)12所包圍。

本實施例中的一個NAND單元單位，係由串聯之8個記憶單元M1~M8及其兩端分別連接兩個選擇電晶體S1、S2所構成。

記憶單元係由形成在p型井區域(Cell p-well)11-3上之矽氧化膜(閘極絕緣膜)13、矽氧化膜13上之漂浮閘極14(14_1、14_2、…14_8)、漂浮閘極14(14_1、14_2、…14_8)上之矽氧化膜(共聚物(Interpoly)絕緣膜)15、矽氧化膜15上之控制閘極16(16_1、16_2、…16_8)及p井區域(Cell p-well)11-3內的源極、汲極區域19所構成。

此外，選擇電晶體係由形成在p型井區域11-3上之矽氧化膜(閘極絕緣膜)、該矽氧化膜上之閘極14(14_9、14_{10})、16(16_9、16_{10})及p井區域11-3內的源極、汲極區域19所構成。

選擇電晶體構成與記憶單元構成類似的理由，在於以相同的過程同時形成記憶單元及選擇電晶體，藉由刪減過程的步驟來節約製造成本。

NAND單元單位內之數個電晶體(記憶單元、選擇電晶體)中相鄰的兩個電晶體，於一個源極區域(n^+型擴散層)19或是一個汲極區域(n^+型擴散層)19內共用兩個此種電晶體。

記憶單元及選擇電晶體藉由以CVD法所形成的矽氧化膜(CVD氧化膜)17覆蓋。在CVD氧化膜17上配置了連接

(請先閱讀背面之注意事項再填寫本頁)
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(4)

NAND單元單位一端(n⁻型擴散層19)的位元線18。

圖77爲NAND單元型EEPROM的井構成。

於p型基板(p-sub)11-1內形成由n型井區域(Cell n-well)11-2及p型井區域(Cell p-well)11-3所構成的雙井區域、n型井區域(n-well)11-4及p型井區域(p-well)11-5。

雙井區域形成記憶單元陣列部，n型井區域11-4及p型井區域11-5則形成外圍電路部。

在p型井區域11-3內形成記憶單元。n型井區域11-2及p型井區域11-3設定相同電位。

在p型基板(p-sub)11-1上形成外加了高於電源電壓之電壓的高電壓n通道MOS電晶體。並在n型井區域(n-well)11-4上形成外加了電源電壓的低電壓p通道MOS電晶體，以及在p型井區域(p-well)11-5上形成外加了電源電壓的低電壓n通道MOS電晶體。

其次說明NAND單元型EEPROM的基本操作：

首先，規定如下的前提條件，以便於瞭解說明。在記憶單元中記憶2值資料"0"、"1"，其中"0"狀態表示記憶單元的閾壓在低的狀態(如閾壓爲負的狀態)，"1"狀態表示記憶單元的閾壓在高的狀態(如閾壓爲正的狀態)。

雖然在一般的2值NAND單元型EEPROM中，是以"1"狀態表示記憶單元的閾壓在低的狀態，以"0"狀態表示記憶單元的閾壓在高的狀態，不過如以下所述，本發明主要針對多值(如4值)NAND行EEPROM來說明，因此，如上所述，是以"0"狀態表示記憶單元的閾壓在低的狀態，以"1"

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)
裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（5）

狀態表示記憶單元的閥壓在高的狀態。

此外，記憶單元是以"0"狀態爲刪除狀態，以"1"狀態爲寫入狀態。在"寫入"時，包含"0"寫入及"1"寫入，所謂"0"寫入，係指維持在刪除狀態("0"狀態)，所謂"1"寫入，係指自"0"狀態改變成"1"狀態。

寫入操作(Program operation)

寫入操作中，位元線的電位爲對連接該位元線之被選擇記憶單元寫入資料的對應值，例如，寫入資料爲"1"時("1"寫入時)，設定接地電位(0V)Vss，寫入資料爲"0"時("0"寫入時)，設定電源電位Vcc。

被選擇的區塊內，亦即包含被選擇之記憶單元之NAND記憶單位內之位元線端(汲極端)之選擇閘極線SG1的電位，設定電源電位Vcc，被選擇的區塊內，亦即包含被選擇之記憶單元之NAND記憶單位內之源極線端之選擇閘極線SG2的電位，設定接地電位(0V)Vss。

未選擇的區塊內，亦即不包含被選擇之記憶單元之NAND記憶單位內之兩條選擇閘極線SG1、SG2的電位，均設定接地電位(0V)Vss。

因而，在"1"寫入時，被選擇之區塊內，被選擇之記憶單元的通道上可以傳送接地電位(0V)Vss。另外，在"0"寫入時，被選擇區塊內，被選擇之記憶單元的通道電位則爲Vcc-Vthsg(Vthsg爲選擇電晶體S1的閥壓)。之後，由於被選擇之區塊內之位元線端(汲極端)的選擇電晶體S1關閉，因此，被選擇之區塊內，被選擇之記憶單元的通道繼續保

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(6)

持Vcc-Vthsg電位，並成漂浮狀態。

此外，當被選擇的記憶單元並非最接近位元線的記憶單元，且比被選擇之記憶單元更接近位元線端的記憶單元(與被選擇之記憶單元相比，有數個記憶單元更接近位元線端時，則爲其中至少一個記憶單元)的閥壓爲正電壓Vthcell時，被選擇之記憶單元的通道繼續保持Vcc-Vthcell的電位，並成漂浮狀態。

之後，被選擇區塊內的被選擇字線，亦即，被選擇記憶單元的控制閘極上，外加寫入電位Vpp(如約20V)，被選擇區塊內的未選擇字線，亦即，未選擇之記憶單元的控制閘極上，外加中間電位Vpass(如約10V)。

此時，因屬於"1"寫入對象之被選擇記憶單元的通道電位爲接地電位(0V)Vss，因此在漂浮閘極與通道(Cell p-well)之間賦予"1"寫入所需的高電壓，藉由F-N隧道效果，電子自通道向漂浮閘極移動。因而被選擇之記憶單元的閥壓上昇(如由負向正移動)。

另外，因屬於"0"寫入對象之被選擇記憶單元的通道電位爲Vcc-Vthsg或是Vcc-Vthcell，且通道處於漂浮狀態。因而在字線上外加Vpp或Vpass時，藉由控制閘極與通道之間的電容耦合，使通道電位上昇。因而，在漂浮閘極與通道(Cell p-well)之間不需要外加"1"寫入所需要的高電壓，即可使被選擇之記憶單元的閥壓維持現狀(維持刪除狀態)。

<u>刪除操作(Erase operation)</u>

資料刪除是以區塊爲單位來執行，被選擇區塊內之記憶

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(7)

單元的資料幾乎同時被刪除。

具體的刪除操作如下：

首先，將被選擇區塊內的全部字線(控制閘極)設定爲0V，並將未選擇區塊內的全部字線(控制閘極)與全部區塊內的全部選擇閘極線設定爲初期電位Va後，使成漂浮狀態。

之後，在p型井區域(Cell p-well)及n型井區域(Cell n-well)上外加用於刪除的高電位VppE(如約20V)。

此時，選擇區塊內的記憶單元，因其字線(控制閘極)的電位爲0V，井區域的電位爲VppE，因此在控制閘極與井區域之間外加用於執行刪除的充分高電壓。

因此，選擇區塊內的記憶單元藉由F-N隧道效果，漂浮閘極內的電子向井區域移動，記憶單元的閾壓降低(如閾壓變成負)。

另外，未選擇區塊內之全部字線的電位，藉由字線與井區域的電容耦合，自初期電位Va上昇至VppE或其附近。同樣的，全部區塊內之全部選擇閘極線的電位也是藉由選擇閘極線與井區域的電容耦合，自初期電位Va上昇至VppE或其附近。

因此，未選擇區塊內的記憶單元在控制閘極與井區域之間，不外加用於執行刪除的充分高電壓。亦即，由於漂浮閘極內的電子不移動，因此記憶單元的閾壓無變化(維持現狀)。

讀出操作(Read operation)

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(8)

資料讀出係藉由針對記憶單元的資料改變位元線的電位，並檢測其變化來執行讀出操作。

首先，將連接資料讀出對象之記憶單元的位元線(採用全部的位元線或是位元線屏蔽(Shield)讀出方式等時的部分位元線)預充電，將該位元線設定爲預充電電位，如電源電位Vcc後，成漂浮狀態。

之後，被選擇字線，亦即將被選擇記憶單元之控制閘極設定爲0V，將未選擇之字線(未選擇記憶單元的控制閘極)及選擇閘極線設定爲電源電位Vcc(如約3V)，源極線設定爲0V。

此時，被選擇記憶單元的資料爲"1"時(記憶單元的閾壓Vth爲Vth>0時)，因被選擇記憶單元處於關閉狀態，因此該記憶單元所連接的位元線保持在預充電電位(如電源電位Vcc)。

另外，被選擇記憶單元的資料爲"0"時(記憶單元的閾壓Vth爲Vth<0時)，被選擇記憶單元處於開啓狀態，因此被選擇記憶單元所連接的位元線電荷被放電，該位元線的電位自預充電電位下降△V。

如上所述，因位元線的電位係針對記憶單元的資料而變化，因此，藉由感應放大器電路來檢測此變化，即可讀出記憶單元的資料。

然而，近年來爲了增加單晶片的記憶容量，降低每一位元的成本，而執行所謂多值NAND單元型EEPROM的開發及應用。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(9)

如上所述的NAND單元型EEPROM可以將2值(1位元)的資料("0"，"1")記憶在記憶單元內，而n(n爲3以上的自然數)值NAND單元型EEPROM則具有可以將n值資料記憶在記憶單元內的特徵。

例如4值NAND單元型EEPROM可以將4值(2位元)的資料("00"，"01"，"10"，"11")記憶在記憶單元內。

此外，有關多值NAND單元型EEPROM的先前技藝，如文獻1(特願平8-98627號)中所述。

發明所欲解決之課題

通常，n值NAND單元型EEPROM對應連接在被選擇記憶單元上的一條位元線，設置數條鎖存電路。亦即，對被選擇記憶單元寫入或讀出n值資料時，數條鎖存電路發揮暫時記憶n值資料的功能。

例如，如文獻1中所記載，由於4值NAND單元型EEPROM於寫入時或讀出時，係暫時記憶4值(2位元)資料，因此對應連接在被選擇記憶單元的一條位元線，設置兩條鎖存電路。

但是，如圖78所示，鎖存電路係由SRAM(Static RAM)單元所構成。而且由SRAM單元所構成的鎖存電路佔用很大的面積。此外，增加記憶在一個記憶單元內之資料數時(增加n的值時)，對應連接在被選擇記憶單元之一條位元線而設置的鎖存電路數量也隨之增加。

例如，4(=2^2)值NAND單元型EEPROM上，對應連接在被選擇記憶單元的一條位元線，是設置兩條鎖存電路；而

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)
裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（10）

8(=2^3)值NAND單元型EEPROM上，對應連接在被選擇記憶單元的一條位元線，則是設置三條鎖存電路。

因此，隨著記憶在記憶單元內之資料的多值化(n值化)及n值的增加，因而發生記憶體晶片內的鎖存電路(SRAM單元)數量增加，以及晶片面積增加的問題。

爲求徹底解決上述缺失，本發明之目的在提供一種資料電路(寫入/讀出時，暫時記憶多值資料的記憶電路)，即使記憶在記憶單元內的資料多值化，也不會顯著增加晶片的面積。

課題之解決手段

爲達成上述目的，本發明之非揮發性半導體記憶體具備：記憶單元部，其係至少包含一個記憶單元；位元線，其係連接上述記憶單元部的一端；及資料電路，其係連接上述位元線，記憶2位元以上寫入或讀出上述記憶單元部之資料；上述資料電路包含記憶第一資料之第一電容器及記憶第二資料的第一鎖存電路。

本發明之非揮發性半導體記憶體具備：記憶單元部，其係包含記憶3值以上資訊的記憶單元；位元線，其係連接上述記憶單元部的一端；及資料電路，其係連接上述位元線，記憶2位元以上寫入或讀出上述記憶單元部之資料；上述資料電路包含記憶第一資料之第一電容器及記憶第二資料的第一鎖存電路。

本發明之非揮發性半導體記憶體具備：記憶單元部，其係包含記憶3值以上資訊的記憶單元；位元線，其係連接

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（11）

上述記憶單元部的一端；及資料電路，其係連接上述位元線，記憶2位元以上寫入或讀出上述記憶單元部之資料；上述資料電路包含第一鎖存電路及第一電容器，並依據記憶在上述第一鎖存電路內，自記憶體外部輸入之資料，及記憶在上述第一電容器內，自上述記憶單元所讀出之資料，對上述記憶單元執行寫入。

本發明之非揮發性半導體記憶體具備：記憶單元部，其係包含記憶3值以上資訊的記憶單元；位元線，其係連接上述記憶單元部的一端；及資料電路，其係連接上述位元線，記憶2位元以上寫入或讀出上述記憶單元部之資料；上述資料電路包含第一鎖存電路及第一電容器，並依據自記憶體外部輸入，記憶在上述第一鎖存電路內之資料，及自上述記憶單元讀出，記憶在上述第一電容器內之資料，對上述記憶單元執行寫入。

本發明之非揮發性半導體記憶體具備：記憶單元部，其係包含記憶3值以上資訊的記憶單元；位元線，其係連接上述記憶單元部的一端；及資料電路，其係連接上述位元線，記憶2位元以上寫入或讀出上述記憶單元部之資料；上述資料電路包含第一鎖存電路及第一電容器，上述記憶單元包含由第一列位址所選擇之第一資料及由第二列位址所選擇之第二資料，上述第一列位址所選擇之第一寫入操作，係依據記憶在上述第一鎖存電路內，自記憶體外部輸入之第一資料來執行寫入；上述第二列位址所選擇之第二寫入操作，係依據自記憶體外部輸入，記憶在上述第一鎖

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

存電路內之第二資料，及自上述記憶單元讀出，記憶在上述第一電容器內之第一資料來執行寫入。

本發明之非揮發性半導體記憶體具備：記憶單元部，其係包含記憶於"1"狀態具有第一閾值電平(Level)，於"2"狀態具有第二閾值電平，於"3"狀態具有第三閾值電平，於"i"狀態(i爲n以下的自然數，n爲3以上的自然數)具有第i個閾值電平的記憶單元；位元線，其係連接上述記憶單元部的一端；及資料電路，其係連接上述位元線，記憶2位元以上寫入或讀出上述記憶單元部之資料；上述資料電路包含第一鎖存電路及第一電容器，上述記憶單元包含由第一列位址所選擇之第一資料及由第二列位址所選擇之第二資料，上述第一列位址所選擇之第一寫入操作，係依據記憶在上述第一鎖存電路內，自記憶體外部輸入之第一資料，將上述記憶單元以"1"、"2"、..."m-1"、"m"狀態(m爲自然數)來執行寫入；上述第二列位址所選擇之第二寫入操作，係依據自記憶體外部輸入，記憶在上述第一鎖存電路內之第二資料，及自上述記憶單元讀出，記憶在上述第一電容器內之第一資料，將上述記憶單元以"1"、"2"、..."k-1"、"k"狀態(k爲比m大的自然數)來執行寫入。

本發明之非揮發性半導體記憶體具備：記憶單元部，其係包含記憶3值以上資訊的記憶單元；位元線，其係連接上述記憶單元部的一端；及資料電路，其係連接上述位元線，記憶2位元以上寫入或讀出上述記憶單元部之資料；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（13）

包含連接上述位元線的第一記憶單元部及第二記憶單元部，上述資料電路包含記憶寫入上述第一記憶單元部或是自上述第一記憶單元部讀出之第一資料之第一電容器，及記憶寫入上述第二記憶單元部或是自上述第二記憶單元部讀出之第二資料的第一鎖存電路。

本發明之非揮發性半導體記憶體具備：記憶單元部，其係包含記憶3值以上資訊的記憶單元；位元線，其係連接上述記憶單元部的一端；及資料電路，其係連接上述位元線，記憶2位元以上寫入或讀出上述記憶單元部之資料：包含連接上述位元線的第一記憶單元部及第二記憶單元部，上述資料電路包含第一鎖存電路及第一電容器，對上述第一記憶單元部執行寫入時，上述第一電容器保留第一資料，並依據記憶在上述第一鎖存電路內的第二資料來執行寫入，對上述第一記憶單元部完成寫入後，上述第一電容器內之上述第一資料轉送至上述第一鎖存電路，並依據保留在上述第一鎖存電路上之上述第一資料，對上述第二記憶單元部執行寫入。

上述各非揮發性半導體記憶體，均具備更新記憶在上述第一電容器內資料的功能。

上述之更新功能於記憶在上述第一鎖存電路上之資料輸出至上述位元線，上述位元線保留記憶在上述第一鎖存電路上之資料的期間，使用上述第一鎖存電路來更新保留在上述第一電容器內的資料，之後，具備將保留在上述位元線之資料保留在上述第一鎖存電路上的功能。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

上述之更新，係於對寫入記憶單元外加寫入脈衝中或是寫入脈衝結束操作中執行。

上述之記憶單元部，係由數個串聯的記憶單元所構成。

本發明之非揮發性半導體記憶體具備：記憶單元部，其係包含記憶單元；第一信號線，其係連接上述記憶單元的一端；資料電路，其係暫時記憶對上述記憶單元寫入或讀出的資料；及第一開關電路，其係連接在上述第一信號線及上述資料電路之間，藉由上述第一開關電路在關閉狀態，使上述第一信號線及上述資料電路處於電切離狀態，並將對上述記憶單元寫入或讀出之資料保留在上述第一信號線上。

本發明之非揮發性半導體記憶體具備：記憶單元部，其係包含記憶單元；第一信號線，其係連接上述記憶單元的一端；資料電路，其係暫時記憶對上述記憶單元寫入或讀出的資料；及第一開關電路，其係連接在上述第一信號線及上述資料電路之間，藉由上述第一開關電路在關閉狀態，使上述第一信號線及上述資料電路處於電切離狀態，並將對上述記憶單元寫入或讀出之資料保留在上述第一信號線上，而不保留在上述資料電路上。

於對上述記憶單元外加寫入電壓期間，藉由上述第一開關電路在關閉狀態，使上述第一信號線及上述資料電路處於電切離狀態，將對上述記憶單元寫入的資料保留在上述第一信號線上。

本發明之非揮發性半導體記憶體具備：記憶單元部，其

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

係包含記憶單元；第一信號線，其係連接上述記憶單元的一端；資料電路，其係暫時記憶對上述記憶單元寫入或讀出的資料；及第一開關電路，其係連接在上述第一信號線及上述資料電路之間；於對上述記憶單元外加寫入電壓期間，藉由上述第一開關電路在關閉狀態，使上述第一信號線及上述資料電路處於電切離狀態，將對上述記憶單元之寫入資料保留在上述第一信號線上，於外加上述寫入電壓後，藉由上述第一開關電路在開啓狀態，使上述資料電路與上述第一信號線處於電連接狀態，並將保留在上述第一信號線之上述寫入資料轉送至上述資料電路上。

本發明之非揮發性半導體記憶體具備：記憶單元部，其係包含記憶單元；第一信號線，其係連接上述記憶單元的一端；資料電路，其係暫時記憶對上述記憶單元寫入或讀出的資料；及第一開關電路，其係連接在上述第一信號線及上述資料電路之間；於對上述記憶單元外加寫入電壓期間，藉由上述第一開關電路在關閉狀態，使上述第一信號線及上述資料電路處於電切離狀態，將對上述記憶單元之寫入資料保留在上述第一信號線上，於外加上述寫入電壓後，藉由上述第一開關電路在開啓狀態，使上述資料電路與上述第一信號線處於電連接狀態，將保留在上述第一信號線之上述寫入資料轉送至上述資料電路上，並使用記憶在上述資料電路上之上述寫入資料執行驗證讀出(Verify Read)，檢查是否確實對上述記憶單元執行寫入？

本發明之非揮發性半導體記憶體具備：包含第一記憶單

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（16）

元的第一記憶單元部、包含第二記憶單元的第二記憶單元部、連接上述第一記憶單元之一端的第一信號線、連接上述第二記憶單元之一端的第二信號線及同時連接上述第一、第二信號線，暫時記憶對上述第一或第二記憶單元寫入或是讀出之資料的資料電路，上述第一記憶單元之寫入或是讀出資料記憶在上述資料電路上，對上述第二記憶單元寫入或是讀出之資料則保留在上述第二信號線上。

本發明之非揮發性半導體記憶體具備：包含第一記憶單元的第一記憶單元部、包含第二記憶單元的第二記憶單元部、連接上述第一記憶單元之一端的第一信號線、連接上述第二記憶單元之一端的第二信號線及同時連接上述第一、第二信號線，暫時記憶對上述第一或第二記憶單元寫入或是讀出之資料的資料電路，對上述第一及第二記憶單元的寫入操作幾乎同時執行，於對上述第二記憶單元外加寫入電壓時，對上述第二記憶單元的寫入資料保留在上述第二信號線上，於對上述第二記憶單元外加寫入電壓時，使用上述資料電路執行驗證讀出，檢查是否確實時對上述第一記憶單元執行寫入？

本發明之非揮發性半導體記憶體具備：包含第一記憶單元的第一記憶單元部、包含第二記憶單元的第二記憶單元部、連接上述第一記憶單元之一端的第一信號線、連接上述第二記憶單元之一端的第二信號線及同時連接上述第一、第二信號線，暫時記憶對上述第一或第二記憶單元寫入或是讀出之資料的資料電路，對上述第一及第二記憶單

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

元的寫入操作幾乎同時執行，於對上述第二記憶單元外加寫入電壓時，對上述第二記憶單元的寫入資料保留在上述第二信號線上，於對上述第二記憶單元外加寫入電壓時，使用上述資料電路執行驗證讀出，檢查是否確實時對上述第一記憶單元執行寫入？對上述第一記憶單元外加寫入電壓時，對上述第一記憶單元的寫入資料保留在上述第一信號線上，對上述第一記憶單元外加寫入電壓時，使用上述資料電路執行驗證讀出，檢查是否確實時對上述第二記憶單元執行寫入？

本發明之非揮發性半導體記憶體具備：包含第一記憶單元的第一記憶單元部、包含第二記憶單元的第二記憶單元部、連接上述第一記憶單元之一端的第一信號線、連接上述第二記憶單元之一端的第二信號線及同時連接上述第一、第二信號線，暫時記憶對上述第一或第二記憶單元寫入或是讀出之資料的資料電路，對上述第一及第二記憶單元的寫入操作幾乎同時執行，於對上述第二記憶單元外加寫入電壓時，對上述第二記憶單元的寫入資料保留在上述第二信號線上，於對上述第二記憶單元外加寫入電壓時，對保留在上述第一信號線上，對上述第一記憶單元的寫入資料轉送至上述資料電路上，且使用上述資料電路執行驗證讀出，檢查是否確實時對上述第一記憶單元執行寫入？對上述第一記憶單元外加寫入電壓時，對上述第一記憶單元的寫入資料保留在上述第一信號線上，對上述第一記憶單元外加寫入電壓時，對保留在上述第二信號線上，對上述

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

第二記憶單元的寫入資料轉送至上述資料電路上，且使用上述資料電路執行驗證讀出，檢查是否確實時對上述第二記憶單元執行寫入？

上述第一記憶單元及上述第二記憶單元，係藉由彼此不同的字線來選擇。

本發明之非揮發性半導體記憶體具備：包含第一記憶單元的第一記憶單元部、連接上述第一記憶單元之一端的第一信號線與第二信號線、及同時連接上述第一及第二信號線，暫時記憶對上述第一記憶單元寫入或是讀出之資料的資料電路，對上述第一記憶單元寫入或是讀出的資料保留在上述第二信號線上。

本發明之非揮發性半導體記憶體具備：包含第一記憶單元的第一記憶單元部、連接上述第一記憶單元之一端的第一信號線與第二信號線、及同時連接上述第一及第二信號線，暫時記憶對上述第一記憶單元寫入或是讀出之資料的資料電路，對上述第一記憶單元外加寫入電壓時，對上述第一記憶單元之寫入資料保留在上述第一或是第二信號線上，外加上述寫入電壓後，上述資料電路及上述第二信號線實施電連接，將保留在上述第二信號線上，對上述第一記憶單元之寫入資料轉送至上述資料電路上，並使用記憶在上述資料電路上的寫入資料執行驗證讀出，檢查是否確實對上述第一記憶單元執行寫入？

本發明之非揮發性半導體記憶體具備：包含第一記憶單元的第一記憶單元部、連接上述第一記憶單元之一端的第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

一信號線與第二信號線、包含第三記憶單元的第三記憶單元部、連接上述第三記憶單元之一端的第三信號線、第四信號線及同時連接上述第一、第二、第三及第四信號線，暫時記憶對上述第一或第三記憶單元寫入或是讀出之資料的資料電路，對上述第一及第三記憶單元的寫入幾乎是同時執行，對上述第一及第三記憶單元外加寫入電壓時，對上述第一記憶單元之寫入資料保留在上述第一或是第二信號線上，對上述第三記憶單元之寫入資料保留在上述第三或第四信號線上，使用上述資料電路執行驗證讀出，檢查是否確實對上述第一記憶單元執行寫入?對上述第一記憶單元執行驗證讀出時，對上述第三記憶單元之寫入資料保留在上述第四信號線上，上述資料電路與上述第四信號線實施電連接，保留在上述第四信號線上，對上述第三記憶單元的寫入資料轉送至上述資料電路後，使用記憶在上述資料電路上，對上述第三記憶單元寫入的資料執行驗證讀出，檢查是否確實對上述第三記憶單元執行寫入?於對上述第三記憶單元執行驗證讀出時，對上述第一記憶單元的寫入資料保留在上述第二信號線上。

上述第一記憶單元及上述第三記憶單元同樣藉由字線來選擇。

於上述之寫入或是讀出資料保留在上述第一信號線上時，與上述第一信號線相鄰的信號線上設定固定電位，於上述之寫入或是讀出資料保留在上述第三信號線上時，與上述第三信號線相鄰的信號線上設定固定電位。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（20）

上述之固定電位爲接地電位或是電源電位。

上述之第一、第二、第三及第四信號線爲位元線。

發明之實施形態

以下參照圖示詳細說明本發明之非揮發性半導體記憶體：

首先規定如下的前提條件，便於瞭解以下的說明。但是，該前提條件只是爲了便於瞭解說明而設定的，本發明在該前提條件以外的條件下也能夠成立。

本發明係針對記憶單元內記憶n(n爲3以上的自然數)值之資料的非揮發性半導體記憶體，不過以下的實施形態主要是以4值NAND單元型EEPROM來說明。

在記憶單元中，分別記憶了4值的資料"00"、"01"、"10"、"11"，記憶單元的閾壓在最低狀態(如閾壓爲負的狀態)時爲資料"11"(或是"0"狀態)，記憶單元的閾壓在第二低的狀態(如閾壓爲正的狀態)時爲資料"10"(或是"1"狀態)，記憶單元的閾壓在第三低的狀態(如閾壓爲正的狀態)時爲資料"00"(或是"2"狀態)，記憶單元的閾壓在最高狀態(如閾壓爲正的狀態)時爲資料"01"(或是"3"狀態)。

此外，因記憶單元內記憶了4值資料，因此在寫入/讀出時，需要分別執行奇數頁資料的寫入/讀出操作及偶數頁資料的寫入/讀出操作。此處，資料"**"中，左側的*代表奇數頁資料，右側的*代表偶數頁資料。

此外，記憶單元是以記憶資料"11"的狀態作爲刪除狀態，並分別以記憶資料"10"、"00"、"01"的狀態作爲寫

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（21）

入狀態。

發明概述

圖1爲顯示本發明之4值NAND單元型EEPROM主要部分的方塊圖。

圖上的1代表記憶單元陣列。記憶單元陣列具有由串聯數個記憶單元及在其兩端分別連接兩個選擇電晶體所構成的NAND單元單位。記憶單元陣列1的具體構成如圖54至圖56所示。

記憶單元陣列1的構成及等價電路與2值NAND單元型EEPROM概同，唯4值NAND單元型EEPROM中的記憶單元是記憶4值資料。

資料電路2包含數條記憶電路。有關資料電路2將在後面詳述。此處僅概述資料電路2的功能。

資料電路2包含：於寫入時暫時記憶2位元(4值)寫入資料，於讀出時，暫時記憶2位元(4值)讀出資料的記憶電路。具體而言，是針對連接於被選擇記憶單元之一條位元線設置兩條記憶電路。

兩條記憶電路中的一條，可以暫時記憶奇數頁的資料，兩條記憶電路中的另一條，可以暫時記憶偶數頁的資料。記憶在兩條記憶電路上的奇數/偶數頁資料於寫入時，寫入記憶單元內，於讀出時，自記憶晶片輸出。

字線控制電路3包含列位址解碼器及字線驅動器。字線控制電路3依據操作模式(寫入、刪除、讀出等)及列位址信號，控制記憶單元陣列1內各字線的電位。有關字線控制

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（22）

電路3將在後面詳述。

行解碼器4依據行位址信號，選擇記憶單元陣列1的行。

寫入時，輸入資料於選擇行所屬之資料電路內的記憶電路上，經由資料輸入輸出緩衝器7及I/O感應放大器6輸入。此外，在讀出時，輸出資料則於選擇行所屬之資料電路內的記憶電路上，經由I/O感應放大器6及資料輸入輸出緩衝器7輸出至記憶晶片11的外部。

列位址信號經由位址緩衝器5，輸入字線控制電路3。行位址信號則經由位址緩衝器5輸入行解碼器4內。

井電位控制電路8依據操作模式(寫入、刪除、讀出等)，控制配置記憶單元之單元井區域(例如，由n井及p井所構成的雙井區域)的電位。

電位產生電路(昇壓電路)9A於寫入時，可以產生寫入電位(如約20V)Vpp及轉送電位(如約10V)Vpass。這些電位Vpp、Vpass藉由切換電路9B可以分配在所選擇之區塊內的數條字線上。

此外，電位產生電路9A於刪除時，可以產生刪除電位(如約20V)VppE，並將該電位VppE賦予配置記憶單元的單元井區域(n井及p井)。

綜合檢測電路10於寫入時，檢查指定的資料是否正確的寫入記憶單元內?於刪除時，則檢查記憶單元內的資料是否完全刪除?

本發明的第一特徵爲資料電路2。亦即，如後詳述的，本發明中，用於暫時記憶配置在資料電路2內之多值資料(n

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（23）

值資料)之數條記憶電路中至少一條係由DRAM單元(電容器)所構成。如4值NAND單元型EEPROM，使用暫時記憶4值資料的兩條記憶電路時，一條記憶電路爲SRAM單元(鎖存電路)，另外一條記憶電路則爲DRAM單元。

眾所周知，由於DRAM(dynamic RAM)單元的面積比SRAM(static RAM)單元的面積小，因此n(n爲3以上的自然數)值NAND單元型EEPROM之數條記憶電路中，若部分由DRAM單元來構成時，其資料電路2的面積將比先前全部記憶電路均由SRAM單元構成爲小。

本發明的第二特徵爲字線控制電路3。亦即，如後詳述的，本發明的字線控制電路3係由列位址解碼器及字線驅動器所構成，並採用僅在記憶單元陣列1的一側配置列位址解碼器，且在記憶單元陣列1的兩側分別配置字線驅動器的構成。

此時，用於連接記憶單元陣列1之一側的列位址解碼器與另外一側之字線驅動器的信號線，則配置在記憶單元陣列1上。本發明爲求將該信號線對記憶單元操作造成之不利影響降至最低，而改善字線控制電路3。

本發明的第三特徵爲讀出操作。亦即，本發明將4值資料與記憶單元之閾壓的關係設定如圖13所示(詳細內容如後述)。

此時，偶數頁資料係藉由兩次讀出操作("READ01"、"READ10")來讀出，奇數頁資料則是藉由一次讀出操作(READ"00")來讀出。亦即，藉由合計三次的讀出操作可

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（24）

以讀出4值資料，因而可以縮短讀出時間(讀出快速化)。

本發明的第四特徵爲寫入操作(尤其是驗證操作)。亦即，本發明將4值資料與記憶單元之閥壓的關係設定如圖13所示(詳細內容如後述)。

此時，於偶數頁資料寫入操作中，在記憶單元內寫入"11"、"10"。而在奇數頁資料寫入操作中，奇數頁資料爲"0"時，係由"11"狀態變更爲"01"狀態，由"10"狀態變更爲"00"狀態。此時，由"11"狀態變更爲"01"狀態時之閥壓變動量比由"10"狀態變更爲"00"狀態時之閥壓變動量爲大。

因此，"00"的寫入當然比"01"的寫入較早結束，因而在"00"寫入結束後，也可以省略"00"的驗證讀出，僅執行"01"的驗證讀出。藉此，可以縮短4值資料的寫入時間(寫入快速化)。

本發明的第五特徵爲，在寫入操作中，於資料電路2內，對於取代鎖存電路而設計的DRAM單元(電容器)執行更新操作。亦即，如上述第一特徵所示，本發明係將用於暫時記憶多值資料(n值資料)的數條記憶電路中至少一條變更爲DRAM單元(電容器)。

此時，雖然可以獲得資料電路面積變小的效果，但是由於電容器的電荷比漏級逐漸減少，若發生因漏級造成資料變動的問題時，必須對DRAM執行更新操作。亦即，在寫入時，於一般的寫入順序中，對資料電路2內的DRAM單元必須增加更新順序。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（25）

本發明的第六特徵爲，在資料電路內，設置寫入高速緩衝記憶(Write cache)。此時，如執行數頁寫入時，由於可以同時執行寫入(外加寫入脈衝)及寫入資料的輸入，因此，實際上不需要第2頁以後之資料載入時間，可以達到寫入的快速化。

本發明的第七特徵爲，設置在資料電路內之寫入高速緩衝記憶由DRAM單元(電容器)構成時，若發生因漏級造成資料變動的問題時，則對DRAM執行更新操作。

以下綜合詳述本發明之4值NAND單元型EEPROM的上述第一至第七特徵：

資料電路…第一特徵

圖2爲圖1之資料電路2的圖例。圖3顯示圖2之記憶單元陣列1的一部分。

本例中僅顯示一行的資料電路。實際上，是分別對記憶單元陣列1的各行設置一條資料電路。亦即，圖1中的資料電路2係由對應於記憶單元陣列1之數行的數條資料電路所構成。

本例中，在一行內配置兩條位元線BLe、BLo，這兩條位元線BLe、BLo連接一條資料電路。在一條資料電路上連接兩條位元線BLe、BLo是爲了達到以下的目的：①於讀出時，防止因彼此相鄰之位元線間的電容結合而產生噪音(採用屏蔽位元線讀出方式)，②藉由減少資料電路數量，來縮小晶片面積。

此外，本例中是以在一個記憶單元內記憶4值資料(2位元

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（26）

資料)爲前提，因此，是在一條資料電路內設置兩條記憶電路，用於暫時記憶寫入/讀出時的4值資料。

LATCH1爲兩條記憶電路中的一條鎖存電路。鎖存電路LATCH1係由以時控反向器CINV1、CINV2所構成之正反器(Flipflop)電路(SRAM單元)來構成。鎖存電路LATCH1由控制信號SEN、SENB、LAT、LATB來控制。

另外，信號"***B"，係表示信號"***"的倒置信號。亦即，信號"***B"的電平與信號"***"的電平顛倒(一個爲"H"時，另一個則爲"L")。以下均同。

DLN(C1)表示兩條記憶電路中的另一個電容器。該電容器DLN(C1)係由外加電源電壓Vcc以下電壓的低電壓用耗盡(Depletion)N通道MOS電晶體(MOS電容器)所構成。本例中的N通道MOS電晶體TN5發揮閘極功能，將資料鎖存在節點CAP1ij內。亦即，鎖存電路係由電容器DLN(C1)及MOS電晶體TN5所構成之DRAM單元來構成。

此外，圖2中，附記"NH**(*爲數字、符號等)"符號的MOS電晶體可以是具有約0.6V閥壓的高電壓增強(Enhancement)N通道MOS電晶體。該MOS電晶體上外加高於電源電壓Vcc的電壓。該MOS電晶體於閘極爲0V時處於關閉狀態。

此外，附記""DLN**"符號的MOS電晶體可以是具有約-1V閥壓的低電壓耗盡N通道MOS電晶體，外加低於電源電壓Vcc的電壓。本例中使用該電晶體作爲MOS電容器。

此外，附記"TN**"符號的MOS電晶體可以是具有約

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（27）

0.6V閾壓的低電壓增強N通道MOS電晶體，外加低於電源電壓Vcc的電壓。該MOS電晶體於閘極爲0V時處於關閉狀態。

MOS電晶體HN1e、HN1o、HN2e、HN2o於讀出時，具有兩條位元線BLe、BLo之中的一條作爲讀出資料之位元線，另外一條作爲屏蔽位元線的功能。

亦即，BLCRL設定在接地電位Vss。此外，BIASo爲"H"，BIASe爲承"時，讀出位元線BLe內的資料，位元線BLo則爲防止讀出位元線BLe內資料時之噪音的屏蔽位元線。另外，於BIASe爲"H"，BIASo爲"L"時，讀出位元線BLo內的資料，位元線BLe則爲防止讀出位元線BLo內資料時之噪音的屏蔽位元線。

MOS電晶體TN7於讀出時，兩條位元線BLe、BLo之中，讀出資料的一條位元線係位元線預充電用的MOS電晶體，用於事先設定電源電位Vcc。MOS電晶體TN7藉由控制信號BLPRE來控制。

MOS電晶體TN9係控制位元線BLe、BLo與資料電路(主要部)之電連接/切離的鉗位電路(Clamp)用MOS電晶體。MOS電晶體TN9具有於讀出時，將位元線BLe；BLo預充電後，迄感應自位元線BLe、BLo讀出之資料間，使位元線BLe、BLo處於漂浮狀態的功能。MOS電晶體TN9藉由控制信號BLCLMP來控制。

MOS電晶體TN1、…TN6、TN8、TN10用於在寫入/讀出時(或是驗證讀出時)，控制奇數/偶數頁資料，於寫入/刪除

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（28）

時，在驗證讀出後，檢查全部選擇的記憶單元是否確實執行寫入/刪除(Program/Erase completion detection)。

另外，輸出信號COMi係用於Program/Erase completion detection時。

MOS電晶體TP1爲用於將感應節點(DTNij)預充電成Vdd之預置用電晶體。MOS電晶體TP1藉由控制信號nPRST來控制。

MOS電晶體TN10爲促使鎖存電路LATCH1的兩條輸出節點Naij、Nbij電位保持均衡的均衡電路。MOS電晶體TN10藉由控制信號EQPB來控制。

MOS電晶體TN11、TN12具有決定節點Naij、Nbij與輸入輸出線IOj、nIOj電連接/切離的行開關(Column Switch)功能。行選擇信號CSLi爲"H"時，MOS電晶體TN11、TN12處於開啓狀態，鎖存電路的輸出節點Naij、Nbij與輸入輸出線IOj、nIOj電連接。

行選擇信號CSLi自圖1的行解碼器4輸出。行解碼器可如圖4所示，由AND電路構成。亦即，當CAk1、CBK2、CCK3均爲"H"時，行選擇信號CSLi爲"H"。

此外，圖2中的Vdd(如約2.3V)爲低於外部電源電位Vcc的晶片內電源電位。晶片內電源電位Vdd藉由降壓電路，自外部電源電位Vcc產生。但是，也可以將外部電源電位Vcc供應給資料電路，來取代晶片內電源電位Vdd。

綜合檢測電路

圖5顯示圖1之綜合檢測電路10的主要部分。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（29）

綜合檢測電路10具有，於驗證讀出後，檢查是否對所選擇之全部記憶單元確實執行寫入/刪除的功能(Program/Erase completion detection)。

各資料電路分別具有如圖2所示的構成。REG2-k(k=0,1,2,3)爲第k+1及第k+5之資料電路內的REG2(參照圖2)。

第一至第四資料電路的輸出節點COMi共同連接，其連接節點COMil連接p通道MOS電晶體TP2的閘極。同樣的，第五至第八條資料電路的輸出節點COMi也是共同連接，其連接節點COMi2則連接p通道MOS電晶體TP3的閘極。

P通道MOS電晶體TP13、TP14具有，於Program/Erase completion detection時，將節點COMi1、COMi2設定爲晶片內電源電位Vdd後，處於漂浮狀態的功能。MOS電晶體TN13、TN14藉由控制信號COMHn來控制。

N通道MOS電晶體TP15具有，於Program/Erase completion detection時，將節點NCOM設定爲接地電位Vss後，處於漂浮狀態的功能。MOS電晶體TN15藉由控制信號NCOML來控制。

對應於Program/Erase completion detection時，無法確實執行寫入/刪除之記憶單元的資料電路上，COMi(參照圖2)之電位電平自"H"降低爲"L"。因此，節點NCOM自"L"變成"H"，FLAG變成"L"。

另外，對全部的記憶單元確實執行寫入/刪除時，全部資料電路之輸出信號COMi(參照圖2)的電位電平保持在

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（30）

"H"。因此，節點NCOM也保持在"L"，FLAG爲"H"。

如此，藉由檢測節點FLAG的電位電平，可以檢查對所選擇的全部記憶單元是否確實執行寫入/刪除？另外，有關Program/Erase completion detection時的操作，將於後詳述。

本例中係將八條資料電路合併成一條，並藉由對於對應於這八條資料電路之八行記憶單元來檢測節點FRAG的電壓電平，檢查是否確實執行寫入/刪除？

將八條資料電路合併成一條時，是以對應這八條資料電路的八行爲單位，利用冗餘電路執行記憶單元的置換。亦即，切離熔絲(Fuse)元件(虛線圍住的部分)時，連接這八條資料電路的記憶單元經常保持在未選擇狀態，而選擇冗餘區域的預備記憶單元。

因此，以對應n(n爲自然數)條資料電路的n行爲單位，利用冗餘電路執行記憶單元的置換時，n條資料電路合併爲一。

此外，FRAG爲對應所有行的共同節點。例如，行數爲2048時，以八條資料電路(行)作爲冗餘置換的單位，則在晶片內存在如圖5所示的256條電路。而該256條電路係連接在共同節點FRAG上。

字線控制電路…第二特徵

圖6爲圖1之字線控制電路3的具體圖例。

記憶單元陣列1係由配置在行方向之數個記憶單元區塊所構成。各記憶單元區塊具有配置在列方向之數個NAND單

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（31）

元單位。記憶單元陣列及NAND單元單位的具體圖例如圖54製圖56所示。

本例中，對應一個記憶單元區塊，設置一個列位址解碼器及一個字線驅動器。

例如，第一記憶單元區塊內的字線WL1、…WL16及選擇閘極線SG1、SG2連接第一字線驅動器RMAIN1，第一字線驅動器RMAIN1接收用於決定第一記憶單元區塊之選擇/不選擇之第一列位址解碼器RADD1的輸出信號(解碼結果)。

如此，第i(i=1, 2, …)個記憶單元區塊內之字線WL1、…WL16及選擇閘極線SG1、SG2連接第I個字線驅動器RMAINi，第i個字線驅動器RMAINi接收用於決定第i個記憶單元區塊之選擇/不選擇之第i個列位址解碼器RADDi的輸出信號(解碼結果)。

在本例中，係將字線驅動器配置在記憶單元陣列1的兩側(列方向的兩端)。

具體而言，對應於奇數項目之記憶單元陣列區塊的字線驅動器RMAIN1、RMAIN3、…，係配置在記憶單元陣列1之列方向兩端中的一端(左側)，對應於偶數項目之記憶單元陣列區塊的字線驅動器RMAIN2、RMAIN4、…，則配置在記憶單元陣列1之列方向兩端的另一端(右側)。

如此，藉由將字線驅動器RMAINi配置在記憶單元陣列1的兩端，則便於字線驅動器RMAINi的設計(或是擴大配置的自由度)。亦即，本例中，一個字線驅動器可以在行方向保留兩個記憶單元區塊部分的配置空間。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（32）

此外，由於一個記憶單元區塊內的字線WL1、…WL16及選擇閘線SG1、SG2係藉由對應於該記憶單元區塊的字線驅動器，經常從記憶單元陣列1的一端(或是另一端)驅動，因此，被選擇區塊內指定之一個NAND單元單位內的記憶單元及選擇電晶體，不致產生供應驅動信號的時間偏差。

另外，列位址解碼器RADDi(i=1,2,…)僅配置在記憶單元陣列1之列方向兩端之中的一端(一側)。此時因用於將列位址信號供應至列位址解碼器RADDi的信號線(位址路徑)僅須配置在記憶單元陣列1的一側即可，因此可以減少位址路徑的面積，有助於縮小晶片面積。

亦即，假設與字線驅動器RMAINi同樣的，將列位址解碼器RADDi分別配置在記憶單元陣列1之列方向的兩端，則位址路徑也必須分別配置在記憶單元陣列1之列方向的兩端，如此將不利於晶片面積的縮小。

本例中係將列位址解碼器RADDi僅配置在記憶單元陣列1之列方向兩端之中的一端(一側)後，再將信號線22配置在記憶單元陣列上。信號線22係用於將對應於偶數項目之記憶單元陣列區塊之列位址解碼器RADD2、RADD4、…的輸出信號(解碼結果)RDECADS供應字線驅動器RMAIN2、RMAIN4、…。

該信號線22在一般操作時，傳送信號RDECADS。因此，在一般操作時，需要避免該信號線22的電位對記憶單元的操作造成不良影響。本發明提供了新式的列位址解碼器

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（33）

RADDi及字線驅動器RMAINi，來避免該信號線22的電位對記憶單元的操作造成不利影響。有關這方面內容，將於後詳述。

電位產生電路9A具有昇壓電路(Charge Pump電路)，可以產生寫入時所使用的寫入電位Vpp及轉送電位Vpass。電位產生電路9A連接切換電路9B。切換電路9B具有將寫入電位Vpp、轉送電位Vpass、晶片內電源電位Vdd、接地電位Vss等電位分配給對應於字線WL1、…WL16之信號線CG1、…CG16的功能。

信號線CG1、…CG16連接字線驅動器RMAINi。亦即，信號線CG1、…CG16係經由字線驅動器RMAINi內之電位轉送用電晶體HNt1、HNt2、…HNt16(後述)連接字線WL1、…WL16。

裝置構成…圖6之信號線22

圖7顯示圖6中奇數項目之記憶單元區塊在行方向的剖面。

由於奇數項目之記憶單元區塊中的列位址解碼器RADD1、RADD3、…及字線驅動器RMAIN1、RMAIN3、…均配置在記憶單元陣列1的一端，因此連接列位址解碼器RADD1、RADD3、…及字線驅動器RMAIN1、RMAIN3、…的信號線未配置在記憶單元陣列1上。

以下說明具體的構成：

於p型矽基板11-1內形成由n型井區域11-2及p型井區域11-3所構成的雙井區域。可在p型井區域11-3上形成16個

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（34）

串聯的記憶單元M1、…M16。各記憶單元係由N通道型MOS電晶體所構成，且具有由漂浮閘極與控制閘極所構成的堆疊閘極構成。

在串聯之記憶單元M1、…M16的兩端分別連接選擇電晶體S1、S2。選擇電晶體S1、S2係由N通道型MOS電晶體所構成。位元線端之選擇電晶體S1的擴散層(汲極)24可連接第一配線層M0內的金屬配線B，源極端之選擇電晶體S2的擴散層(源極)25可連接第一配線層M0內的源極線SL。

由於選擇電晶體S1的閘極(選擇閘極線(多晶矽))低於該選擇閘極線的配線電阻，因此連接第一配線層M0內的金屬配線SG1。選擇閘極線(多晶矽)與金屬配線SG1的控制部，可以設置在選擇閘極線與528條位元線的各交叉點上。

同樣的，由於選擇電晶體S2的閘極(選擇閘極線(多晶矽))低於該選擇閘極線的配線電阻，因此連接第一配線層M0內的金屬配線SG2。選擇閘極線(多晶矽)與金屬配線SG2的控制部，可以設置在選擇閘極線與528條位元線的各交叉點上。

設置在第一配線層M0上的第二配線層M1內配置了位元線BL。位元線BL沿行方向延伸，且經由第一配線層M0內的金屬配線B，連接選擇電晶體S1的擴散層(汲極)24。

此外，第一及第二配線層M0、M1內的各信號線可以由鋁、銅等合金來構成。

在記憶單元M1、…M16上，且於金屬配線SG1、SG2之

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（35）

間配置列屏蔽線(Row shield line)23。

配置列屏蔽線23的目的，在於防止寫入/讀出時的耦合噪音，並在刪除時，提高未選擇字線的充分電位。列屏蔽線23所設定的電位通常與雙井區域(單元井)11-2、11-3的電位相同。

通常，由於單元井電位在寫入/讀出時是設定接地電位Vss，因此，此時的列屏蔽線23也是固定在接地電位Vss上。此時，由於位元線BL與字線WL之間幾乎沒有電容結合，因此，可以防止對傳送位元線之資料發生耦合噪音。

此外，在寫入/讀出時，未選擇區塊內的選擇閘極線(金屬配線)SG1、SG2設定接地電位Vss。因此，選擇閘極線(金屬配線)SG1、SG2也具有於寫入/讀出時作爲屏蔽線的功能。

如此，於寫入/讀出時，藉由將列屏蔽線23及未選擇區塊內之選擇閘極線(金屬配線)SG1、SG2分別設定接地電位Vss，使位元線BL與字線WL之間沒有電容結合，來防止傳送位元線之資料上增加耦合噪音。

另外，於刪除時，係在列屏蔽線23上設定刪除電位Vera(如約20V)。其目的係在刪除時，使未選擇區塊內的字線WL電位充分上昇。

亦即，於刪除時，未選擇區塊的字線(控制閘極線)WL處於漂浮狀態，當賦予雙井區域(單元井)11-2、11-3刪除電位(如約20V)時，藉由電容耦合，使未選擇區塊的字線WL電位上昇。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（36）

因此，刪除時，若是將列屏蔽線23設定刪除電位Vera，並使單元井11-2、11-3的電位自接地電位Vss上昇至刪除電位Vera時，字線WL的電位不致對列屏蔽線23的電位造成影響，可以使未選擇區塊內字線WL的電位上昇至與刪除電位Vera概等。

此外，由於未選擇區塊內字線WL的電位上昇至與刪除電位Vera概等，因此在未選擇記憶單元中，漂浮閘極與單元井之間的隧道氧化膜不會形成較大的電場，也可以防止錯誤刪除。

此時，若是列屏蔽線23的電位爲接地電位Vss或是電源電位Vcc時，字線WL的電位受到列屏蔽線23之電位(Vss或Vcc)的影響，不會上昇至與刪除電位Vera概等。因此，在未選擇記憶單元中，隧道氧化膜上會形成較大的電場，可能發生錯誤刪除的現象。

圖8顯示圖6中偶數項目記憶單元區塊之行方向的剖面。

偶數項目的記憶單元區塊中，列位址解碼器RADD2、RADD4、…配置在記憶單元陣列1之列方向的一端，字線驅動器RMAIN2、RMAIN4、…則配置在記憶單元陣列1之列方向的另一端。因此，連接列位址解碼器RADD2、RADD4、…及字線驅動器RMAIN2、RMAIN4、…的信號線22是配置在記憶單元陣列1上。

以下說明具體構成：

於p型矽基板11-1內形成由n型井區域11-2及p型井區域11-3所構成的雙井區域。可在p型井區域11-3上形成16個

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（37）

串聯的記憶單元M1、…M16。各記憶單元係由N通道型MOS電晶體所構成，且具有由漂浮閘極與控制閘極所構成的堆疊閘極構成。

在串聯之記憶單元M1、…M16的兩端分別連接選擇電晶體S1、S2。選擇電晶體S1、S2係由N通道型MOS電晶體所構成。位元線端之選擇電晶體S1的擴散層(汲極)24可連接第一配線層M0內的金屬配線B，源極端之選擇電晶體S2的擴散層(源極)25可連接第一配線層M0內的源極線SL。

由於選擇電晶體S1的閘極(選擇閘極線(多晶矽))低於該選擇閘極線的配線電阻，因此連接第一配線層M0內的金屬配線SG1。選擇閘極線(多晶矽)與金屬配線SG1的控制部，可以設置在選擇閘極線與528條位元線的各交叉點上。

同樣的，由於選擇電晶體S2的閘極(選擇閘極線(多晶矽))低於該選擇閘極線的配線電阻，因此連接第一配線層M0內的金屬配線SG2。選擇閘極線(多晶矽)與金屬配線SG2的控制部，可以設置在選擇閘極線與528條位元線的各交叉點上。

設置在第一配線層M0上的第二配線層M1內配置了位元線BL。位元線BL沿行方向延伸，且經由第一配線層M0內的金屬配線B，連接選擇電晶體S1的擴散層(汲極)24。

此外，第一及第二配線層M0、M1內的各信號線可以由鋁、銅等合金來構成。

在記憶單元M1、…M16上，且於金屬配線SG1、SG2之間配置構成信號RDECADS路徑的信號線22。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (38)

偶數項目之記憶單元區塊裝置的特徵爲，設置信號線22來取代奇數項目之記憶單元區塊裝置的列屏蔽線23(參照圖7)。

信號線22如圖6中的說明，發揮將列位址解碼器輸出信號RDECADS傳送至字線驅動器的功能。因此，信號線22的電位不可以與列屏蔽線相同。

本發明提供一種在不損及上述信號線22功能的前提下，針對操作模式，將信號線22的電位設定成最適切的值，可以防止寫入/讀出時的耦合噪音，於刪除時，使未選擇區塊內之字線WL電位充分上昇的字線控制電路。

以下說明本發明之字線控制電路的電路實例，之後，在使用該電路時，說明在各操作模式中，信號線22的電位電平狀況。

字線控制電路的電路實例

首先將圖示中所註記的符號作如下的定義：

註記"HN**(*爲數字、符號等)"的MOS電晶體可以爲具有約0.6V閥壓的高電壓增強N通道MOS電晶體，外加高於電源電壓Vcc的電壓。該電晶體於閘極爲0V時，處於關閉狀態。

註記"IHN**(*爲數字、符號等)"的MOS電晶體可以爲具有約0.1V閥壓的高電壓增強N通道MOS電晶體，外加高於電源電壓Vcc的電壓。

註記"DHN**(*爲數字、符號等)"的MOS電晶體可以爲具有約-1V閥壓的高電壓耗盡N通道MOS電晶體，於閘極

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（39）

與汲極爲電源電位Vcc時，汲極電位Vcc轉送至源極。此外，該電晶體於源極與汲極爲Vcc時，若閘極爲0V，則處於關閉狀態。

此外，註記"TN**"的MOS電晶體可以爲具有約0.6V閥壓的低電壓增強N通道MOS電晶體，外加低於電源電壓Vcc的電壓。註記"TP**"的MOS電晶體可以爲具有約0.6V閥壓的低電壓增強P通道MOS電晶體。

圖9顯示對應於奇數項目之記憶單元區塊所設置之列位址解碼器的主要部分。

該列位址解碼器RADD1實際上具有區塊解碼器的功能。亦即，如選擇第一記憶單元區塊時，全部的列位址信號AROWi、…AROWj爲"H"，輸出信號RDECAD爲"H"。有關列位址解碼器RADD1的操作如後詳述。

圖10顯示對應於奇數項目之記憶單元區塊所設置之字線驅動器的主要部分。

字線驅動器RMAIN1的主要構成要素爲高電壓開關電路26及轉送用MOS電晶體HN5、HN6、HNt1、…HNt16。

高電壓開關電路26具備由MOS電容器DHN4與MOS電晶體IHN1所構成的第一昇壓單位，及MOS電容器DHN5與MOS電晶體IHN2所構成的第二昇壓單位。

MOS電晶體HN3的閘極連接有MOS電晶體IHN1、IHN2的連接節點B。此時，因MOS電晶體HN3之閘極與源極的電位電平保持反相，各節點A、B、TransferG1的電位與時鐘信號Owc同步依次上昇，而提高昇壓效率。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（40）

高壓開關電路26於列位址解碼器RADD1的輸出信號RDECAD爲"H"時，處於操作狀態。亦即，輸出信號RDECAD爲"H"時，NAND電路NAND1的輸出信號變爲與時鐘信號Owc反相的時鐘信號。NAND電路NAND1的輸出信號外加在MOS電容器DHN4、DHN5的一端。

結果轉送用MOS電晶體HN5、HN6、HNt1、…HNt16的閘極外加有昇壓電位，轉送用MOS電晶體HN5、HN6、HNt1、…HNt16處於開啓狀態。

列位址解碼器RADD1的輸出信號RDECAD爲"H"時，MOS電晶體HN7、HN8處於關閉狀態。此時，信號線SGD、SGS可以爲晶片內電源電位Vdd，該VDD經由轉送用MOS電晶體HN5、HN6供應至選擇閘極線SG1、SG2。

此外，信號線CG1、CG2、…CG16藉由切換電路9B(參照圖1)，針對各個操作模式設定指定的電位。因而，信號線CG1、CG2、…CG16的電位經由轉送用MOS電晶體HNt1、HNt16供應至字線WL1、WL2、…WL16。

圖11顯示對應於偶數項目之記憶單元區塊所設置之列位址解碼器的主要部分。

列位址解碼器RADD2包含與圖9之列位址解碼器RADD1相同的電路。亦即，以段線X1包圍部分的電路與圖9之列位址解碼器RADD1相同。此外，在圖11中，與圖9相同的部分註記相同的符號。

本發明之列位址解碼器RADD2的特徵爲，新設反向器I4、時鐘反向器CINV3、CINV4及耗盡型高電壓N通路MOS

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（41）

電晶體DHN6、DHN7。

時鐘反向器CINV4具有於刪除(ERASE)時，使對應所選擇之記憶單元區塊之列位址解碼器的輸出信號RDECADS(圖8的信號線22的電位)成爲接地電位Vss，使對應未選擇之記憶單元區塊之列位址解碼器的輸出信號RDECADS成爲晶片內電源電位Vdd的功能。

MOS電晶體DHN6與後述之圖12之電晶體DHN9，均具有使信號線22(參照圖8)處於漂浮狀態的功能。

刪除時，被選擇之記憶單元區塊中的信號RDECADS1爲"H(Vdd)"，未選擇之記憶單元區塊中的信號RDECADS1則爲"L(Vss)"。

若是與過去同樣的，將該信號RDECADS1賦予記憶單元陣列上的信號線22(參照圖8)時，未選擇之記憶單元區塊中之記憶單元陣列上的信號線22(參照圖8)則爲"L(Vss)"。

此時藉由單元井與字線的電容耦合，賦予單元井刪除電位Vera時，欲使未選擇之記憶單元區塊內的字線電位上昇，字線電位會因接地電位Vss之信號線22(圖8)的影響而無法充分上昇。

本發明由於新設了時控反向器CINV4，因此於刪除時，被選擇之記憶單元區塊中的輸出信號RDECADS爲"L(Vss)"，未選擇之記憶單元區塊中的信號RDECADS則爲"H(Vdd)"。

亦即，未選擇之記憶單元區塊中，記憶單元陣列上的信

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(42)

號線22(參照圖8)爲"H(Vdd)"，且因切離MOS電晶體DHN6及MOS電晶體DHN9(圖12)而處於漂浮狀態。

因此，藉由單元井與字線的電容耦合，使未選擇之記憶單元區塊內的字線電位上昇時，晶片內電源電位Vdd之信號線22(圖8)的影響變小，字線電位充分上昇。

圖12顯示對應於偶數項目之記憶單元區塊所設置之字線驅動器的主要部分。

有關字線驅動器RMAIN2主要構成要素中的高電壓開關電路26及轉送用MOS電晶體HN5、HN6、HNt1、…HNt16，與圖10所示的字線驅動器RMAIN1相同。亦即，以段線X2包圍部分的電路與圖10的列位址解碼器RADD1幾乎相同。此外，圖12中與圖10相同的部分，註記相同的符號。

本發明之字線驅動器RMAIN2的特徵爲，新設時控反向器CINV5、CINV6、CINV7、耗盡型高電壓N通道MOS電晶體DHN8、DHN9及增強型P通道MOS電晶體TP6、TP7。

時控反向器CINV7具有於刪除(ERASE)時，將對應被選擇之記憶單元區塊之列位址解碼器的輸出信號RDECADS(圖8之信號線22的電位)自接地電位Vss回復爲晶片內電源電位Vdd，將對應未選擇之記憶單元區塊之列位址解碼器的輸出信號RDECADS自晶片內電源電位Vdd回復爲接地電位Vss後，於段線X2內之電路上賦予信號RDECADS2的功能。

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（43）

MOS電晶體DHN9與圖11的電晶體DHN6均具有使信號線22(參照圖8)處於漂浮狀態的功能。

因此，圖11之列位址解碼器RADD2內的反向器I4、時控反向器CINV3、CINV4及耗盡型高電壓N通道MOS電晶體DHN6、DHN7，與圖12之字線驅動器RMAIN2內的時控反向器CINV5、CINV6、CINV7、耗盡型高電壓N通道MOS電晶體DHN8、DHN9及增強型P通道MOS電晶體TP6、TP7爲了達成同一個目的而使用線對(Pair)。

此外，圖9至圖12中，供應有電源電位Vdd(低於外部電源電位Vcc的晶片內電源電位)的這些電路，也可以改供應外部電源電位Vcc。

信號線22的電位電平

其次說明在各操作模式中，信號線22(參照圖8)的電位電平狀況。不過此處僅說明信號線22的電位電平，有關包含信號線22之電位電平之字線控制電路的操作則於後詳述。

本例中的信號線22(圖8)連接對應偶數項目之記憶單元區塊之列位址解碼器(圖11)及字線驅動器(圖12)。因此，繼續參照圖11及圖12來說明有關傳送信號線22(圖8)之字線驅動器選擇信號RDECADS的電位電平。

列位址解碼器RADD2之輸出信號RDECADS的電位電平，視操作模式而異。

在刪除以外的操作(寫入、讀出、驗證讀出)中，將ROWERASE1B、ROWPROG1、ROWERASE2B、

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（44）

ROWERASE3n、ROWGATE分別設定在電源電位Vdd(低於外部電源電位Vcc的晶片內電源電位。但是，外部電源電位Vcc亦可)，將ROWERASE1、ROWPROG1B、ROWERASE2分別設定在接地電位Vss。

此時，時控反向器CINV3、CINV5、CINV6處於操作狀態，時控反向器CINV4、CINV7處於未操作狀態。此外，MOS電晶體TP6處於關閉狀態。

被選擇之記憶單元區塊中，以段線X1包圍之部分的輸出信號RDECADS1爲"H"，亦即，成爲晶片內電源電位Vdd，列位址解碼器RADD2的輸出信號RDECADS也是"H"，亦即，成爲晶片內電源電位Vdd。

另一方面，未選擇之記憶單元區塊中，以段線X1包圍之部分的輸出信號RDECADS1則爲"L"，亦即，成爲接地電位Vss，列位址解碼器RADD2的輸出信號RDECADS也是"L"，亦即，成爲接地電位Vss。

因此，於刪除以外的操作中，配置在未選擇之記憶單元區塊內之記憶單元陣列上的信號線22(參照圖8)爲接地電位Vss，而未選擇之記憶單元區塊內之選擇閘極線SG1、SG2也是接地電位Vss，這些信號線22、SG1、SG2發揮位元線與字線間之屏蔽線的功能(與圖7之列屏蔽線23相同的功能)。因而可以減低傳送位元線資料所產生的耦合噪音。

在刪除操作中，將ROWERASE1B、ROWPROG1、ROWERASE2B、ROWERASE3n、ROWGATE分別設定在接地電位Vss，將ROWERASE1、ROWPROG1B、ROWERASE2

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（45）

分別設定在晶片內電源電位Vdd(電源電位Vcc亦可)。

此時，時控反向器CINV4、CINV7處於操作狀態，時控反向器CINV3、CINV5、CINV6處於未操作狀態。此外，MOS電晶體TP6處於開啓狀態。

被選擇之記憶單元區塊中，以段線X1包圍之部分的輸出信號RDECADS1爲"H"，亦即，成爲晶片內電源電位Vdd，列位址解碼器RADD2的輸出信號RDECADS則是"L"，亦即，成爲接地電位Vss。

另一方面，未選擇之記憶單元區塊中，以段線X1包圍之部分的輸出信號RDECADS1則爲"L"，亦即，成爲接地電位Vss，列位址解碼器RADD2的輸出信號RDECADS則是"H"，亦即，成爲晶片內電源電位Vdd。

此外，因ROWGATE爲接地電位Vss，因此未選擇之記憶單元區塊內之信號線22(參照圖8)的電位(RDECADS的電位)爲1~1.5V左右時，因切離MOS電晶體DHN6、DHN9而處於漂浮狀態。

如此，於刪除操作中，配置在未選擇之記憶單元區塊內之記憶單元陣列上的信號線22(參照圖8)爲1~1.5V，且處於漂浮狀態。亦即，單元井中供應有刪除電位Vera時，信號線22(圖8)的電位與字線同樣的因電容耦合而上昇，因此，信號線22(圖8)不致抑制字線電位的上昇。

因此，單元井中供應有刪除電位Vera時，可以藉由單元井與字線間的電容耦合，獲得使未選擇之記憶單元區塊內的字線電位上昇容易的效果。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（46）

同時由於未選擇之記憶單元區塊內之記憶單元的隧道氧化膜上並無較大的電場，因此可以防止未選擇之記憶單元區塊內錯誤刪除。

然而，圖11之段線X內的熔絲元件(與圖9之熔絲元件相同)，將對應其熔絲元件(列位址解碼器)之記憶單元區塊作爲用户用的一般記憶體區域時，不會被切離。

但是，將對應其熔絲元件(列位址解碼器)的記憶單元區塊作爲如記憶裝置碼的ROM・BLOCK區域時，則切離其熔絲元件，避免任意的對ROM・BLOCK區域執行寫入/刪除。

該ROM・BLOCK區域的定義如下：

近年來，NAND型快閃記憶體使用在各種電子機器的記憶體上。不過，用於以電話通信來記憶音樂資訊之記憶體等的NAND型快閃記憶體，有時是作爲記憶著作權相關資料來使用。

因此，爲了防止NAND型快閃記憶體不正當複製，而記憶有晶片編號，亦即裝置碼。

雖然各個NAND型快閃記憶體具有個別的裝置碼，若是用户可以任意改寫該裝置碼，則無法達到裝置碼本來的目的。

因此，裝置碼是在製品出貨前，寫入NAND型快閃記憶體的ROM・BLOCK區域內，用户無法對ROM・BLOCK區域執行寫入/刪除。亦即，構成ROM・BLOCK區域的記憶單元區域中的熔絲元件被切離。

（請先閱讀背面之注意事項再填寫本頁）
裝・訂・線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（47）

藉此，如準備將音樂資訊自資訊供應端的NAND型快閃記憶體複製到資訊接收端的NAND型快閃記憶體時，自資訊供應端的NAND型快閃記憶體讀出裝置碼，若該裝置碼與資訊接收端之NAND型快閃記憶體的裝置碼不同時，就無法複製。

熔絲元件在將裝置碼寫入構成ROM・BLOCK區域的記憶單元區域內後隨即切離。

若是在熔絲元件未切離的狀態下執行出貨前測試時，在該測試中，裝置碼就會被刪除。

亦即在出貨前測試中，爲求縮短測試時間，是同時選擇全部區塊執行寫入/刪除。亦即，由於全部的列位址信號AROWi、…AROWj爲"H"，熔絲元件未被切離時，即使CMD ROMBA爲"H"，RDECADS1仍爲"H"(圖9中的RDECAD爲"H")，選擇構成ROM・BLOCK區域的記憶單元區塊。

另一方面，在出貨前測試中，即使全部的列位址信號AROWi、…AROWj爲"H"，熔絲元件被切離時，由於CMD ROMBA爲"L"，因此RDECADS1爲"L"(圖9中的RDECAD爲"L")，不選擇構成ROM・BLOCK區域的記憶單元區塊。

即使切離熔絲元件，仍然需要讀出記憶在ROM・BLOCK區域內的裝置碼。

對ROM・BLOCK區域讀出資料，可以藉由使CMD ROMBA成"H"來達成。亦即，當CMD ROMBA爲"H"，ROM・BLOCK區域內之AROWi、…AROWj爲"H"時，選擇

（請先閱讀背面之注意事項再填寫本頁）
裝・訂・線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（48）

構成ROM・BLOCK區域的記憶單元區塊。

此外，即使切離熔絲元件後，藉由以輸入特殊指令，使CMD ROMBA及ROM・BLOCK區域內的AROWi、…AROWj爲"H"，也可以改寫ROM・BLOCK區域內的資料。此時，使CMD ROMBA爲"H"的指令不對一般用户公開，避免不正當的改寫ROM・BLOCK區域內的資料。

此外，本例中雖是說明切離ROM・BLOCK區域內的熔絲，不過當記憶單元區塊爲不良區塊時，圖9的熔絲及圖11段線X內的熔絲也被切離。此時，該部量區塊藉由冗餘電路置換成預備區塊。

基本操作說明…第三至第五特徵

以下詳細說明在讀出、寫入、刪除、測試(BAIN)等各操作模式中，本發明之4值NAND單元型EEPROM(圖1)的主要部分操作，具體而言，爲資料電路(圖2)、綜合檢測電路(圖5)及字線控制電路(圖6、圖9至圖12)的操作。

在說明操作之前，首先簡單說明記憶單元的閾壓與資料寫入方法的例子。

圖13顯示4值NAND單元型EEPROM之記憶單元閾壓(Vth)的分布。

在一個記憶單元中記憶4值資料(2位元資料)。本例中，如上所述，4值資料分別爲"11"、"10"、"00"、"01"。此外，4值資料("11"、"10"、"00"、"01")與記憶單元之閾壓的關係如圖13所示。

亦即，以"11"作爲爲刪除狀態。刪除狀態的記憶單元具

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（49）

有負值閾壓Vth。此外，將"10"、"00"、"01"作爲寫入狀態。寫入狀態的記憶單元具有正值閾壓Vth。此外，在寫入狀態中，"10"狀態的閾壓最低，"01"狀態的閾壓最低，"00"狀態則具有"10"狀態與"01"狀態之間的閾壓。

4值資料(2位元資料)由偶數頁資料與奇數頁資料構成，藉由兩次寫入操作，寫入記憶單元內。

首先執行偶數頁資料的寫入。

全部的記憶單元處於刪除狀態，亦即處於"11"狀態。之後，如圖14所示，於執行偶數頁資料的寫入時，記憶單元之閾壓Vth的分布係針對偶數頁資料的值("1"，"0")區分爲兩個。

亦即，偶數頁資料爲"1"時，避免記憶單元的隧道氧化膜上形成高電場，以防止記憶單元的閾壓Vth上昇。因而記憶單元維持在刪除狀態("11"狀態)(偶數頁資料"1"的寫入)。

另外，偶數頁資料爲"0"時，對記憶單元的隧道氧化膜外加高電場，電子注入漂浮閘極內，使記憶單元的閾壓Vth上昇至指定量。因而記憶單元改變成寫入狀態("10"狀態)(偶數頁資料"0"的寫入)。

之後，執行奇數頁資料的寫入。

奇數頁資料的寫入是依據自晶片外部輸入之寫入資料(亦即奇數頁資料)與已經寫入記憶單元內之偶數頁資料來執行。

亦即，如圖15所示，奇數頁資料爲"1"時，避免記憶單

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（50）

元的隧道氧化膜上形成高電場，以防止記憶單元的閾壓Vth上昇。因而處於"11"狀態(刪除狀態)的記憶單元仍然維持在"11"狀態，處於"10"狀態的記憶單元仍然維持在"10"狀態(奇數頁資料"1"的寫入)。

另外，奇數頁資料爲"0"時，對記憶單元的隧道氧化膜外加高電場，電子注入漂浮閘極內，使記憶單元的閾壓Vth上昇至指定量。因而處於"11"狀態(刪除狀態)的記憶單元改變成"10"狀態，處於"10"狀態的記憶單元改變成"00"狀態(奇數頁資料"0"的寫入)。

亦即，本例中的偶數頁資料爲"1"，奇數頁資料爲"1"時，在記憶單元中寫入有資料"11"，偶數頁資料爲"0"，奇數頁資料爲"1"時，記憶單元中寫入有資料"10"。此外，偶數頁資料爲"1'，奇數頁資料爲"0"時，在記憶單元中寫入有資料"01"，偶數頁資料爲"0"，奇數頁資料爲"0"時，記憶單元中寫入有資料"00"。

如此，記憶單元閾壓 Vth 的分布藉由兩次寫入操作，區分成4個("11"、"10"、"00"、"01")。

本發明在奇數頁資料爲"0"時的寫入方法上具有特徵(第四特徵)。亦即，本例中因4值資料與記憶單元之閾壓的關係設定如圖13所示，因此奇數頁資料爲"0"時，是將"11"狀態改變成"01"狀態，將"10"狀態改變成"00"狀態(參照圖15)。

此處如圖15所示，將"11"狀態改變成"01"狀態時的閾壓變動量，當然大於將"10"狀態改變成"00"狀態時之閾壓變

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（51）

動量。亦即，對於執行"00"寫入之記憶單元及執行"01"寫入之記憶單元，是在相同條件下賦予寫入脈衝，因此"00"寫入比"01"寫入早結束。

本發明(第四特徵)中，利用此省略"00"寫入結束後的"00"驗證讀出，之後，僅執行"01"的驗證讀出，以縮短寫入時間(寫入的快速化)(這一部分將於後述)。

此外，本發明藉由採用該寫入方法，在有關資料電路(圖2)內之驗證電路(如MOS電晶體TN1、…TN6、TN8、TN10等)上也具有特徵。

此外，本例中之4值資料與記憶單元之閾壓的關係設定成如圖13所示，因此本發明在資料的讀出方法上也具有特徵(第三特徵)。

此外，例如在先前技術(特願平8-98627號)中，有關圖13的關係，"00"狀態與"01"狀態顛倒。亦即，"11"狀態改變成"01"狀態時之閾壓的變動量，與"10"狀態改變成"00"狀態時之閾壓的變動量幾乎相同。

以下使用操作時間圖對操作做具體說明：

1. 讀出操作(Read operation)

讀出操作由偶數頁資料的讀出操作與奇數頁資料的讀出操作所構成。

1.-1. 偶數頁資料的讀出操作

如圖13所示，"11"狀態與"01"狀態下，偶數頁資料爲"1"，"10"狀態與"00"狀態下，偶數頁資料爲"0"。亦即，可以藉由兩次讀出操作"READ01"、"READ10"來判斷

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（52）

偶數頁資料爲"1"或是"0"。

因此，偶數頁資料的讀出操作係由兩次讀出操作"READ01"、"READ10"構成。首先執行"READ01"操作，之後執行"READ10"的操作。

1.-1.-1."READ01"

圖16顯示"READ01"操作。

"READ01"操作將讀出電位(被選擇之字線的電位)設定爲Vcgr01(如約1.45V)，爲認識記憶單元的資料爲"01"，或是其他資料"11"、"10"、"00"的操作。

首先在列位址解碼器(圖9、圖11)中，將RDECPB設定爲"L"。此時，RDECAD(圖9)及RDECADS1(圖11)均爲"L(Vss)"，全部的記憶單元區塊處於未選擇狀態。

之後，RDECPB由"L"改變成"H"。此時，MOS電晶體TP4處於關閉狀態，MOS電晶體TN21處於開啓狀態(圖9、圖11)。

此外，被選擇之記憶單元區塊中，全部的列位址信號AROWi、…AROWj爲"H"，RDECAD(圖9)及RDECADS1(圖11)均爲"H"。未選擇之記憶單元區塊中，由於列位址信號AROWi、…AROWj之中至少一個爲"L"，因此RDECAD(圖9)及RDECADS1(圖11)維持在"L"。

被選擇之記憶單元區塊內的字線驅動器(圖10、圖12)中，由於輸入信號RDECAD、RDECADS1爲"H"，因此高電壓開關電路(NMOS充電泵電路)26藉由振盪信號(時鐘信號)Owc執行操作。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（53）

因此，被選擇之記憶單元區塊內的字線驅動器(圖10、圖12)中，高電壓開關電路26的輸出節點上轉送有電位VRDEC。

例如，選擇第一記憶單元區塊內的字線驅動器RMAIN1(圖10)時，輸出節點TransferG1上轉送有電位VRDEC(如約6V)，選擇第二記憶單元區塊內的字線驅動器RMAIN2(圖12)時，輸出節點TransferG2上轉送有電位VRDEC(如約6V)。

結果，轉送用電晶體HNt1、HNt2、…HNt16的閘極成爲VRDEC，信號線CG1、CG2、…CG16的電位經由轉送用電晶體HNt1、HNt2、…HNt16轉送至字線(控制閘極線)WL1、WL2、…WL16上。

此外，信號線SGD、SGS的電位也是經由轉送用電晶體HN5、HN6轉送至選擇閘極線SG1、SG2。

此處，信號線CG1、CG2、…CG16中，被選擇之一條信號線的電位以切換電路(圖1)設定成Vcgr01(如約1.45V)，其他之未選擇信號線的電位則以切換電路(圖1)設定成Vread(如約3.5V)。

此外，信號線SGD、SGS的電位也設定成Vread(如約3.5V)。

另外，在未選擇之記憶單元區塊內的字線驅動器(圖10、圖12)中，高電壓開關電路之輸出節點TransferG1、TransferG2上轉送有電位RDECAD、RDECADS2。

亦即，在未選擇之記憶單元區塊內的字線驅動器(圖10、

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（54）

圖12)中，輸出節點TransferG1、TransferG2均爲接地電位Vss。

結果，轉送用電晶體HNt1、HNt2、…HNt16處於關閉狀態，字線(控制閘極線)WL1、WL2、…WL16處於漂浮狀態。此外，選擇閘極線SG1、SG2藉由信號線SGS、SGD接地。

以下詳細說明圖16的操作時間：

再者，選擇連接位元線BLe的記憶單元，位元線BLo作爲屏蔽位元線。

在列方面(字線控制電路方面)，首先於時刻RCLK1時，BSTON爲"H"。此時，被選擇之記憶單元區塊中，字線驅動器內之高電壓開關電路的輸出節點(TransferG1或TransferG2)上轉送有Vdd(RDECAD或RDECADS2)。

此外，由於時刻RCLK2時，BSTON爲"L"，時刻RCLK3時，VRDEC爲VsgHH，因此，被選擇之記憶單元區塊中，字線驅動器內之高電壓開關電路的輸出節點(TransferG1或TransferG2)的電位上昇至VsgHH。

被選擇之字線CG select的電位設定成Vcgr01(如約1.45V)，未選擇之字線CG unselect的電位及選擇閘極線SG1的電位SGD設定成Vread(如約3.5V)。

另外在行方面(資料電路方面)，時刻RCLK2時，BLPRE爲Vdd(如約2.3V)。此外，時刻RCLK3時，BIASe爲接地電位Vss，BIASo爲Vsghh，時刻RCLK4時，BLSe爲Vsghh時，位元線BLe被預充電，位元線BLo成爲接地電位Vss。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（55）

由於預充電中之位元線BLe之BLCLMP的電位爲Vclmp(如約2V)，因此位元線BLe上昇至約0.8V後，處於漂浮狀態。因而，時刻RCLK7時，位元線BLe的預充電結束。

當時刻RCLK7時，選擇閘極線SG2的電位SGS設定爲Vread時，位元線BLe的電位針對被選擇之記憶單元的資料降低或是維持。

亦即，被選擇之記憶單元的資料爲"11"、"10"、"00"時，因被選擇之記憶單元藉由Vcgr01處於開啓狀態，因此位元線BLe電荷放電，位元線BLe的電位降低至0.3V以下(選擇區塊內之未選擇記憶單元藉由Vread處於開啓狀態)。

另外，由於被選擇之記憶單元的資料爲"01"時，該被選擇之記憶單元藉由Vcgr01不是處於開啓狀態，因此位元線BLe的電荷不會放電，位元線BLe維持預充電電位(約0.8V)。

時刻SCLK6時，SEN及LAT均爲"L"，SENB及LATB均爲"H"，鎖存電路LATCH1，亦即時控反向器CINV1、CINV2處於未操作狀態(圖2)。

時刻SCLK7時，BLC爲Vsg(約4.5V)，nPRST爲"L"時，感應節點(DTNij)爲Vdd。此外，時刻SCLK8時，nPRST爲"H"時，感應節點處於漂浮狀態。此外，時刻SCLK9時，BLCLMP爲Vsense(如約1.6V)，位元線BLe的電位傳送至感應節點。

此時，由於記憶單元的資料爲"11"、"10"、"00"時，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（56）

位元線BLe的電位在0.3V以下，因此，感應節點(DTNij)的電位自Vdd降低至0.3V以下。此外，由於記憶單元的資料爲"01"時，位元線BLe的電位維持在預充電電位(約0.8V)，因此，切離鉗位用MOS電晶體TN9(參照圖2)，感應節點(DTNij)維持在Vdd。

之後，在時刻SCLK13時，SEN爲"H"，SENB爲"L"，時控反向器CINV1處於操作狀態(圖2)。

結果，記憶單元的資料爲"11"、"10"、"00"時，時控反向器CINV1的輸出節點Nbij爲Vdd。記憶單元的資料爲"01"時，時控反向器CINV1的輸出節點Nbij爲Vss。

此外，時刻SCLK14時，LAT爲"H"，LATB爲"L"，時控反向器CINV2處於操作狀態(圖2)。亦即，讀出資料(感應節點的資料)被鎖存在鎖存電路LATCH1內。

此時，記憶單元的資料爲"11"、"10"、"00"時，輸出節點Naij爲Vss，輸出節點Nbij爲Vdd，記憶單元的資料爲"01"時，輸出節點Naij爲Vdd，輸出節點Nbij爲Vss。

時刻SCLK15時，當DTG1爲Vsg(約4.5V)時，被鎖存在鎖存電路LATCH1上的資料轉送至本發明第一特徵之DRAM單元內，亦即轉送至節點CAP1ij。由於節點CAP1ij連接有用於鎖存資料的電容器DLN(C1)，因此讀出資料被鎖存在節點CAP1ij內。

藉由以上之"READ01"操作，被鎖存在節點CAP1ij內的資料如表1所示：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（57）

表1

"READ01"後的CAP1ij

	"11"	"10"	"00"	"01"
CAP1ij	Vss	Vss	Vss	Vdd

亦即在本階段中，雖然節點CAP1ij爲Vdd("H")時，可以確認偶數頁資料爲"1"，但是，節點CAP1ij爲Vss("L")時，卻無法確認偶數頁資料究竟是"1"或是"0"？

因此，於"READ01"之後，繼續執行"READ10"。

1.-1.-2."READ10"

圖17顯示"READ10"的操作。

"READ10"的操作是將讀出電位(被選擇之字線的電位)設定爲 Vcgr10(如 0V)，來瞭解記憶單元的資料爲"11"或是其他的資料"10"、"00"、"01"的操作。

"READ10"的操作除了讀出電位(被選擇之字線的電位)的電平之外，其他與"READ01"操作幾乎相同。

首先，自時刻RCLK1至時刻RCLK6爲止，除被選擇之字線的電位電平之外，執行與"READ01"操作相同的操作。亦即，將被選擇之字線的電位設定爲Vcgr10，選擇區塊內之未選擇字線的電位設定爲Vread，於預充電位元線BLe後，使其處於漂浮狀態，將位元線BLo設定爲接地電位Vss。

之後，在時刻RCLK7時，將選擇閘極線SG2的電位SGS設定爲Vread時，針對被選擇之記憶單元的資料降低或是維

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（58）

持位元線BLe的電位。

亦即，被選擇之記憶單元的資料爲"11"時，由於該被選擇之記憶單元藉由Vcgr10而處於開啓狀態，因此位元線BLe的電荷放電，位元線BLe的電位降低至0.3V以下(選擇區塊內之未選擇記憶單元則藉由Vread而處於開啓狀態。)。

另外，被選擇之記憶單元的資料爲"10"、"00"、"01"時，由於該被選擇之記憶單元並非藉由Vcgr10而處於開啓狀態，因此，位元線BLe電荷沒有放電，位元線BLe維持在預充電電位(約0.8V)。

此處，"READ10"操作與"READ01"操作不同之處在於，於時刻RCLK7時，REG1爲Vdd。

REG1爲Vdd時，MOS電晶體TN10(圖2)處於開啓狀態。此外，由於CAPCRG爲Vdd，VREG及DTG2爲Vss，因此節點CAP2ij爲Vss。亦即，針對以"READ01"所讀出之資料(具體而言，爲鎖存於節點CAP1ij內的資料)的值，來決定感應節點(DTNij)與VREG(Vss)構成短路，或是自VREG切離。

例如，鎖存在節點CAP1ij內的資料爲Vdd時(記憶單元的資料爲"01"時，參照上述表1)，由於MOS電晶體TN3(圖2)處於開啓狀態，因此感應節點(DTNij)與VREG(Vss)構成短路。導至位元線BLe的電荷向VREG放電，位元線BLe的電位自預充電電位(約0.8V)改變成Vss。

另外，鎖存在節點CAP1ij內的資料爲Vdd時(記憶單元的

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（59）

資料爲"11"、"10"、"00"時，參照上述表1)，由於MOS電晶體TN3(圖2)處於關閉狀態，因此感應節點(DTNij)並未與VREG(Vss)構成短路。導至位元線BLe的電位針對被選擇之記憶單元之資料的值，亦即，在"11"時，爲0.3以下的電位，在"10"、"00"時，在預充電電位(約0.8V)。

亦即，執行"READ01"後，於"READ10"之時刻RCLK8時，被選擇之記憶單元的資料爲"11"、"01"時，位元線BLe的電位爲"L(Vss或0.3V以下的電位)"，被選擇之記憶單元的資料爲"10"、"00"時，位元線BLe的電位爲"H(預充電電位)"。

之後，與"READ01"操作同樣的，感應位元線BLe的電位，且鎖存在鎖存電路LATCH1內。

亦即，於時刻SCLK6時，使SEN及LAT均爲"L"，使SENB及LATB均爲"H"，使鎖存電路LATCH1，亦即，時控反向器CINV1、CINV2處於未操作狀態。

於時刻SCLK7時，使BLC爲Vsg(約4.5V)，使nPRST爲"L"時，感應節點(DTNij)爲Vdd。此外，於時刻SCLK8時，使nPRST爲"H"時，感應節點處於漂浮狀態。此外，於時刻SCLK9時，BLCLMP爲Vsense(如約1.6V)，感應節點傳送有位元線BLe的電位。

當記憶單元的資料爲"11"、"01"時，由於位元線BLe的電位爲Vss或是0.3V以下的電位，因此感應節點(DTNij)的電位自Vdd降低至Vss或是0.3V以下的電位。此外，當記憶單元的資料爲"10"、"00"時，由於位元線BLe的電位維持

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (60)

在預充電電位(約0.8V)，因此鉗位用的MOS電晶體TN9(參照圖2)切離，感應節點(DTNij)維持在Vdd。

之後，於時刻SCLK13時，SEN爲"H"，SENB爲"L"，時控反向器CINV1處於操作狀態(圖2)。

因而，當記憶單元的資料爲"11"、"01"時，時控反向器CINV1的輸出節點Nbij爲Vdd。當記憶單元的資料爲"10"、"00"時，時控反向器CINV1的輸出節點Nbij爲Vss。

此外，於時刻SCLK14時，LAT爲"H"，LATB爲"L"，時控反向器CINV2處於操作狀態(圖2)。亦即，讀出資料(感應節點的資料)鎖存在鎖存電路LATCH1內。

藉由以上之"READ10"操作，被鎖存在鎖存電路LATCH1內的資料如表2所示：

表2

偶數頁的讀出資料

	"11"	"10"	"00"	"01"
Naij	Vss	Vdd	Vdd	Vss

亦即，偶數頁資料爲"1"的記憶單元中，鎖存電路LATCH1之輸出節點Naij的電位爲Vss，偶數頁資料爲"0"的記憶單元中，鎖存電路LATCH1之輸出節點Naij的電位爲Vss。

之後，藉由使CSLi爲"H"，將鎖存電路LATCH1的資料

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（61）

（偶數頁資料）輸出至I/O線（IOj, nIOj），且輸出至記憶晶片的外部。

再者，圖18係將上述偶數頁資料的讀出操作特徵予以簡化整理。亦即，在本例中，以"READ01"所讀出的資料鎖存在記憶電路（DRAM單元）內，只要該資料爲"H"時（記憶單元處於"01"狀態時），在下一個"READ10"中，強制性的使感應節點（DTNij）爲"L"。

此外，"READ10"中，由於只要記憶單元處於"11"狀態時，感應節點即爲"L"，因此，記憶單元處於"11"、"01"狀態時（偶數頁資料爲"1"時），感應節點（DTNij）即爲"L"，記憶單元處於"10"、"00"狀態時（偶數頁資料爲"0"時），感應節點（DTNij）即爲"H"。

1.-2. 奇數頁資料的讀出操作

如圖13所示，於"11"狀態與"10"狀態時，奇數頁資料爲"1"，於"00"狀態與"01"狀態時，奇數頁資料爲"0"。亦即，可以藉由一次讀出操作"READ00"來判斷奇數頁資料爲"1"或是"0"。

因此，奇數頁資料的讀出操作僅由"READ00"構成。

1.-2.-1."READ00"

圖19顯示"READ00"的操作。

"READ00"的操作是將讀出電位（被選擇之字線的電位）設定爲Vcgr00（如約0.7V），來瞭解記憶單元的資料爲"11"、"10"或是"00"、"01"的操作。

"READ00"的操作除了讀出電位（被選擇之字線的電位）的

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（62）

電平之外，其他與"READ01"操作幾乎相同。

首先，將被選擇之字線的電位設定爲Vcgr00，選擇區塊內之未選擇字線的電位設定爲Vread，於預充電位元線BLe後，使其處於漂浮狀態，將位元線BLo設定爲接地電位Vss(Ble爲選擇位元線，BLo爲屏蔽位元線。)。

之後，在時刻RCLK7時，將選擇閘極線SG2的電位SGS設定爲Vread時，針對被選擇之記憶單元的資料降低或是維持位元線BLe的電位。

亦即，被選擇之記憶單元的資料爲"11"、"10"時，由於該被選擇之記憶單元藉由Vcgr00而處於開啓狀態，因此位元線BLe的電荷放電，位元線BLe的電位降低至0.3V以下(選擇區塊內之未選擇記憶單元則藉由Vread而處於開啓狀態。)。

另外，被選擇之記憶單元的資料爲"00"、"01"時，由於該被選擇之記憶單元並非藉由Vcgr00而處於開啓狀態，因此，位元線BLe電荷沒有放電，位元線BLe維持在預充電電位(約0.8V)。

之後，與"READ01"操作同樣的，感應位元線BLe的電位，且鎖存在鎖存電路LATCH1內。

亦即，於時刻SCLK6時，使SEN及LAT均爲"L"，使SENB及LATB均爲"H"，使鎖存電路LATCH1，亦即，時控反向器CINV1、CINV2處於未操作狀態。

於時刻SCLK7時，使BLC爲Vsg(約4.5V)，使nPRST爲"L"時，感應節點(DTNij)爲Vdd。此外，於時刻SCLK8

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（63）

時，使nPRST爲"H"時，感應節點處於漂浮狀態。此外，於時刻SCLK9時，BLCLMP爲Vsense(如約1.6V)，感應節點傳送有位元線BLe的電位。

當記憶單元的資料爲"11"、"10"時，由於位元線BLe的電位爲0.3V以下的電位，因此感應節點(DTNij)的電位自Vdd降低至0.3V以下的電位。此外，當記憶單元的資料爲"00"、"01"時，由於位元線BLe的電位維持在預充電電位(約0.8V)，因此鉗位用的MOS電晶體TN9(參照圖2)切離，感應節點(DTNij)維持在Vdd。

之後，於時刻SCLK13時，SEN爲"H"，SENB爲"L"，時控反向器CINV1處於操作狀態(圖2)。

因而，當記憶單元的資料爲"11"、"10"時，時控反向器CINV1的輸出節點Nbij爲Vdd。當記憶單元的資料爲"00"、"01"時，時控反向器CINV1的輸出節點Nbij爲Vss。

此外，於時刻SCLK14時，LAT爲"H"，LATB爲"L"，時控反向器CINV2處於操作狀態(圖2)。亦即，讀出資料(感應節點的資料)鎖存在鎖存電路LATCH1內。

藉由以上之"READ00"操作，被鎖存在鎖存電路LATCH1內的資料如表3所示：

表3

奇數頁的讀出資料

	"11"	"10"	"00"	"01"
Naij	Vss	Vss	Vdd	Vdd

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（64）

亦即，奇數頁資料爲"1"的憶單元中，鎖存電路LATCH1之輸出節點Naij的電位爲Vss，奇數頁資料爲"0"的記憶單元中，鎖存電路LATCH1之輸出節點Naij的電位爲Vdd。

之後，藉由使CSLi爲"H"，將鎖存電路LATCH1的資料(奇數頁資料)輸出至I/O線(IOj, nIOj)，且輸出至記憶晶片的外部。

再者，圖20係將上述奇數頁資料的讀出操作特徵予以簡化整理。亦即，在本例中，以"READ00"所讀出資料仍爲奇數頁的資料。因此，奇數頁資料的讀出操作僅使用鎖存電路(SRAM單元)LATCH1，而不使用DRAM單元。

2. 寫入操作(Program operation)

寫入操作如圖14及圖15中的概要說明，屬於兩次的寫入操作，亦即由偶數頁資料的寫入操作與奇數頁資料的寫入操作所構成。

2.-1. 偶數頁資料的寫入操作

首先，概述偶數頁資料的寫入操作(操作流程)，之後再說明具體的電路操作(操作時間)。

圖21爲偶數頁資料之寫入操作的概要。

首先，如在晶片內輸入有"80(16進位)"指令。之後晶片內再輸入有位址信號，繼續在晶片內輸入有偶數頁的寫入資料。該寫入資料自晶片外部經由晶片內部的I/O線IOj、nIOj，輸入至資料電路內的鎖存電路LATCH1(圖2)內(步驟ST1~ST2)。

其次，如在晶片內輸入有"10(16進位)"指令。如此，在

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（65）

記憶單元的字線上外加有寫入脈衝(步驟ST3~ST4)。

此時，在本例中，由於寫入時間縮短(寫入的快速化)，因此是採用在外加第n次的寫入脈衝(步驟ST4)的同時，藉由外加第n-1次的寫入脈衝，來檢測是否確實執行"10"寫入的順序(並列處理)(步驟ST5)。

但是，如下所示，本例中達成縮短寫入時間(寫入快速化)的其他手段爲，採用漸次提高寫入電位(寫入脈衝的大小)的同時，於寫入操作初期不執行"10"驗證讀出的順序。

因此，本例中，於不執行"10"驗證讀出時，也不執行是否確實寫入的檢測(步驟ST5)。

此因，外加在字線上的寫入脈衝數低於指定次數(如9次)時，省略"10"驗證讀出，繼續外加寫入脈衝(步驟ST6)。藉由於寫入操作初期省略驗證讀出，可以促使寫入快速化。

另外，所謂"10"驗證讀出(VERIFY10)，係指在檢驗對執行"10"寫入之記憶單元是否確實寫入資料"10"的驗證中，爲了執行該項檢驗，以驗證讀出電位Vcgv10(圖13)來讀出記憶單元的資料。

本例中，將寫入電位(寫入脈衝的電平)設定爲既設值，開始外加寫入脈衝，之後，每次外加寫入脈衝時，各以指定值(如約0.2V)漸次提高外加在字線上的寫入電位。

例如藉由將寫入電位依次升高0.2V，在理想狀況下，可以將"10"寫入狀態之記憶單元的閾壓分布寬度設定在0.2V左右。在實際操作中，藉由驗證讀出所產生的陣列節點，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（66）

將"10"寫入狀態之記憶單元的閾壓分布寬度設定在0.4V左右。

此外，圖13中，是以寫入狀態("10"、"00"、"01")之記憶單元的閾壓分布寬度是0.4V左右爲前提。

自開始寫入操作至如外加9次寫入脈衝的期間，所設定的寫入電位極低，不執行對執行"10"寫入之記憶單元的冗餘寫入(閾壓超過Vcgr00的寫入)。

如此，初期之所以將具有低寫入電位的脈衝外加在字線上，每次外加脈衝時，漸次提高寫入電位，係因每次注入少許電子至漂浮閘極上，最後將指定量的電子累積在漂浮閘極上。

此時，如與以一次寫入脈衝，將指定量的電子一次注入漂浮閘極時相比，因藉由一次寫入脈衝外加在記憶單元之隧道氧化膜上的電場較低，因此可以提高隧道氧化膜的可靠性。

此外，使寫入電位(寫入脈衝的電平)漸次自低值上昇至高值。亦即，漸次提高寫入電位時，與初期的寫入電位設定在高值，使該寫入電位漸次下降相比，在經驗上，可以縮小記憶單元之閾壓分布的寬度。

對字線外加寫入脈衝的次數如超過10次時，爲了檢驗是否對執行"10"寫入的記憶單元確實寫入資料"10"，係將寫入脈衝外加在字線上後，執行"10"驗證讀出(步驟ST6~ST7)。

此外，藉由"10"驗證讀出自記憶單元所讀出的資料爲顯

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(67)

示是否確實執行"10"寫入的資料，該資料記憶在資料電路內的鎖存電路LATCH1內。

之後，與將下一個寫入脈衝外加在字線上的操作(步驟ST4)並列，依據鎖存電路LATCH1的資料，藉由之前的寫入脈衝，執行檢驗是否確實執行"10"寫入的操作(Program completion detection)(步驟ST5)。

具體而言，偶數頁資料的寫入操作如圖14所示，包含"11"寫入及"10"寫入。所謂"11"寫入，係指維持刪除狀態("11")，而"10"寫入則是指藉由寫入脈衝使閾壓上昇，將"11"狀態改變爲"10"狀態。

對全部被選擇之記憶單元(行)確實寫入指定的資料"11"、"10"時(實際上爲確實將資料"10"寫入屬於"10"寫入對象的記憶單元時)，偶數頁資料的寫入操作結束。

對至少一個被選擇之記憶單元(行)未確實寫入指定的資料"11"、"10"時(實際上爲未確實將資料"10"寫入屬於寫入對象的全部記憶單元時)，繼續執行"10"驗證讀出及外加寫入脈衝。

此外，一般而言，對於確實寫入的記憶單元係避免以後在隧道氧化膜上外加高電場，而僅對寫入不確實的記憶單元繼續在隧道氧化膜上外加(再寫入)高電場，防止對寫入特性良好的記憶單元冗餘寫入。

然而，本例中，雖是將檢測寫入確實/不確實操作(Program completion detection)與將寫入脈衝外加在字線上之操作並列執行，不過也可以在"10"驗證讀出直後執行

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（68）

Program completion detection，之後，當Program completion detection的結果不確實時，再度外加寫入脈衝。

偶數頁資料的寫入操作概要如上所述。

如上所述，偶數頁資料的寫入操作係由外加寫入脈衝、"10"驗證讀出（VERIFY10）及Program completion detection（檢測寫入是否確實執行）所構成。

以下依次詳細說明這三項操作：

2.-1.-1. 外加寫入脈衝

圖22爲外加寫入脈衝相關操作時間。

首先，在資料電路（行）上執行"10"寫入時（將偶數頁資料"0"寫入記憶單元內時），寫入資料自晶片外部輸入鎖存電路LATCH1（圖2），並在鎖存電路LATCH1的節點Naij上鎖存"L"。

此外，執行"11"寫入時（將偶數頁資料"1"寫入記憶單元內時），將寫入資料自晶片外部輸入鎖存電路LATCH1（圖2），並在鎖存電路LATCH1的節點Naij上鎖存"H"。

另外在字線控制電路（列）上，首先於列位址解碼器（圖9、圖11）中，RDECPB設定有"L"。此時，REDCAD（圖9）及RDECADS1（圖11）均爲"L（Vss）"，全部的記憶單元區塊處於未選擇狀態。

之後，RDECPB自"L"改變成"H"。此時，MOS電晶體TP4處於關閉狀態，MOS電晶體TN21則處於開啓狀態（圖9、圖11）。

此外，被選擇的記憶單元區塊中，全部的列位址信號

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（69）

AROWi、…AROWj為"H"，RDECAD(圖9)及RDECADS1(圖11)均為"H"。未選擇之記憶單元區塊中，由於至少一個列位址信號AROWi、…AROWj為"L"，因此，RDECAD(圖9)及RDECADS1(圖11)維持在"L"。

被選擇之記憶單元區塊內的字線驅動器(圖10、圖12)中，由於輸入信號RDECAD、RDECADS1為"H"，因此，高電壓開關電路(NMOS充電泵電路)26藉由操作信號(時鐘信號)Owc開始操作。

因此，被選擇之記憶單元區塊內的字線驅動器(圖10、圖12)中，依據電位VRDEC將產生之昇壓電位VpgmH(比寫入電位Vpgm高約2V的電位)轉送至高電壓開關電路26的輸出節點上。

例如，選擇第一記憶單元區塊內的字線驅動器RMAIN1(圖10)時，將電位VpgmH(如約18~22V)轉送至輸出節點TransferG1上，選擇第二記憶單元區塊內的字線驅動器RMAIN2(圖12)時，將電位VpgmH轉送至輸出節點TransferG2上。

結果，轉送用電晶體HNt1、HNt2、…HNt16之閘極的電位極高，信號線CG1、CG2、…CG16的電位於閥值未降低狀況下，經由轉送用電晶體HNt1、HNt2、…HNt16，轉送至字線(控制閘極線)WL1、WL2、…WL16。

此外，信號線SGD、SGS的電位也是經由轉送用電晶體HN5、HN6轉送至選擇閘極線SG1、SG2。

此處，於信號線CG1、CG2、…CG16之中，被選擇的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（70）

一條信號線電位，以切換電路(圖1)設定成Vpgm(如約16~20V)，其餘未選擇的信號線電位，則以切換電路(圖1)設定成Vpass(如約10V)。

此外，信號線SGD的電位設定成Vdd，SGS的電位設定成Vss。

另外，未選擇之記憶單元區塊內的字線驅動器(圖10、圖12)中，高電壓開關電路26的輸出節點TransferG1、TransferG2轉送有電位RDECAD、RDECADS2。

亦即，未選擇之記憶單元區塊內的字線驅動器(圖10、圖12)中，輸出節點TransferG1、TransferG2均爲接地電位Vss。

因而轉送用MOS電晶體HNt1、HNt2、…HNt16成關閉狀態，字線(控制閘極線)WL1、WL2、…WL16呈漂浮狀態。選擇閘極線SG1、SG2經由信號線SGS、SGD接地。

以下詳細說明圖22的操作時間：

此外，在本例中說明被連接位元線BLe之記憶單元所選擇者。

列方面(字線控制電路方面)，首先於時刻PLCK1時，BSTON爲"H"。此時，被選擇之記憶單元區塊中，字線驅動器內之高電壓開關電路的輸出節點(TransferG1或TransferG2)上轉送有Vdd(RDECAD或RDECADS2)。

此外，由於在時刻PCLK3時，BSTON爲"L"，在時刻PCLK4時，RDEC爲VpgmH，因此，被選擇之記憶單元區塊中，字線驅動器內之高電壓開關電路的輸出節點

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（71）

(TransferG1或TransferG2)上的電位上昇至Vpgm。

另外在行方面(資料電路方面)，於時刻PCLK1時，BLC及BLCLM均爲Vsg(如約6V)，於時刻PCLK4時，BLe爲VsgHH。因而鎖存電路LATCH1與位元線BLe電連接，位元線BLe上轉送有鎖存電路LATCH1的資料。

例如，執行"10"寫入之記憶單元所連接的位元線(選擇位元線)BLe上轉送有鎖存電路LATCH1之Vss(鎖存電路的節點Naij爲Vss。)。此外，執行"11"寫入(維持刪除狀態)之記憶單元所連接的位元線(選擇位元線)BLe上轉送有鎖存電路LATCH1之Vdd(鎖存電路的節點Naij爲Vdd。)。

此外，未選擇字線BLo的電位設定在Vdd。亦即，BLSo通常設定在Vss，於時刻PLCK4時，由於BIASo爲VsgHH，BLCRL爲Vdd，因此，BLCRL之位元線BLo轉送有Vdd。

因而，位元線BLe、BLo充電結束後，於時刻PCLK5時，未選擇之字線CG unselect設定在Vpass(如約10V)。此外，於時刻PCLK6時，被選擇字線CG select設定在Vpgm(如約16~20V)。

由於執行"10"寫入之記憶單元所連接的選擇位元線BLe爲Vss，因此，其記憶單元的通道電位也是Vss。因此，執行"10"寫入的記憶單元中，通道與控制閘極(被選擇字線)之間存在高電場，電子自通道注入漂浮閘極內。

執行"11"寫入之記憶單元所連接的未選擇位元線BLe爲Vdd，選擇閘極線SG1也是Vdd。亦即，執行"11"寫入之記憶單元與位元線之間所連接的選擇電晶體切離。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（72）

因此，未選擇字線的電位爲Vpass，被選擇字線的電位爲Vpgm時，執行"11"寫入之記憶單元的通道電位，藉由執行"11"寫入之記憶單元的通道及字線間的電容耦合，上昇至8V左右。

因而在執行"11"寫入的記憶單元中，通道與控制閘極(被選擇字線)之間並未外加高電場，電子沒有自通道注入漂浮閘極內(禁止"10"寫入，亦即，維持刪除狀態)。

然因位元線BLo的電位爲Vdd。因此，選擇閘極線SG1爲Vdd時，連接位元線BLo的選擇電晶體切離。亦即，連接位元線BLo的未選擇之記憶單元的通道電位上昇，禁止"10"寫入。

再者，自時刻PCLK6至時刻CCLK10/PRCV1的期間，被選擇字線上外加有寫入脈衝。

因而，於時刻PRCV1時，被選擇字線的電荷放電，被選擇字線的電位自Vpgm變成Vss。此外，於時刻PRCV2時，未選擇字線的電荷放電，未選擇字線自轉送電位Vpass變成Vss。又於時刻PRCV3時，位元線BLe、BLo的電荷放電。

此外，圖23顯示外加寫入脈衝時的情況。亦即，偶數頁資料爲"0"時，寫入單元的通道轉送有接地電位Vss("L")，偶數頁資料爲"1"時，寫入單元的通道爲Vdd-Vth，成漂浮狀態。

2.-1.-2."VERIFY10"

圖24爲"10"驗證讀出的操作時間。

"10"驗證讀出(VERIFY10)時，位元線實施預充電後，使

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（73）

被選擇字線爲Vcgv10(如約0.15V)，檢測位元線的電位變化，讀出記憶單元的資料。

此處，由於鎖存電路LATCH1(圖2)中，已經鎖存了寫入資料，因此驗證讀出時，必須避免讀出資料與寫入資料相衝突。

因此，在對位元線執行預充電及放電(單元資料的讀出)時，節點CAP2ij上轉送有記憶在鎖存電路LATCH1的寫入資料，並暫時加以記憶。

具體而言，如下所述：

首先於時刻RCLK1時，CAPCRG及VREG均設定在Vdd，於時刻RCLK4時，BOOT設定在Vss。於時刻RCLK5時，VREG設定在Vss時，節點CAP2ij設定在Vss。此時，DTG2爲Vss。

於時刻RCLK9/SCLK1時，CAPCRG爲Vss，節點CAP2ij處於漂浮狀態。之後，於時刻SCLK2時，DTG2爲Vsg(如約4.5V)，鎖存在鎖存電路LATCH1上的寫入資料經由MOS電晶體TN2轉送至節點CAP2ij上，並暫時加以記憶。

亦即，偶數頁的寫入資料爲"0"時(執行"10"寫入時)，由於鎖存電路LATCH1的節點Naij爲"L"，因此，節點CAP2ij爲Vss。

此外，偶數頁的寫入資料爲"1"時(執行"11"寫入時)，由於鎖存電路LATCH1的節點Naij爲"H"，因此，節點CAP2ij爲Vdd。

之後，於時刻SCLK3時，DTG2爲Vdd，於時刻SCLK4

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（74）

時，BOOT爲Vdd。

此時，當偶數頁的寫入資料爲"0"時(執行"10"寫入時)，節點CAP2ij仍然爲Vss。此外，偶數頁的寫入資料爲"1"時(執行"11"寫入時)，由於節點CAP2ij藉由電容器DLN(C2)被啓動(Boot)，因此自Vdd(如約2.3V)上昇至3.5V左右。

之後，於時刻SCLK5時，DTG2爲Vss，節點CAP2ij自鎖存電路LATCH1電切離。

另外，記憶單元的資料與一般讀出操作(READ10)同樣的自位元線BLe讀出。

亦即，位元線BLe執行預充電等後，於時刻RCLK7時，SGS爲Vread，位元線BLe的電位針對記憶單元的資料改變。

例如，執行"11"寫入的選擇記憶單元(偶數頁之寫入資料爲"1"的選擇記憶單元)中，由於該選擇記憶單元藉由Vcgv10處於開啓狀態，因此位元線BLe的電荷放電，位元線BLe的電位在0.3V以下。

此外，執行"10"寫入的選擇記憶單元(偶數頁的寫入資料爲"0"的選擇記憶單元)中，"10"寫入不確實時，由於該選擇記憶單元藉由Vcgv10處於開啓狀態，因此，位元線BLe的電荷放電，位元線BLe的電位在0.3V以下。

此外，執行"10"寫入的選擇記憶單元(偶數頁的寫入資料爲"0"的選擇記憶單元)中，"10"寫入確實時，由於該選擇記憶單元藉由Vcgv10處於關閉狀態，因此，位元線BLe

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（75）

的電荷不放電，位元線BLe的電位維持在0.8V。

之後，於時刻SCLK6時，SEN及LAT均爲"L"，SENB及LATB均爲"H"，資料電路內的鎖存電路LATCH1，亦即，時控反向器CINV1、CINV2處於未操作狀態。

另外，此時，寫入資料已經轉送至節點CAP2ij上，且在時刻SCLK5時，節點CAP2ij自鎖存電路LATCH1電切離。

於時刻SCLK7時，因BLC爲Vsg(如約4.5V)，nPRST爲"L"，因此感應節點(DTNij)被充電，感應節點成爲Vdd(Naij也成爲Vdd)。此外，於時刻SCLK8時，當nPRST爲Vdd時，感應節點(DTNij)處於漂浮狀態。

於時刻SCLK9時，當BLCLMP爲Vsense(如約1.6V)時，感應節點(DTNij)上轉送有自位元線BLe所讀出的記憶單元資料。

亦即，執行"11"寫入的選擇記憶單元(偶數頁的寫入資料爲"1"的選擇記憶單元)，與執行"10"寫入的選擇記憶單元(偶數頁的寫入資料爲"0"的選擇記憶單元)中，寫入不確實的記憶單元，因位元線BLe的電位在0.3V以下，因此，感應節點(DTNij)的電位也降低至0.3V以下。

執行"10"寫入的選擇記憶單元(偶數頁的寫入資料爲"0"的選擇記憶單元)中，寫入確實的記憶單元，因位元線BLe的電位維持在0.8V，因此，鉗位用MOS電晶體TN9切離，感應節點(DTNij)維持在Vdd。

於時刻SCLK10時，感應節點(DTNij)的電位如表4所示：

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（76）

表4

"VERIFY10"中的應節點(DTNij・Naij)

	"11"寫入 (寫入未選擇)	"10"寫入 不確實	"10"寫入 確實
SCLK10時	"LOW"	"LOW"	"HIGH"
SCLK12時	"HIGH"	"LOW"	"HIGH"

之後，與一般讀出操作(READ10)不同，"10"驗證讀出時，於時刻SCLK11時，REG2爲Vsg，MOS電晶體TN6處於開啓狀態。

執行"11"寫入時(偶數頁的寫入資料爲"1"時)，由於節點CAP2ij上鎖存有"H"，因此，MOS電晶體TN1處於開啓狀態。亦即，COMi(設定在Vdd)及感應節點(DTNij)短路，因而感應節點(DTNij)爲Vdd。

執行"10"寫入時(偶數頁的寫入資料爲"0"時)，由於節點CAP2ij上鎖存有"L"，因此，MOS電晶體TN1處於關閉狀態。亦即，因COMi(設定在Vdd)及感應節點(DTNij)電切離，因此，感應節點(DTNij)的電位不變。

因此，時刻SCLK12時之感應節點(DTNij)的電位，如上述表4所示。

之後，於時刻SCLK13時，SEN爲Vdd，SENB爲Vss，時控反向器CINV1在操作狀態，感應有感應節點(DTNij)的電位。

如上述表4中所示，"11"寫入時及"10"寫入確實時，由

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（77）

於各感應節點(DTNij)爲"H"，因此時控反向器CINV1的輸出節點Nbij爲Vss。此外，"10"寫入不確實時，由於感應節點(DTNij)爲"L"，因此時控反向器CINV1的輸出節點Nbij爲Vdd。

之後，於時刻SCK14時，LAT爲Vdd，LATB爲Vss，讀出資料被鎖存在鎖存電路LATCH1上。

亦即，"11"寫入時及"10"寫入確實時，節點Naij爲Vdd，節點Nbij爲Vss。"10"寫入不確實時，節點Naij爲Vss，節點Nbij爲Vdd。

"10"驗證讀出結束時之鎖存電路LATCH1的資料如表5所示：

表5

"VERIFY10"後的鎖存電路LATCH1的資料

	"11"寫入 (寫入未選擇)	"10"寫入 不確實	"10"寫入 確實
Naij	"Vdd"	"Vss"	"Vdd"
Nbij	"Vss"	"Vdd"	"Vss"

此外，該鎖存電路LATCH1的資料，供以後作爲新寫入資料(偶數頁資料)使用。亦即"VERIFY10"時，鎖存在節點CAP2ij上的資料在後述之Program completion detection時消失。

因而，寫入資料(偶數頁資料)爲"0"(亦即"L")時，執行

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（78）

寫入("10"寫入)且寫入確實時，寫入資料自"0"("L")變成"1"("H")，以後無法執行寫入("10"寫入)。

然而，上述的"10"驗證讀出時，於時刻SCLK4時，使BOOT自Vss變成Vdd，"11"寫入時之節點CAP2ij的電位啓動至4V左右的理由，是因爲於時刻SCLK11，REG2爲Vsg時，在不減低N通道MOS電晶體TN1閥壓部分的閥值狀況下，將感應節點(DTNij)設定在Vdd。

若"11"寫入時之節點CAP2ij的電位爲Vdd(如約2.3V)時，於時刻SCLK11時，感應節點(DTNij)只上昇至1.5V左右。

雖然在理論操作上，感應節點的1.5V可以視爲"H"，但是此時，在感應時(SCLK13)時會有貫通電流在時控反向器CINV1內流動的缺點。由於在晶片內有4000個或是8000個或是16000條資料電路，因此貫通電流若在全部資料電路的時控反向器CINV1內流動時，整個晶片合計將產生約100mA的大電流。

因而產生晶片內電源電位Vdd降低，大幅增加耗電量等的問題。

本例中，若是將"11"寫入時之節點CAP2ij的電位啓動至4V左右，可以在不降低MOS電晶體TN1閥值的狀況下對感應節點(DTNij)執行充電，防止上述電源電位Vdd降低及耗電的增加。

此外，圖25綜合顯示"10"驗證讀出時的狀態。亦即，DRAM單元轉送有鎖存在鎖存電路LATCH1上的寫入資料

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（79）

後，感應節點(DTNij)轉送有讀出資料。

此時，鎖存在DRAM單元內的資料爲"H"，亦即，顯示"11"寫入或是"10"寫入確實時，不論讀出資料爲何，感應節點(DTNij)均爲"H"。

亦即，鎖存在DRAM單元內的資料爲"L"，亦即，僅在顯示"10"寫入不確實時，感應節點(DTNij)上轉送有針對記憶單元狀態的資料。

例如，記憶單元的狀態未達到"10"狀態時("10"不確實時)，感應節點(DTNij)爲"L"，記憶單元的狀態達到"10"狀態時("10"確實時)感應節點(DTNij)爲"H"

因而，感應節點(DTNij)的資料被鎖存在鎖存電路LATCH1上。

以後，依據鎖存在鎖存電路LATCH1上的資料，外加下一個寫入脈衝及執行下一個"10"驗證讀出。

2.-1.-3. "Program completion detection"

"VERIFY10"後，對全部執行"10"寫入的記憶單元，執行檢測是否確實執行"10"寫入的"program completion detection"操作。該檢測係藉由"VERIFY10"，並依據鎖存在鎖存電路LATCH1上的資料(參照表5)來執行。當"10"寫入不確實時，執行再寫入(外加寫入脈衝)，當"10"寫入確實時，則結束寫入(外加寫入脈衝)。

圖26爲"Program completion detection"的操作時間。

該"Program completion detection"中，使用有圖5的綜合檢測電路。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (80)

此外，如圖19之操作概要的說明，結束"VERIFY10"後，立即執行下一個"外加寫入脈衝"，"Program completion detection"與該"外加寫入脈衝"並列執行。

因此，時刻PCLK7/CCLK1與圖22中的時刻PCLK7/CCLK1相同。

此外，偶數頁資料寫入操作時的"Program completion detection"中，圖26的時刻CCLK5爲時刻CCLK9。亦即，執行時刻CCLK5以前的操作，省略自時刻CCLK5至時刻CCLK9的操作。

另外，自時刻CCLK5至時刻CCLK9的操作，是在後述之奇數頁資料寫入操作時的"Program completion detection"中執行。

首先，於時刻CCLK1時，CAPCRG爲Vsg，VREG爲Vdd，節點CAP2ij被充電，節點CAP2ij的電位爲Vdd(DTG2爲Vss)。

此時，"VERIFY10"中，刪除鎖存在節點CAP2ij上的資料(偶數頁資料)。但是，於"VERIFY10"中，由於新寫入的資料已經鎖存在鎖存電路LATCH1上，因此寫入資料不會完全消失。

亦即，寫入資料(偶數頁資料)爲"0"(亦即"L")時，是執行寫入("10"寫入)，當寫入確實時，寫入資料自"0"改變成"1"，以後無法再執行寫入("10"寫入)。

之後，於時刻CCLK2(DCLK1)時，COMHn(圖5)自Vss變成Vdd，NCOML(圖5)自Vdd變成Vss時，COMi1及COMi2

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（81）

均爲Vdd，且處於漂浮狀態，NCOM爲Vss，且處於漂浮狀態。

於時刻DCLK2時，如REG2-0爲Vdd。此時，在圖5中，選擇有第一及第五資料電路，第一資料電路內的REG2及第五資料電路內的REG2均爲Vdd。

第一及第五資料電路中，鎖存電路LATCH1之節點Naij的資料均爲Vdd時(參照表5)，亦即，"11"寫入(寫入未選擇)或是"10"寫入確實時，因感應節點DTNij維持在Vdd，因此，MOS電晶體TN6(圖2)處於關閉狀態，COMi1及COMi2維持在Vdd。因此，NCOM是維持在Vss。

另外，第一及第五資料電路中至少其中一條，其鎖存電路LATCH1之節點Naij的資料爲Vss時(參照表5)，亦即，"10"寫入不確實時，由於感應節點DTNij維持在Vss，因此，MOS電晶體TN6(圖2)處於開啓狀態，COMi1及COMi2自Vdd變成Vss。因此，NCOM自Vss變成Vdd。

同樣的，REG2-1、REG2-2、REG2-3依次爲Vdd。亦即，REG2-1爲Vdd時，選擇有第二及第六資料電路，REG2-2爲Vdd時，選擇有第三及第七資料電路，REG2-3爲Vdd時，選擇有第四及第八資料電路，並在各資料電路中檢測鎖存電路LATCH1的狀態，亦即，檢測"10"寫入確實/不確實。

結果，自第一至第八全部的資料電路輸出顯示"11"寫入(寫入未選擇)或是"10"寫入確實的資料時，於時刻CCLK3時，NCOM爲Vss。此外，自第一至第八資料電路中至少一

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（82）

條輸出顯示"10"寫入不確實的資料時，於時刻CCLK3時，NCOM爲Vdd。

此外，FLAG節點（圖5）並聯全部的行。因此，預先將FLAG節點設定在Vdd且處於漂浮狀態後，於時刻CCLK3時，COLPRE設定在Vdd，使MOS電晶體TN17（圖5）處於開啓狀態。

此時，由於自對應全部行之全部資料電路輸出顯示"11"寫入（寫入未選擇）或是"10"寫入確實的資料時，NCOM爲Vss，因此，MOS電晶體TN16（圖5）處於關閉狀態，因此，FLAG節點維持在Vdd。

此外，由於自對應全部行之全部資料電路中至少一條輸出顯示"10"寫入確實的資料時，NCOM爲Vdd，因此，MOS電晶體TN16（圖5）處於開啓狀態，因此，FLAG節點維持在Vss。

如此，全部的行中，僅在沒有"10"寫入不確實的記憶單元時，FLAG節點維持在Vdd，至少有一行存在"10"寫入不確實的記憶單元時，FLAG節點則爲Vss。

因此，檢測該FLAG節點的電平，FLAG節點爲Vdd時，亦即，沒有"10"寫入不確實的行（記憶單元）時，結束偶數頁資料的寫入常式（Routine）。此外，FLAG節點爲Vss時，亦即，至少有一行（記憶單元）"10"寫入不確實時，再度執行"10"驗證讀出，之後，與外加寫入脈衝並列執行Program completion detection。

另外，因存在不良單元，因此藉由冗餘電路，置換成備

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(83)

份單元(Spare Cell)的不良行(置換單位爲8行)中，圖5之綜合檢測電路10的熔絲元件被切斷。因此，受到該不良行的影響，FLAG節點並非Vss。

圖27簡要顯示Program completion detection的狀態。亦即，在鎖存電路LATCH1中鎖存有由"10"驗證讀出自記憶單元所讀出的資料。因此，該鎖存電路LATCH1的資料轉送至感應節點(DTNij)上，藉由檢測COMi電位的變化，可以檢測全部的記憶單元是否完成"10"寫入。

2.-2. 奇數頁資料的寫入操作

首先，概述奇數頁資料的寫入操作(操作流程)，之後再說明具體的電路操作(操作時間)。

圖28爲奇數頁資料之寫入操作的概要。

執行奇數頁資料的寫入之前，由於已經完成如上所述的偶數頁資料的寫入操作，因此，記憶單元的狀態處於"11"狀態或是"10"狀態。

首先，如在晶片內輸入有"80(16進位)"指令。之後晶片內再輸入有位址信號，繼續在晶片內輸入有奇數頁的寫入資料。該寫入資料自晶片外部經由晶片內部的I/O線IOj、nIOj，輸入至資料電路內的鎖存電路LATCH1(圖2)內(步驟ST1~ST2)。

其次，如在晶片內輸入有"10(16進位)"指令。如此，首先讀出記憶在記憶單元內的偶數頁資料(Internal Data Load)。之後，依據自晶片外部所輸入之奇數頁資料(寫入資料)及自記憶單元讀出之偶數頁資料，執行寫入脈衝的外

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（84）

加（步驟ST3～ST5）。

此時，在本例中，由於寫入時間縮短（寫入的快速化），因此是採用在外加第n次的寫入脈衝（步驟ST5）的同時，藉由外加第n-1次的寫入脈衝，來檢測是否確實執行"00"寫入及"01"寫入的順序（並列處理）（步驟ST5～ST7）。

但是，如下所示，本例中達成縮短寫入時間（寫入快速化）的其他手段爲，採用漸次提高寫入電位（寫入脈衝的大小）的同時，於寫入操作初期不執行"00"驗證讀出及"01"驗證讀出的順序。

因此，本例中，於不執行"00"驗證讀出時，也不執行是否確實執行"00"寫入的檢測。此外，於不執行"01"驗證讀出時，也不執行是否確實執行"01"寫入的檢測。

將寫入脈衝外加在字線上的數量在第一指定次數（如九次）以下時，省略"00"驗證讀出，繼續外加寫入脈衝（步驟ST10）。將寫入脈衝外加在字線上的數量在第二指定次數（如十三次）以下時，省略"01"驗證讀出（步驟ST8A、8B）。

此因，於寫入初期省略驗證讀出，係如同上述逐漸提高寫入電位的方法，由於寫入初期幾乎不可能在記憶單元內確實寫入指定的資料，因此，省略驗證讀出步驟，反而有利於促使寫入速度快速化。

另外，所謂"00"驗證讀出（VERIFY00），係指在檢驗對執行"00"寫入之記憶單元是否確實寫入資料"00"的驗證中，爲了執行該項檢驗，以驗證讀出電位Vcgv00（圖13）來讀出

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（85）

記憶單元的資料。

此外，所謂"01"驗證讀出(VERIFY01)，係指在檢驗對執行"01"寫入之記憶單元是否確實寫入資料"01"的驗證中，爲了執行該項檢驗，以驗證讀出電位Vcgv01(圖13)來讀出記憶單元的資料。

本例中，將寫入電位(寫入脈衝的電平)設定爲既設值，開始外加寫入脈衝，之後，每次外加寫入脈衝時，各以指定值(如約0.2V)漸次提高外加在字線上的寫入電位。

例如藉由將寫入電位依次升高0.2V，在理想狀況下，可以將"00"寫入狀態之記憶單元及"01"寫入狀態之記憶單元的閾壓分布寬度設定在0.2V左右。在實際操作中，藉由驗證讀出所產生的陣列節點，將"00"寫入狀態之記憶單元及"01"寫入狀態之記憶單元的閾壓分布寬度設定在0.4V左右。

自開始寫入操作至如外加9次寫入脈衝的期間，所設定的寫入電位爲完全執行"00"寫入之極低電位。此外，自開始寫入操作至如外加十三次寫入脈衝爲止的期間，所設定的寫入電位爲完全執行"01"寫入之極低電位。

因此，對於執行"00"寫入的記憶單元及執行"01"寫入的記憶單元，不執行多餘的寫入(閾壓超過Vcgr01的寫入)。

如此，初期之所以將具有低寫入電位的脈衝外加在字線上，每次外加脈衝時，漸次提高寫入電位，係因每次注入少許電子至漂浮閘極上，最後將指定量的電子累積在漂浮閘極上。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(86)

此時，如與以一次寫入脈衝，將指定量的電子一次注入漂浮閘極時相比，因藉由一次寫入脈衝外加在記憶單元之隧道氧化膜上的電場較低，因此可以提高隧道氧化膜的可靠性。

此外，使寫入電位(寫入脈衝的電平)漸次自低值上昇至高值。亦即，漸次提高寫入電位時，與初期的寫入電位設定在高值，使該寫入電位漸次下降相比，在經驗上，可以縮小記憶單元之閾壓分布的寬度。

對字線外加寫入脈衝的次數如超過10次時，爲了檢驗是否對執行"00"寫入的記憶單元確實寫入資料"00"，係將寫入脈衝外加在字線上後，執行"00"驗證讀出(步驟ST10~ST11)。

此外，對字線外加寫入脈衝的次數如超過14次時，爲了檢驗是否對執行"01"寫入的記憶單元確實寫入資料"01"，係將寫入脈衝外加在字線上後，執行"01"驗證讀出(步驟ST8A~ST9A，ST8B~ST9B)。

藉由"00"驗證讀出自記憶單元所讀出的資料爲顯示是否確實執行"00"寫入的資料，該資料記憶在"00"寫入對象之行之資料電路內的鎖存電路LATCH1內。

藉由"01"驗證讀出自記憶單元所讀出的資料爲顯示是否確實執行"01"寫入的資料，該資料記憶在"01"寫入對象之行之資料電路內的鎖存電路LATCH1內。

之後，與將下一個寫入脈衝外加在字線上的操作(步驟ST5)並列，依據鎖存電路LATCH1的資料，藉由之前的寫

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(87)

入脈衝，執行檢驗是否確實執行"00"寫入或是"01"寫入的操作(Program completion detection)(步驟ST6~ST7)。

具體而言，奇數頁資料的寫入操作如圖15所示，包含"11"、"10"、"00"、"01"寫入四種。所謂"11"寫入及"10"寫入，係指維持寫入偶數頁資料後之記憶單元的狀態；此外，所謂的"00"寫入，係指藉由寫入脈衝使閥壓上昇，將"10"狀態改變成"00"狀態；而所謂的"10"寫入，則是指藉由寫入脈衝使閥壓上昇，將"11"狀態改變爲"01"狀態。

對全部被選擇之記憶單元(行)確實寫入指定的資料"11"、"10"、"00"、"01"時(實際上爲確實將資料"00"、"01"寫入屬於"00"、"01"寫入對象的記憶單元時)，奇數頁資料的寫入操作結束(步驟ST6)。

對至少一個被選擇之記憶單元(行)未確實寫入指定的資料"11"、"10"、"00"、"01"時(實際上爲未確實將資料"0"、"01"寫入屬於"00"、"01"寫入對象的全部記憶單元時)，繼續執行"00"驗證讀出、"01"驗證讀出及外加寫入脈衝(步驟ST5~ST11)。

本例中，對屬於"00"寫入對象的全部記憶單元確實執行"00"寫入後，僅執行"01"驗證讀出及Program completion detection，而不執行"00"驗證讀出(步驟ST7、ST8B、ST9B路線(Route))。

採取此種順序的理由，是因通常"00"寫入比"01"寫入早結束("00"狀態的閥壓比"01"狀態的閥壓低)，省略"00"

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(88)

寫入結束後的"00"驗證讀出，來縮短寫入時間(寫入快速化)。

然而，本例中，雖是將檢測寫入確實/不確實操作(Program completion detection)與將寫入脈衝外加在字線上之操作並列執行，不過也可以在"00"驗證讀出或是"01"驗證讀出直後執行Program completion detection，之後，當Program completion detection的結果不確實時，再度外加寫入脈衝。

此外，對於寫入確實的記憶單元，也可以在以後不再外加寫入脈衝，而僅對寫入不確實的記憶單元繼續外加寫入脈衝(再寫入)，對於寫入特性良好的記憶單元不執行多餘的寫入。

奇數頁資料的寫入操作概要如上所述。

如上所述，奇數頁資料的寫入操作係由讀出記憶在記憶單元內之偶數頁資料(Internal data load)、外加寫入脈衝、"00"驗證讀出(VERIFY00)、"01"驗證讀出(VERIFY01)及Program completion detection及"00" Program completion detection所構成。

以下依序詳細說明這些操作：

2.-2.-1. "Internal data load"

所謂"Internal data load"，係指讀出記憶在記憶單元內的偶數頁資料，並鎖存在資料電路內之記憶電路(DRAM單元，亦即節點CAP1ij)上的操作。此外，寫入資料(奇數頁資料)暫時鎖存在節點CAP2ij後，再度鎖存在鎖存電路

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（89）

LATCH1上。

圖29及圖30分別顯示Internal data load相關的操作時間。

Internal data load係由四項操作(1st Quarter, 2nd Quarter, 3rd Quarter, 4th Quarter)所構成。

1st Quarter如圖29中的實線所示，2nd Quarter如圖30中的實線所示。3rd Quarter雖與1st Quarter概同，不過與圖29中雙點段線所示部分的1st Quarter有所不同。4th Quarter雖與2nd Quarter概同，不過與圖30中雙點段線所示部分的2nd Quarter有所不同。

2.-2.-1.-1. "Internal data load 1st Quarter"

圖29的實線顯示Internal data load 1st Quarter的相關操作時間。

自晶片外部輸入之奇數頁寫入資料爲"1"時，鎖存電路LATCH1的節點Naij爲"H"。此外，自晶片外部輸入之奇數頁寫入資料爲"0"時，鎖存電路LATCH1的節點Naij爲"L"。

在1st Quarter中，將選擇之位元線電位(讀出電位)設定在Vcgr10，執行讀出操作。此時，記憶單元若在"11"狀態，位元線放電，位元線的電位變成"L"。記憶單元若在"10"狀態，由於位元線維持在預充電電位，因此，位元線的電位爲"H"。

另外，在位元線中讀出記憶單元之資料的期間，節點CAP2ij轉送有鎖存在鎖存電路LATCH1上的奇數頁資料。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（90）

具體而言，奇數頁資料爲"1"，亦即，鎖存電路LATCH1的節點Naij爲"H"時，於時刻SCLK5時，節點CAP2ij約爲4V。奇數頁資料爲"0"，亦即，鎖存電路LATCH1的節點Naij爲"L"時，於時刻SCLK5時，節點CAP2ij則爲Vss。

之後，感應位元線的電位，且鎖存在鎖存電路LATCH1上。記憶單元若在"11"狀態，因位元線的電位爲"L"，因此，感應節點DTNij爲"L"，鎖存電路LATCH1的節點Naij也是"L"。記憶單元若在"10"狀態，因位元線的電位爲"H"，因此，感應節點DTNij爲"H"，鎖存電路LATCH1的節點Naij也是"H"。

此外，於時刻RCLK15時，DTG1若爲Vsg，DRAM單元，亦即節點CAP1ij上轉送有且鎖存有鎖存電路LATCH1的資料。

如此，於1st Quarter結束時，在節點CAP2ij上鎖存有奇數頁資料，在節點CAP1ij上鎖存有偶數頁資料。

因而，於1st Quarter結束時，節點CAP1ij、CAP2ij的資料如表6所示：

表6

"Internal Data Load 1st Quarter"結束時儲存在電容器C1、C2內的資料

	"11"	"10"	"00"	"01"
CAP1ij	"Low"	"High"	"High"	"Low"
CAP2ij	"High"	"High"	"Low"	"Low"

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（91）

亦即，"Internal data load 1st Quarter"中，記憶在記憶單元內的偶數頁資料爲"1"時("11"狀態時)，節點 CAP1ij 爲"L"，記憶在記憶單元內的偶數頁資料爲"0"時("10"狀態時)，節點 CAP1ij 爲"H"。

此外，奇數頁資料爲"1"時(記憶單元的狀態未改變成"11"、"10"時)，節點CAP2ij爲"H"，奇數頁資料爲"0"時(記憶單元的狀態改變成"00"、"01"時)，節點CAP2ij爲"L"。

另外，圖31中簡要顯示"Internal data load 1st Quarter"中之偶數/奇數頁資料的操作。

2.-2.-1.-2. "Internal data load 2nd Quarter"

圖30的實線顯示Internal data load 2nd Quarter的相關操作時間。

於Internal data load 1st Quarter之後，繼續執行Internal data load 2nd Quarter。Internal data load 2nd Quarter中執行，將鎖存在節點CAP2ij上之奇數頁資料送回鎖存電路LATCH1的操作。

首先，於時刻ILCLK1時，BLSe爲Vss，時刻ILCLK2時，BLSo爲Vdd。BLCRL爲Vss。因而圖2的節點Ns與節點BLCRL構成短路，成爲Vss。

此外，於時刻ILCLK2時，SEN及LAT均爲Vss，SENB及LATB均爲Vdd，鎖存電路LATCH1，亦即時控反向器CINV1、CINV2未被啓動。

之後，於時刻ILCLK3時，nPRST爲Vss時，感應節點

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（92）

(DTNij)預充電成Vdd。此外，於時刻ILCLK4時，nPRST爲Vdd時，感應節點(DTNij)處於漂浮狀態。

此外，於時刻ILCLK3時，BLC爲Vsg，於時刻ILCLK5時，BLCLMP爲Vsense(如約1.6V)。此時，因節點Ns爲Vss，因此感應節點(DTNij)也是Vss。

之後，於時刻ILCLK6時，BLCLMP爲Vss，時刻ILCLK7時，REG2爲Vsg。此時，針對節點CAP2ij的資料改變感應節點(DTNij)的電位。

例如，如上述表6所示，由於奇數頁資料爲"1"時，亦即，執行"11"、"10"寫入時(具體而言，爲維持記憶單元的資料時，亦即，寫入未選擇時)，節點CAP2ij爲"H"，因此，圖2的MOS電晶體TN1處於開啓狀態。因而節點COMi上連接有感應節點(DTNij)，使感應節點爲Vdd。

另外，由於奇數頁資料爲"0"時，亦即，執行"00"、"01"寫入時，節點CAP2ij爲"L"，因此，圖2的MOS電晶體TN1處於關閉狀態。因而感應節點維持在Vss。

之後，於時刻ILCLK9時，SEN爲Vdd，時控反向器CINV1處於操作狀態。亦即，時控反向器CINV1上感應有感應節點(DTNij)的電位。此外，於時刻ILCLK10時，LAT爲Vdd，鎖存電路LATCH1處於操作狀態。

亦即，當奇數頁資料爲"1"時，鎖存電路LATCH1的節點Naij爲"H"，奇數頁資料爲"0"時，則爲"L"。

因而，2nd Quarter結束時之DRAM單元(節點CAP1ij)的狀態與2nd Quarter結束時鎖存電路LATCH1之節點Naij的狀

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (93)

態，如表7所示：

表7

"Internal Data Load 2nd Quarter"結束時儲存在電容器C1、鎖存電路LATCH1內的資料

	"11"	"10"	"00"	"01"
CAP1ij	"Low"	"High"	"High"	"Low"
Naij	"High"	"High"	"Low"	"Low"

再者，圖32係簡要顯示"Internal Data Load 2nd Quarter"中奇數頁資料的操作。

2.-2.-1.-3. "Internal Data Load 3rd Quarter"

圖29的實線(SGD、REG1則爲雙點段線)顯示"Internal Data Load 3rd Quarter"相關的操作時間。

Internal Data Load 3rd Quarter及Internal Data Load 4th Quarter是藉由Internal Data Load 1st Quarter及Internal Data Load 2nd Quarter，將鎖存在DRAM單元(節點CAP1ij)內資料予以倒置("H"→"L"，"L"→"H")的操作。

如上述表7所示，當偶數頁資料爲"1"時，鎖存在節點CAP1ij上的資料爲"L"，偶數頁資料爲"0"時，則爲"H"。亦即，若以"1"視爲"H"，以"0"視爲L"時，偶數頁資料的值與鎖存在節點CAP1ij上之資料的值彼此顛倒。

因而在Internal Data Load 3rd Quarter及Internal Data Load 4th Quarter中，倒置鎖存在DRAM單元(節點CAP1ij)內資

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（94）

料後，使偶數頁資料的值與鎖存在節點CAP1ij內之資料的值彼此相同。

Internal Data Load 3rd Quarter與Internal Data Load 1st Quarter有兩點不同，分別是①SGD爲Vss，②自時刻RCLK7至時刻RCLK8之間的REG1爲Vdd。

於Internal Data Load 3rd Quarter中，倒置節點CA1ij的資料，轉送至感應節點(DTNij)後，將鎖存在鎖存電路LATCH1之奇數頁資料轉送至節點CAP2ij上，繼續將感應節點(DTNij)的資料轉送至鎖存電路LATCH1上。

首先，與Internal Data Load 1st Quarter同樣的，於時刻RCLK4時，將位元線預充電，使位元線的電位到達0.8V左右。之後，於時刻RCLK7時，SGS雖然爲Vread，但是在本例中，由於SGD維持在Vss，因此，位元線不經過記憶單元實施放電。

本例中，於時刻RCLK7時，REG1爲Vdd時，依據鎖存在CAP1ij上的資料，決定位元線(或是感應節點)放電或是維持現狀。

例如，如上述表7中所示，由於偶數頁資料爲"0"時，亦即，執行"10"寫入或"00"寫入時，節點CAP1ij爲Vdd，因此，MOS電晶體TN3(圖2)處於開啓狀態，位元線(感應節點)與VREG(Vss)構成短路。

另外，由於偶數頁資料爲"1"時，亦即，執行"11"寫入或"01"寫入時，節點CAP1ij爲Vss，因此，MOS電晶體TN3(圖2)處於關閉狀態，位元線(感應節點)維持在預充電

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（95）

電位（約0.8V）。

之後，鎖存在鎖存電路LATCH1上的奇數頁資料與Internal Data Load 1st Quarter同樣的，於時刻SCLK2時，轉送至節點CAP2ij。之後，於時刻SCLK6時，SEN及LAT均爲"L"，鎖存電路LATCH1處於未操作狀態。

之後，於時刻SCLK7時，BLC爲Vsg，nPRST爲Vss，於時刻SCLK8時，nPRST爲Vdd。於時刻SCLK9時，BLCLMP爲Vsense，且於時刻SCLK13時，SEN爲"H"，並藉由時控反向器CINV1感應有感應節點（DTNij）的電位。此外，於時刻SCLK14時，LAT爲"H"，鎖存電路LATCH1處於操作狀態。

因而，偶數頁資料爲"0"時（節點CAP1ij爲Vdd時），鎖存電路LATCH1的節點Naij爲"L"，偶數頁資料爲"1"時（節點CAP1ij爲Vss時），鎖存電路LATCH1的節點Naij爲"H"。

之後，於時刻SCLK15時，使DTG1爲Vsg時，DRAM單元（節點CAP1ij）上轉送有鎖存電路LATCH1的資料。

此處，由於偶數頁資料爲"0"時（節點CAP1ij爲Vdd時），鎖存電路LATCH1的節點Naij爲"L"，因此節點CAP1ij自Vdd("H")倒置成Vss("L")。此外，由於偶數頁資料爲"1"時（節點CAP1ij爲Vss時），鎖存電路LATCH1的節點Naij爲"H"，因此節點CAP1ij自Vss("L")倒置成Vdd("H")。

於Internal Data Load 3rd Quarter結束時，奇數頁資料記憶在節點CAP2ij上，偶數頁資料記憶在節點CAP1ij上。

3rd Quarter結束時之CAP1ij及CAP2ij的資料如表8所示：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（96）

表8

"Internal Data Load 3rd Quarter"結束時儲存在電容器C1、C2內的資料

	"11"	"10"	"00"	"01"
CAP1ij	"High"	"Low"	"Low"	"High"
CAP2ij	"High"	"High"	"Low"	"Low"

再者，圖33係簡要顯示"Internal Data Load 3rd Quarter"中偶數/奇數頁資料的操作。

2.-2.-1.-4. "Internal Data Load 4th Quarter"

圖30的實線(SGD則爲雙點段線)顯示"Internal Data Load 4th Quarter"相關的操作時間。

於Internal Data Load 4th Quarter中，執行將鎖存在節點CAP2ij上之奇數頁資料送回鎖存電路LATCH1上的操作。

Internal Data Load 4th Quarter與Internal Data Load 2nd Quarter不同之處僅在於，SGD維持在Vss。

將記憶在節點CAP2ij上之奇數頁資料轉送至鎖存電路LATCH1上的操作與Internal Data Load 2nd Quarter相同。因此，省略Internal Data Load 4th Quarter的詳細說明。

另外，鎖存在4th Quarter結束時之DRAM單元(節點CAP1ij)及鎖存電路LATCH1(節點Naij)上的資料，如表9所示。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（97）

表9

"Internal Data Load 4th Quarter"結束時儲存在電容器C1、鎖存電路LATCH1內的資料

	"11"	"10"	"00"	"01"
CAP1ij	"High"	"Low"	"Low"	"High"
Naij	"High"	"High"	"Low"	"Low"

再者，圖34係簡要顯示"Internal Data Load 4th Quarter"中奇數頁資料的操作。

有關Internal data load(1st Quarter、2nd Quarter、3rd Quarter、4th Quarter)的說明如上。藉此，奇數頁資料鎖存在鎖存電路LATCH1上，偶數頁資料鎖存在DRAM單元(節點CAP1ij)上。而且奇數/偶數頁資料的值與被鎖存之資料的值相等("1"對應"H"，"0"對應"L")。

之後，如上述表9所示，依據鎖存在CAP1ij及Naij上的2位元資料，執行奇數頁資料的實際寫入操作。

2.-2.-2. 外加寫入脈衝

外加寫入脈衝係藉由與外加偶數頁資料中的寫入脈衝完全相同的操作時間來執行。

如上述表9所示，由於在"00"寫入及"01"寫入時，鎖存電路LATCH1的節點Naij爲"L"，所以，位元線爲Vss。因此，選擇之記憶單元的隧道氧化膜上外加有高電場，電子藉由FN隧道效果注入漂浮閘極內，來執行寫入操作。

如上述表9所示，由於在"11"寫入及"10"寫入時，鎖存

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（98）

電路LATCH1的節點Naij爲"H"，所以，位元線爲Vdd。因此，選擇之記憶單元的隧道氧化膜上沒有外加高電場，記憶單元的狀態無變化(維持在"11"狀態或是"10"狀態)。

此外，有關外加寫入脈衝的操作時間，與偶數頁資料的寫入操作(項目2.-1.)中的外加寫入脈衝(項目2.-1.-1.)相同，因此省略其詳細說明。

2.-2.-3. "VERIFY01"

圖35爲"01"驗證讀出的操作時間。

"01"驗證讀出(VERIFY01)時，位元線實施預充電後，使被選擇字線爲圖13中所示的Vcgv01(如約1.75V)，檢測位元線的電位變化，讀出記憶單元的資料。

"VERIFY10"時，資料電路內的兩條記憶電路(LATCH1、C1)鎖存"11"、"10"、"00"的寫入資料時，寫入資料不變。

另外，有關"00"，當後述的"VERIFY00"正確(寫入確實)時，"00"變成"10"。有關這一部分請參照後述的"VERIFY00"。但是，無論是"00"或是"10"，"VERIFY01"時，這些資料的值不變。

另外，"VERIFY01"時，資料電路內的兩條記憶電路(LATCH1、C1)鎖存"01"的寫入資料時，顯示讀出資料寫入確實時，亦即位元線爲"H"時，寫入資料由"01"變成"11"(奇數頁資料由"0"變成"1")，以後不執行寫入。

此外，"VERIFY01"時，資料電路內的兩條記憶電路(LATCH1、C1)鎖存"01"的寫入資料時，顯示讀出資料寫

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（99）

入不確實時，亦即位元線爲"L"時，繼續執行寫入，寫入資料不變。

具體的操作如下：

首先，於執行對位元線預充電及放電(單元資料的讀出)時，將記憶在鎖存電路LATCH1上的寫入資料轉送至節點CAP2ij上，並暫時加以記憶。藉此，避免讀出資料與奇數頁資料相衝突。

於時刻RCLK1時，CAPCRG及VREG均設定在Vdd，於時刻RCLK4時，BOOT設定在Vss。於時刻RCLK5時，VREG設定在Vss時，節點CAP2ij設定在Vss。此時，DTG2爲Vss。

於時刻RCLK9/SCLK1時，CAPCRG爲Vss，節點CAP2ij處於漂浮狀態。之後，於時刻SCLK2時，DTG2爲Vsg(如約4.5V)，鎖存在鎖存電路LATCH1上的寫入資料經由MOS電晶體TN2轉送至節點CAP2ij上，並暫時加以記憶。

亦即，奇數頁的寫入資料爲"0"時(執行"00"寫入或"01"寫入時)，由於鎖存電路LATCH1的節點Naij爲"L"，因此，節點CAP2ij爲Vss。

此外，奇數頁的寫入資料爲"1"時(維持在"11"、"10"狀態時及"00"、"01"寫入確實時)，由於鎖存電路LATCH1的節點Naij爲"H"，因此，節點CAP2ij爲Vdd。

之後，於時刻SCLK3時，DTG2爲Vdd，於時刻SCLK4時，BOOT爲Vdd。

此時，當奇數頁的寫入資料爲"0"時(執行"00"寫入或

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（100）

"01"寫入時），節點CAP2ij仍然爲Vss。此外，奇數頁的寫入資料爲"1"時（維持在"11"或"10"狀態時），由於節點CAP2ij的電位藉由電容器DLN(C2)被啓動(Boot)，因此自Vdd(如約2.3V)上昇至3.5V左右。

之後，於時刻SCLK5時，DTG2爲Vss，節點CAP2ij自鎖存電路LATCH1電切離。

於以上操作的同時，執行位元線的預充電操作及記憶單元的資料讀出至位元線的操作。

亦即，位元線執行預充電等後，於時刻RCLK7時，SGS爲Vread，位元線的電位針對記憶單元的資料改變。

例如，由於執行"01"寫入之記憶單元以外的記憶單元（執行"11"或"10"寫入的單元（亦即，不執行寫入的單元）、執行"00"寫入的單元）藉由Vcgv01(如約1.75V)，使該記憶單元處於開啓狀態，因此位元線的電荷放電，位元線的電位在0.3V以下。

此外，執行"01"寫入的記憶單元中，"01"寫入不確實時，由於該記憶單元藉由Vcgv01(如約1.75V)處於開啓狀態，因此，位元線的電荷放電，位元線的電位在0.3V以下。

此外，執行"01"寫入的記憶單元中，"10"寫入確實時，由於該記憶單元藉由Vcgv01(如約1.75V)處於關閉狀態，因此，位元線的電荷不放電，位元線的電位維持在0.8V。

之後，於時刻SCLK6時，SEN及LAT均爲"L"，SENB及LATB均爲"H"，資料電路內的鎖存電路LATCH1，亦即，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（101）

時控反向器CINV1、CINV2處於未操作狀態。

此外，於時刻SCLK7時，因BLC爲Vsg(如約4.5V)，nPRST爲"L"，因此感應節點(DTNij)被充電，感應節點成爲Vdd，同時Naij也成爲Vdd。此外，於時刻SCLK8時，當nPRST爲Vdd時，感應節點(DTNij)處於漂浮狀態。

於時刻SCLK9時，當BLCLMP爲Vsense(如約1.6V)時，感應節點(DTNij)上轉送有自位元線所讀出的記憶單元資料。

亦即，執行"11"寫入或"10"寫入的記憶單元，與執行"00"寫入的記憶單元及執行"01"寫入的記憶單元中，寫入不確實的記憶單元，因位元線的電位在0.3V以下，因此，感應節點(DTNij)的電位也降低至0.3V以下。

另外，有關執行"01"寫入之記憶單元中寫入確實的記憶單元，因位元線的電位維持在0.8V，因此，鉗位用MOS電晶體TN9切離，感應節點(DTNij)維持在Vdd。

於時刻SCLK10時，感應節點(DTNij)的電位如表10所示：

表10

"VERIFY01"中的感應節點(DTNij・Naij)

	"11"、"10"寫入(寫入未選擇)	"00"寫入不確實	"00"寫入確實	"01"寫入不確實	"01"寫入確實
SCLK10時	"LOW"	"LOW"	"LOW"	"LOW"	"HIGH"
SCLK12時	"HIGH"	"LOW"	"LOW"	"LOW"	"HIGH"

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（102）

之後，於時刻SCLK11時，REG2爲Vsg，MOS電晶體TN6(圖2)處於開啓狀態。

此時，執行"11"、"10"寫入時(奇數頁的寫入資料爲"1"時)，由於節點CAP2ij上記憶有"H"，因此，MOS電晶體TN1(圖2)處於開啓狀態。亦即，COMi(設定在Vdd)及感應節點(DTNij)短路，因而感應節點(DTNij)爲Vdd。

此外，執行"00"、"01"寫入時(奇數頁的寫入資料爲"0"時)，由於節點CAP2ij上記憶有"L"，因此，MOS電晶體TN1(圖2)處於關閉狀態。亦即，因COMi(設定在Vdd)及感應節點(DTNij)電切離，因此，感應節點(DTNij)的電位不變。

因此，時刻SCLK12時之感應節點(DTNij)的電位，如上述表10所示。

之後，於時刻SCLK13時，SEN爲Vdd，SENB爲Vss，時控反向器CINV1處於操作狀態，感應有感應節點(DTNij)的電位。

如上述表10中所示，執行"11"、"10"寫入時，感應節點(DTNij)爲"H"，節點Naij也爲"H"，由於原本執行"11"、"10"寫入時(奇數頁資料爲"1"時)，節點Naij爲"H"(參照表9)，因此在執行"11"、"10"寫入時，寫入資料不變。

此外，執行"00"寫入時，感應節點(DTNij)爲"L"，節點Naij也爲"L"。由於原本執行"00"寫入時(奇數頁資料爲"0"時)，節點Naij爲"L"(參照表9)，因此在執行"00"寫入時，寫入資料也不變。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (103)

另外有關"00"寫入，於後述的"VERIFY00"中，讀出顯示寫入確實的資料時，"00"變成"10"(奇數頁資料由"0"變成"1")。但是，於"VERIFY01"中寫入的資料("00"或"10")不變。

此外，執行"01"寫入時，且"01"寫入不確實時，感應節點(DTNij)爲"L"，節點Naij也爲"L"。由於原本執行"01"寫入時(奇數頁資料爲"0"時)，節點Naij爲"L"(參照表9)，因此在執行"01"寫入時，且寫入不確實時，寫入資料不變。

此外，執行"01"寫入時，且"01"寫入確實時，感應節點(DTNij)爲"H"，節點Naij也爲"H"。由於原本執行"01"寫入時(奇數頁資料爲"0"時)，節點Naij爲"L"(參照表9)，因此在執行"01"寫入時，且寫入確實時，寫入資料自"01"變成"11"(鎖存電路LATCH1之節點Naij的值，亦即，奇數頁資料自"0"變成"1")。

圖36簡要顯示"01"驗證讀出時的狀況。

2.-2.-4. "VERIFY00"

圖37爲"00"驗證讀出的操作時間。

"00"驗證讀出(VERIFY00)時，位元線實施預充電後，使被選擇字線爲圖13中所示的Vcgv00(如約0.9V)，檢測位元線的電位變化，讀出記憶單元的資料。

"VERIFY00"時，資料電路內的兩條記憶電路(LATCH1、C1)鎖存"11"、"10"、"00"的寫入資料時，寫入資料不變。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（104）

另外，"VERIFY00"時，資料電路內的兩條記憶電路(LATCH1、C1)鎖存"00"的寫入資料時，顯示讀出資料寫入確實時，亦即位元線爲"H"時，寫入資料由"00"變成"10"(奇數頁資料由"0"變成"1")，以後不執行寫入。

此外，"VERIFY00"時，資料電路內的兩條記憶電路(LATCH1、C1)鎖存"00"的寫入資料時，顯示讀出資料寫入不確實時，亦即位元線爲"L"時，繼續執行寫入，寫入資料不變。

不過，如圖23的流程圖所示，在"VERIFY00"之前，先執行上述的"VERIFY01"。

因此，於"VERIFY01"時，讀出顯示"01"寫入確實的資料時，鎖存在資料電路內之兩條記憶電路(LATCH1、C1)上的資料已經由"01"變成"11"。另外，讀出顯示"01"寫入不確實的資料時，鎖存在資料電路內之兩條記憶電路(LATCH1、C1)上的資料仍然是"01"。

具體的操作如下：

首先，執行位元線的預充電操作及將記憶單元的資料讀出至位元線的操作。

亦即，位元線執行預充電等後，於時刻RCLK7時，SGS爲Vread，位元線的電位針對記憶單元的資料改變。

例如，由於執行"11"、"10"寫入之記憶單元藉由Vcgv00(如約0.9V)，使該記憶單元處於開啓狀態，因此位元線的電荷放電，位元線的電位在0.3V以下。

此外，執行"00"寫入的記憶單元中，"00"寫入不確實

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（105）

時，由於該記憶單元藉由Vcgv00(如約0.9V)處於開啓狀態，因此，位元線的電荷放電，位元線的電位在0.3V以下。

此外，執行"00"寫入的記憶單元中，"00"寫入確實時，由於該記憶單元藉由Vcgv00(如約0.9V)處於關閉狀態，因此，位元線的電荷不放電，位元線的電位維持在0.8V。

另外有關執行"01"寫入的記憶單元，"01"寫入確實時，由於Vcgv00(如約0.9V)，當然該記憶單元處於關閉狀態，因此，位元線的電荷不放電，位元線的電位維持在0.8V。

但是，"01"寫入不確實時，因Vcgv00(如約0.9V)，記憶單元可能處於開啓狀態(閾壓低於Vcgv00時)，也可能處於關閉狀態(閾壓高於Vcgv00時)。因而，"01"寫入不確實時，位元線的電位是針對該記憶單元的閾壓來決定維持在0.8V或是在0.3V以下。

本例中，於記憶單元的資料讀出至位元線中，亦即，於時刻RCLK7~RCLK8的期間，REG1爲"H"，此外，BLCLMP則爲Vclmp(如約1.6V)。

因而，如表9所示，偶數頁資料爲"1"時("11"、"01"寫入時)，DRAM單元(節點CAP1ij)中鎖存有"H"。亦即，"11"、"01"寫入時，感應節點(DTNij)與VREG(Vss)構成短路，強制使感應節點爲Vss。

因而執行"11"、"10"寫入時，"00"寫入不確實時及執行"01"寫入時，位元線爲"L"，亦即電位在0.3V以下，位元線僅在"00"寫入確實時才爲"H"，亦即電位維持在

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（106）

0.8V。

之後，於時刻RCLK8時，BLCLMP爲Vss，位元線與感應節點電切離。

然而以上的操作，亦即對位元線預充電及放電等的期間，將記憶在鎖存電路LATCH1上的寫入資料轉送至節點CAP2ij，且暫時加以記憶。藉此，避免讀出資料與奇數頁資料相衝突。

於時刻RCLK1時，CAPCRG及VREG均設定在Vdd，於時刻RCLK4時，BOOT設定在Vss。於時刻RCLK5時，VREG設定在Vss時，節點CAP2ij設定在Vss。此時，DTG2爲Vss。

於時刻RCLK9/SCLK1時，CAPCRG爲Vss，節點CAP2ij處於漂浮狀態。之後，於時刻SCLK2時，DTG2爲Vsg(如約4.5V)，鎖存在鎖存電路LATCH1上的寫入資料經由MOS電晶體TN2轉送至節點CAP2ij上，並暫時加以記憶。

亦即，奇數頁的寫入資料爲"0"時(執行"00"寫入或"01"寫入時)，由於鎖存電路LATCH1的節點Naij爲"L"，因此，節點CAP2ij爲Vss。

此外，奇數頁的寫入資料爲"1"時(維持在"11"、"10"狀態及"00"、"01"寫入確實時)，由於鎖存電路LATCH1的節點Naij爲"H"，因此，節點CAP2ij爲Vdd。

之後，於時刻SCLK3時，DTG2爲Vdd，於時刻SCLK4時，BOOT爲Vdd。

此時，當奇數頁的寫入資料爲"0"時(執行"00"寫入或

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (107)

"01"寫入時)，節點CAP2ij仍然爲Vss。此外，奇數頁的寫入資料爲"1"時(維持在"11"或"10"狀態時)，由於節點CAP2ij藉由電容器DLN(C2)被啓動，因此自Vdd(如約2.3V)上昇至3.5V左右。

之後，於時刻SCLK5時，DTG2爲Vss，節點CAP2ij自鎖存電路LATCH1電切離。

之後，於時刻SCLK6時，SEN及LAT均爲"L"，SENB及LATB均爲"H"，資料電路內的鎖存電路LATCH1，亦即，時控反向器CINV1、CINV2處於未操作狀態。

另外，於時刻SCLK7時，因BLC爲Vsg(如約4.5V)，nPRST爲"L"，因此感應節點(DTNij)被充電，感應節點成爲Vdd，同時Naij也成爲Vdd。此外，於時刻SCLK8時，當nPRST爲Vdd時，感應節點(DTNij)處於漂浮狀態。

於時刻SCLK9時，當BLCLMP爲Vsense(如約1.6V)時，感應節點(DTNij)上轉送有自位元線BLe所讀出的記憶單元資料。

亦即，執行"11"、"10"寫入的記憶單元、執行"00"寫入記憶單元中寫入不確實的記憶單元及執行"01"寫入的記憶單元，因位元線的電位在0.3V以下，因此，感應節點(DTNij)的電位也降低至0.3V以下。

另外，執行"00"寫入之記憶單元中寫入確實的記憶單元，因位元線的電位維持在0.8V，因此，鉗位用MOS電晶體TN9(圖2)切離，感應節點(DTNij)維持在Vdd。

於時刻SCLK10時，感應節點(DTNij)的電位如表11所

(請先閱讀背面之注意事項再填寫本頁)
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（108）

示：

表11

"VERIFY00"中的感應節點(DTNij・Naij)

	"11"、"10"寫入(寫入未選擇)	"00"寫入不確實	"00"寫入確實	"01"寫入不確實	"01"寫入確實
SCLK10時	"LOW"	"LOW"	"HIGH"	"LOW"	"LOW"
SCLK12時	"HIGH"	"LOW"	"HIGH"	"LOW"	"HIGH"

之後，於時刻SCLK11時，REG2爲Vsg，MOS電晶體TN6(圖2)處於開啓狀態。

此時，執行"11"、"10"寫入時及執行"01"寫入確實時(奇數頁的寫入資料爲"1"時，"01"寫入確實時，"01"變成"11"，由於節點CAP2ij上鎖存有"H"，因此，MOS電晶體TN1(圖2)處於開啓狀態。亦即，COMi(設定在Vdd)及感應節點(DTNij)短路，因而感應節點(DTNij)爲Vdd。

此外，執行"00"寫入及"01"寫入不確實時(奇數頁的寫入資料爲"0"時)，由於節點CAP2ij上鎖存有"L"，因此，MOS電晶體TN1(圖2)處於關閉狀態。亦即，因COMi(設定在Vdd)及感應節點(DTNij)電切離，因此，感應節點(DTNij)的電位不變。

因此，時刻SCLK12時之感應節點(DTNij)的電位，如上述表11所示。

之後，於時刻SCLK13時，因SEN爲Vdd，SENB爲Vss，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（109）

時控反向器CINV1處於操作狀態，因此感應有感應節點(DTNij)的電位。

如上述表11中所示，執行"11"、"10"寫入時，感應節點(DTNij)爲"H"，節點Naij也爲"H"。由於原本執行"11"、"10"寫入時(奇數頁資料爲"1"時)，節點Naij爲"H"(參照表9)，因此在執行"11"、"10"寫入時，寫入資料不變。

此外，執行"00"寫入時，且"00"寫入不確實時，感應節點(DTNij)爲"L"，節點Naij也爲"L"。由於原本執行"00"寫入時(奇數頁資料爲"0"時)，節點Naij爲"L"(參照表9)，因此在執行"00"寫入時，且"00"寫入不確實時，寫入資料也不變。

此外，執行"00"寫入時，且"00"寫入確實時，感應節點(DTNij)爲"H"，節點 Naij 也爲"H"。由於原本執行"00"寫入時(奇數頁資料爲"0"時)，節點 Naij 爲"L"(參照表 9)，因此在執行"00"寫入時，且"00"寫入確實時，寫入資料自"00"變成"10"(鎖存電路 LATCH1 之節點 Naij 的值，亦即，奇數頁資料自"0"變成"1")。

此外，執行"01"寫入時，且在VERIFY01時寫入不確實時，感應節點(DTNij)爲"L"，節點Naij也爲"L"。由於原本執行"01"寫入時(奇數頁資料爲"0"時)，節點Naij爲"L"(參照表9)，因此在執行"01"寫入時，且寫入不確實時，寫入資料也不變。

此外，執行"01"寫入時，且在VERIFY01時寫入確實時，感應節點(DTNij)爲"H"，節點Naij也爲"H"。由於原

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (110)

本VERIFY01時寫入確實時，如上所述，"01"變成"11"，節點Naij爲"H"(參照表10)，因此在執行"01"寫入時，且寫入確實時，寫入資料不變(注意：仍爲"11")。

此外，圖38簡要顯示"00"驗證讀出時的狀況。

2.-2.-5. Program completion detection"

"VERIFY01"及" VERIFY00"後，對全部執行"01"或"00"寫入的記憶單元，執行檢測是否確實執行"01"或"00"寫入的"Program completion detection"操作。

該檢測係藉由"VERIFY01"及"VERIFY00"後，並依據鎖存在鎖存電路LATCH1上的資料(參照表10及表11)來執行。當"01"或"00"寫入不確實時，執行再寫入(外加寫入脈衝)，當"01"或"00"寫入確實時，則結束寫入(外加寫入脈衝)。

圖26爲"Program completion detection"的操作時間。

此外，如圖28之操作概要的說明，結束"VERIFY00"後，立即執行下一個"外加寫入脈衝"，"Program completion detection"與該"外加寫入脈衝"並列執行。

因此，時刻PCLK7/CCLK1與圖22中的時刻PCLK7/CCLK1相同。

此外，奇數頁資料寫入操作時的"Program completion detection"中，執行自圖26的時刻PCLK7/CCLK1至時刻CCLK9的操作。

首先，於時刻CCLK1時，CAPCRG爲Vsg，VREG爲Vdd，節點CAP2ij被充電，節點CAP2ij的電位爲Vdd

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（111）

(DTG2爲Vss)。

之後，於時刻CCLK2(DCLK1)時，COMHn(圖5)自Vss變成Vdd，NCOML(圖5)自Vdd變成Vss時，COMi1及COMi2均爲Vdd，且處於漂浮狀態，NCOM爲Vss，且處於漂浮狀態。

於時刻DCLK2時，如REG2-0爲Vdd。此時，在圖5中，選擇有第一及第五資料電路，第一資料電路內的REG2及第五資料電路內的REG2均爲Vdd。

第一及第五資料電路中，鎖存電路LATCH1之節點Naij的資料爲"H(Vdd)"時(參照表11)，亦即，"11"、"10"寫入(寫入未選擇)或是"00"、"10"寫入確實時，因感應節點DTNij維持在"H(Vdd)"，因此，MOS電晶體TN6(圖2)處於關閉狀態，COMi1及COMi2維持在Vdd。因此，NCOM是維持在Vss。

另外，第一及第五資料電路中至少其中一條，其鎖存電路LATCH1之節點Naij的資料爲"L(Vss)"時(參照表11)，亦即，"00"、"01"寫入不確實時，由於感應節點DTNij維持在"L(Vss)"。因此，MOS電晶體TN6(圖2)處於開啓狀態，COMi1及COMi2自Vdd變成Vss。因此，NCOM自Vss變成Vdd。

同樣的，REG2-1、REG2-2、REG2-3依次爲Vdd。亦即，REG2-1爲Vdd時，選擇有第二及第六資料電路，REG2-2爲Vdd時，選擇有第三及第七資料電路，REG2-3爲Vdd時，選擇有第四及第八資料電路，並在各資料電路中檢測

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（112）

鎖存電路LATCH1的狀態，亦即，檢測"00"、"01"寫入確實/不確實。

結果，自第一至第八全部的資料電路輸出顯示"11"、"10"寫入(寫入未選擇)或是"00"、"01"寫入確實的資料時，於時刻CCLK3時，NCOM爲Vss。此外，自第一至第八資料電路中至少一條輸出顯示"00"、"01"寫入不確實的資料時，於時刻CCLK3時，NCOM爲Vdd。

此外，FLAG節點(圖5)並聯全部的行。因此，預先將FLAG節點設定在Vdd且處於漂浮狀態後，於時刻CCLK3時，COLPRE設定在Vdd，使MOS電晶體TN17(圖5)處於開啓狀態。

此時，由於自對應全部行之全部資料電路輸出顯示"11"、"10"寫入(寫入未選擇)或是"00"、"01"寫入確實的資料時，NCOM爲Vss，因此，MOS電晶體TN16(圖5)處於關閉狀態，因此，FLAG節點維持在Vdd。

此外，由於自對應全部行之全部資料電路中至少一條輸出顯示"00"、"01"寫入不確實的資料時，NCOM爲Vdd，因此，MOS電晶體TN16(圖5)處於開啓狀態，因此，FLAG節點自Vdd變成Vss。

如此，全部的行中，僅在沒有"00"、"01"寫入不確實的記憶單元時，FLAG節點維持在Vdd，至少有一行存在"00"、"01"寫入不確實的記憶單元時，FLAG節點則爲Vss。

因此，檢測該FLAG節點的電平，FLAG節點爲Vdd時，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（113）

亦即，沒有"00"、"01"寫入不確實的行(記憶單元)時，結束奇數頁資料的寫入常式。此外，FLAG節點爲Vss時，亦即，至少有一行(記憶單元)"00"、"01"寫入不確實時，再度執行"01"驗證讀出及"00"驗證讀出，之後，與外加寫入脈衝並列執行"Program completion detection。

另外，因存在不良單元，因此藉由冗餘電路，置換成備份單元的不良行(置換單位爲8行)中，圖5之綜合檢測電路10的熔絲元件被切斷。因此，受到該不良行的影響，FLAG節點並非Vss。

2.-2.-6. "00"-Program completion detection"

執行Program completion detection後，對全部執行"00"寫入的記憶單元執行"00"-Program completion detection"，檢測是否確實執行"00"寫入。

"00"-Program completion detection的目的在於，如奇數頁資料之寫入操作的概要說明，係全部執行"00"寫入的記憶單元確實寫入後，省略"VERIFY00"，之後，僅執行"VERIFY01"，最後使全部執行"00"、"01"寫入的記憶單元確實寫入。

此時，由於在全部執行"00"寫入的記憶單元確實寫入後，省略"VERIFY00"，因此，可以縮短寫入時間(寫入的快速化)。

自圖26的時刻CCLK4至時刻CCLK9顯示"00"-Program completion detection的操作時間。

"00"-Program completion detection與Program completion

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（114）

detection同樣的，與外加寫入脈衝(圖22)並列執行。

於時刻CCLK5時，CAPCRG爲Vsg，MOS電晶體TN4(圖2)處於開啓狀態。因而節點CAP2ij與VREG(Vdd)構成短路，成爲Vdd。之後，於時刻DCLK2時，CAPCRG爲Vss，MOS電晶體TN4(圖2)處於關閉狀態。因而節點CAP2ij處於漂浮狀態。另外，DTG2爲Vss。

之後，於時刻DCLK3時，REG1爲Vdd。此外，"11"寫入及"01"寫入時，節點CAP1ij爲"H"(參照表9)。

因此，由於"11"寫入時，感應節點(DTNij)爲Vdd，因此MOS電晶體TN3、TN10(圖2)處於關閉狀態，節點CAP2ij維持在Vdd。

此外，由於"01"寫入確實時，感應節點(DTNij)爲Vdd，因此，MOS電晶體TN3、TN10(圖2)處於關閉狀態，節點CAP2ij維持在Vdd。由於"01"寫入不確實時，感應節點(DTNij)爲Vss，因此，MOS電晶體TN3、TN10(圖2)處於開啓狀態，節點CAP2ij自Vdd變成Vss。

此外，於"00"寫入及"10"寫入時，節點CAP1ij爲"L"(參照表9)。因此，MOS電晶體TN3(圖2)處於關閉狀態，節點CAP2ij則爲持在Vdd。

亦即，於時刻DCLK4時，僅在"01"寫入不確實時，節點CAP2ij爲Vss，除此之外，節點CAP2ij則保持在Vdd。

於時刻DCLK4時，COMHn爲"L"，圖5的COMi1及COMi2爲Vdd且處於漂浮狀態。另外節點NCOM則爲Vss且處於漂浮狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（115）

於時刻DCLK4時，如REG2-0爲Vdd。此時，圖5中，選擇第一及第五資料電路第一資料電路內的REG2及第五資料電路內的REG2均爲Vdd。

此處，COMi1、COMi2僅在節點CAP2ij爲Vdd，且感應節點(DTNij)爲Vss時才放電(爲Vss時)。而此時相當於"00"寫入不確實時。

因此，第一及第五資料電路中至少一條於"00"寫入不確實時，COMi1及COMi2中至少一個爲Vss，MOS電晶體TP2、TP3中至少一個處於開啓狀態。因而節點NCOM被充電成Vdd。

第一及第五資料電路，兩者"00"寫入均不確實時，COMi1及COMi2均維持在Vdd，MOS電晶體TP2、TP3均處於關閉狀態。因而節點NCOM維持在Vss。

同樣的，REG2-1、REG2-2、REG2-3依次爲Vdd。亦即，REG2-1爲Vdd時，選擇有第二及第六資料電路，REG2-2爲Vdd時，選擇有第三及第七資料電路，REG2-3爲Vdd時，選擇有第四及第八資料電路，並在各資料電路中檢測"00"寫入確實/不確實。

結果，自第一至第八資料電路中至少一條輸出顯示"00"寫入不確實的資料時，於時刻CCLK7時，NCOM爲Vdd。

此外，僅在自第一至第八資料電路中任何一條均未輸出顯示"00"寫入不確實的資料時，於時刻CCLK7時，NCOM爲Vss。

然而，FLAG節點(圖5)並聯全部的行。因此，預先將

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（116）

FLAG節點設定在Vdd且處於漂浮狀態後，於時刻CCLK7時，COLPRE設定在Vdd，使MOS電晶體TN17(圖5)處於開啓狀態。

此時，由於自對應全部行之全部資料電路中至少一條輸出顯示"00"寫入不確實的資料時，NCOM爲Vdd，因此，MOS電晶體TN16(圖5)處於開啓狀態，FLAG節點爲Vss。

另外，由於自對應全部行之全部資料電路中任何一條均未輸出顯示"00"寫入不確實的資料時，NCOM爲Vss，因此，MOS電晶體TN16(圖5)處於關閉狀態，FLAG節點爲Vdd。

如此，全部的行中，僅在沒有"00"寫入不確實的記憶單元時，FLAG節點維持在Vdd，至少有一行存在"00"寫入不確實的記憶單元時，FLAG節點則爲Vss。

因此，檢測該FLAG節點的電平，FLAG節點爲Vdd時，亦即，沒有"00"寫入不確實的行(記憶單元)時，以後不執行"VERIFY00"，此外FLAG節點爲Vss時，亦即，有"00"寫入不確實的行(記憶單元)時，繼續執行"VERIFY00"。

另外，因存在不良單元，因此藉由冗餘電路，置換成備份單元的不良行(置換單位爲8行)中，圖5之綜合檢測電路10的熔絲元件被切斷。因此，受到該不良行的影響，FLAG節點並非Vss。

3. 刪除操作(Erase operation)

刪除操作時，單元井上外加有刪除電位Vera(如約20V)。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (117)

因而，被選擇之記憶單元區塊內的全部字線設定在接地電位Vss。結果，被選擇之記憶單元區塊內之記憶單元的隧道氧化膜上形成高電場，漂浮閘極中的電子射入通道(單元井)內，記憶單元的閾壓降低。

未選擇之記憶單元區塊內的全部字線設定在漂浮狀態。結果，單元井上外加有刪除電位Vera時，藉由單元井及字線(控制閘極)的電容耦合，字線的電位上昇至Vera或其附近。因此，由於未選擇之記憶單元區塊內之記憶單元的隧道氧化膜上沒有形成高電場，因此，漂浮閘極中的電子不移動，記憶單元的閾壓也不改變。

然而，圖7中所示的第一記憶單元區塊，在記憶單元陣列上有列屏蔽線(Row shield line)。於刪除操作時，該列屏蔽線的電位也與單元井的電位同樣的自Vss上昇至Vera。因列屏蔽線爲Vera，未選擇之記憶單元區塊內的字線藉由單元井及字線間的電容耦合，確實上昇至Vera或其附近電位，因此不致造成錯誤刪除。

此外，圖8中所示的第二記憶單元區塊，在記憶單元陣列上配置字線驅動器選擇信號線，來取代列屏蔽線。於刪除操作時，字線驅動器選擇信號線處於漂浮狀態。此外，位元線的電位也是Vera。因此，未選擇之記憶單元區塊內的字線藉由單元井及字線間的電容耦合，確實上昇至Vera或其附近電位，因此不致造成錯誤刪除。

此外，列屏蔽線或是區塊選擇線爲Vss或Vdd時，這些線之下的記憶單元中，在字線與列屏蔽線或是區塊選擇線之

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（118）

間產生較大電容，因而字線不易昇壓，會造成錯誤刪除。

單元井內外加有刪除電位(刪除脈衝)Vera後，執行刪除驗證，來檢驗刪除是否確實。刪除驗證係由讀出外加刪除脈衝後之記憶單元資料的刪除驗證讀出(Erase verify read)，與依據刪除驗證讀出所讀出的資料，來檢測是否存在刪除不確實之行的"Erase completion detection"所構成。

本例(如參照圖2)的記憶電路中，由於兩條位元線Ble、Blo共用一條資料電路，例如，對連接偶數條位元線BLe的記憶單元執行刪除驗證讀出後，執行"Erase completion detection"來檢測與這些偶數條位元線BLe連接的全部記憶單元資料是否刪除。

之後，例如，對連接奇數條位元線BLo的記憶單元執行刪除驗證讀出後，執行"Erase completion detection"來檢測與這些奇數條位元線BLe連接的全部記憶單元資料是否刪除。

因而，當被選擇之全部記憶單元經過確認刪除確實後，即結束刪除操作。有刪除不確實的記憶單元時，則再度執行刪除操作(外加刪除脈衝)。

以下使用操作時間圖來詳細說明刪除操作：

3.－1. 外加刪除脈衝

圖39顯示有關外加刪除脈衝的操作時間。

奇數項目的記憶單元區塊

如上所述，奇數項目的記憶單元區塊中，控制該區塊內之字線及選擇閘極線電位的字線控制電路(列位址解碼器與

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（119）

字線驅動器)均配置在記憶單元陣列的一側。以下，以第一記憶單元區塊爲例做說明：

選擇第一記憶單元區塊時，圖9之列位址解碼器RADD1的輸出信號RDECAD爲Vdd，圖10之字線驅動器RMAIN1內的節點TransferG1設定在Vdd。信號線CG1、CG2、…CG16的電位藉由切換電路(圖1)設定在接地電位Vss。此外，信號線SGD、SGS的電位則設定在Vdd。

此時，字線WL1、WL2、…WL16的電位設定在接地電位Vss，選擇閘極線SG1、SG2的電位爲Vdd-Vth(Vth爲MOS電晶體HNt1的閾壓)，且處於漂浮狀態。

第一記憶單元區塊未被選擇時，圖9之列位址解碼器RADD1的輸出信號RDECAD爲Vss，圖10之字線驅動器RMAIM1內的節點TransferG1設定在Vss。因而字線WL1、WL2、…WL16爲接地電位Vss，且處於漂浮狀態。

此外，由於MOS電晶體HN7、HN8處於開啓狀態，SGDS爲Vdd，因此選擇閘極線SG1、SG2的電位爲Vdd-Vth(Vth爲MOS電晶體HN7、HN8的閾壓)，且處於漂浮狀態。

偶數項目的記憶單元區塊

如上所述，偶數項目的記憶單元區塊中，控制該區塊內之字線及選擇閘極線電位的字線控制電路中，列位址解碼器配置在記憶單元陣列的一側，字線驅動器則配置在記憶單元陣列的另一側。以下，以第二記憶單元區塊爲例做說明：

首先，於時刻ECLK2時，ROWPROG1爲Vss，

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（120）

ROWPROG1B爲Vdd，圖12之字線驅動器RMAIN2內的時控反向器CINV5、CINV6處於未操作狀態。之後，於時刻ECLK3時，ROWPROG1爲Vdd，ROWPROG1B爲Vss，圖11之列位址解碼器RADD2內的時控反向器CINV3處於未操作狀態，時控反向器CINV4處於操作狀態。

因而，選擇第二記憶單元區塊時，由於RDECADS1爲Vdd，因此，圖11之列位址解碼器RADD2的輸出信號RDECADS爲Vss。此外，第二記憶單元區塊未被選擇時，由於RDECADS1爲Vss，因此，圖11之列位址解碼器RADD2的輸出信號RDECADS爲Vdd。

之後，於時刻ECLK4時，當ROWERASE2爲Vdd，ROWERASE2B爲Vss時，時控反向器CINV7處於操作狀態。

結果，選擇第二記憶單元區塊時，由於RDECADS2爲Vdd，因此，圖12之字線驅動器內的節點TransferG2爲Vdd。另外，第二記憶單元區塊未被選擇時，由於RDECADS2爲Vss，因此，圖12之字線驅動器內的節點TransferG2爲Vss。

之後，於時刻ECLK5，當ROWERASE3n爲Vss時，於第二記憶單元區塊未被選擇時(RDECADS2爲Vss)，該資料被鎖存。

此外，於時刻ECLK6，當ROWGATE爲Vss時，第二記憶單元區塊未被選擇時(RDECADS爲Vdd時)，MOS電晶體DHN6、DHN9(圖11及圖12)切離，字線驅動器選擇信號線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(121)

22(圖8)處於漂浮狀態。

如此，不論是選擇奇數項目的記憶單元區塊時，或是選擇偶數項目的記憶單元區塊時，在時刻ECLK6，被選擇之區塊內的字線均設定在Vss，未選擇區塊內的字線及選擇閘極線均處於漂浮狀態。

此外，於偶數項目的記憶單元區塊中，該區塊未被選擇時，字線驅動器選擇信號線22(圖8)爲Vdd，且處於漂浮狀態。

之後，於時刻ECLK7，單元井CPWELL設定在Vera(如約20V)。此時，被選擇區塊內的字線(接地電位Vss)與單元井之間形成高電場，記憶單元之漂浮閘極中的電子射入單元井內，執行資料刪除。

此外，未選擇之區塊內，於時刻ECLK7，當單元井CPWELL設定在Vera(如約20V)時，藉由字線與單元井之間的電容耦合，字線的電位上昇至Vera或其附近。此時，字線驅動器選擇信號線22(圖8)的電位，也是藉由字線驅動器選擇信號線與單元井之間的電容耦合上昇。

因此，由於未選擇區塊內的字線與單元井之間未形成高電場，因此，記憶單元之漂浮閘極中的電子也不會射入單元井內，無法執行資料刪除。

另外，於時刻ECLK8時，將BIASe及BIASo設定在Vdd，是爲了減少MOS電晶體HN1e、HN1o(圖2)之汲極的表面洩漏(Surface Leak)電流。

因而在時刻ERCV1之後，執行刪除後的恢復(Recovery)

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（122）

操作。

單元井CPWELL的電位自Vera降低至10V左右時，BLCRL接地成Vss，位元線BLe、BLo的電荷放電。Vera約爲10V時，位元線BLe、BLo藉由位元線BLe、BLo與單元井CPWELL之間的電容耦合，降低至12V左右。

因此，MOS電晶體HN1e、HN1o(圖2)不會急速返回(Snap Back)。

另外，當單元井CPWELL約爲20V時，BLCRL接地成Vss，位元線BLe、BLo的電荷放電時，MOS電晶體HN1e、HN1o(圖2)則快速返回，可能發生該MOS電晶體被破壞的問題。

3.-2. "Erase Verify Read"

圖40顯示刪除驗證讀出(Erase verify read)的操作時間。

本例中是對連接偶數條位元線BLe的記憶單元執行刪除驗證讀出，奇數條的位元線BLo方面，以作爲屏蔽位元線爲前提。刪除驗證讀出時，屏蔽位元線BLo設定在Vdd。

首先，於時刻RCLK1時，CAPCRG設定在Vdd，於時刻RCLK2時，BLCLMP設定在Vclmp(如約2V)。因而於時刻RCLK5時，藉由REG1爲Vdd，使被選擇之位元線BLe設定在Vss(0V)(VREG爲Vss，CAP1ij爲Vdd)。

於時刻RCLK7時，被選擇之字線(控制閘極)CG select設定在Vcgev(如0V)，選擇閘極線SGD設定在Vread(如約3.5V)(SGS設定在Vread)。

由於刪除驗證讀出通常是幾乎同時對連接位元線BLe，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（123）

且連接被選擇區塊內之全部字線的記憶單元執行，因此，被選擇區塊內的全部字線WL1、WL2、…WL16均設定在Vcgev。

因而，當連接被選擇之一個區塊內之一條位元線的全部記憶單元(1NAND單元單位內的記憶單元)刪除確實時，該位元線BLe則爲"H"。此外，連接被選擇之一個區塊內之一條位元線BLe的記憶單元中，至少有一個記憶單元刪除不確實時，則該位元線BLe爲"L"。

另外，在刪除驗證讀出中，爲了減低位元線之間所產生的耦合噪音，因此將未選擇位元線BLo設定在Vdd。

各位元線BLe的電位確定後，與一般讀出同樣的，感應位元線BLe的電位。

因而，連接被選擇之一個區塊內之一條位元線BLe的全部記憶單元刪除確實時，連接該條位元線BLe之資料電路內的感應節點DTNij(鎖存電路LATCH1的輸出節點Naij)爲"H"。

此外，連接被選擇之一個區塊內之一條位元線BLe的記憶單元中，至少一個記憶單元刪除不確實時，連接該條位元線BLe之資料電路內的感應節點DTNij(鎖存電路LATCH1的輸出節點Naij)爲"L"。

3.-3. "Erase completion detection"

圖41顯示有關Erase completion detection的操作時間。

刪除驗證讀出後，執行"Erase completion detection"，來檢測全部的行是否刪除完成。圖5中，全部資料電路內之

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（124）

鎖存電路LATCH1的輸出節點Naij爲"H"時，FLAG維持在"H"。圖5中，至少一條資料電路內之鎖存電路LATCH1的輸出節點Naij爲"L"時，FLAG爲"L"。

由於FLAG節點連接全部的行，因此被選擇之一個區塊內的記憶單元中，至少一個記憶單元刪除不確實時，FLAG節點爲"L"，再度外加刪除脈衝。被選擇之一個區塊內的全部記憶單元刪除確實時，FLAG節點爲"H"，刪除操作結束。

另外，"Erase completion detection"，與上述"偶數頁資料之寫入操作"中的"Program completion detection"概同，因此省略其操作的詳細說明。

4. 預燒(Burn-in)模式

在測試構成周邊電路之MOS電晶體(記憶單元以外的MOS電晶體)可靠性的預燒模式中，電源電位Vdd的值(如約3.5V)設定在高於使用在一般操作時的值(如約2.3V)。

此時，於圖2之資料電路內的節點CAP2ij上外加電源電位Vdd(如約3.5V)。因此，於預燒模式中，若使電源電位Vdd的值過大，當BOOT自Vss變成Vdd時，會因電容耦合造成節點CAP2ij成爲過高電位，造成圖2之資料電路內之MOS電晶體DLN1的閘極(MOS電容器)被破壞的問題。

爲求解決此種問題，可以在預燒模式時，將圖2之資料電路內的BOOT預先固定在Vdd。此時，由於節點CAP2ij的電位通常爲Vdd以下的電位，因此，MOS電晶體DLN1的閘極氧化膜(電容器絕緣膜)上不會外加過高電壓。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（125）

因此，可以防止MOS電晶體DLN1的閘極被破壞。

5. DRAM預燒(Burn-in)模式

如上所述，在測試周邊電路可靠性的一般"預燒模式"中，原則上，圖2之資料電路內的節點CAP2ij(DRAM單元)上不能設定Vdd。因此，對於DRAM單元，是藉由以下之圖42所示的操作時間來執行預燒模式。

圖42爲在節點CAP2ij(DRAM單元)上賦予Vdd以外的高電位，來執行有關DRAM單元之預燒(Burn-in)測試的模式。

首先在VREG上外加Vext(自晶片外部供應的電源電位)。此外，由於CAPCRG爲Vsg，因此MOS電晶體TN4(圖2)處於開啓狀態。

因此，節點CAP2ij的電位是固定在Vext。此外，Vext爲在預燒模式中，所設定之避免MOS電容器DLN1被破壞的指定值。

此外，本例中，之後，DTG1變爲Vsg，自節點Naij供應Vdd至節點CAP1ij(DRAM單元)。

如此，本例中，對圖2之資料電路內之DRAM單元所執行的可靠性測試，是藉由圖42所示的"DRAM預燒模式"來執行，對DRAM單元以外之周邊電路的可靠性測試，則執行一般的"預燒模式"。

此外，"DRAM預燒模式"，亦即對DRAM單元的可靠性測試，可以與一般的泣w燒模式果A亦即對DRAM單元以外之周邊電路的可靠性測試同時執行。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（126）

6."更新"...第五特徵

本例中，用於暫時記憶多值資料(如4值資料)的數個記憶電路中，至少一個由DRAM單元(電容器)所構成。因此，對DRAM單元發生洩漏等問題時，需要定期的執行更新(refresh)。

例如，於奇數頁資料的寫入操作中，節點CAP1ij(DRAM單元)上鎖存有偶數頁的寫入資料(自記憶單元所讀出的資料)。此處，因節點CAP1ij的電荷洩漏，造成節點CAP1ij保留資料能力發生問題時，宜定期更新節點CAP1ij的資料。

圖43顯示於寫入操作中，更新節點CAP1ij之資料的操作時間。

時刻PRCV1相當於圖22(外加寫入脈衝)中的時刻PRCV1。

於時刻PRCV1時，如圖22所知，字線執行放電。於時刻RFCLK1(PRCV1)時，BLC爲"L"，資料電路與位元線切離。此時，奇數頁的寫入資料保留在位元線上。

於時刻RFCLK1時，SEN及LAT爲Vss，SENB及LATB爲Vdd。因而圖2的時控反向器CINV1、CINV2分別處於未操作狀態，節點Naij、Nbij處於漂浮狀態。

之後，於時刻RFCLK2時，EQPB爲"H"，使節點Naij的電位與節點Nbij的電位相等。圖2的MOS電容器DLN3設定成使節點Naij的電容與節點Nbij的電容概等。

此外，於時刻RFCLK4時，DTG1爲Vsg，節點Naij上轉送

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（127）

有節點CAP1ij的資料(偶數頁資料)。

因而，於時刻RFCLK5，SEN爲"H"，SENB爲"L"時，藉由時控反向器CINV1來感應節點CAP1ij的資料。此外，於時刻RFCLK6，LAT爲"H"，LATB爲"L"時，節點CAP1ij的資料(偶數頁資料)被鎖存在鎖存電路LATCH1上。

此時，節點CAP1ij的資料被更新。因而於時刻RFCLK7，DTG1爲Vss時，被更新的偶數頁資料再度儲存在節點CAP1ij內。

之後，保留在位元線上的奇數頁資料回到鎖存電路LATCH1上。

首先，於時刻RFCLK8時，SEN及LAT爲Vss，SENB及LATB爲Vdd。因而圖2的時控反向器CINV1、CINV2分別處於未操作狀態，節點Naij、Nbij處於漂浮狀態。

此外，於時刻RFCLK9，BLC爲Vsg時，節點Naij上轉送有保留在位元線上的奇數頁資料。

因而，於時刻RFCLK10，SEN爲"H"，SENB爲"L"時，藉由時控反向器來感應奇數頁資料。此外，於時刻RFCLK11，LAT爲"H"，LATB爲"L"時，奇數頁資料被鎖存在鎖存電路LATCH1上。

本例的更新操作，於更新保留在節點CAP1ij上的偶數頁資料期間，奇數頁資料保留在位元線上。

因此，保留在位元線上的奇數頁資料回到鎖存電路LATCH1後，位元線實施放電(寫入後的位元線放電)亦即，圖43的時刻RFCLK12必須始終早於圖22(外加寫入脈

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（128）

衝）中的時刻PRCV3。

資料電路其他實施例之一…第六及第七特徵

圖44爲資料電路的其他實施例。

本例之資料電路的特徵，與圖2的資料電路相比，具備寫入高速緩衝記憶體（Write Cache）WCS1。

寫入高速緩衝記憶體係由DRAM單元所構成。

以下說明使用寫入高速緩衝記憶體時的效果：

連續數頁的寫入操作（係指對連接圖44之字線WL1的記憶單元寫入後，繼續對連接字線WL2的記憶單元執行寫入，再繼續對連接字線WL3的記憶單元執行寫入的操作。），如先前圖45中所示，係連續交互執行寫入資料的輸入及寫入（外加寫入脈衝）。

相對的，資料電路內具備寫入高速緩衝記憶體時，如圖46所示，可以同時執行寫入資料的輸入及寫入（外加寫入脈衝）。

例如，圖44中，在鎖存電路LATCH1上輸入連接字線WL1之記憶單元（"Page1"）的寫入資料，繼續執行"Page1"的寫入。此外，對"Page1"的寫入中，在寫入高速緩衝記憶體WCS1中輸入連接字線WL2之記憶體（"Page2"）的寫入資料。

"Page1"的寫入結束後，保留在寫入高速緩衝記憶體WCS1內之"Page2"的寫入資料轉送至鎖存電路LATCH1上，繼續執行"Page2"的寫入。此外，對"Page2"的寫入中，寫入高速緩衝記憶體WCS1中輸入連接字線WL3之記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（129）

憶單元("Page3")的寫入資料。

如此，藉由具有寫入高速緩衝記憶體WCS1的資料電路，於執行寫入(外加寫入脈衝)中，由於係將對下一次寫入對象頁的寫入資料載入寫入高速緩衝記憶體WCS1內，因此，不需要第二頁以後之寫入資料的載入時間，促使寫入快速化。

以下詳細說明有關寫入高速緩衝記憶體WCS1執行寫入時的操作時間：

①資料輸入至寫入高速緩衝記憶體

圖47顯示對寫入高速緩衝記憶體輸入資料的操作時間。

於輸入寫入資料之前，PR維持在Vsg。因而節點CAP3ij(DRAM單元)爲Vdd。將"資料輸入至寫入高速緩衝記憶體WCS1"的指令輸入晶片時，於時刻WCCLK1時，PR自Vsg變成Vss，節點CAP3ij爲Vdd，且處於漂浮狀態。

之後，於時刻WCCLK2，CSL2i爲Vdd時，資料自輸入輸出線IOj輸入至寫入高速緩衝記憶體WCS1內。由於"0"資料時，IOj爲Vss，因此節點CAP3ij爲Vss(0V)。由於"1"資料時，IOj爲Vdd，因此節點CAP3ij維持在Vdd。

另外，由於對寫入高速緩衝記憶體WCS1輸入資料的期間，TG爲Vss，因此寫入高速緩衝記憶體WCS1與鎖存電路LATCH1彼此電切離。因此，即使對寫入高速緩衝記憶體WCS1輸入資料中，也可以依據鎖存在鎖存電路LATCH1內的寫入資料來執行寫入及驗證讀出等操作。

然而，寫入資料未輸入寫入高速緩衝記憶體WCS1內時，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（130）

節點CAP3ij爲Vdd，亦即，保留"1"寫入資料。因而，資料未輸入寫入高速緩衝記憶體WCS1內的行不執行寫入。

②資料自寫入高速緩衝記憶體轉送至鎖存電路

將鎖存在鎖存電路LATCH1上的資料在記憶單元上執行寫入操作結束後，保留在寫入高速緩衝記憶體WCS1內之資料轉送至鎖存電路LATCH1上，且依據該資料執行寫入。

圖48顯示資料自寫入高速緩衝記憶體WCS1轉送至鎖存電路LATCH1上的操作時間。

首先，於時刻WLCLK1時，SEN及LAT爲Vss，SENB及LATB爲Vdd。因而鎖存電路LATCH1處於未操作狀態。繼續於時刻WLCLK2時，EQPB爲Vdd，使節點Naij的電位與節點Nbij的電位相等。

之後，於時刻WLCLK4，TG爲Vsg時，寫入高速緩衝記憶體WCS1的資料轉送至節點Naij上。此外，於時刻WLCLK5，SEN爲Vdd，SENB爲Vss時，藉由時控反向器CINV1來感應節點Naij的資料。此外，於時刻WLCLK6，LAT爲Vdd，LATB爲Vss時，節點Naij的資料鎖存在鎖存電路LATCH1上。

如此，保留在寫入高速緩衝記憶體WCS1之節點CA3ij上的資料轉送至鎖存電路LATCH1上。寫入高速緩衝記憶體WCS1的資料轉送至鎖存電路LATCH1上後，於時刻WLCLK7時，TG爲Vss。

之後，PR設定在Vsg，CAP3ij設定在Vdd，將下一個寫

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（131）

入資料輸入至寫入高速緩衝記憶體WCS1內(圖47)。

③寫入高速緩衝記憶體內資料的更新

因寫入高速緩衝記憶體WCS1內節點(DRAM單元)CAP3ij的電荷洩漏，造成節點CAP3ij的資料保留能力發生問題時，定期的更新節點CAP3ij的資料。

圖49顯示於寫入中，更新寫入高速緩衝記憶體CAP3ij之資料時的操作時間。

此外，PRCV1相當於圖22(外加寫入脈衝)中的PRCV1。

首先，於時刻PRCV1時，從圖22中可知，字線實施放電。於時刻WRFCLK1(PRCV1)時，BLC爲"L"，資料電路與位元線彼此電切離。另外於寫入高速緩衝記憶體WCS1的更新期間，使鎖存電路LATCH1的寫入資料在位元線上待命。

亦即，於時刻WRFCLK1時，SEN及LAT爲Vss，SENB及LATB爲VDD。因而圖44的時控反向器CINV1、CINV2處於未操作狀態，節點Naij、Nbij處於漂浮狀態。

之後，於時刻WRFCLK2時，EQPB爲"H"，使節點Naij的電位與節點Nbij的電位相等。圖44的MOS電容器DLN3設定成使節點Naij的電容與節點Nbij的電容概等。

此外，於時刻WRFCLK4時，TG爲Vsg，節點Naij上轉送有寫入高速緩衝記憶體WCS1之節點CAP3ij的資料。因而，於時刻WRFCLK5，SEN爲"H"，SENB爲"L"時，藉由時控反向器CINV1來感應寫入高速緩衝記憶體WCS1之節點CAP1ij的資料。此外，於時刻WRFCLK6，LAT爲"H"，

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（132）

LATB爲"L"時，寫入高速緩衝記憶體WCS1的資料被鎖存在鎖存電路LATCH1上。

此時，寫入高速緩衝記憶體WCS1的資料(節點CAP3ij的電位)被更新。之後，於時刻WRFCLK7，TG爲Vss時，被更新的寫入高速緩衝記憶體WCS1的資料再度儲存在節點CAP3ij內。

之後，執行將位元線上待命之寫入資料送回鎖存電路LATCH1上的操作。

首先，於時刻WRFCLK8時，SEN及LAT爲Vss，SENB及LATB爲Vdd。因而圖44的時控反向器CINV1、CINV2分別處於未操作狀態，節點Naij、Nbij處於漂浮狀態。

此外，於時刻WRFCLK9，BLC爲Vsg時，位元線與資料電路電連接，節點Naij上轉送有保留在位元線上的寫入資料。因而，於時刻WRFCLK10，SEN爲"H"，SENB爲"L"時，藉由時控反向器來感應該寫入資料。此外，於時刻WRFCLK11，LAT爲"H"，LATB爲"L"時，寫入資料被鎖存在鎖存電路LATCH1上。

有關寫入高速緩衝記憶體WCS1之資料的更新操作，於更新保留在節點CAP3ij上的資料期間，鎖存在鎖存電路LATCH1上的寫入資料保留在位元線上。

因此，寫入高速緩衝記憶體WCS1之資料更新結束後，保留在位元線上的寫入資料回到鎖存電路LATCH1後，位元線實施放電(寫入操作後的位元線放電)亦即，時刻WRFCLK12必須始終早於圖22(外加寫入脈衝)中的時刻

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（133）

PRCV3。

資料電路其他實施例之二…第六特徵

圖50爲資料電路的其他實施例。

本例之資料電路的特徵，與圖44的資料電路相比，具備由SRAM所構成之寫入高速緩衝記憶體(Write Cache)WCS2。

圖44的例中，寫入高速緩衝記憶體係由DRAM單元所構成。本例中的寫入高速緩衝記憶體則是由SRAM所構成。由於不論何時，寫入資料的輸入與寫入(外加寫入脈衝)均可以同時執行，因此可以獲得加快寫入速度的效果。

以下詳細說明有關寫入高速緩衝記憶體WCS2執行寫入時的操作時間：

①資料輸入至寫入高速緩衝記憶體

圖51顯示對寫入高速緩衝記憶體輸入資料的操作時間。

於輸入寫入資料之前，PR3維持在Vdd。將"資料輸入至寫入高速緩衝記憶體WCS2"的指令輸入晶片時，於時刻WACLK1時，PR3自Vdd變成Vss，節點Ncij爲Vdd，節點Ndij設定在Vss。

之後，於時刻WACLK2，CSL3i爲Vdd時，資料自輸入輸出線IOj輸入至寫入高速緩衝記憶體WCS2內。由於"0"資料時，IOj爲Vss，nIOj爲Vdd，因此，SRAM單元的節點Ncij爲Vss，節點Ndij爲Vdd。由於"1"資料時，IOj爲Vdd，nIOj爲Vss，因此，SRAM單元的節點Ncij爲Vdd，節點Ndij爲Vss。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（134）

由於資料輸入寫入高速緩衝記憶體 WCS2 的期間，TG3 爲 Vss，因此，寫入高速緩衝記憶體 WCS2 與鎖存電路 LATCH1 彼此電切離。因此，即使對寫入高速緩衝記憶體 WCS2 輸入資料中，也可以依據保留在鎖存電路 LATCH1 內的寫入資料來執行寫入及驗證讀出。

圖 50 中，資料未輸入寫入高速緩衝記憶體 WCS2 內時，節點 Ncij 爲 Vdd，節點 Ndij 爲 Vss，亦即，寫入高速緩衝記憶體 WCS2 保留"1"寫入資料。因而，資料未輸入寫入高速緩衝記憶體 WCS2 內的行不執行寫入。

②資料自寫入高速緩衝記憶體轉送至鎖存電路

鎖存在鎖存電路 LATCH1 上的資料寫入結束後，保留在寫入高速緩衝記憶體 WCS2 內之資料轉送至鎖存電路 LATCH1 上，繼續執行寫入。

圖 52 顯示資料自寫入高速緩衝記憶體 WCS2 轉送至鎖存電路 LATCH1 上的操作時間。

首先，於時刻 WBCLK1 時，SEN 及 LAT 爲 Vss，SENB 及 LATB 爲 Vdd。因而鎖存電路 LATCH1 處於未操作狀態。繼續於時刻 WBCLK2 時，TG3 爲 Vsg 時，節點 Naij 上轉送有寫入高速緩衝記憶體 WCS2 的資料（節點 Ncij 的資料）。此外，於時刻 WBCLK3 時，SEN 爲 Vdd，SENB 爲 Vss 時，藉由時控反向器 CINV1 來感應節點 Naij 的資料。此外，於時刻 WLCLK4 時，LAT 爲 Vdd，LATB 爲 Vss 時，節點 Naij 的資料鎖存在鎖存電路 LATCH1 上。

如此，保留在寫入高速緩衝記憶體 WCS2 之節點 Ncij 上的

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明(135)

資料轉送至鎖存電路LATCH1上。寫入高速緩衝記憶體WCS2的資料轉送至鎖存電路LATCH1上後，於時刻WLCLK5時，TG3爲Vss，鎖存電路LATCH1與寫入高速緩衝記憶體WCS2彼此電切離。

之後，PR3設定在Vss，Ncij設定在Vdd後，將下一個寫入資料輸入至寫入高速緩衝記憶體WCS2內(圖51)。

本例中，由於寫入高速緩衝記憶體WCS2係由SRAM所構成，因此，不需要執行如圖44例中所說明的"更新寫入高速緩衝器內的資料"。

寫入速度

1. 概要

先前的快閃記憶體(Flash Memory)對屬於寫入對象之記憶單元所連接的一條位元線是連接一條資料電路。資料電路具備暫時保留對選擇之記憶單元寫入資料的記憶電路(如鎖存電路)。

一般的2值快閃記憶體，在一條資料電路內設有保留1位元之寫入資料的一條記憶電路。若爲多值記憶體，則在一條資料電路內，設有用於保留3值以上寫入資料的數條記憶電路。

因而在實際的寫入操作中，是依據保留在資料電路內的寫入資料，來決定是否對選擇之記憶單元執行寫入(例如，電子是否注入漂浮閘極內)。

如此，先前的快閃記憶體對屬於寫入對象之記憶單元所連接之一條位元線，設有一條資料電路，用於暫時記憶寫

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（136）

入資料。亦即，例如晶片內有4000條資料電路時，幾乎可以同時的對4000個記憶單元執行寫入。

因此，資料電路的數量愈增加，愈可以加快寫入速度。若晶片內設有8000條資料電路，幾乎可以在同時對8000個記憶單元執行寫入。此時，與晶片內設有4000條資料電路相比，其寫入速度可以加快兩倍。

但是，增加晶片內的資料電路數量，也意味著擴大了晶片的面積。此外，晶片面積變大時，也會發生增加每1位元成本等的問題。

以下所說明的發明，是爲了解決此種問題，其特徵爲使用一條資料電路，對兩個記憶單元幾乎可以同時執行寫入。

此處當然與先前同樣的，在一條資料電路內設置可以暫時保留僅對一個記憶單元之寫入資料(2值或多值)的記憶電路(如鎖存電路)。例如爲2值記憶體時，在一條資料電路內僅設置可以暫時記憶1位元資料的一條記憶電路。

因此，本發明不增加晶片面積，而使用一條資料電路，藉由幾乎同時寫入兩個記憶單元，使寫入速度可以比先前快兩倍。

2. 本發明的要點

首先說明本發明的要點(圖53)。

如上述，本發明的特徵爲使用一條資料電路，對兩個記憶單元幾乎同時執行寫入。

此外，與先前同樣的，在資料電路內僅設置一條用於暫

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（137）

時保留對一個記憶單元之寫入資料的記憶電路(藉此防止晶片面積擴大)。亦即，本發明係提供一種藉由改善寫入操作(控制電路時的寫入控制)，不增加晶片面積，使寫入速度加快兩倍的技術。

以下，以2值NAND型快閃記憶體爲例來做說明：

本發明係以一條資料電路上至少連接兩條位元線BLA、BLB爲前提。此外，該兩條位元線BLA、BLB配置在不同的記憶庫(Bank)內。亦即，其前提是連接位元線BLA之記憶單元的控制閘極線(字線)與連接位元線BLB之記憶單元的控制閘極線(字線)始終互異。此時，兩條位元線BLA、BLB並非相對且鄰接配置，而是以資料電路爲中心，配置成彼此開放(Open)狀態。

因此，若是爲了執行屏蔽位元線讀出方法，在一條資料電路上連接兩條位元線，使其彼此相對且鄰接配置時，不屬於本發明。但是，本發明可以與該屏蔽位元線讀出方法組合而成(如後詳述)。

以下說明寫入操作(僅說明要點)：

此外，具體的寫入操作如後詳述。

假設被選擇的記憶單元爲連接位元線BLA的記憶單元CellA與連接位元線BLB的記憶單元CellB。對這兩個記憶單元CellA、CellB，使用一條資料電路(僅可以保留對一個記憶單元之寫入資料)，幾乎同時執行寫入操作。

首先，對記憶單元CellA的寫入資料，自晶片外部經由資料電路保留在位元線BLA上。同樣的，對記憶單元CellB的

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（138）

寫入資料，自晶片外部經由資料電路保留在位元線BLB上。

如圖53(a)及(b)所示，執行對記憶單元CellA之寫入操作時，TGA設定在"L"，TGB設定在"H"。

亦即，由於傳送閘極(Transfer Gate)TrNA處於關閉狀態，因此，位元線BLA處於漂浮狀態，且保留對記憶單元CellA之寫入資料。此時，由於記憶單元CellA的控制閘極線(字線)上外加有寫入脈衝，因此，針對位元線BLA的寫入資料，執行對記憶單元CellA的寫入。

例如"0"寫入(寫入選擇)時，位元線BLA爲0V("Low"，亦即，寫入資料"0")，記憶單元CellA的通道也是0V。因此，在記憶單元CellA的隧道氧化膜上外加高電壓，對記憶單元CellA執行"0"寫入(對漂浮閘極注入電子)。

此外，"1"寫入(寫入未選擇)時，位元線BLA爲Vdd("High"，亦即，寫入資料"1")，記憶單元CellA的通道可爲Vdd-Vth(Vth爲選擇電晶體的閥壓)，且自位元線BLA切離(選擇電晶體切離)。

因此，雖然在控制閘極線(字線)上外加寫入脈衝，通道的電位藉由控制閘極線與通道的電容耦合而上昇。因而記憶單元CellA的隧道氧化膜上沒有外加高電壓，而對記憶單元CellA執行"1"寫入(維持刪除)。

對記憶單元CellA外加寫入脈衝期間，寫入資料保留在處於漂浮狀態的位元線BLA上。此時，位元線BLA的寫入資料不變，寫入資料穩定的保留在位元線BLA上。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（139）

此因，位元線BLA的電容極大，如在"0"寫入時，即使將寫入脈衝外加在控制閘極線上，因電容耦合處於漂浮狀態之位元線BLA的電位幾乎不變。此外，"0"寫入時，由於自記憶單元CellA的漂浮閘極流入位元線BLA的隧道電流值非常小，因此，幾乎不會對位元線BLA的電位造成變動。

然而，對記憶單元CellA外加寫入脈衝期間，傳送閘極TrNB維持在開啓狀態，位元線BLB與資料電路2-i電連接。

對記憶單元CellB如不執行任何的寫入操作時，對記憶單元CellA外加寫入脈衝期間，也可以更新保留在位元線BLB上的寫入資料("0"或"1")。由於位元線BLB在寫入時處於漂浮狀態，因此，保留在位元線BLB上的資料可能因洩漏(電荷洩漏)而改變。

執行更新，係將保留在位元線BLB上的寫入資料轉送至資料電路2-i內的記憶電路(如鎖存電路)上，並在感應及鎖存該寫入資料後，再度送回位元線BLB。

另外，對記憶單元CellB外加寫入脈衝後，於對記憶單元CellA外加寫入脈衝期間，是執行檢驗記憶單元CellB之狀態(是否確實執行寫入)的操作，亦即，執行寫入驗證操作。

首先，資料電路2-i內的記憶電路上轉送有對保留在位元線BLB上之記憶單元CellB的寫入資料，且予以保留(圖53(a))。之後，讀出記憶單元CellB的資料(驗證讀出)，例如，比較保留在資料電路2-i內之記憶電路上的寫入資料與

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（140）

記憶單元CellB的讀出資料。

若兩者一致，則表示寫入確實(OK)，之後，不對記憶單元CellB注入電子。另外，若兩者不一致，表示寫入不確實(NG)，繼續對記憶單元CellB執行寫入操作。

亦即，保留在資料電路2-i內之記憶電路上的再寫入資料送回位元線BLB，之後，對記憶單元CellB外加寫入脈衝。

此外，如圖53(c)及(d)所示，對記憶單元CellA外加寫入脈衝後，TGA設定在"H"，TGB設定在"L"。

亦即，由於傳送閘極TrNB處於關閉狀態，因此位元線BLB處於漂浮狀態，且保留對記憶單元CellB的寫入資料。此時，由於在記憶單元CellB的控制閘極線(字線)上外加寫入脈衝，因此，針對位元線BLB的寫入資料，執行對記憶單元CellB的寫入。

例如，"0"寫入(寫入選擇)時，位元線BLB爲0V("Low"，亦即，寫入資料"0")，記憶單元CellB的通道也是0V。因此，在記憶單元CellB的隧道氧化膜上外加高電壓，對記憶單元CellB執行"0"寫入(對漂浮閘極注入電子)。

此外，"1"寫入(寫入未選擇)時，位元線BLB爲Vdd("High"，亦即，寫入資料"1")，記憶單元CellB的通道可爲Vdd-Vth(Vth爲選擇電晶體的閾壓)，且自位元線BLB切離(選擇電晶體切離)。

因此，雖然在控制閘極線(字線)上外加寫入脈衝，通道的電位藉由控制閘極線與通道的電容耦合而上昇。因而記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（141）

憶單元CellB的隧道氧化膜上沒有外加高電壓，而對記憶單元CellB執行"1"寫入(維持刪除)。

對記憶單元CellB外加寫入脈衝期間，寫入資料保留在處於漂浮狀態的位元線BLB上。此時，與上述理由同樣的，位元線BLB的寫入資料不變，寫入資料穩定的保留在位元線BLB上。

然而，在圖53(c)、(d)中，傳送閘極TrNB維持在開啓狀態，位元線BLA與資料電路2-i電連接，執行對記憶單元CellA的驗證讀出。

首先，資料電路2-i內的記憶電路上轉送有對保留在位元線BLA上之記憶單元CellA的寫入資料，且予以保留(圖53(c))。之後，讀出記憶單元CellA的資料(驗證讀出)，例如，比較保留在資料電路2-i內之記憶電路上的寫入資料與記憶單元CellA的讀出資料。

若兩者一致，則表示寫入確實(OK)，之後，不對記憶單元CellA注入電子。另外，若兩者不一致，表示寫入不確實(NG)，繼續對記憶單元CellA執行寫入操作。

亦即，保留在資料電路2-i內之記憶電路上的再寫入資料送回位元線BLA，之後，對記憶單元CellA外加寫入脈衝。

因而是對記憶單元CellA、CellB反複執行圖53(a)~(d)的操作，直至正確執行寫入爲止。

如此按照本發明，對應兩個被選擇的記憶單元(兩條位元線)設置一條資料電路時，在對其中一個記憶單元執行寫入中，將寫入資料保留在與另一個記憶單元連接的位元線

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（142）

上，且使該位元線與資料電路電切離。此時，將連接另一個記憶單元之位元線與資料電路電連接，對另一個記憶單元執行驗證操作。

利用此種構成及控制方法，使用一條可以暫時僅保留對一個記憶單元之寫入資料的一條資料電路，幾乎可以同時對兩個被選擇的記憶單元執行寫入。因此，不致擴大晶片面積，而加快(概爲先前的兩倍)寫入速度。

此外，以上是說明本發明的要點。也可以採用同樣的方式，例如也可以使用一條資料電路，對兩個以上被選擇的記憶單元幾乎同時執行寫入。

3．具體實施例之一

以下說明本發明的具體實施例：

此外，與本發明之要點項目中之說明同樣的，以下是以2值NAND型快閃記憶體爲例做說明。

3．－1．晶片配置

圖54爲本發明之2值NAND型快閃記憶體的晶片配置概要。

本配置的特徵爲，記憶單元陣列係由上層記憶庫(Upper bank)及下層記憶庫(Lower bank)所構成，在上層記憶庫及下層記憶庫之間配置資料電路。

亦即，本例中的資料電路由上層記憶庫的記憶單元與下層記憶庫的記憶單元共用。此時，由於可以使用一條資料電路幾乎同時的寫入上層記憶庫內的一個記憶單元與下層記憶庫內的一個記憶單元，因此，其寫入速度比先前(以一

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(143)

條資料電路對一個記憶單元執行寫入)快約兩倍。

上層記憶庫係由四個記憶庫Bank1U、Bank2U、Bank3U、Bank4U所構成，同樣的，下層記憶庫也是由四個記憶庫Bank1L、Bank2L、Bank3L、Bank4L所構成。位元線BLA自資料電路延伸至上層記憶庫端，位元線BLB自資料電路延伸至下層記憶庫端。

本例中，可以藉由一次寫入操作(自資料輸入至寫入完成爲止的操作，外加寫入脈衝通常執行數次)，可以執行八頁Page1U、Page2U、Page3U、Page4U、Page1L、Page2L、Page3L、Page4L部分的資料寫入(對一個記憶庫寫入一頁)。

再者，先前的寫入方法，由於上層記憶庫的記憶單元與下層記憶庫的記憶單元無法幾乎同時寫入，因此，先前一次的寫入操作僅可以執行四頁的資料寫入。亦即，本發明的寫入速度可以比先前快約兩倍。

3.－2. 資料電路

圖55顯示圖54之晶片配置，亦即顯示一條資料電路與連接其之位元線及記憶單元。

資料電路2-i包含鎖存電路LATCH1、N通道MOS電晶體TN31、驗證用P通道MOS電晶體TP31、TP32、預充電用N通道MOS電晶體TN32A、TN32B、TN32C、TN32D、傳送閘極TrNA、TrNB、TrNC、TrND。

鎖存電路LATCH1可用於在寫入/讀出時暫時記憶寫入/讀出資料。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（144）

本例中，一條資料電路2-i上連接四條位元線BLA、BLB、BLC、BLD。兩條位元線BLA、BLC配置在上層記憶庫(Upper bank)內。位元線BLA、BLC彼此相對且鄰接配置。此外，兩條位元線BLB、BLD配置在下層記憶庫(Lower bank)內。位元線BLB、BLD也是彼此相對且鄰接配置。

在寫入操作時，選擇上層記憶庫內之兩條位元線BLA、BLC之中的一條，且選擇下層記憶庫內之兩條位元線BLB、BLD之中的一條。亦即，使用一條資料電路2-i，對兩個記憶單元(上層記憶庫內的一個記憶單元與下層記憶庫內的一個記憶單元)幾乎同時執行寫入。

本例中將一個記憶庫內的兩條位元線連接在一條資料電路2-i上的理由爲，於寫入/讀出時，兩條位元線之中的一條固定在Vss或Vdd，防止寫入/讀出時產生位元線間電容結合噪音。

例如，寫入操作時，上層記憶庫內的兩條位元線BLA、BLC之中，未被選擇的一條位元線設定在晶片內電源電位Vdd。如此，因爲被選擇的位元線設定在Vdd(寫入未選擇狀態)，因此寫入時，不會產生位元線間電容結合噪音。此外，還可以防止對連接未被選擇之一條位元線的記憶單元執行錯誤寫入("0"寫入)。

基於同樣的理由，下層記憶庫內之兩條位元線BLB、BLD之中，未被選擇的一條位元線也是設定在晶片內電源電位Vdd。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（145）

此外，如本例，將一個記憶庫內的兩條位元線連接在一條資料電路2-i上時，於讀出操作時，可以採用所謂之屏蔽位元線讀出方式，以避免在讀出時，產生位元線間電容結合噪音。亦即，讀出時，將兩條位元線之中的一條作爲資料讀出用位元線，另外一條作爲屏蔽位元線(Vss)，可以加快讀出速度，防止錯誤讀出等。

因而，本例中使用資料電路2-i，對兩個記憶單元CellA、CellB執行寫入時，兩條位元線BLC、BLD始終設定在固定電位(Vdd或Vss)。此外，使用資料電路2-i，對兩個記憶單元CellC、CellD執行寫入時，兩條位元線BLA、BLB始終設定在固定電位(Vdd或Vss)。

因此，於寫入/讀出時，可以避免產生位元線間電容結合噪音，來執行寫入/讀出操作。

3.－3. 寫入操作

圖56詳細說明圖54及圖55之記憶體中，對兩個記憶單元CellA、CellB的寫入操作。

(1)步驟一

首先對上層記憶庫(Upper bank)的記憶單元CellA實施資料載入(Data load)，亦即，自晶片外部將對記憶單元CellA的寫入資料輸入晶片內的資料電路2-i上。

實際上，對圖54的四個記憶庫Bank1U、Bank2U、Bank3U、Bank4U，是將四頁Page1U、Page2U、Page3U、Page4U部分的資料輸入對應四頁部分資料所設置的數條資料電路上。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（146）

此外，當TGA爲"H"，傳送閘極TrNA處於開啓狀態時，對記憶單元CellA的寫入資料自資料電路2-i轉送至上層記憶庫內的位元線BLA上。

例如，寫入資料爲"0"時("0"寫入或是寫入選擇)，位元線BLA爲Vss(0V)，寫入資料爲"1"時("1"寫入或是寫入未選擇)，位元線BLA爲晶片內電源電位Vdd(如約2.3V)。

(2)步驟二

首先，當TGA爲"L"，傳送閘極TrNA處於關閉狀態。因而位元線BLA與資料電路2-i電切離，對記憶單元CellA的寫入資料關入(保留在)位元線BLA內。

之後，對下層記憶庫(Lower bank)的記憶單元CellB實施資料載入，亦即，自晶片外部將對記憶單元CellB的寫入資料輸入晶片內的資料電路2-i上。

實際上，對圖54的四個記憶庫Bank1L、Bank2L、Bank3L、Bank4L，是將四頁Page1L、Page2L、Page3L、Page4L部分的資料輸入對應四頁部分資料所設置的數條資料電路上。

此外，當TGB爲"H"，傳送閘極TrNB處於開啓狀態時，對記憶單元CellB的寫入資料自資料電路2-i轉送至下層記憶庫內的位元線BLB上。

例如，寫入資料爲"0"時("0"寫入或是寫入選擇)，位元線BLB爲Vss(0V)，寫入資料爲"1"時("1"寫入或是寫入未選擇)，位元線BLB爲晶片內電源電位Vdd。

(3)步驟三

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

147

五、發明說明（　）

對下層記憶庫內的記憶單元CellB執行寫入(外加寫入脈衝)。

首先，TGB設定在"L"，TGA設定在"H"。

此時，由於傳送閘極TrNB處於關閉狀態，因此位元線BLB與資料電路2-i電切離。位元線BLB處於漂浮狀態，對記憶單元CellB的寫入資料保留在位元線BLB上。

之後，在記憶單元CellB的控制閘極線(字線)上外加寫入脈衝。此時，位元線BLB端的選擇閘極線設定在晶片內電源電位Vdd，源極線端的選擇閘極線則設定在接地電位Vss。此外，連接被選擇之記憶單元CellB的控制閘極線(被選擇字線)設定在寫入電位Vpgm，其他的控制閘極線(未選擇字線)則設定在轉送電位Vpass。

於"0"寫入時，位元線BLB爲Vss(0V)，記憶單元CellB的通道也是Vss。因此，在記憶單元CellB中，在隧道氧化膜上外加高電場，FN隧道電流在隧道氧化膜上流動。亦即，記憶單元CellB中，因電子自通道注入漂浮閘極上，因此記憶單元CellB的閾壓上昇。

於"1"寫入時，位元線BLB爲Vdd(如約2.3V)，記憶單元CellB的通道爲Vdd-Vth(Vth爲連接位元線與記憶單元之間之選擇電晶體的閾壓)，且連接位元線與記憶單元之間的選擇電晶體切離。

因此，在記憶單元CellB中外加寫入脈衝時，通道的電位也因字線與通道的電容耦合而上昇，如上昇至8V左右。因此，未在隧道氧化膜上外加高電場，隧道氧化膜上也沒有

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（148）

FN隧道電流流動。亦即，記憶單元CellB的閾壓不變(維持刪除狀態)。

對下層記憶庫內的記憶單元CellB執行寫入期間，對保留在上層記憶庫內之位元線BLA上之記憶單元CellA的寫入資料執行更新。

亦即，由於TGA爲"H"，傳送閘極TrNA處於開啓狀態，因此位元線BLA與資料電路2-i電連接。保留在位元線BLA上的寫入資料轉送至資料電路2-i的鎖存電路上，加以保留。之後保留在鎖存電路上的寫入資料再度送回位元線BLA(更新)。

對保留在上層記憶庫內之位元線BLA之寫入資料的更新，宜在步驟二的期間，上層記憶庫內之位元線BLA的電位(寫入資料)可因漏電流而改變時執行。換言之，於步驟二期間，亦即，對記憶單元CellB載入寫入資料，對記憶單元CellB的寫入資料保留在下層記憶庫內之位元線BLB的期間，若上層記憶庫內之位元線BLA的電位幾乎不變時，也可以不執行更新。

另外，可以在執行寫入(外加寫入脈衝)之前，或是在執行寫入(外加寫入脈衝)之後執行更新。

於執行寫入後執行更新時，如在步驟二的狀態(TGA爲"L"，TGB爲"H"，，亦即，也可以於位元線BLB固定在Vss("0"寫入)或是Vdd("1"寫入)的狀態(非漂浮狀態)時，對記憶單元CellB執行寫入，之後，在步驟三的狀態(TGA爲"H"，TGB爲"L"時，對保留在位元線BLA上之寫入資

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（149）

料執行更新。

此外，本例中，雖是將寫入資料轉送至位元線BLA(步驟一)，並將寫入資料轉送至位元線BLB後(步驟二)，對下層記憶庫內之記憶單元CellB執行寫入(步驟三)，但是當位元線的電位變動(漏電流)不成問題時，也可以將寫入資料轉送至位元線BLA(步驟一)，將寫入資料轉送至位元線BLB後(步驟二)，對上層記憶庫內之記憶單元CellA執行寫入，之後，在對下層記憶庫內之記憶單元CellB執行寫入。或是，在步驟二之後，幾乎同時對記憶單元CellA執行寫入與對記憶單元CellB執行寫入。

(4)步驟四

將保留在位元線BLA上的寫入資料更新後，TGA爲"L"，傳送閘極TrNA處於關閉狀態。之後，TGB爲"H"，傳送閘極TrNB處於開啓狀態。

TGA變成"L"後，對上層記憶庫內之記憶單元CellA執行寫入(外加寫入脈衝)。

由於傳送閘極TrNA處於關閉狀態，因此位元線BLA處於漂浮狀態。此外，對記憶單元CellA的寫入資料保留在位元線BLA上。

之後，在記憶單元CellA的控制閘極線(字線)上外加寫入脈衝。此時，位元線BLA端的選擇閘極線設定在晶片內電源電位Vdd，源極線端的選擇閘極線則設定在接地電位Vss。此外，連接被選擇之記憶單元CellA的控制閘極線(被選擇字線)設定在寫入電位Vpgm，其他的控制閘極線(未選

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(150)

擇字線)則設定在轉送電位Vpass。

於"0"寫入時，位元線BLA爲Vss(0V)，記憶單元CellA的通道也是Vss。因此，在記憶單元CellA中，在隧道氧化膜上外加高電場，FN隧道電流在隧道氧化膜上流動。亦即，記憶單元CellA中，因電子自通道注入漂浮閘極上；因此記憶單元CellA的閥壓上昇。

於"1"寫入時，位元線BLA爲Vdd，記憶單元CellA的通道爲Vdd-Vth(Vth爲連接位元線與記憶單元之間之選擇電晶體的閥壓)，且連接位元線與記憶單元之間的選擇電晶體切離。此時，外加寫入脈衝時，通道的電位也因字線與通道的電容耦合而上昇，如上昇至8V左右。因此，隧道氧化膜上沒有FN隧道電流流動。記憶單元CellA的閥壓不變(維持刪除狀態)。

對上層記憶庫內的記憶單元CellA執行寫入期間，在下層記憶庫內，首先執行將對保留在位元線BLB之記憶單元CellB的寫入資料轉送至資料電路的操作。

亦即，TGB爲"H"，傳送閘極TrNB處於開啓狀態時，位元線BLB與資料電路2-i電連接。因此，保留在位元線BLB上的寫入資料保留在資料電路2-i內的鎖存電路(如圖55的LATCH1)上。

(5)步驟五

保留在位元線BLB上之寫入資料轉送至資料電路內的鎖存電路後，繼續對下層記憶庫內之記憶單元CellB執行驗證操作。此時，在上層記憶庫內，則繼續對記憶單元CellA執

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（151）

行寫入。

首先，對下層記憶庫內的記憶單元CellB執行驗證讀出。亦即，由於TGB爲"H"，傳送閘極TrNB處於開啓狀態，因此，位元線BLB與資料電路2-i電連接。

因此，在兩條選擇閘極線上賦予Vread，在記憶單元CellB的控制閘極線(被選擇字線)上賦予驗證讀出用的讀出電位Vcgv0，未選擇之字線上賦予使記憶單元始終處於開啓狀態的電位Vread時，記憶單元CellB的資料經由位元線BLB轉送至資料電路上。

之後，於資料電路中，依據記憶單元CellB的資料與保留在鎖存電路上的寫入資料，執行檢測正確的資料是否完全寫入記憶單元CellB內的操作及生成再度寫入資料的操作。

因而，當判斷正確的資料已完全寫入記憶單元CellB內時，即結束對以後之記憶單元CellB的寫入(具體而言，於"0"寫入時，寫入資料自"0"變成"1"，以後不再執行"0"寫入)。另外，當判斷正確的資料未確實寫入記憶單元CellB內時，則繼續對記憶單元CellB執行寫入。

以上的驗證操作結束後，由資料電路所生成的再寫入資料轉送至下層記憶庫內的位元線BLB上，並予以保留。

(6)步驟六

對記憶單元CellB的驗證操作結束後，TGB爲"L"，傳送閘極TrNB處於關閉狀態。之後，TGA變成"H"，傳送閘極TrNA處於開啓狀態。

TGB爲"L"後，對下層記憶庫內的記憶單元CellB執行再

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(152)

寫入(Re-write)。

另外，於"0"寫入時，如寫入不確實時，則執行"0"資料時的再寫入，寫入確實時，則寫入資料變成"1"，不再執行"0"寫入。

由於傳送閘極TrNB處於關閉狀態，因此位元線BLB處於漂浮狀態。此外，對記憶單元CellB的寫入資料保留在位元線BLB上。

之後，在記憶單元CellB的控制閘極線(字線)上外加寫入脈衝。

另外，對下層記憶庫內之記憶單元CellB執行寫入的期間，在上層記憶庫內，首先執行將對保留在位元線BLA上之記憶單元CellA的寫入資料轉送至資料電路上的操作。

亦即，TGA爲"H"，傳送閘極TrNA處於開啓狀態時，位元線BLA與資料電路2-i電連接。因此，保留在位元線BLA上的寫入資料保留在資料電路2-i內的鎖存電路(如圖55的LATCH1)上。

(7)步驟七

保留在位元線BLA上之寫入資料轉送至資料電路內的鎖存電路後，繼續對上層記憶庫內之記憶單元CellA執行驗證操作。此時，在下層記憶庫內，則繼續對記憶單元CellB執行寫入。

首先，對上層記憶庫內的記憶單元CellA執行驗證讀出。亦即，由於TGA爲"H"，傳送閘極TrNA處於開啓狀態，因此，位元線BLA與資料電路2-i電連接。

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（153）

因此，在兩條選擇閘極線上賦予Vread，在記憶單元CellA的控制閘極線(被選擇字線)上賦予驗證讀出用的讀出電位Vcgv0，未選擇之字線上賦予使記憶單元始終處於開啓狀態的電位Vread時，記憶單元CellA的資料經由位元線BLA轉送至資料電路上。

之後，於資料電路中，依據記憶單元CellA的資料與保留在鎖存電路上的寫入資料，執行檢測正確的資料是否完全寫入記憶單元CellA內的操作及生成再度寫入資料的操作。

因而，當判斷正確的資料已完全寫入記憶單元CellA內時，即結束對以後之記憶單元CellA的寫入(具體而言，於"0"寫入時，寫入資料自"0"變成"1"，以後不再執行"0"寫入)。另外，當判斷正確的資料未確實寫入記憶單元CellA內時，則繼續對記憶單元CellA執行寫入。

以上的驗證操作結束後，由資料電路所生成的再寫入資料轉送至上層記憶庫內的位元線BLA上，並予以保留。

(8)步驟七以後

之後，再度執行步驟四的操作。亦即，步驟七以後，直至對包含記憶單元CellA、CellB的全部記憶單元確實執行寫入前，或是寫入次數超過指定數，變成寫入不良前，反複執行步驟四至步驟七的操作。

另外，圖55中，對記憶單元CellA、CellB執行寫入操作期間，位元線BLC、BLD可固定在Vdd(寫入時)或是Vss(驗證時)。

對記憶單元CellC、CellD也執行與上述同樣的操作，此

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（154）

時，位元線BLA、BLB固定在Vdd(寫入時)或是Vss(驗證時)。

3.－4. 構成寫入操作之各個操作的說明

以下詳細說明構成上述寫入操作的各個操作：

另外，資料電路及記憶單元陣列具有圖55所示的構成。此外，對記憶單元CellA、CellB執行寫入時，位元線係BLC、BLD固定在Vdd或Vss。

3.-4.-1. 資料載入(Data load)

在圖56的"步驟一"中，對上層記憶庫內之記憶單元CellA的寫入資料，自晶片外部輸入資料電路，且自資料電路轉送至位元線BLA。

圖57顯示用於執行"步驟一"之操作的各信號時間。

首先，CSL爲"H"，寫入資料自晶片外部，經由IO、nIO，輸入資料電路2-i內的鎖存電路LATCH1上。而在時刻Td1時，TRS及TGA爲Vsg(如約4V)，保留在鎖存電路LATCH1上的寫入資料轉送至上層記憶庫內的位元線BLA上。另外，TGB、TGC、TGD均爲Vss。

"0"寫入(寫入選擇)時，保留在鎖存電路LATCH1上的寫入資料爲"0"(N1=Vss，N2=Vdd)。因此，"0"寫入時，Vss(寫入資料"0")保留在位元線BLA上。

"1"寫入(寫入未選擇)時，保留在鎖存電路LATCH1上的寫入資料爲"1"(N1=Vdd，N2=Vss)。因此，"1"寫入時，Vdd(寫入資料"1")，保留在位元線BLA上。

之後，於時刻Td2時，TRS及TGA爲Vss，結束對記憶單

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（155）

元CellA之寫入資料的資料載入。

上述的資料載入中，VSC可設定在Vss，PREC可設定在Vsg或Vdd。此時，由於位元線BLC固定在Vss，因此，可以除掉對位元線BLA之位元線間的電容結合噪音。另外，BLC(VSC)也可以自Vss改設成Vdd。

在圖56的"步驟二"中，對下層記憶庫內之記憶單元CellB的寫入資料自晶片外部輸入資料電路，且自資料電路轉送至位元線BLB上。

圖58顯示用於執行"步驟二"之操作的各信號時間。

首先，寫入資料自晶片外部，經由節點Naij、Nbij，輸入資料電路2-i內的鎖存電路LATCH1上。而在時刻Td1時，TRS及TGB爲Vsg(如約4V)，保留在鎖存電路LATCH1上的寫入資料轉送至下層記憶庫內的位元線BLB上。另外，TGA、TGC、TGD均爲Vss。

之後，於時刻Td2時，TRS及TGB爲Vss，結束對記憶單元CellB之寫入資料的資料載入。

上述的資料載入中，VSD可設定在Vss，PRED可設定在Vsg。此時，由於位元線BLD固定在Vdd，因此，可以除掉對位元線BLB之位元線間的電容結合噪音。

3.-4.-2. 外加寫入脈衝

在圖56的"步驟三"中，對下層記憶庫內的記憶單元CellB外加寫入脈衝。

圖59顯示用於執行"步驟三"之操作枇(有關外加寫入脈衝的部分)的各信號時間。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（156）

TGB、TGC及TGD均爲Vss，傳送閘極TrNB、TrNC、TrND均處於關閉狀態。

爲了對記憶單元CellB執行寫入，PREB須爲Vss，位元線BLB上須保留寫入資料。位元線BLD固定在Vdd。亦即，PRED設定在Vsg，VSD設定在Vdd。

由於位元線BLA上保留對記憶單元CellA的寫入資料，因此，PREA設定在Vss。

首先，於時刻Tpr1時，選擇閘極線SG1L爲Vdd，於時刻Tpr2時，未選擇的控制閘極線(字線)CG2L~CG16L爲轉送電位Vpass。另外，在時刻Tpr3時，被選擇之控制閘極線(字線)CG1L則爲寫入電位Vpgm。

由於在"0"寫入時，位元線BLB的電位爲Vss(保留"0"資料)，因此，記憶單元CellB的通道也是Vss(0V)。因此，記憶單元CellB中，在隧道氧化膜上外加高電場，電子自通道注入漂浮閘極。

由於在"1"寫入時，位元線BLB的電位爲Vdd(保留"1"資料)，因此，記憶單元CellB的通道爲Vdd-Vth(Vth爲選擇電晶體的閥壓)。此外，選擇電晶體處於切離狀態，記憶單元CellB的通道處於漂浮狀態。

此時，由於記憶單元CellB中的通道電位藉由控制閘極線(字線)與通道間的電容耦合而上昇，如上昇8V左右，因此，隧道氧化膜上沒有外加高電場，也沒有電子自通道注入漂浮閘極。

之後，於時刻Tpr4時，被選擇之控制閘極線CG1L的電位

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（157）

自寫入電位Vpgm下降至接地電位Vss。此外，於時刻Tpr5時，未選擇之控制閘極線CG2L~CG16L的電位自轉送電位Vpass下降至接地電位Vss。此外，於時刻Tpr6時，選擇閘極線SG1L自Vdd下降至Vss。

如上所述，結束外加寫入脈衝。

另外，一般的寫入，位元線BLB是在結束外加寫入脈衝後實施放電，不過本發明的位元線BLB在結束外加寫入脈衝後並不實施放電。此因本發明係將寫入資料保留在位元線BLB上之故。

3.-4.-3. 更新

在圖56的"步驟三"中，對下層記憶庫內的記憶單元CellB外加寫入脈衝期間，對保留在上層記憶庫內之位元線BLA上的寫入資料執行更新。

圖60顯示用於執行"步驟三"之操作(有關寫入資料更新的部分)的各信號時間。

TGB、TGC及TGD均爲Vss，傳送閘極TrNB、TrNC、TrND均處於關閉狀態。

爲了對保留在記憶單元CellA之位元線BLA上之寫入資料執行更新，須將PREA設定成Vss。爲了對記憶單元CellB執行寫入，PREB也是設定成Vss。另外，PREC、PRED則設定在Vsg，VSC、VSD設定在Vdd，位元線BLC、BLD固定在Vdd。

首先，於時刻Trf1時，SEN及LAT爲Vss，時控反向器INV1、INV2處於未操作狀態。亦即，鎖存電路LATCH1處

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（158）

於未操作狀態。此外，於時刻Trf2時，TRS及TGA爲Vsg，上層記憶庫內的位元線BLA與資料電路2-i內的鎖存電路LATCH1電連接。

因而保留在位元線BLA上的寫入資料被轉送至感應節點N1上。之後，於時刻Trf3時，SEN爲Vdd，時控反向器INV1處於操作狀態時，以時控反向器INV1感應感應節點N1的電位(寫入資料)。

此外，於時刻Trf4，LAT爲Vdd時，時控反向器INV2處於操作狀態，寫入資料被鎖存在鎖存電路LATCH1上。亦即，保留在位元線BLA上的寫入資料藉由鎖存電路LATCH1放大。

同時，由於鎖存電路LATCH1與位元線BLA電連接，因此鎖存在鎖存電路LATCH1上的寫入資料再度送回位元線BLA上(更新)。

其次，於時刻Trf5時，TRS及TGA爲Vss，保留在位元線BLA上的寫入資料更新完成。

3.-4.-4. 外加寫入脈衝

在圖56的"步驟四"及"步驟五"中，對上層記憶庫內的記憶單元CellA外加寫入脈衝。

圖61顯示用於執行"步驟四"及"步驟五"之操作(有關外加寫入脈衝的部分)的各信號時間。

TGA、TGC及TGD均爲Vss，傳送閘極TrNA、TrNC、TrND均處於關閉狀態。由於TGB需要執行後述的寫入資料轉送及驗證讀出，因此設定在Vsg。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

159

五、發明說明（　）

由於須對記憶單元CellA執行寫入，因此PREA須爲Vss，寫入資料保留在位元線BLA上。PREC設定在Vsg，VSC設定在Vdd，位元線BLC固定在Vdd。PREB設定在Vss。

首先，於時刻Tpr1時，選擇閘極線SG1U爲Vdd，時刻Tpr2時，未選擇之控制閘極線(字線)CG2U~CG16U爲轉送電位Vpass。其次於時刻Tpr3時，被選擇之控制閘極線(字線)CG1U爲寫入電位Vpgm。

由於在"0"寫入時，位元線BLA的電位爲Vss(保留"0"資料)因此，記憶單元CellA的通道也是Vss(0V)。因此，記憶單元CellA中，隧道氧化膜上外加高電場，電子自通道注入漂浮閘極。

由於在"1"寫入時，位元線BLA的電位爲Vdd(保留"1"資料)，因此，記憶單元CellA的通道爲Vdd-Vth(Vth爲選擇電晶體的閾壓)。此外，選擇電晶體處於切離狀態，記憶單元CellA的通道處於漂浮狀態。

此時，由於記憶單元CellA中的通道電位藉由控制閘極線(字線)與通道間的電容耦合而上昇，如上昇8V左右，因此，隧道氧化膜上沒有外加高電場，也沒有電子自通道注入漂浮閘極。

之後，於時刻Tpr4時，被選擇之控制閘極線CG1U的電位自寫入電位Vpgm下降至接地電位Vss。此外，於時刻Tpr5時，未選擇之控制閘極線CG2U~CG16U的電位自轉送電位Vpass下降至接地電位Vss。此外，於時刻Tpr6時，選擇閘極線SG1U自Vdd下降至Vss。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（160）

如上所述，結束外加寫入脈衝。另外，本發明的位元線BLA在結束外加寫入脈衝後並不實施放電。此因本發明係將寫入資料保留在位元線BLA上之故。

3.-4.-5. 轉送寫入資料

在圖56的"步驟四"中，對上層記憶庫內的記憶單元CellA外加寫入脈衝期間，在下層記憶庫內，首先執行將保留在位元線BLB上之寫入資料轉送至資料電路2-i內之鎖存電路LATCH1上的操作。

圖62顯示用於執行"步驟四"之操作(有關寫入資料轉送的部分)的各信號時間。

TGA、TGC及TGD均爲Vss，傳送閘極TrNA、TrNC、TrND均處於關閉狀態。

爲了轉送保留在記憶單元CellB之位元線BLB上之寫入資料，須將PREB設定成Vss。爲了對記憶單元CellA執行寫入，PREA也是設定成Vss。另外，PREC、PRED則設定在Vsg，VSC、VSD設定在Vdd，位元線BLC、BLD固定在Vdd。

首先，於時刻Tts1時，SEN及LAT爲Vss，時控反向器INV1、INV2處於未操作狀態。亦即，鎖存電路LATCH1處於未操作狀態。此外，於時刻Tts2時，TRS及TGB爲Vsg，下層記憶庫內的位元線BLB與資料電路2-i內的鎖存電路LATCH1電連接。

因而保留在位元線BLB上的寫入資料被轉送至感應節點N1上。之後，於時刻Tts3時，SEN爲Vdd，時控反向器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（161）

INV1處於操作狀態時，以時控反向器INV1感應感應節點N1的電位(寫入資料)。

之後，於時刻Tts4，TRS自Vsg變成Vss時，電晶體TN31處於關閉狀態，鎖存電路LATCH1與位元線BLB電切離。

其次，於時刻Tts5，LAT爲Vdd時，時控反向器INV2處於操作狀態，寫入資料被鎖存在鎖存電路LATCH1上。亦即，保留在位元線BLB上的寫入資料被鎖存在鎖存電路LATCH1上。

其次，於時刻Tts6時，TGB爲Vss，保留在位元線BLB上的寫入資料轉送完成。

3.-4.-6. 驗證讀出

在圖56的"步驟五"中，對上層記憶庫內的記憶單元CellA外加寫入脈衝期間，在下層記憶庫內，對記憶單元CellB執行驗證讀出。

圖63顯示用於執行"步驟五"之操作(有關驗證讀出的部分)的各信號時間。

TGA、TGC及TGD均爲Vss，傳送閘極TrNA、TrNC、TrND均處於關閉狀態。

爲了對記憶單元CellA執行寫入，須將PREA設定成Vss。另外，位元線BLC固定在Vdd，位元線BLD固定在Vss。因此，PREC、PRED設定在Vsg，VSC設定在Vdd，VSD設定在Vss。

首先，於時刻Tvfy1時，TGB爲Vsg。此外，PREB爲Vpre(如約3V)，位元線BLB預充電成約1.8V。之後，於時

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（162）

刻Tvfy2時，PREB爲Vss，位元線BLB的預充電完成。

於時刻Tvfy3時，被選擇之控制閘極線(字線)CG1L設定在驗證用的讀出電位Vcgv0(如約0.5V)，選擇閘極線SG1L、SG2L及未選擇之控制閘極線(字線)CG2L~CG16L的電位則設定在Vread(如約3.5V)使記憶單元始終處於開啓狀態。

此時，位元線BLB的電位針對記憶單元CellB的資料而改變或維持不變。

例如，記憶單元CellB方面，於"0"寫入不確實及執行"1"寫入時，由於記憶單元CellB的閥壓低於Vcgv0，因此，記憶單元CellB處於開啓狀態，位元線BLB的電荷放電。因而，位元線BLB的電位爲Vss。

此外，記憶單元CellB方面，於"0"寫入確實時，由於記憶單元CellB的閥壓高於Vcgv0，因此，記憶單元CellB處於關閉狀態，位元線BLB的電荷不放電。因而，位元線BLB的電位維持在預充電電位(如約1.8V)。

之後，於時刻Tvfy4時，控制閘極線(字線)CG1L~CG16L及選擇閘極線SG1L、SG2L的電位設定在Vss(0V)。

其次在時刻Tvfy5，VFY爲"L"時，由於電晶體TP32處於開啓狀態，因此位元線BLB的電位視鎖存在鎖存電路LATCH1上之寫入資料而定。

例如，於"1"寫入(寫入未選擇)時，由於鎖存電路LATCH1上鎖存有寫入資料"1"(節點N2爲"L")，因此電晶體TP31處於開啓狀態，位元線BLB固定在Vdd。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（163）

亦即，於時刻Tvfy4時，位元線BLB的電位雖因驗證讀出而爲Vss，但是在時刻Tvfy5時，位元線BLB則強制性的設定在Vdd。

此外，於"0"寫入(寫入選擇)時，由於鎖存電路LATCH1上鎖存有寫入資料"0"(節點N2爲"H")，因此電晶體TP31處於關閉狀態。因此，位元線BLB仍然維持藉由驗證讀出，自位元線BLB所讀出的資料，亦即於時刻Tvfy4時之位元線BLB的電位。

亦即，"0"寫入不確實時，位元線BLB的電位爲Vss，"0"寫入確實時，位元線BLB的電位爲預充電電位。

之後，於時刻Tvfy6時，SEN及LAT爲Vss，時控反向器INV1、INV2處於未操作狀態，亦即，鎖存電路LATCH1處於未操作狀態。此時，鎖存在鎖存電路LATCH1上的寫入資料消失。

其次，於時刻Tvfy7，TRS爲Vsg時，電晶體TN31處於開啓狀態，位元線BLB與鎖存電路LATCH1電連接。此外，於時刻Tvfy8時，SEN爲"H"，時控反向器INV1感應位元線BLB的電位。再於時刻Tvfy9，LAT爲"L"時，位元線BLB的電位鎖存在鎖存電路LATCH1上。

亦即，位元線BLB的電位鎖存在鎖存電路LATCH1上，作爲再寫入資料。同時，該再寫入資料轉送至位元線BLB上，並加以保留。

之後，依據保留在位元線BLB上的再寫入資料執行再寫入。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（164）

然而，原則上，經驗證讀出結果，對應全部之行(全部被選擇的記憶單元)之位元線BLB的電位均爲"H"時，結束寫入(外加寫入脈衝)。當位元線BLB之電位爲"L"的行存在時，亦即，"0"寫入不確實的記憶單元存在時，只要寫入次數未達到上限，就繼續執行寫入。

可以採用一致檢測電路(如圖1、圖2及圖5所示者)來檢測全部行之位元線BLB的電位是否爲"H"(Program completion detection)。

最後，於時刻Tvfy10時，TRS及TGA爲Vss，結束驗證讀出。

3.-4.-7. 其他

在圖56之"步驟六"及"步驟七"中所執行的操作與"步驟四"及"步驟五"相同。亦即，在下層記憶庫內，對記憶單元CellB外加寫入脈衝，在上層記憶庫內，轉送保留在位元線BLA上的寫入資料及對記憶單元CellA執行驗證讀出。

此外由於，在"步驟六"及"步驟七"中外加寫入脈衝、轉送寫入資料及驗證讀出等各項操作，除對象不同之外，其餘與"步驟四"及"步驟五"中的各項操作(參照項目3.-4.-4.及項目3.-4.-5.及項目3.-4.-6.)完全相同，因此，圖64製圖66僅顯示波形圖，而省略其詳細說明。

上述例中，是使位元線處於漂浮狀態後，將寫入脈衝外加在記憶單元上。反之，也可以在記憶單元上外加寫入脈衝後，使位元線處於漂浮狀態，將寫入資料保留在位元線上。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（165）

4. 具體實施例之二

上述的具體實施例之一中，連接一條資料線，同時執行寫入的數個記憶單元(被選擇位元線)是以分別配置在不同記憶庫內爲前提，因此，數個被選擇之記憶單元的控制閘極線(字線)並未共用。

本例則是說明使用一條資料電路，對存在於同一個記憶庫內(亦即共用控制閘極線)的數個記憶單元同時執行寫入。此外，當然也可以在一條資料電路內，僅配置可以暫時保留對一個記憶單元之寫入資料(2值或多值)的記憶電路(如鎖存電路)。

4.－1. 概要

本例與具體實施例之一同樣的，是以2值NAND型快閃記憶體爲例做說明。

有關晶片配置及資料電路方面，與具體實施例之一相同(參照圖54及圖55)。但是，有關資料電路與位元線的連接關係，則爲如圖67所示的關係。亦即，在一條資料電路2-i上是連接六條位元線BLA1、BLA2、BLA3、BLB1、BLB2、BLB3。

六條位元線BLA1、BLA2、BLA3、BLB1、BLB2、BLB3之中的三條位元線BLA1、BLA2、BLA3配置在上層記憶庫(Upper bank)內，另外三條位元線BLB1、BLB2、BLB3則是配置在下層記憶庫(Lower bank)內。

另外，本例中使用一條資料電路2-i，可以連接上層記憶庫內的三條位元線BLA1、BLA2、BLA3，且同時對共用控

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（166）

制閘極線CG1U1的三個記憶單元CellA1、CellA2、CellA3執行寫入。此時，下層記憶庫內的三條位元線BLB1、BLB2、BLB3則分別供對記憶單元CellA1、CellA2、CellA3之寫入資料作爲暫時待命之用。

此外，也可以連接下層記憶庫內的三條位元線BLB1、BLB2、BLB3，且同時對共用控制閘極線CG1L1的三個記憶單元CellB1、CellB2、CellB3執行寫入。此時，上層記憶庫內的三條位元線BLA1、BLA2、BLA3則分別供對記憶單元CellB1、CellB2、CellB3之寫入資料作爲暫時待命之用。

4.-2. 寫入操作

以下，繼續參照圖68至圖70，具體說明寫入操作。因對記憶單元CellA1、CellA2、CellA3的寫入操作與對記憶單元CellB1、CellB2、CellB3的寫入操作，除對象不同之外，其餘完全相同，因此，以下僅說明對記憶單元CellB1、CellB2、CellB3的寫入操作。

(1)步驟1-1

首先，對記憶單元CellA1之寫入資料執行資料載入(Data load)。

記憶單元CellA1的寫入資料自晶片外部輸入資料電路2-i。之後，TGA1爲"H"時，傳送閘極TrNA1處於開啓狀態，因此，資料電路2-i內的寫入資料轉送至位元線BLA1上，且加以保留。此時，TGB1爲"L"，傳送閘極TrNB1處於關閉狀態。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 167 ）

於"0"寫入(寫入選擇)時，寫入資料爲"0"位元線BLA1爲0V。此外，於"1"寫入(寫入未選擇)時，寫入資料爲"1"位元線BLA1爲Vdd。

之後，TGB1自"L"變成"H"，傳送閘極TrNB1處於開啓狀態。因此，資料電路2-i內的寫入資料也轉送至位元線BLB1上，且加以保留。

(2)步驟1-2

繼續對記憶單元CellA2之寫入資料執行資料載入(Data load)。

首先，使TGA1及TGB1爲"L"，使傳送閘極TrNA1、TrNB1處於關閉狀態。此時，位元線BLA1、BLB1處於漂浮狀態，對記憶單元CellA1的寫入資料關入位元線BLA1、BLB1內。

之後，記憶單元CellA2的寫入資料自晶片外部輸入資料電路2-i內。之後，TGA2爲"H"時，傳送閘極TrNA2處於開啓狀態，因此，資料電路2-i內的寫入資料轉送至位元線BLA2上，且加以保留。此時，TGB2爲"L"，傳送閘極TrNB2屬於關閉狀態。

之後，TGB2自"L"變成"H"，傳送閘極TrNB2處於開啓狀態。因此，資料電路2-i內的寫入資料也轉送至位元線BLB2上，且加以保留。

(3)步驟1-3

繼續對記憶單元CellA3之寫入資料執行資料載入(Data load)。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（168）

首先，使TGA2及TGB2爲"L"，使傳送閘極TrNA2、TrNB2處於關閉狀態。此時，位元線BLA2、BLB2處於漂浮狀態，對記憶單元CellA2的寫入資料關入位元線BLA2、BLB2內。

之後，記憶單元CellA3的寫入資料自晶片外部輸入資料電路2-i內。之後，TGA3爲"H"時，傳送閘極TrNA3處於開啓狀態，因此，資料電路2-i內的寫入資料轉送至位元線BLA3上，且加以保留。此時，TGB3爲"L"，傳送閘極TrNB3屬於關閉狀態。

之後，TGB3自"L"變成"H"，傳送閘極TrNB3處於開啓狀態。因此，資料電路2-i內的寫入資料也轉送至位元線BLB3上，且加以保留。

(4)步驟1-4

經過"步驟1-1"至"步驟1-3"的操作，完成寫入資料的資料載入。之後，本例中，於外加寫入脈衝之前，更新保留在各位元線上的寫入資料。

但是，若資料載入中，已經完成資料載入之位元線的電位可能因漏電流而改變時，也可以執行寫入資料的更新("步驟1-4"及"步驟1-5")，在資料載入中，已經完成資料載入之位元線的電位不會因漏電流而改變時，也可以不執行更新。

此時，於資料載入("步驟1-1"至"步驟1-3")結束後，立即外加寫入脈衝("步驟1-6")。

因漏電流而發生位元線電位改變的問題時，是對保留在

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（169）

位元線BLA1、BLB1之記憶單元CellA1的寫入資料及對保留在位元線BLA2、BLB2之記憶單元CellA2的寫入資料執行更新。

亦即，即使因漏電流而發生位元線電位改變的問題時，對保留在位元線BLA3、BLB3之記憶單元CellA3的寫入資料並不執行更新。此因，係在最後("步驟1-3")對記憶單元CellA3的寫入資料執行資料載入，而寫入資料保留在位元線BLA3、BLB3的時間(Data retention time)較短。

於"步驟1-4"中，更新對記憶單元CellA1的寫入資料。

首先，TGA1爲"H"，傳送閘極TrNA1處於開啓狀態。此時，因位元線BLA1與資料電路2-i電連接，因此使用資料電路2-i內的鎖存電路，對保留在位元線BLA1上之記憶單元CellA1的寫入資料執行更新。

此外，對保留在位元線BLA1上之寫入資料執行更新期間，TGB1爲"L"，傳送閘極TrNB1處於關閉狀態。

之後，TGA1爲"L"時，傳送閘極TrNA1處於關閉狀態。此外，TGB1爲"H"時，傳送閘極TrNB1處於開啓狀態。此時，因位元線BLB1與資料電路2-i電連接，因此使用資料電路2-i內的鎖存電路，對保留在位元線BLB1上之記憶單元CellA1的寫入資料執行更新。

(5)"步驟1-5"

於"步驟1-5"中，更新對記憶單元CellA2的寫入資料。

首先，TGA2爲"H"，傳送閘極TrNA2處於開啓狀態。此時，因位元線BLA2與資料電路2-i電連接，因此使用資料

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（170）

電路2-i內的鎖存電路，對保留在位元線BLA2上之記憶單元CellA2的寫入資料執行更新。

此外，對保留在位元線BLA2上之寫入資料執行更新期間，TGB2爲"L"，傳送閘極TrNB2處於關閉狀態。

之後，TGA2爲"L"時，傳送閘極TrNA2處於關閉狀態。此外，TGB2爲"H"時，傳送閘極TrNB2處於開啓狀態。此時，因位元線BLB2與資料電路2-i電連接，因此使用資料電路2-i內的鎖存電路，對保留在位元線BLB2上之記憶單元CellA2的寫入資料執行更新。

此外，自"步驟1-1"至"步驟1-5"之間，因選擇閘極線SG1U1、SG1L1分別處於關閉狀態，因此保留在各位元線上的寫入資料不會消失。

(6)步驟1-6

於"步驟1-6"中，外加寫入脈衝。

在位元線BLA1上已經保留有對記憶單元CellA1的寫入資料，在位元線BLA2上已經保留有對記憶單元CellA2的寫入資料，在位元線BLA3上已經保留有對記憶單元CellA3的寫入資料。因此，若在控制閘極線CG1U1上外加寫入脈衝，可以同時對三個記憶單元CellA1、CellA2、CellA3執行寫入。

執行寫入中之控制閘極線(字線)及選擇閘極線的電位如下：

位元線端之選擇閘極線SG1U1設定在Vdd，源極端的選擇閘極線設定在Vss，被選擇之控制閘極線CG1U1設定在

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(171)

寫入電位Vpgm，未選擇之控制閘極線則設定在轉送電位Vpass。

因而，於"0"寫入(寫入選擇)時，因被選擇之記憶單元的通道爲0V，因此在隧道氧化膜上外加高電場，電子自通道注入漂浮閘極。

另外，於"1"寫入(寫入未選擇)時，因被選擇之記憶單元的通道爲Vdd-Vth(Vth爲選擇電晶體的閥壓)，且位元線端的選擇電晶體處於關閉狀態，因此，通道處於漂浮狀態。

因此，外加寫入脈衝時，通道的電位因控制閘極線與通道的電容耦合而上昇，上昇至8V左右。亦即，隧道氧化膜上並未外加高電場，電子並未自通道注入漂浮閘極。

(7)步驟1-7

外加寫入脈衝結束後，分別執行將暫時記憶在位元線上之寫入資料轉送至資料電路的操作、驗證操作(驗證讀出及Program completion detection)及將再寫入資料轉送至位元線的操作。

因資料電路2-i僅具有可以暫時記憶對一個記憶單元之寫入/讀出資料的鎖存電路，因此，這些操作是在各位元線(或記憶單元)上執行。

本例中，於"步驟1-7"及"步驟1-8"中，執行將暫時記憶在位元線BLB1(或是位元線BLA1)之寫入資料轉送至資料電路之操作、對記憶單元CellA1的驗證讀出操作(包含Program completion detection)及自資料電路將再寫入資料轉送至位元線BLB1(或是位元線BLA1、BLB1)的操作。

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（172）

此外，於"步驟1-9"及"步驟1-10"中，執行將暫時記憶在位元線BLB2(位元線BLA2則不可，相關內容如後述)之寫入資料轉送至資料電路之操作、對記憶單元CellA2的驗證讀出操作(包含Program completion detection)及自資料電路將再寫入資料轉送至位元線BLB2(或是位元線BLA2、BLB2)的操作。

此外，於"步驟1-11"及"步驟1-12"中，執行將暫時記憶在位元線BLB3(位元線BLA3則不可，相關內容如後述)之寫入資料轉送至資料電路之操作、對記憶單元CellA3的驗證讀出操作(包含Program completion detection)及自資料電路將再寫入資料轉送至位元線BLB3(或是位元線BLA3、BLB3)的操作。

此外，本例中，係將對上層記憶庫內之選擇記憶單元的寫入資料保留在與其記憶單元連接之位元線與下層記憶庫內之一條位元線上。其理由爲，在後述的驗證讀出操作中，如對被選擇之記憶單元CellA1執行驗證讀出時，保留在連接其他選擇之記憶單元CellA2、CellA3之位元線BLA2、BLA3上的寫入資料會消失。

亦即，若在下層記憶庫內的位元線BLB2、BLB3上保留寫入資料，如在對記憶單元CellA1驗證讀出時，保留在上層記憶庫內之位元線BLA2、BLA3上的寫入資料即使消失，對記憶單元CellA2、CellA3的寫入資料將保留在位元線BLB2、BLB3上，不會消失。

以下說明"步驟1-7"的操作：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（173）

於"步驟1-7"中，是執行保留在下層記憶庫內之位元線BLB1上，對上層記憶庫內之記憶單元CellA1的寫入資料轉送至資料電路上的操作。

首先，當TGB1爲"H"時，傳送閘極TrNB1處於開啓狀態。此時，位元線BLB1與資料電路電連接，保留在下層記憶庫內之位元線BLB1上，對記憶單元CellA1的寫入資料轉送至資料電路上。

另外，本例中，也可以使TGA1爲"H"，傳送閘極TrNA1處於開啓狀態，將保留在上層記憶庫內之位元線BLA1上的寫入資料轉送至資料電路上。

該寫入資料可以保留在如圖55所示之資料電路2-i內的鎖存電路LATCH1上。

(8)步驟1-8

於"步驟1-8"中，是執行對記憶單元CellA1的驗證讀出。

首先將位元線BLA1預充電成預充電電位(如約1.8V)。此時，保留在位元線BLA1上的寫入資料雖然消失，但是由於寫入資料已經轉送至資料電路內的鎖存電路上，因此沒有問題。

之後，使TGA1爲"H"，使傳送閘極TrNA1處於開啓狀態時，位元線BLA1與資料電路電連接。

因而，在兩條選擇閘極線上賦予Vread，在記憶單元CellA1的控制閘極線(被選擇字線)CG1U1上賦予驗證讀出用的讀出電位Vcgv0，未選擇之字線上賦予始終處於開啓狀態的電位Vread時，記憶單元CellA1的資料經由位元線

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（174）

BLA1轉送至資料電路2-i上。

之後，在資料電路2-i上，依據記憶單元CellA1的資料及保留在鎖存電路LATCH1上的寫入資料，執行生成再寫入資料操作及檢測正確的資料是否完全寫入記憶單元CellA1內的操作(Program completion detection)。

若使用圖55的資料電路，"1"寫入及"0"寫入確實時，因再寫入資料爲"1"，因此以後不再執行"0"寫入。亦即，結束對記憶單元CellA1的寫入操作。

另外，當"0"寫入不確實時，因再寫入資料爲"0"，因此繼續執行"0"寫入。亦即，對記憶單元CellA1繼續執行寫入。

此外，對記憶單元CellA1的驗證讀出，是在控制閘極線CG1U1上賦予讀出電位Vcgv0。

因而，除了記憶單元CellA1之外，共用控制閘極線CG1U1的記憶單元CellA2、CellA3均處於開啓狀態，對保留在位元線BLA2、BLA3上之記憶單元CellA2、CellA3的寫入資料消失。但是，因對記憶單元CellA2、CellA3的寫入資料也保留在下層記憶庫內之位元線BLB2、BLB3上，因此沒有問題。

驗證讀出後，因對記憶單元CellA1的再寫入資料轉送至位元線BLA1(實際上，因傳送閘極線TrNA1處於開啓狀態，因此與驗證讀出幾乎同時將再寫入資料轉送至位元線BLA1上)。此時，TGB1爲"L"，傳送閘極TrNB1處於關閉狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(175)

之後，當TGB1爲"H"時，傳送閘極TrNB1處於開啓狀態，對記憶單元CellA1的再寫入資料也轉送至位元線BLB1上。

另外，如後述的，對記憶單元CellA2驗證讀出時，對保留在位元線BLA1上之記憶單元CellA1的再寫入資料消失。因此，以後是使用保留在位元線BLB1上的寫入資料。

(9)步驟1-9

與上述"步驟1-7"及"步驟1-8"操作同樣的，執行"步驟1-9"及"步驟1-10"的操作。

首先說明"步驟1-9"的操作：

於"步驟1-9"中，是執行對保留在下層記憶庫內之位元線BLB2上之上層記憶庫內之記憶單元CellA2的寫入資料轉送至資料電路上的操作。

另外，本例中，對保留在上層記憶庫內之位元線BLA2上之記憶單元CellA2的寫入資料，於對記憶單元CellA1驗證讀出時("步驟1-8")消失。因此，對記憶單元CellA2的寫入資料自下層記憶庫內的位元線BLB2轉送至資料電路上。

因而，該寫入資料可以保留在如圖55所示之資料電路2-i內的鎖存電路LATCH1上。

(10)步驟1-10

於"步驟1-10"中，，是對記憶單元CellA2執行驗證讀出。

首先將位元線BLA2預充電成預充電電位(如約1.8V)。之後，使TGA2爲"H"，使傳送閘極TrNA2處於開啓狀態時，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（176）

位元線BLA2與資料電路電連接。

因而，在兩條選擇閘極線上賦予Vread，在記憶單元CellA2的控制閘極線(被選擇字線)CG1U1上賦予驗證讀出用的讀出電位Vcgv0，未選擇之字線上賦予始終處於開啓狀態的電位Vread(如約3.5V)時，記憶單元CellA2的資料經由位元線BLA2轉送至資料電路2-i上。

之後，在資料電路2-i上，依據記憶單元CellA2的資料及保留在鎖存電路LATCH1上的寫入資料，執行生成再寫入資料操作及檢測正確的資料是否完全寫入記憶單元CellA2內的操作(Program completion detection)。

如"1"寫入及"0"寫入確實時，因再寫入資料爲"1"，因此以後不再對記憶單元CellA2執行"0"寫入。亦即，結束對記憶單元CellA2的寫入操作。

另外，當"0"寫入不確實時，因再寫入資料爲"0"，因此繼續執行"0"寫入。亦即，對記憶單元CellA2繼續執行"0"寫入。

然而，對記憶單元CellA2的驗證讀出，是在控制閘極線CG1U1上賦予讀出電位Vcgv0。

因而，除了記憶單元CellA2之外，共用控制閘極線CG1U1的記憶單元CellA1、CellA3均處於開啓狀態，對保留在位元線BLA1、BLA3上之記憶單元CellA1、CellA3的寫入資料消失。

但是，因對記憶單元CellA1、CellA3的寫入資料(或再寫入資料)保留在下層記憶庫內之位元線BLB1、BLB3上，因

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（177）

此這些寫入資料並未完全消失。

驗證讀出後，因對記憶單元CellA2的再寫入資料轉送至位元線BLA2(實際上，因傳送閘極線TrNA2處於開啓狀態，因此與驗證讀出幾乎同時將再寫入資料轉送至位元線BLA2上)。此時，TGB2爲"L"，傳送閘極TrNB2處於關閉狀態。

之後，當TGB2爲"H"時，傳送閘極TrNB2處於開啓狀態，對記憶單元CellA2的再寫入資料也轉送至位元線BLB2上。

另外，如後述的，對記憶單元CellA3驗證讀出時，對保留在位元線BLA2上之記憶單元CellA2的再寫入資料消失。因此，以後是使用保留在位元線BLB2上的寫入資料。

(11)步驟1-11

與上述"步驟 1-9"及"步驟 1-10"操作同樣的，執行"步驟1-11"及"步驟1-12"的操作。

首先說明"步驟1-11"的操作：

於"步驟1-11"中，是執行對保留在下層記憶庫內之位元線BLB3上之上層記憶庫內之記憶單元CellA3的寫入資料轉送至資料電路上的操作。

首先，當TGB3爲"H"時，傳送閘極TrNB3處於開啓狀態。此時，位元線BLB3與資料電路電連接，保留在下層記憶庫內之位元線BLB3上，對記憶單元CellA3的寫入資料轉送至資料電路上。

另外，對保留在上層記憶庫內之位元線BLA3上之記憶單

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(178)

元CellA3的寫入資料，已經於對記憶單元CellA1驗證讀出時("步驟1-8")消失。因此，對記憶單元CellA3的寫入資料自下層記憶庫內的位元線BLB3轉送至資料電路上。

因而，該寫入資料可以保留在如圖55所示之資料電路2-i內的鎖存電路LATCH1上。

(12)步驟1-12

於"步驟1-12"中，是對記憶單元CellA3執行驗證讀出。

首先將位元線BLA3預充電成預充電電位(如約1.8V)。之後，使TGA3爲"H"，使傳送閘極TrNA3處於開啓狀態時，位元線BLA3與資料電路電連接。

因而，在兩條選擇閘極線上賦予Vread，在記憶單元CellA3的控制閘極線(被選擇字線)CG1U1上賦予驗證讀出用的讀出電位Vcgv0，未選擇之字線上賦予始終處於開啓狀態的電位Vread(如約3.5V)時，記憶單元CellA3的資料經由位元線BLA3轉送至資料電路2-i上。

之後，在資料電路2-i上，依據記憶單元CellA3的資料及保留在鎖存電路LATCH1上的寫入資料，執行生成再寫入資料操作及檢測正確的資料是否完全寫入記憶單元CellA3內的操作(Program completion detection)。

如"1"寫入及"0"寫入確實時，因再寫入資料爲"1"，因此以後不再對記憶單元CellA3執行"0"寫入。亦即，結束對記憶單元CellA3的寫入操作。

另外，當"0"寫入不確實時，因再寫入資料爲"0"，因此繼續對記憶單元CellA3執行"0"寫入。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（179）

然而，對記憶單元CellA3的驗證讀出，是在控制閘極線CG1U1上賦予讀出電位Vcgv0。

因而，除了記憶單元CellA3之外，共用控制閘極線CG1U1的記憶單元CellA1、CellA2均處於開啓狀態，對保留在位元線BLA1、BLA2上之記憶單元CellA1、CellA2的寫入資料消失。

但是，因對記憶單元CellA1、CellA2的寫入資料(或再寫入資料)保留在下層記憶庫內之位元線BLB1、BLB2上，因此這些寫入資料並未完全消失。

驗證讀出後，因對記憶單元CellA3的再寫入資料轉送至位元線BLA3(實際上，因傳送閘極線TrNA2處於開啓狀態，因此與驗證讀出幾乎同時將再寫入資料轉送至位元線BLA3上)。此時，TGB3爲"L"，傳送閘極TrNB3處於關閉狀態。

之後，當TGB3爲"H"時，傳送閘極TrNB3處於開啓狀態，對記憶單元CellA3的再寫入資料也轉送至位元線BLB3上。

另外，"步驟1-12"結束時，對記憶單元CellA1、CellA2、CellA3的驗證讀出操作結束。亦即，轉送至上層記憶庫內的位元線BLA3上，對記憶單元CellA3的再寫入資料並未消失，而保留在位元線BLA3上。

之後，雖是對上層記憶庫內的記憶單元CellA1、CellA2、CellA3執行再寫入(外加寫入脈衝)，但是如上所述，上層記憶庫內的位元線BLA1上並未保留對記憶單元

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（180）

CellA1的寫入資料，在上層記憶庫內的位元線BLA2上並未保留對記憶單元CellA2的寫入資料。僅在上層記憶庫內的位元線BLA3上保留對記憶單元CellA3的寫入資料。

因此，再寫入之前，是執行自下層記憶庫內的位元線BLB1將對記憶單元CellA1的寫入資料轉送至上層記憶庫內的位元線BLA1的操作("步驟1-13"及"步驟1-14")，及自下層記憶庫內的位元線BLB2將對記憶單元CellA2的寫入資料轉送至上層記憶庫內的位元線BLA2的操作("步驟1-15"及"步驟1-16")。

(13)步驟1-13

於"步驟1-13"中，是對保留在下層記憶庫內之位元線BLB1上之記憶單元CellA1的寫入資料轉送至資料電路2-i上。

首先，當TGB1爲"H"時，傳送閘極TrNB1處於開啓狀態。此時，下層記憶庫內的位元線BLB1與資料電路2-i電連接，保留在位元線BLB1上，對記憶單元CellA1的寫入資料轉送至資料電路2-i上。因而，該寫入資料被鎖存在資料電路2-i內的鎖存電路LATCH1上(例如，參照圖55)。

之後，使TGB1爲"L"，使傳送閘極TrNB1處於關閉狀態。

(14)步驟1-14

於"步驟1-14"中，是將保留在資料電路2-i內的鎖存電路LATCH1上，對記憶單元CellA1的寫入資料轉送至上層記憶庫內的位元線BLA1上。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（181）

首先，使TGA1爲"H"，使傳送閘極TrNA1處於開啓狀態。此時，上層記憶庫內的位元線BLA1與資料電路2-i電連接，保留在資料電路2-I內的鎖存電路LATCH1上，對記憶單元CellA1的寫入資料轉送至上層記憶庫內的位元線BLA1上。

之後，使TGA1爲"L"，使傳送閘極TrNA1處於關閉狀態。

(15)步驟1-15

於"步驟1-15"中，將保留在下層記憶庫內的位元線BLB2上，對記憶單元CellA2的寫入資料轉送至資料電路2-i上。

首先，使TGB2爲"H"，使傳送閘極TrNB2處於開啓狀態。此時，下層記憶庫內的位元線BLB2與資料電路2-i電連接，保留在位元線BLB2上，對記憶單元CellA2的寫入資料轉送至資料電路2-i上。因而，該寫入資料被鎖存在資料電路2-i內的鎖存電路LATCH(例如，參照圖55)上。

之後，使TGB2爲"L"，使傳送閘極TrNB2處於關閉狀態。

(16)步驟1-16

於"步驟1-16"中，將保留在資料電路2-i內的鎖存電路LATCH1上，對記憶單元CellA2的寫入資料轉送至上層記憶庫內的位元線BLA2上。

首先，使TGA2爲"H"，使傳送閘極TrNA2處於開啓狀態。此時，上層記憶庫內的位元線BLA2與資料電路2-i電

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（182）

連接，保留在資料電路2-i內的鎖存電路LATCH1上，對記憶單元CellA2的寫入資料轉送至上層記憶庫內的位元線BLA2上。

之後，使TGA2爲"L"，使傳送閘極TrNa2處於關閉狀態。

(16)步驟1-17

於"步驟1-12"中，對記憶單元CellA3的寫入資料保留在上層記憶庫內的位元線BLA3上，對記憶單元CellA1、CellA2的寫入資料藉由"步驟1-13"至"步驟1-16"的操作，轉送至上層記憶庫內的位元線BLA1、BLA2上。

藉此，上層記憶庫內的各位元線BLA1、BLA2、BLA3分別處於保留再寫入資料的狀態。

之後，於"步驟1-17"中，被選擇的控制閘極線(選擇閘極線)CG1U1上外加寫入脈衝，對上層記憶庫內的記憶單元CellA1、CellA2、CellA3執行再寫入。

於"步驟1-17"中外加寫入脈衝後，再度執行"步驟1-7"至"步驟1-16"相同的操作。

亦即，以後自"步驟1-7"至"步驟1-17"的操作反複執行，直到全部被選擇之記憶單元的寫入確實爲止(或是寫入次數超過指定數，而成不良寫入爲止)。

如以上的說明，具體實施例之二對於共用存在於同一個記憶庫內之控制閘極線的數個記憶單元，可以使用一條資料電路同時執行寫入。

亦即，即使資料電路僅具有可以保留對一個記憶單元之

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（183）

寫入/讀出資料的記憶電路時，可以藉由在位元線上保留對各記憶單元的寫入資料，以一條資料電路對數個記憶單元執行寫入。

此外，對數個記憶庫設置一條資料電路，如使用該資料電路對其中一個記憶庫(上層記憶庫)內的數個記憶單元執行寫入時，是將寫入資料保留在其他記憶庫(下層記憶庫)內的數條位元線上。

因此，寫入資料並未消失，可以連續執行寫入操作(外加寫入脈衝、驗證讀出、Program completion detection等)。

如此，若依照具體實施例之二，不須增加晶片面積，亦即資料電路的規模並未擴大，即可執行快速寫入。

另外，具體實施例之二中雖是使用一條資料電路，對同一個記憶庫內的三個記憶單元同時執行寫入，但是也可以使用一條資料電路，對同一個記憶庫內之四個以上的記憶單元同時執行寫入。

例如，圖71的例中，於一條資料電路2-i上連接上層記憶庫(Upper bank)內的六條位元線BLA1、BLA2、BLA3、BLC1、BLC2、BLC3與下層記憶庫(Lower bank)內的六條位元線BLB1、BLB2、BLB3、BLD1、BLD2、BLD3。

此時，與具體實施例之二同樣的，可以對連接上層記憶庫內之六條位元線BLA1、BLA2、BLA3、BLC1、BLC2、BLC3的六個記憶單元同時執行寫入。此外，可以對連接下層記憶庫內之六條位元線BLB1、BLB2、BLB3、BLD1、BLD2、BLD3的六個記憶單元同時執行寫入。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（184）

此外，對上層記憶庫內的記憶單元執行寫入時，也可以對連接三條位元線BLA1、BLA2、BLA3的三個記憶單元同時執行寫入，並在位元線BLB1、BLB2、BLB3上分別儲存位元線BLA1、BLA2、BLA3的寫入資料。

此時，因防止位元線間的電容結合噪音，因此，也可以將位元線BLC1、BLC2、BLC3及位元線BLD1、BLD2、BLD3作爲屏蔽位元線(固定在Vdd或Vss)。

同樣的，對上層記憶庫內的記憶單元執行寫入時，也可以對連接三條位元線BLC1、BLC2、BLC3的三個記憶單元同時執行寫入，並在位元線BLD1、BLD2、BLD3上分別儲存位元線BLC1、BLC2、BLC3的寫入資料。此時，也可以將位元線BLA1、BLA2、BLA3及位元線BLB1、BLB2、BLB3作爲屏蔽位元線。

另外，也可以將未選擇的位元線作爲屏蔽位元線，來對下層記憶庫內之記憶單元執行寫入。

其他

本發明之非揮發性半導體記憶體的詳細說明如上。

此外，本實施形態雖是以多值NAND單元型EEPROM爲例做說明，不過本發明當然也可以適用於其他類型的多值記憶體。如也可以適用於NOR型、AND型(A. Nozoe: ISSCC, Digest of Technichal Papers, 1995)、DINOR型(S. Kobayashi: ISSCC, Digest of Technichal Papers, 1995)、Virtual Ground Array型(Lee, et al.: Symposium on VLSI Circuits, Digest of Technichal Papers, 1994)等的記憶單元陣

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（185）

列。

此外，本發明並不限於快閃記憶體(Flash memory)，也可以適用在如MASKROM、EPROM等的非揮發性半導體記憶體。

發明效果

本發明如以上之說明，第一，用於暫時記憶配置在資料電路內之多值資料(n值資料)之數條記憶電路中至少一條係由DRAM單元(電容器)所構成。眾所周知，由於DRAM單元的面積比SRAM單元的面積小，因此數條記憶電路中，若部分由DRAM單元來構成時，其資料電路的面積可以比先前全部記憶電路均由SRAM單元構成爲小。

第二，字線控制電路係由列位址解碼器及字線驅動器所構成，並採用僅在記憶單元陣列的一側配置列位址解碼器，且在記憶單元陣列的兩側分別配置字線驅動器時，針對操作模式，控制用於連接記憶單元陣列一側之列位址解碼器與另一側之字線驅動器的信號線狀態。因此該信號線不致對記憶單元的操作造成不良影響。

第三，藉由將4值資料與記憶單元之閾壓的關係設定成指定的關係，可以經由兩次讀出操作讀出偶數頁資料，以一次讀出操作讀出奇數頁資料。

第四，藉由將4值資料與記憶單元之閾壓的關係設定成指定的關係，於偶數頁資料寫入後所執行的奇數頁資料寫入中，使"00"寫入比"01"寫入較早結束，於"00"寫入結束後，省略"00"驗證讀出，可以縮短寫入時間(寫入快速

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（186）

化）。

第五，在寫入操作中，於資料電路內，藉由對於取代鎖存電路而設計的DRAM單元（電容器）執行更新操作，即使發生電容器之電荷洩漏的問題，也可以正確的執行寫入操作。

第六，在資料電路內，設置寫入高速緩衝記憶。此時，如執行數頁寫入時，可以同時執行寫入（外加寫入脈衝）及寫入資料的輸入，實際上不需要第2頁以後之資料載入時間，可以達到寫入的快速化。

第七，在資料電路內，設置寫入高速緩衝記憶，該寫入高速緩衝記憶由DRAM單元（電容器）構成時，藉由對該DRAM單元執行更新操作，即使發生DRAM單元洩漏的問題時，寫入資料並不會消失。

第八，使用僅具有可以記憶對一個記憶單元之寫入/讀出資料之記憶電路的資料電路，對不同記憶庫內的數個記憶單元，可以幾乎同時執行寫入。亦即，藉由將對記憶單元的寫入資料保留在連接該記憶單元的位元線上，使用一條資料電路，可以執行數個記憶單元的寫入。此外，對一側的記憶單元執行寫入時，藉由對另一側的記憶單元執行驗證讀出，不須增加晶片面積，即可達到比先前快兩倍的寫入速度。

第九，使用僅具有可以記憶對一個記憶單元之寫入/讀出資料之記憶電路的資料電路，對配置在同一個記憶庫內，共用控制閘極線的數個記憶單元，可以同時執行寫入。亦

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（187）

即，藉由將對記憶單元的寫入資料保留在與連接有該記憶單元之位元線及配置有該記憶單元之記憶庫不同之記憶庫內的位元線上，使用一條資料電路可以對同一個記憶庫內的數個記憶單元同時執行寫入。藉此，不須增加晶片面積，即可達到比先前快速的寫入速度。

圖式之簡要說明

圖1爲本發明之多值NAND單元型EEPROM的概要圖。

圖2爲圖1之記憶體內的資料電路圖。

圖3爲圖1之記憶體內的記憶單元陣列圖。

圖4爲圖1之記憶體內的行解碼器部分圖。

圖5爲圖1之記憶體內的綜合檢測電路圖。

圖6爲圖1之記憶體內的字線控制電路圖。

圖7爲圖6之第一記憶單元區塊內的裝置構造圖。

圖8爲圖6之第二記憶單元區塊內的裝置構造圖。

圖9顯示圖6之列位址解碼器RADD1。

圖10顯示圖6之字線驅動器RMAIN1。

圖11顯示圖6之列位址解碼器RADD2。

圖12顯示圖6之字線驅動器RMAIN2。

圖13顯示4值資料與記憶單元之閥壓的關係。

圖14爲偶數頁資料寫入後的記憶單元閥壓分布圖。

圖15爲奇數頁資料寫入後的記憶單元閥壓分布圖。

圖16爲有關偶數頁資料讀出的操作時間波形圖。

圖17爲有關偶數頁資料讀出的操作時間波形圖。

圖18爲偶數頁資料的讀出操作概要圖。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（188）

圖19爲有關奇數頁資料讀出的操作時間波形圖。

圖20爲奇數頁資料的讀出操作概要圖。

圖21顯示偶數頁資料的寫入操作流程。

圖22爲有關寫入操作中外加程式脈衝的操作時間波形圖。

圖23爲寫入操作中外加程式脈衝的概要圖。

圖24爲有關寫入操作中之"10"驗證讀出的操作時間波形圖。

圖25爲寫入操作中之"10"驗證讀出的概要圖。

圖26爲有關寫入操作中之"Program Completion Detection"的操作時間波形圖。

圖27爲寫入操作中的"Program Completion Detection"概要圖。

圖28顯示奇數頁資料的寫入操作流程。

圖29爲有關寫入操作中之"Internal Data Load 1st/3rd Quarter"的操作時間波形圖。

圖30爲有關寫入操作中之"Internal Data Load 2nd/4th Quarter"的操作時間波形圖。

圖31爲寫入操作中的"Internal Data Load 1st Quarter"概要圖。

圖32爲寫入操作中的"Internal Data Load 2nd Quarter"概要圖。

圖33爲寫入操作中的"Internal Data Load 3rd Quarter"概要圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（189）

圖34爲寫入操作中的"Internal Data Load 4th Quarter"概要圖。

圖35爲有關寫入操作中之"01"驗證讀出的操作時間波形圖。

圖36爲寫入操作中的"01"驗證讀出概要圖。

圖37爲有關寫入操作中之"00"驗證讀出的操作時間波形圖。

圖38爲寫入操作中的"00"驗證讀出概要圖。

圖39爲有關刪除操作中外加刪除脈衝的操作時間波形圖。

圖40爲有關刪除操作中刪除驗證讀出的操作時間波形圖。

圖41爲有關刪除操作中之"Erase Completion Detection"的操作時間波形圖。

圖42爲有關"DRAM・Burn-in"的操作時間波形圖。

圖43爲有關DRAM單元更新的操作時間波形圖。

圖44顯示圖2之資料電路的其他實施例。

圖45顯示對數頁寫入的一般順序。

圖46顯示使用圖44之資料電路時，對數頁寫入的順序。

圖47爲對圖44之資料電路內之寫入高速緩衝記憶輸入資料的操作時間波形圖。

圖48爲自圖44之資料電路內之寫入高速緩衝記憶轉送資料至鎖存電路的操作時間波形圖。

圖49爲有關圖44之資料電路內之寫入高速緩衝記憶之資

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

91年3月4日 修正補充

五、發明說明（ 190 ）

料更新的操作時間波形圖。

圖50顯示圖2之資料電路的其他實施例。

圖51為對圖50之資料電路內之寫入高速緩衝記憶輸入資料的操作時間波形圖。

圖52為自圖50之資料電路內之寫入高速緩衝記憶轉送資料至鎖存電路的操作時間波形圖。

圖53(a)~(d)為有關寫入速度之本發明(具體實施例之一)的概要圖。

圖54為本發明之2值NAND單元型EEPROM的晶片配置圖。

圖55顯示一種圖54之記憶體的資料電路。

圖56顯示有關寫入速度之本發明的詳細操作。

圖57為有關資料載入的操作時間波形圖。

圖58為有關資料載入的操作時間波形圖。

圖59為有關外加寫入脈衝的操作時間波形圖。

圖60為有關更新的操作時間波形圖。

圖61為有關外加寫入脈衝的操作時間波形圖。

圖62為有關轉送寫入資料的操作時間波形圖。

圖63為有關驗證讀出的操作時間波形圖。

圖64為有關外加寫入脈衝的操作時間波形圖。

圖65為有關轉送寫入資料的操作時間波形圖。

圖66為有關驗證讀出的操作時間波形圖。

圖67為有關寫入速度之本發明(具體實施例之二)的概要圖。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)
裝 訂 線

五、發明說明（191）

圖68顯示有關寫入速度的本發明詳細操作。

圖69顯示有關寫入速度的本發明詳細操作。

圖70顯示有關寫入速度的本發明詳細操作。

圖71顯示有關寫入速度之本發明(具體實施例之二)的其他實施例。

圖72爲NAND單元型EEPROM的記憶單元陣列電路圖。

圖73爲NAND單元單位的裝置構造平面圖。

圖74爲沿圖73之LXXIV-LXXIV線的剖面圖。

圖75爲沿圖73之LXXV-LXXV線的剖面圖。

圖76顯示圖73之NAND單元單位的等價電路。

圖77顯示NAND單元型EEPROM的井構造。

圖78顯示先前的資料電路。

符號說明

1：記憶單元陣列，

2：資料電路，

3：字線控制電路，

4：行解碼器，

5：位址緩衝器

6：I/O感應放大器，

7：資料輸入輸出緩衝器，

8：井電位控制電路，

9A：電位產生電路，

9B：切換電路，

10：綜合檢測電路，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 192 ）

11：記憶體晶片，

11-1：p型矽基板

11-2：n型井區域，

11-3：p型井區域，

22：信號線(RDECADS)

23：列屏蔽線，

24：汲極擴散層，

25：源極擴散層，

26：昇壓電路，

TN1，…TN21：低電壓增強型N通道MOS電晶體，

HN1e、HN1o、HN2e、HN2o、HN3、…HN8、HNt1、…HNt16：高電壓增強型N通道MOS電晶體，

DLN1、…DLN3：低電壓耗盡型N通道MOS電晶體，

DLN(C1)、DLN(C2)：MOS電容器(DRAM單元)，

DHN1、…DHN9：高電壓耗盡型N通道MOS電晶體，

TP1、…TP7：低電壓增強型P通道MOS電晶體，

IHN1、IHN2：閥壓爲0.1V左右的高電壓N通道MOS電晶體，

CINV1、…CINV7：時控反向器，

LATCH1：鎖存電路，

I1、…I3：反向器，

NAND1、NAND2：NAND電路。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

A5
B5

四、中文發明摘要（發明之名稱：　　）

非揮發性半導體記憶體

本發明提供一種非揮發性半導體記憶體，即使單元資料多值化，也不致擴大資料電路的規模。

在記憶單元中非揮發性記憶3值以上的資料。資料電路2具有數條記憶電路。其中一條爲鎖存電路LATCH1，另外一條爲電容器DLN(C1)。這些鎖存電路LATCH1及電容器DLN(C1)擔任暫時記憶2位元以上之寫入/讀出資料的功能。對於儲存在電容器DLN(C1)內的資料，當發生因遺漏造成資料改變等問題時，可以使用鎖存電路LATCH1實施更新(Refresh)。

日文發明摘要（發明之名稱：不揮発性半導体メモリ　　）

【課題】　セルデータを多値化してもデータ回路の規模を大きくしない。

【解決手段】　メモリセルには、３値以上のデータが不揮発に記憶される。データ回路２は、複数の記憶回路を有する。一つは、ラッチ回路ＬＡＴＣＨ１である。もう一つは、キャパシタＤＬＮ（Ｃ１）である。これらラッチ回路ＬＡＴＣＨ１及びキャパシタＤＬＮ（Ｃ１）は、２ビット以上の書き込み／読み出しデータを一時的に記憶する役割を果たす。キャパシタＤＬＮ（Ｃ１）に保持されるデータに対しては、リークによるデータ変動が問題となるような場合には、ラッチ回路ＬＡＴＣＨ１を用いてリフレッシュを行う。

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS) A4 規格(210 × 297 公釐)

六、申請專利範圍

1. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元部，其係包含記憶單元；

位元線，其係連接上述記憶單元部的一端；及

資料電路，其係連接上述位元線，暫時記憶2位元以上對上述記憶單元之寫入或讀出資料；

上述資料電路包含配置於上述位元線一端的記憶第一資料之第一電容器及記憶第二資料的第一鎖存電路。

2. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元部，其係包含記憶3值以上資訊的記憶單元；

位元線，其係連接上述記憶單元部的一端；及

資料電路，其係連接上述位元線，暫時記憶2位元以上對上述記憶單元之寫入或讀出資料；

上述資料電路包含配置於上述位元線一端的記憶第一資料之第一電容器及記憶第二資料的第一鎖存電路。

3. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元部，其係包含記憶3值以上資訊的記憶單元；

位元線，其係連接上述記憶單元部的一端；及

資料電路，其係連接上述位元線，暫時記憶2位元以上對上述記憶單元之寫入或讀出資料；

上述資料電路包含配置於上述位元線一端的第一鎖存電路及第一電容器，

並依據記憶在上述第一鎖存電路及記憶在上述第一電容器內之資料，對上述記憶單元執行寫入。

4. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

部，其係包含記憶3值以上資訊的記憶單元；

位元線，其係連接上述記憶單元部的一端；及

資料電路，其係連接上述位元線，暫時記憶2位元以上對上述記憶單元之寫入或讀出資料；

上述資料電路包含配置於上述位元線一端的第一鎖存電路及第一電容器，

並依據自記憶體外部輸入，記憶在上述第一鎖存電路內之資料，及自上述記憶單元讀出，記憶在上述第一電容器內之資料，對上述記憶單元執行寫入。

5. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元部，其係包含記憶3值以上資訊的記憶單元；

位元線，其係連接上述記憶單元部的一端；及

資料電路，其係連接上述位元線，記憶2位元以上對上述記憶單元之寫入或讀出資料；

上述資料電路包含第一鎖存電路及第一電容器，

上述記憶單元記憶由第一列位址所選擇之第一資料及由第二列位址所選擇之第二資料，

上述第一列位址所選擇之第一寫入操作，係依據記憶在上述第一鎖存電路內之上述第一資料來執行寫入；

上述第二列位址所選擇之第二寫入操作，係依據記憶在上述第一鎖存電路內之第二資料，及自上述記憶單元讀出，記憶在上述第一電容器內之第一資料來執行寫入。

6. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

部，其係包含記憶於"1"狀態具有第一閾值電平，於"2"狀態具有第二閾值電平，於"3"狀態具有第三閾值電平，於"i"狀態(i為n以下的自然數，n為3以上的自然數)具有第i個閾值電平的記憶單元；

位元線，其係連接上述記憶單元部的一端；及

資料電路，其係連接上述位元線，暫時記憶2位元以上對上述記憶單元之寫入或讀出資料；

上述資料電路包含第一鎖存電路及第一電容器，

上述記憶單元記憶由第一列位址所選擇之第一資料及由第二列位址所選擇之第二資料，

上述第一列位址所選擇之第一寫入操作，係依據記憶在上述第一鎖存電路內之上述第一資料，將上述記憶單元以"1"、"2"、…"m-1"、"m"狀態(m為自然數)來執行寫入；

上述第二列位址所選擇之第二寫入操作，係依據記憶在上述第一鎖存電路內之上述第二資料，及自上述記憶單元讀出，記憶在上述第一電容器內之第一資料，將上述記憶單元以"1"、"2"、…"k-1"、"k"狀態(k為比m大的自然數)來執行寫入。

7. 一種非揮發性半導體記憶體，其特徵為具備：第一記憶單元部，其係包含第一記憶單元；

第二記憶單元部，其係包含第二記憶單元；

位元線，其係連接上述第一及第二記憶單元部的一端；及

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

六、申請專利範圍

資料電路，其係連接上述位元線，暫時記憶2位元以上對上述第一及第二記憶單元之寫入或讀出資料；

上述資料電路包含配置於上述位元線一端的第一電容器，其係記憶寫入上述第一記憶單元或是自上述第一記憶單元讀出之第一資料：及第一鎖存電路，其係記憶寫入上述第二記憶單元或是自上述第二記憶單元讀出之第二資料。

8. 一種非揮發性半導體記憶體，其特徵為具備：第一記憶單元部，其係包含第一記憶單元；

第二記憶單元部，其係包含第二記憶單元；

位元線，其係連接上述第一及第二記憶單元部的一端；及

資料電路，其係連接上述位元線，暫時記憶2位元以上對上述第一及第二記憶單元之寫入或讀出資料；

上述資料電路包含配置於上述位元線一端的第一鎖存電路及第一電容器，

對上述第二記憶單元執行寫入時，上述第一電容器保留第一資料，並依據記憶在上述第一鎖存電路內之第二資料執行寫入，

對上述第二記憶單元完成寫入後，保留在上述第一電容器內之上述第一資料轉送至上述第一鎖存電路，

並依據保留在上述第一鎖存電路上之上述第一資料，對上述第一記憶單元執行寫入。

9. 如申請專利範圍第1至8項中任一項之非揮發性半導體記

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

六、申請專利範圍

憶體，其特徵為：上述各非揮發性半導體記憶體，均具備更新記憶在上述第一電容器內資料的功能。

10. 如申請專利範圍第9項之非揮發性半導體記憶體，其特徵為：上述更新功能包含，

將記憶在上述第一鎖存電路內之資料轉送至上述位元線，

其次，於上述位元線保留記憶在上述第一鎖存電路上之資料的期間，使用上述第一鎖存電路來更新保留在上述第一電容器內的資料，

之後，將保留在上述位元線之資料轉送至上述第一鎖存電路上的功能。

11. 如申請專利範圍第10項之非揮發性半導體記憶體，其中上述之更新，係對上述記憶單元外加寫入脈衝時，或是外加上述寫入脈衝結束後執行。

12. 如申請專利範圍第1至8項中任一項之非揮發性半導體記憶體，其中上述之記憶單元，為構成NAND單元單位之數個記憶單元中的一個。

13. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元部，其係包含記憶單元；

第一信號線，其係連接上述記憶單元的一端；

資料電路，其係暫時記憶對上述記憶單元寫入或讀出的資料；及

第一開關電路，其係連接在上述第一信號線及上述資料電路之間，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

藉由上述第一開關電路在關閉狀態，使上述第一信號線及上述資料電路處於電切離狀態，並將對上述記憶單元寫入或讀出之資料保留在上述第一信號線上。

14. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元部，其係包含記憶單元；

第一信號線，其係連接上述記憶單元的一端；

資料電路，其係暫時記憶對上述記憶單元寫入或讀出的資料；及

第一開關電路，其係連接在上述第一信號線及上述資料電路之間，

藉由上述第一開關電路在關閉狀態，使上述第一信號線及上述資料電路處於電切離狀態，並將對上述記憶單元寫入或讀出之資料保留在上述第一信號線上，而不保留在上述資料電路上。

15. 如申請專利範圍第13或第14項之非揮發性半導體記憶體，其中於對上述記憶單元外加寫入電壓期間，藉由上述第一開關電路在關閉狀態，使上述第一信號線及上述資料電路處於電切離狀態，將對上述記憶單元寫入的資料保留在上述第一信號線上。

16. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元部，其係包含記憶單元；

第一信號線，其係連接上述記憶單元的一端；

資料電路，其係暫時記憶對上述記憶單元寫入或讀出的資料；及

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

第一開關電路，其係連接在上述第一信號線及上述資料電路之間；

於對上述記憶單元外加寫入電壓期間，藉由上述第一開關電路在關閉狀態，使上述第一信號線及上述資料電路處於電切離狀態，

將對上述記憶單元之寫入資料保留在上述第一信號線上，於外加上述寫入電壓後，藉由上述第一開關電路在開啟狀態，使上述資料電路與上述第一信號線處於電連接狀態，並將保留在上述第一信號線之上述寫入資料轉送至上述資料電路上。

17. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元部，其係包含記憶單元；

第一信號線，其係連接上述記憶單元的一端；

資料電路，其係暫時記憶對上述記憶單元寫入或讀出的資料；及

第一開關電路，其係連接在上述第一信號線及上述資料電路之間；

於對上述記憶單元外加寫入電壓期間，藉由上述第一開關電路在關閉狀態，使上述第一信號線及上述資料電路處於電切離狀態，

將對上述記憶單元之寫入資料保留在上述第一信號線上，於外加上述寫入電壓後，藉由上述第一開關電路在開啟狀態，使上述資料電路與上述第一信號線處於電連接狀態，將保留在上述第一信號線之上述寫入資料轉送

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

至上述資料電路上，

之後，使用記憶在上述資料電路上之上述寫入資料執行驗證讀出，檢查是否確實對上述記憶單元執行寫入。

18. 一種非揮發性半導體記憶體，其特徵為具備：第一記憶單元部，其係包含第一記憶單元；

第二記憶單元部，其係包含第二記憶單元；

第一信號線，其係連接上述第一記憶單元之一端；

第二信號線，其係連接上述第二記憶單元之一端；及

資料電路，其係同時連接上述第一、第二信號線，暫時記憶對上述第一或第二記憶單元寫入或是讀出之資料；

上述第一記憶單元之寫入或是讀出資料記憶在上述資料電路上，對上述第二記憶單元寫入或是讀出之資料則保留在上述第二信號線上。

19. 一種非揮發性半導體記憶體，其特徵為具備：第一記憶單元部，其係包含第一記憶單元；

第二記憶單元部，其係包含第二記憶單元；

第一信號線，其係連接上述第一記憶單元之一端；

第二信號線，其係連接上述第二記憶單元之一端；及

資料電路，其係同時連接上述第一、第二信號線，暫時記憶對上述第一或第二記憶單元寫入或是讀出之資料；

對上述第一及第二記憶單元的寫入操作幾乎同時執行，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

於對上述第二記憶單元外加寫入電壓時，對上述第二記憶單元的寫入資料保留在上述第二信號線上，

於對上述第二記憶單元外加寫入電壓時，使用上述資料電路執行驗證讀出，檢查是否確實時對上述第一記憶單元執行寫入。

20. 一種非揮發性半導體記憶體，其特徵為具備：第一記憶單元部，其係包含第一記憶單元；

第二記憶單元部，其係包含第二記憶單元；

第一信號線，其係連接上述第一記憶單元之一端；

第二信號線，其係連接上述第二記憶單元之一端；及

資料電路，其係同時連接上述第一、第二信號線，暫時記憶對上述第一或第二記憶單元寫入或是讀出之資料；

對上述第一及第二記憶單元的寫入操作幾乎同時執行，

於對上述第二記憶單元外加寫入電壓時，對上述第二記憶單元的寫入資料保留在上述第二信號線上，

於對上述第二記憶單元外加寫入電壓時，使用上述資料電路執行驗證讀出，檢查是否確實時對上述第一記憶單元執行寫入，

對上述第一記憶單元外加寫入電壓時，對上述第一記憶單元的寫入資料保留在上述第一信號線上，

對上述第一記憶單元外加寫入電壓時，使用上述資料電路執行驗證讀出，檢查是否確實時對上述第二記憶單

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

六、申請專利範圍

元執行寫入。

21. 一種非揮發性半導體記憶體，其特徵為具備：第一記憶單元部其係包含第一記憶單元；

第二記憶單元部，其係包含第二記憶單元；

第一信號線，其係連接上述第一記憶單元之一端；

第二信號線其係連接上述第二記憶單元之一端；及

資料電路，其係同時連接上述第一、第二信號線，暫時記憶對上述第一或第二記憶單元寫入或是讀出之資料；

對上述第一及第二記憶單元的寫入操作幾乎同時執行，

於對上述第二記憶單元外加寫入電壓時，對上述第二記憶單元的寫入資料保留在上述第二信號線上，

於對上述第二記憶單元外加寫入電壓時，對保留在上述第一信號線上，對上述第一記憶單元的寫入資料轉送至上述資料電路上，且使用上述資料電路執行驗證讀出，檢查是否確實時對上述第一記憶單元執行寫入，

對上述第一記憶單元外加寫入電壓時，對上述第一記憶單元的寫入資料保留在上述第一信號線上，

對上述第一記憶單元外加寫入電壓時，對保留在上述第二信號線上，對上述第二記憶單元的寫入資料轉送至上述資料電路上，且使用上述資料電路執行驗證讀出，檢查是否確實時對上述第二記憶單元執行寫入。

22. 如申請專利範圍第18、19、20及21項中任一項之非揮發

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

六、申請專利範圍

性半導體記憶體，其中上述第一記憶單元及上述第二記憶單元，係藉由彼此不同的字線來選擇。

23. 一種非揮發性半導體記憶體，其特徵為具備：第一記憶單元部，其係包含第一記憶單元；

第一信號線，其係連接上述第一記憶單元之一端；

第二信號線；及

資料電路，其係同時連接上述第一及第二信號線，暫時記憶對上述第一記憶單元寫入或是讀出之資料；

對上述第一記憶單元寫入或是讀出的資料保留在上述第二信號線上。

24. 一種非揮發性半導體記憶體，其特徵為具備：第一記憶單元部，其係包含第一記憶單元；

第一信號線，其係連接上述第一記憶單元之一端；

第二信號線；及

資料電路，其係同時連接上述第一及第二信號線，暫時記憶對上述第一記憶單元寫入或是讀出之資料；

對上述第一記憶單元外加寫入電壓時，對上述第一記憶單元之寫入資料保留在上述第一或是第二信號線上，

外加上述寫入電壓後，上述資料電路及上述第二信號線實施電連接，將保留在上述第二信號線上，對上述第一記憶單元之寫入資料轉送至上述資料電路上，

之後，使用記憶在上述資料電路上的寫入資料執行驗證讀出，檢查是否確實對上述第一記憶單元執行寫入。

25. 一種非揮發性半導體記憶體，其特徵為具備：第一記憶

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

六、申請專利範圍

單元部其係包含第一記憶單元；

第一信號線，其係連接上述第一記憶單元之一端；

第二信號線；

第三記憶單元部，其係包含第三記憶單元；

第三信號線，其係連接上述第三記憶單元之一端；

第四信號線；及

資料電路，其係同時連接上述第一、第二、第三及第四信號線，暫時記憶對上述第一或第三記憶單元寫入或是讀出之資料；

對上述第一及第三記憶單元的寫入幾乎是同時執行，

對上述第一及第三記憶單元外加寫入電壓時，對上述第一記憶單元之寫入資料保留在上述第一或是第二信號線上，對上述第三記憶單元之寫入資料保留在上述第三或第四信號線上，

使用上述資料電路執行驗證讀出，檢查是否確實對上述第一記憶單元執行寫入，對上述第一記憶單元執行驗證讀出時，對上述第三記憶單元之寫入資料保留在上述第四信號線上，

之後，上述資料電路與上述第四信號線實施電連接，保留在上述第四信號線上，對上述第三記憶單元的寫入資料轉送至上述資料電路後，使用記憶在上述資料電路上，對上述第三記憶單元寫入的資料執行驗證讀出，檢查是否確實對上述第三記憶單元執行寫入，於對上述第三記憶單元執行驗證讀出時，對上述第一記憶單元的寫入

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

資料保留在上述第二信號線上。

26. 如申請專利範圍第25項非揮發性半導體記憶體，其中上述第一記憶單元及上述第三記憶單元同樣藉由字線來選擇。

27. 如申請專利範圍第25項之非揮發性半導體記憶體，其中於上述之寫入或是讀出資料保留在上述第一、第二、第三或第四信號線上時，與上述第一、第二、第三或第四信號線相鄰的信號線上設定固定電位。

28. 如申請專利範圍第27項之非揮發性半導體記憶體，其中上述之固定電位為接地電位或是電源電位。

29. 如申請專利範圍第25項之非揮發性半導體記憶體，其中上述之第一、第二、第三及第四信號線為位元線。

30. 一種非揮發性半導體記憶體，其特徵為具備：第一記憶單元部，其係包含第一記憶單元；

第二記憶單元部，其係包含第二記憶單元；

位元線，其係連接上述第一及第二記憶單元部之一端；及

資料電路，其係連接上述位元線之一端，暫時記憶對上述記憶單元之寫入或讀出資料；

上述資料電路包含：第一記憶手段，其係記憶寫入上述第一記憶單元或自上述第一記憶單元所讀出之資料；及

第二記憶手段，其係記憶寫入上述第二記憶單元或自上述第二記憶單元所讀出之資料。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

31. 一種非揮發性半導體記憶體，其特徵為具備：第一記憶單元部，其係包含第一記憶單元；

第二記憶單元部，其係包含第二記憶單元；

位元線，其係連接上述第一及第二記憶單元部之一端；及

資料電路，其係連接上述位元線之一端，暫時記憶對上述記憶單元之寫入或讀出資料；

上述資料電路包含第一及第二記憶手段，

對上述第二記憶單元執行寫入時，上述第一記憶手段保留第一資料，並依據記憶在上述第二記憶手段內之第二資料執行寫入，於對上述第二記憶單元寫入結束後，將保留在上述第一記憶手段內之第一資料轉送至上述第二記憶手段，

依據保留在上述第二記憶手段內之上述第一資料，對上述第一記憶單元執行寫入。

32. 如申請專利範圍第30或31項之非揮發性半導體記憶體，其中上述第一記憶手段為電容器，上述第二記憶手段為鎖存電路。

33. 如申請專利範圍第30或31項之非揮發性半導體記憶體，其中上述第一及第二記憶手段為鎖存電路。

34. 如申請專利範圍第30或31項之非揮發性半導體記憶體，其中上述第一及第二記憶單元係藉由不同的字線做選擇。

35. 如申請專利範圍第13、14、16、17項中任一項之非揮發

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

性半導體記憶體，其中該寫入或讀出資料在保持於第一信號線之期間，係將與上述第一信號線相鄰之信號線，設定於固定電位。

36. 如申請專利範圍第35項之非揮發性半導體記憶體，其中該固定電位為接地電位或電源電位。

37. 如申請專利範圍第13、14、16、17項中任一項之非揮發性半導體記憶體，其中該第一信號線為位元線。

38. 如申請專利範圍第18~21、23、24項中任一項之非揮發性半導體記憶體，其中該寫入或讀出資料在保持於第一或第二信號線之期間，係將與上述第一或第二信號線相鄰之信號線設定於固定電位。

39. 如申請專利範圍第38項之非揮發性半導體之記憶體，其中該固定電位係接地電位或電源電位。

40. 如申請專利範圍第18~21、23、24項中任一項之非揮發性半導體記憶體，其中該第一及第二信號線係位元線。

41. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元部，其係包含記憶單元；

位元線，其係連接上述記憶單元部的一端；

傳送閘極，其係連接於上述位元線的一端；及

資料電路，其係介以上述傳送閘極連接上述位元線，暫時記憶2位元以上對上述記憶單元之寫入或讀出資料；

上述資料電路包含記憶第一資料之第一電容器及記憶第二資料的第一鎖存電路。

42. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

部，其係包含記憶3值以上資訊的記憶單元；

位元線，其係連接上述記憶單元部的一端；

傳送閘極，其係連接於上述位元線的一端；及

資料電路，其係介以上述傳送閘極連接上述位元線，暫時記憶2位元以上對上述記憶單元之寫入或讀出資料；

上述資料電路包含記憶第一資料之第一電容器及記憶第二資料的第一鎖存電路。

43. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元部，其係包含記憶3值以上資訊的記憶單元；

位元線，其係連接上述記憶單元部的一端；

傳送閘極，其係連接於上述位元線的一端；及

資料電路，其係介以上述傳送閘極連接上述位元線，暫時記憶2位元以上對上述記憶單元之寫入或讀出資料；

上述資料電路包含第一鎖存電路及第一電容器，

並依據記憶在上述第一鎖存電路及記憶在上述第一電容器內之資料，對上述記憶單元執行寫入。

44. 一種非揮發性半導體記憶體，其特徵為具備：記憶單元部，其係包含記憶3值以上資訊的記憶單元；

位元線，其係連接上述記憶單元部的一端；

傳送閘極，其係連接於上述位元線的一端；及

資料電路，其係介以上述傳送閘極連接上述位元線，暫時記憶2位元以上對上述記憶單元之寫入或讀出資料；

上述資料電路包含第一鎖存電路及第一電容器，

並依據自記憶體外部輸入，記憶在上述第一鎖存電路

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

A8
B8
C8
D8

六、申請專利範圍

內之資料，及自上述記憶單元讀出，記憶在上述第一電容器內之資料，對上述記憶單元執行寫入。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

8911847

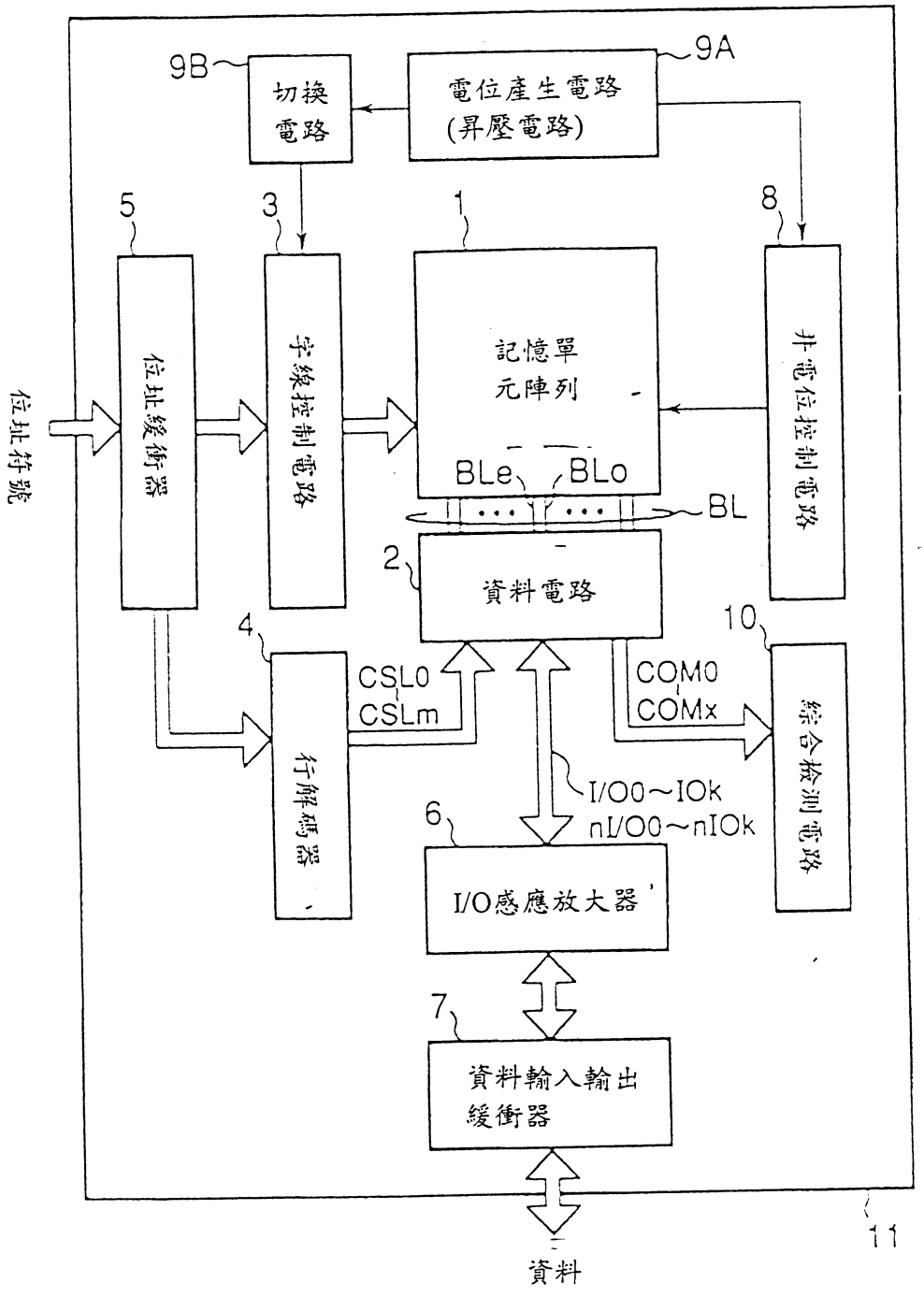
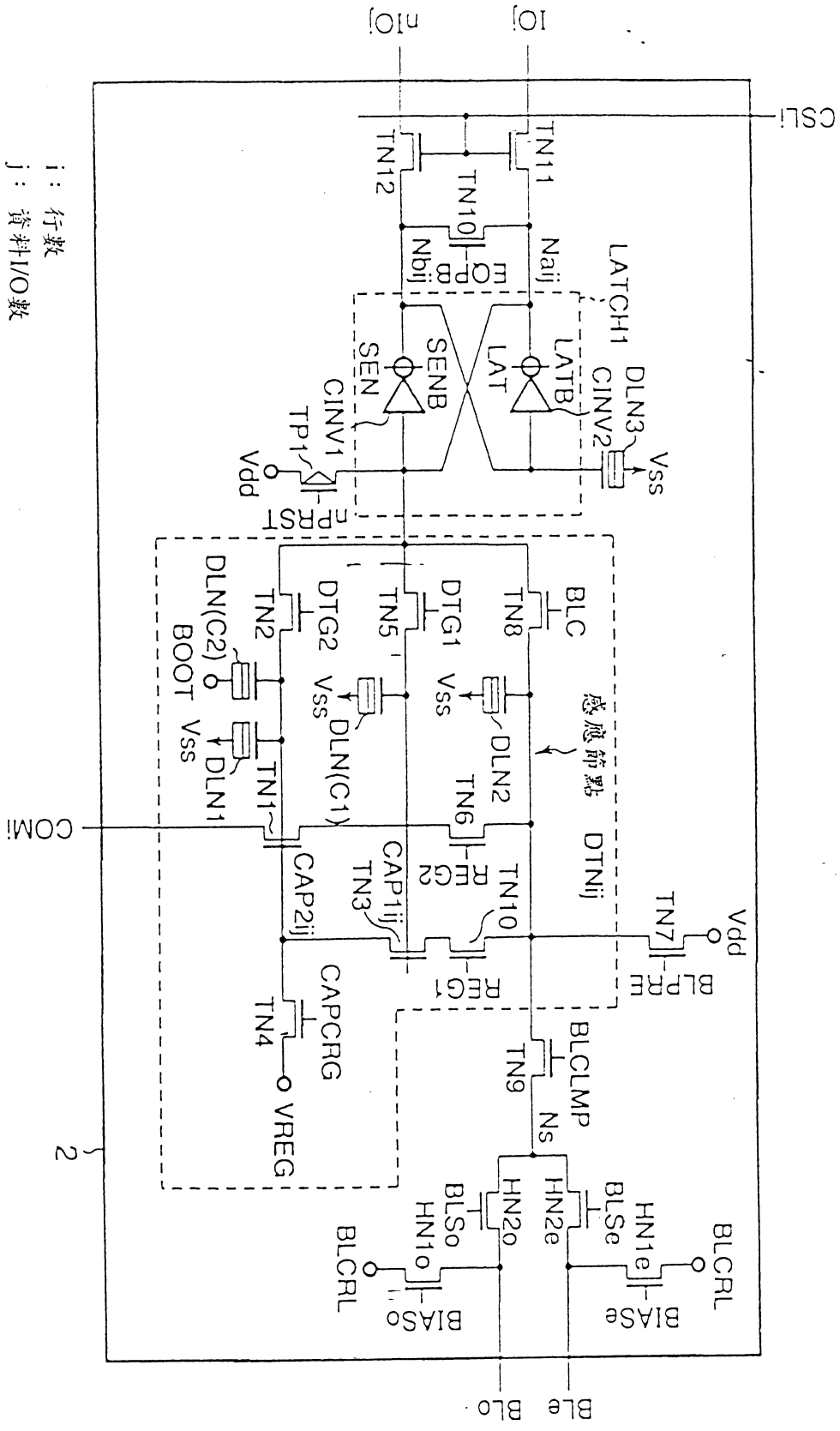

9B
切換電路
9A
電位產生電路
(昇壓電路)
5
3
1
8
位址緩衝器
字線控制電路
記憶單元陣列
非電位控制電路
位址符號
BLe
BLo
BL
2
資料電路
4
10
CSL0
CSLm
COM0
COMx
綜合檢測電路
行解碼器
I/O0~IOk
nI/O0~nIOk
6
I/O感應放大器
7
資料輸入輸出緩衝器
11
資料

圖1


i: 行數
j: 資料I/O數
圖2
感應節點
CSLi
IOj
IOj+1
BLe
BLo
COMi
Vdd
Vss
VREG
BLCRL
BLCLMP
CAPCRG
SEN
SENB
LAT
LATB
LATCH1
CINV1
CINV2
TP1
TN1
TN2
TN3
TN4
TN5
TN6
TN7
TN8
TN9
TN10
TN11
TN12
HN1e
HN1o
HN2e
HN2o
BIASe
BIASo
BLSe
BLSo
DTG1
DTG2
DLN1
DLN2
DLN3
DLN(C1)
DLN(C2)
BOOT
Naij
Nbij
Ns
DTNij
CAP1ij
CAP2ij
2

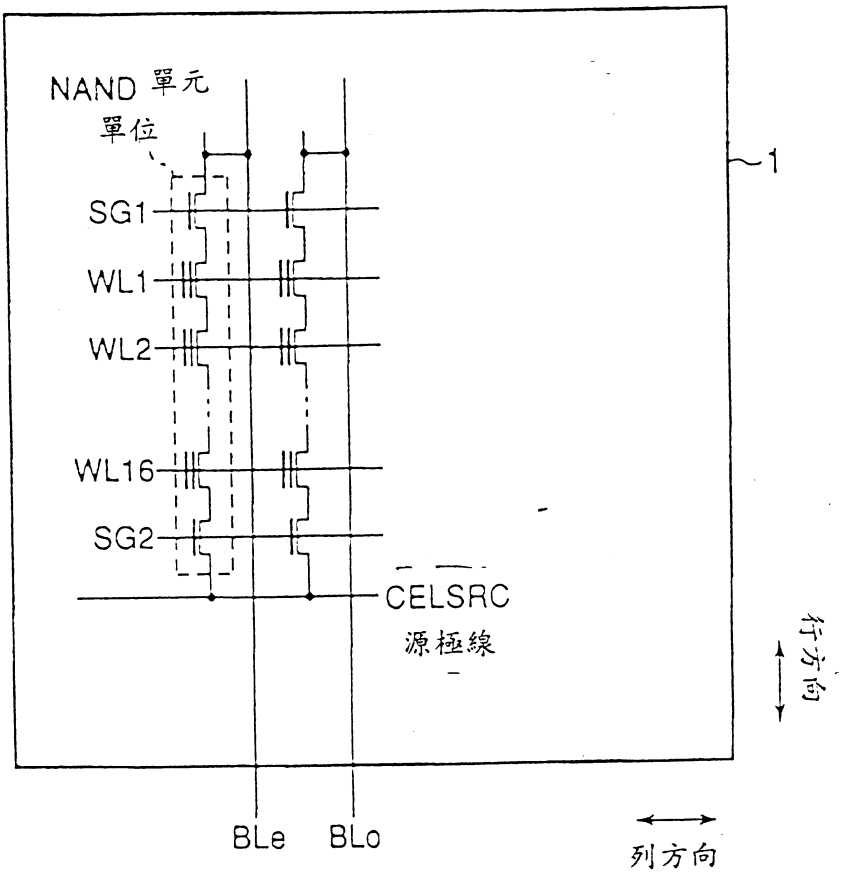

NAND 單元
單位
1
SG1
WL1
WL2
WL16
SG2
CELSRC
源極線
行方向
BLe
BLo
列方向

圖3

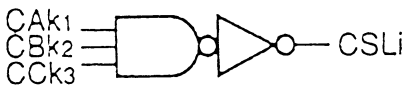

CAk1
CBk2
CCk3
CSLi

圖4

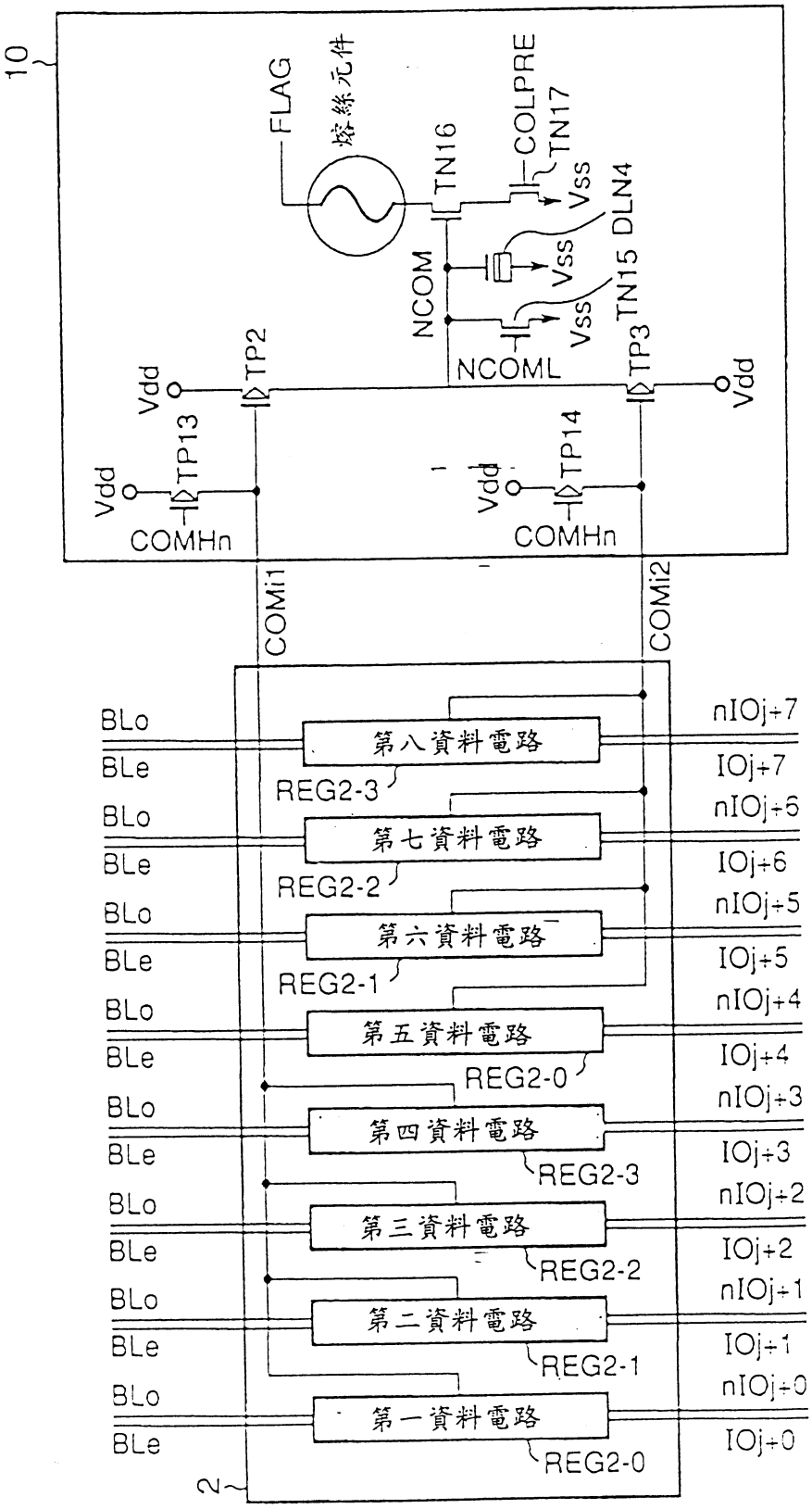
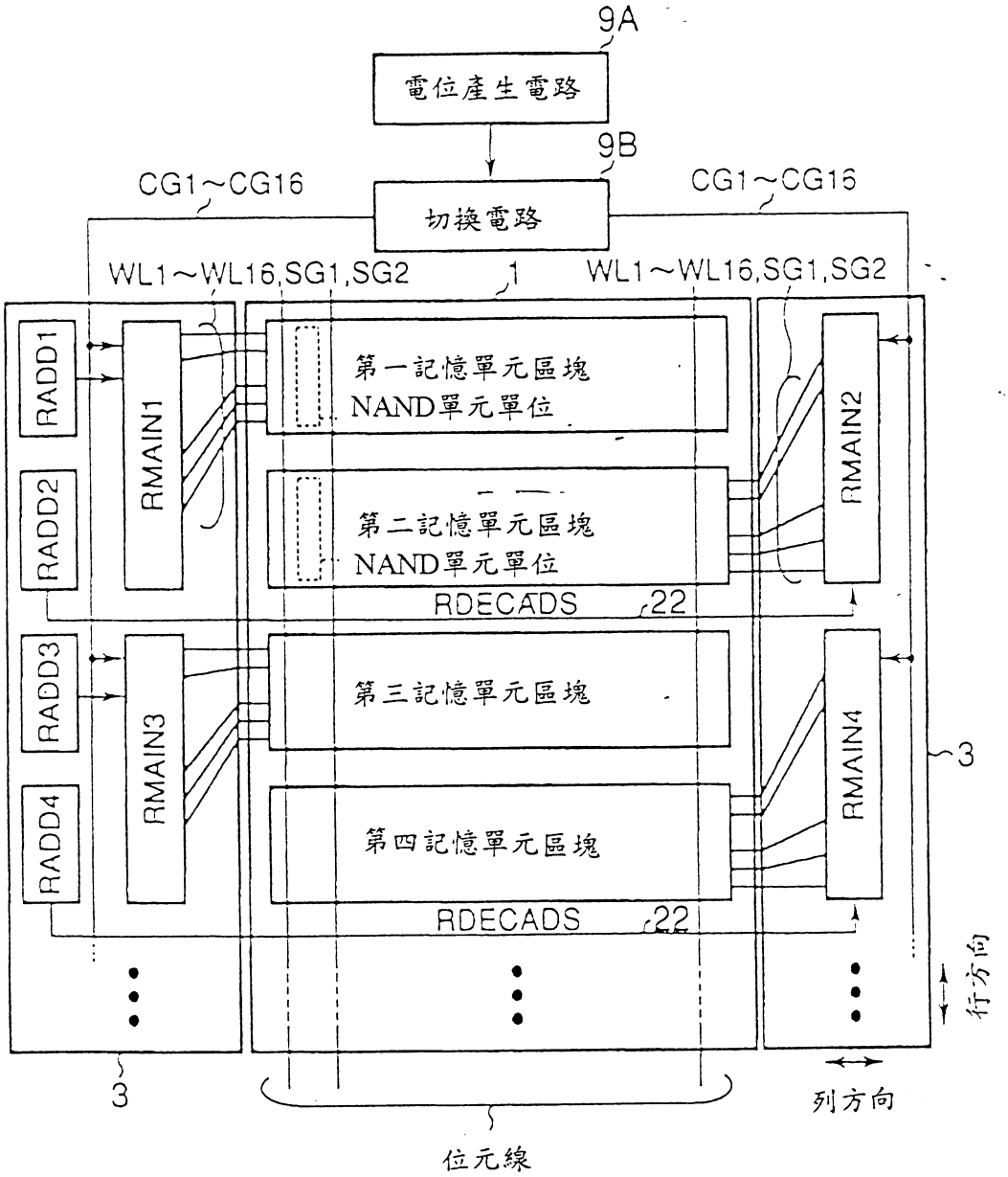

10
FLAG
熔絲元件
TN16
COLPRE
TN17
Vss
DLN4
NCOM
Vss
TN15
Vss
TP3
NCOML
TP2
Vdd
Vdd
TP13
Vdd
COMHn
TP14
Vdd
COMHn
COMi1
COMi2
BLo
BLe
第八資料電路
REG2-3
nIOj+7
IOj+7
第七資料電路
REG2-2
nIOj+6
IOj+6
第六資料電路
REG2-1
nIOj+5
IOj+5
第五資料電路
REG2-0
nIOj+4
IOj+4
第四資料電路
REG2-3
nIOj+3
IOj+3
第三資料電路
REG2-2
nIOj+2
IOj+2
第二資料電路
REG2-1
nIOj+1
IOj+1
第一資料電路
REG2-0
nIOj+0
IOj+0
2

圖5



RMAINi；第i字線驅動器
RADDi：第i列位址解碼器
RDECADSi：字線驅動器選擇信號
i=1.2.3.4.・・・

圖6

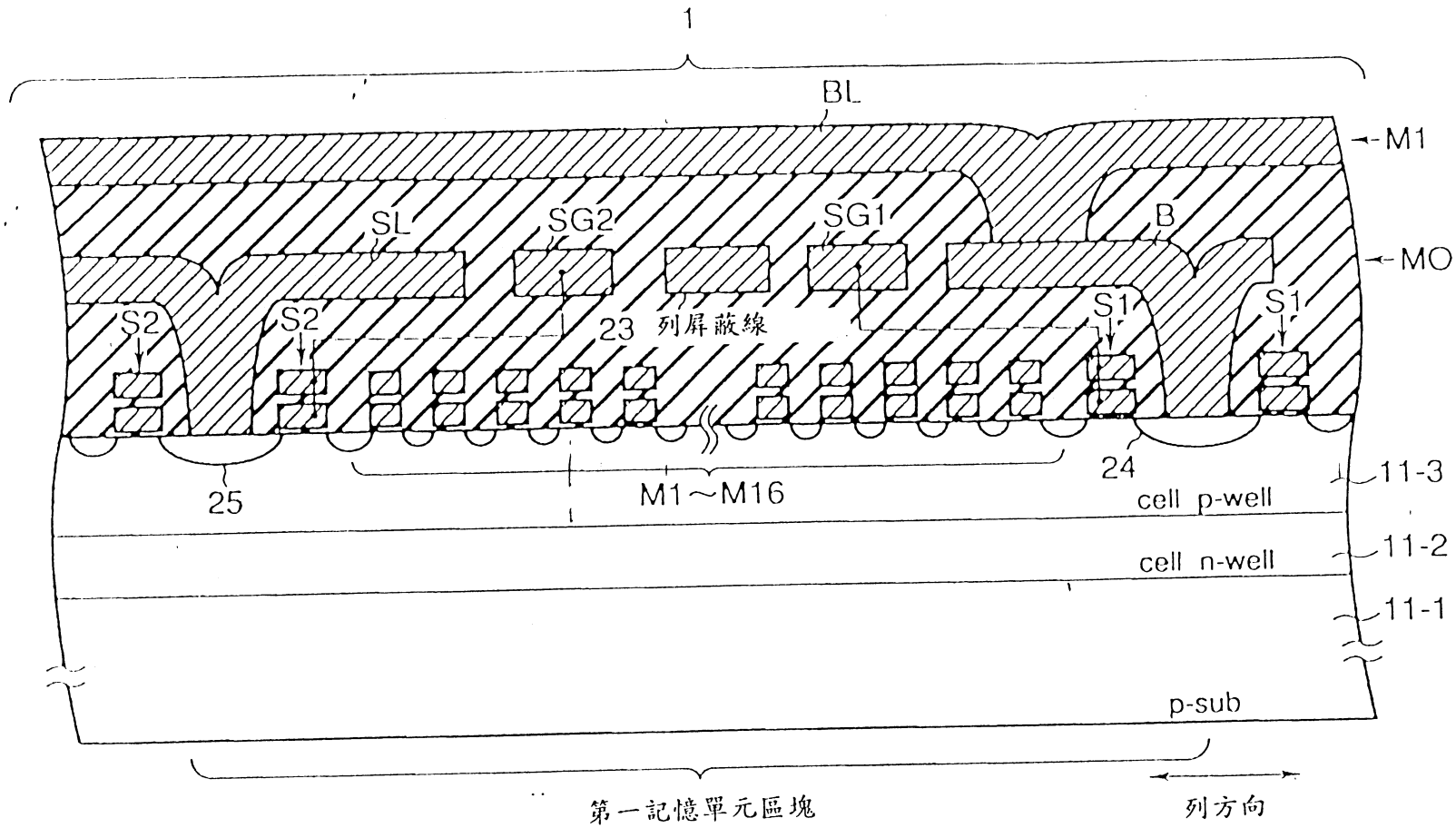

1
BL
M1
SL
SG2
SG1
B
MO
S2
S2
23
列屏蔽線
S1
S1
24
25
M1～M16
11-3
cell p-well
11-2
cell n-well
11-1
p-sub
第一記憶單元區塊
列方向

圖7

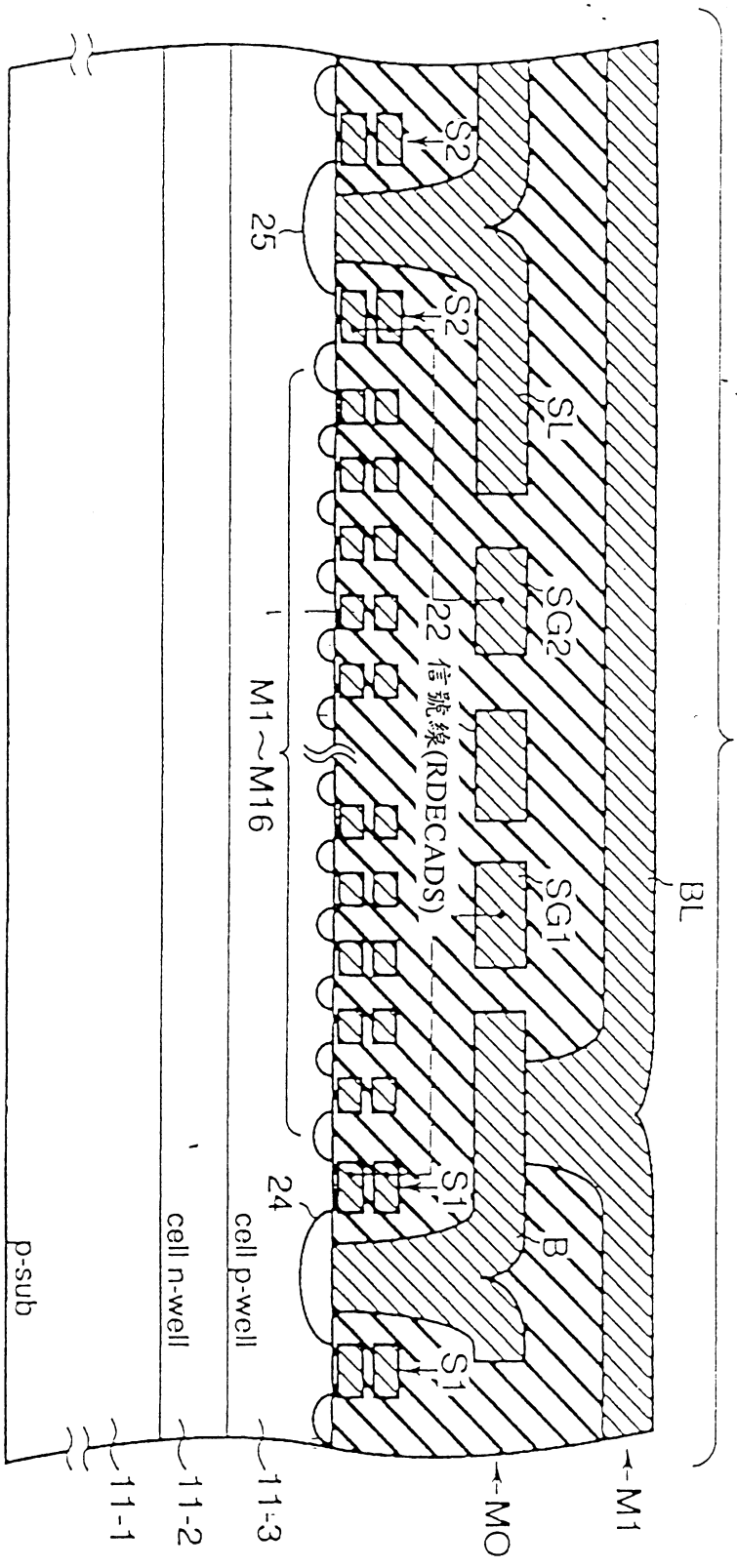

1
BL
M1
MO
S2
S2
SL
SG2
SG1
S1
S1
B
22 信號線(RDECADS)
25
M1～M16
24
cell p-well
cell n-well
p-sub
11-3
11-2
11-1
第二記憶單元區塊
行方向

圖 8

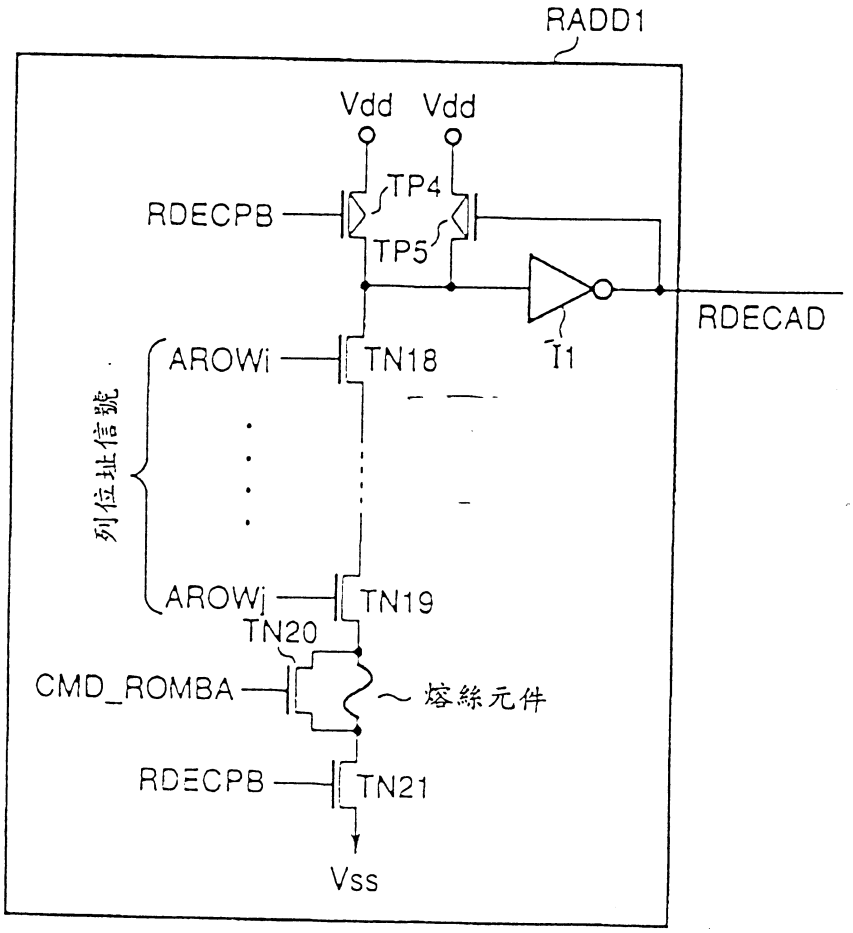

RADD1
Vdd
Vdd
TP4
RDECPB
TP5
RDECAD
I1
AROWi
TN18
列位址信號
AROWj
TN19
TN20
CMD_ROMBA
熔絲元件
RDECPB
TN21
Vss

圖9

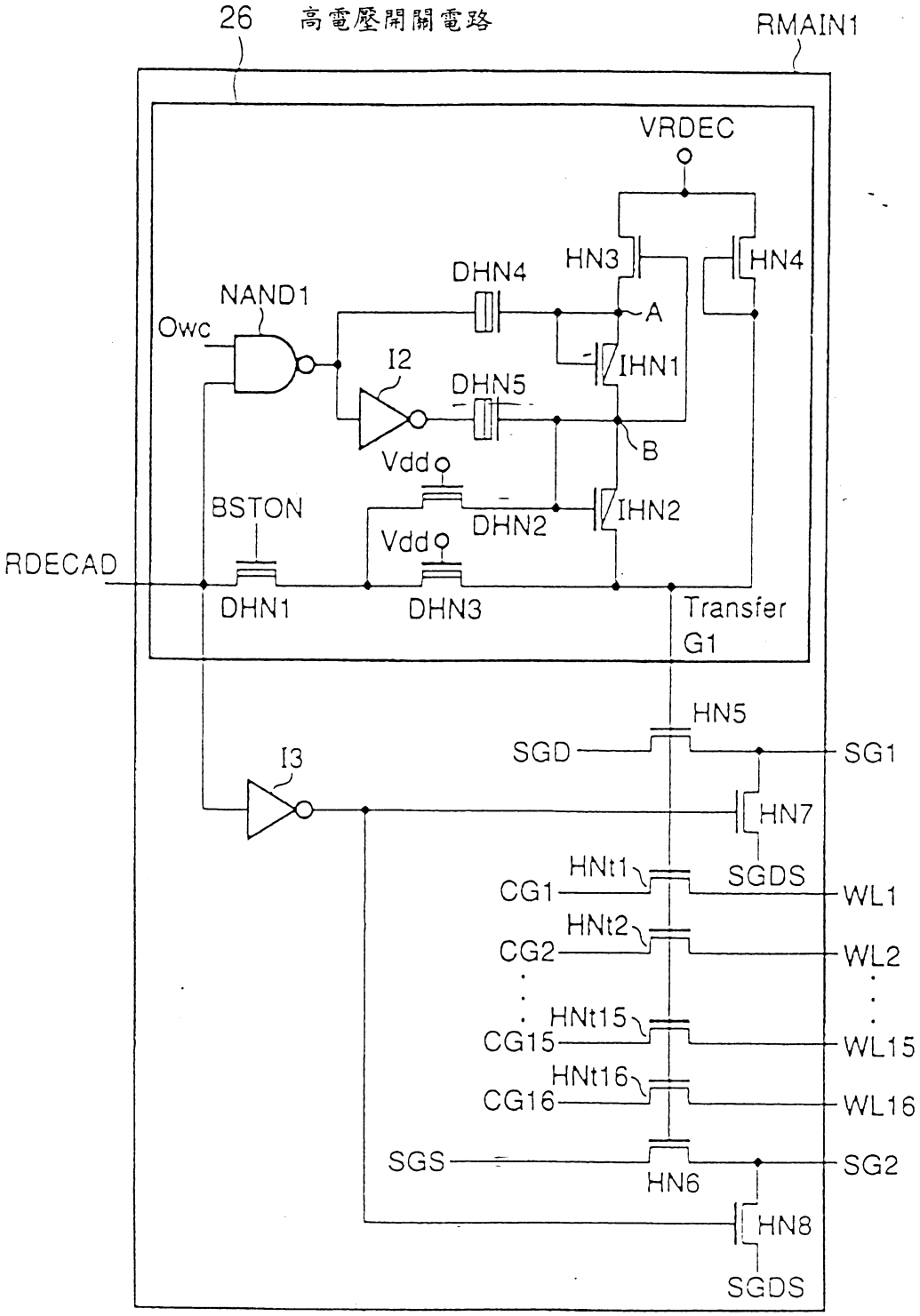

26
高電壓開關電路
RMAIN1
VRDEC
HN3
HN4
DHN4
NAND1
Owc
A
IHN1
I2
DHN5
B
Vdd
BSTON
DHN2
IHN2
Vdd
RDECAD
DHN1
DHN3
Transfer
G1
HN5
SGD
SG1
I3
HN7
HNt1
SGDS
CG1
WL1
HNt2
CG2
WL2
HNt15
CG15
WL15
HNt16
CG16
WL16
SGS
HN6
SG2
HN8
SGDS

圖10

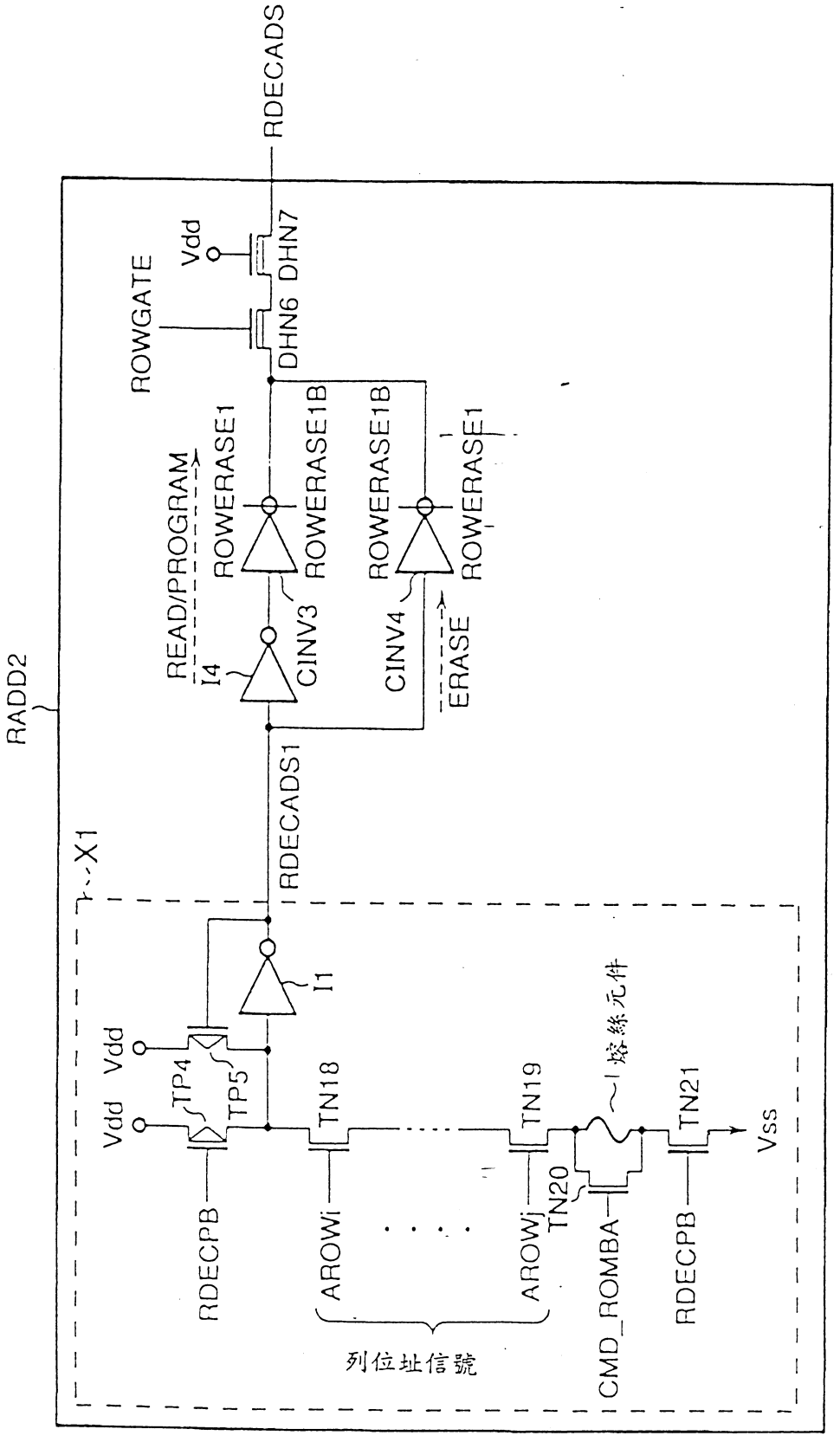

RDECADS
Vdd
DHN7
DHN6
ROWGATE
READ/PROGRAM
I4
ROWERASE1
ROWERASE1B
CINV3
ROWERASE1B
ROWERASE1
CINV4
ERASE
RADD2
RDECADS1
X1
I1
Vdd
Vdd
TP4
TP5
TN18
TN19
熔絲元件
TN21
Vss
RDECPB
AROWi
AROWj
TN20
CMD_ROMBA
RDECPB
列位址信號

圖11

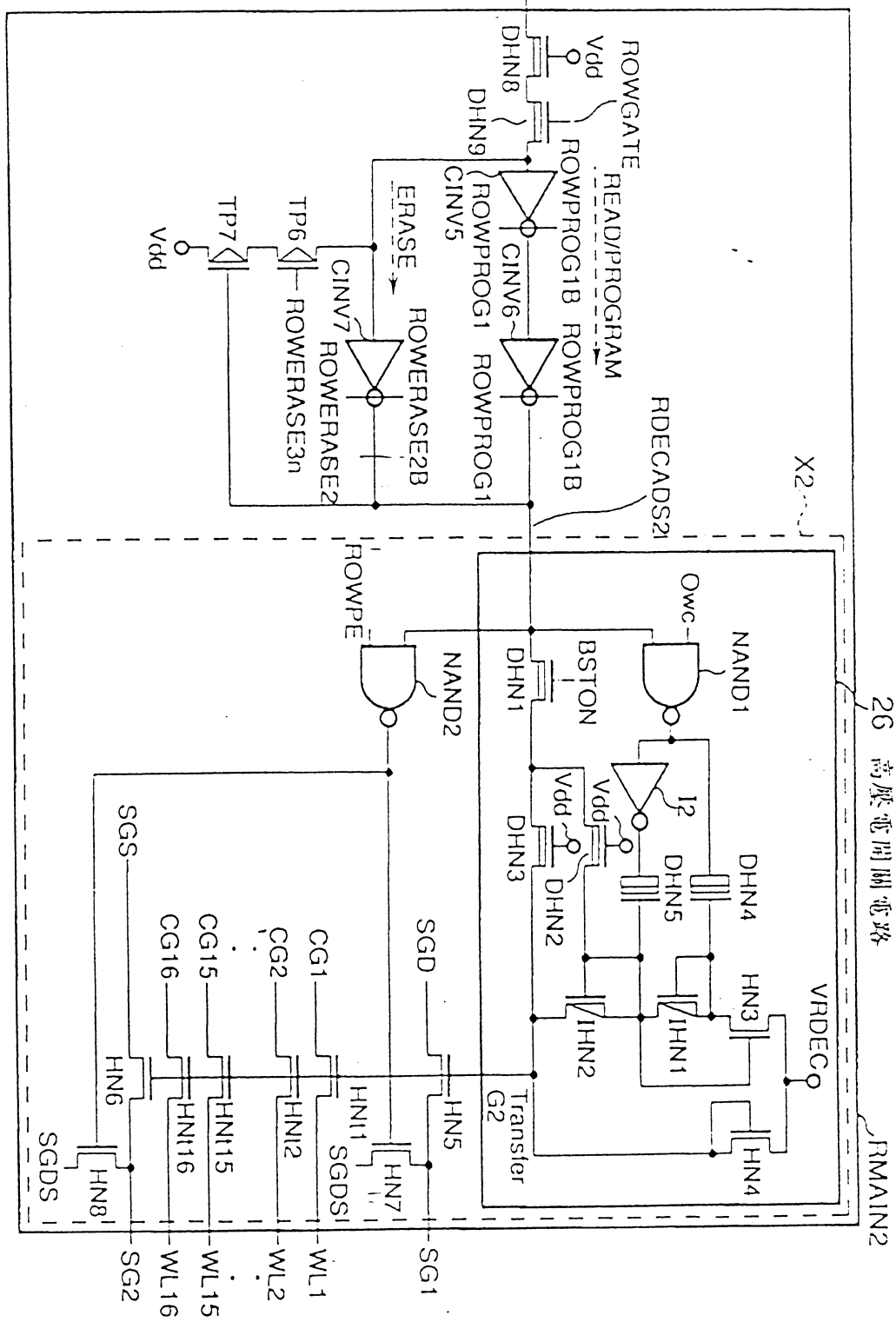

26 高壓電開關電路
RMAIN2
X2
RDECADS
RDECADS2I
ROWGATE
READ/PROGRAM
ROWPROG1B
ROWPROG1
ROWERASE2B
ROWERASE2
ROWERASE3n
ERASE
ROWPE
DHN8
DHN9
CINV5
CINV6
CINV7
TP6
TP7
Vdd
Owc
NAND1
NAND2
BSTON
DHN1
DHN2
DHN3
DHN4
DHN5
I2
HN3
HN4
IHN1
IHN2
VRDEC
Transfer G2
SGD
SGS
SGDS
SG1
SG2
CG1
CG2
CG15
CG16
HN5
HN6
HN7
HN8
HNI1
HNI2
HNI15
HNI16
SGDSI
WL1
WL2
WL15
WL16

圖 12

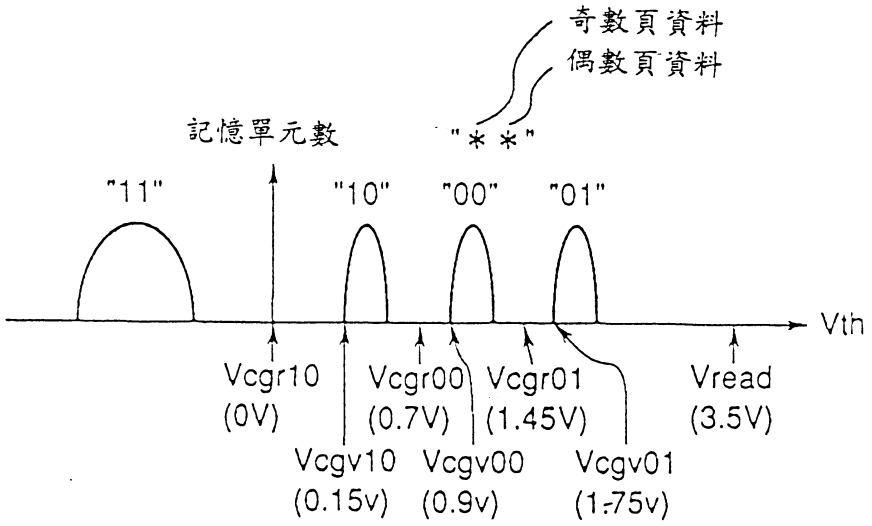

奇數頁資料
偶數頁資料
記憶單元數
"＊＊"
"11"
"10"
"00"
"01"
Vth
Vcgr10
(0V)
Vcgr00
(0.7V)
Vcgr01
(1.45V)
Vread
(3.5V)
Vcgv10
(0.15v)
Vcgv00
(0.9v)
Vcgv01
(1.75v)

圖13

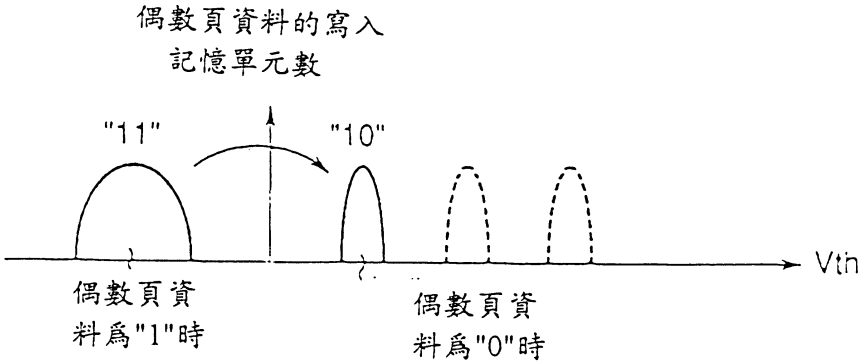

偶數頁資料的寫入
記憶單元數
"11"
"10"
Vth
偶數頁資
料爲"1"時
偶數頁資
料爲"0"時

圖14

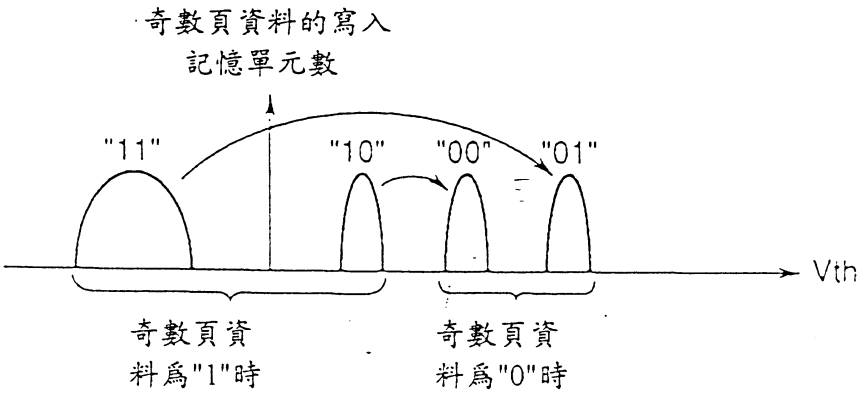

奇數頁資料的寫入
記憶單元數
"11"
"10"
"00"
"01"
Vth
奇數頁資
料爲"1"時
奇數頁資
料爲"0"時

圖15

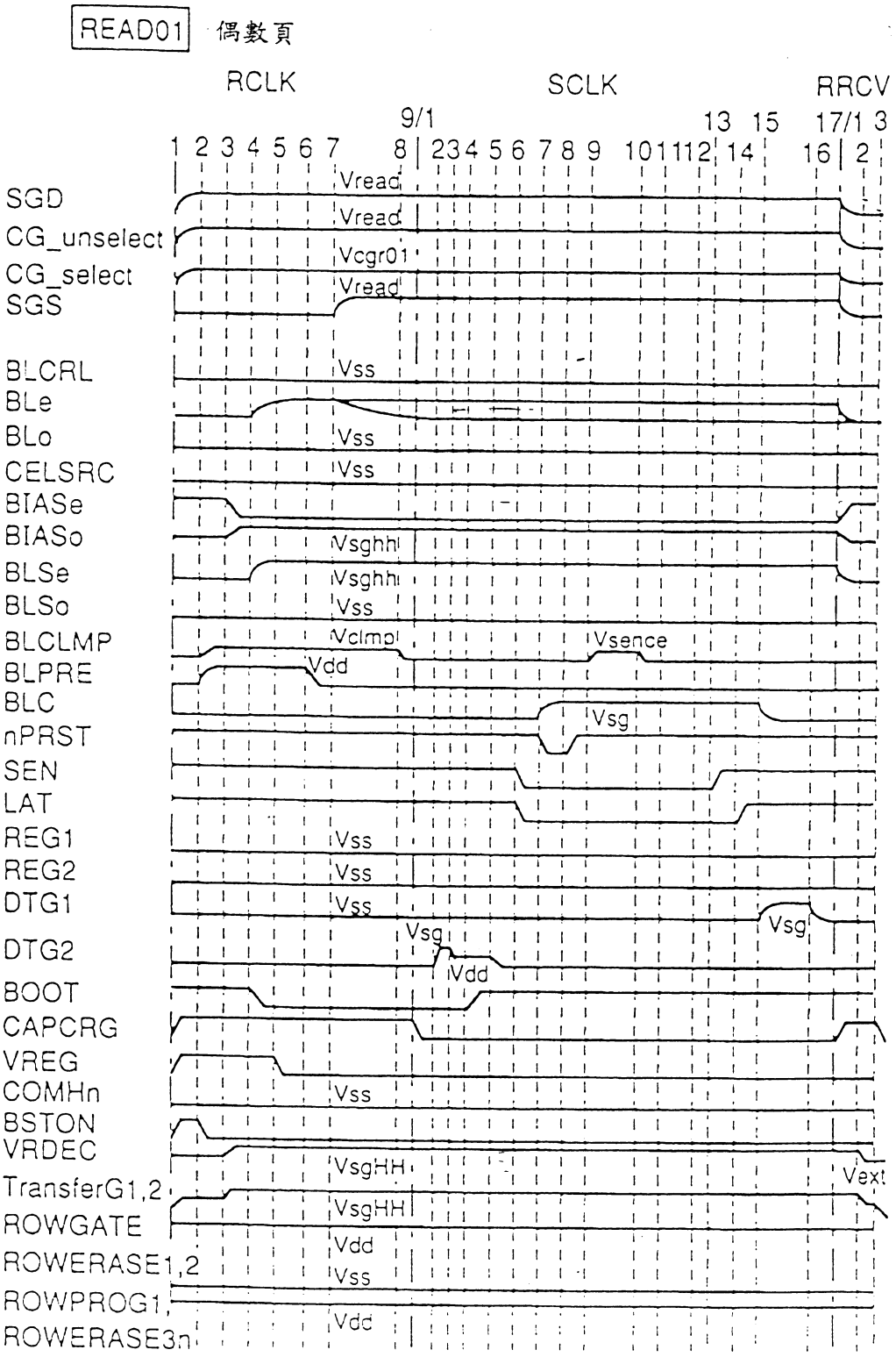

READ01
偶數頁
RCLK
SCLK
RRCV
9/1
13 15
17/1 3
1 2 3 4 5 6 7 8 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 1 2
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1,
ROWERASE3n
Vread
Vcgr01
Vss
Vsghh
Vclmp
Vsence
Vdd
Vsg
VsgHH
Vext

圖16

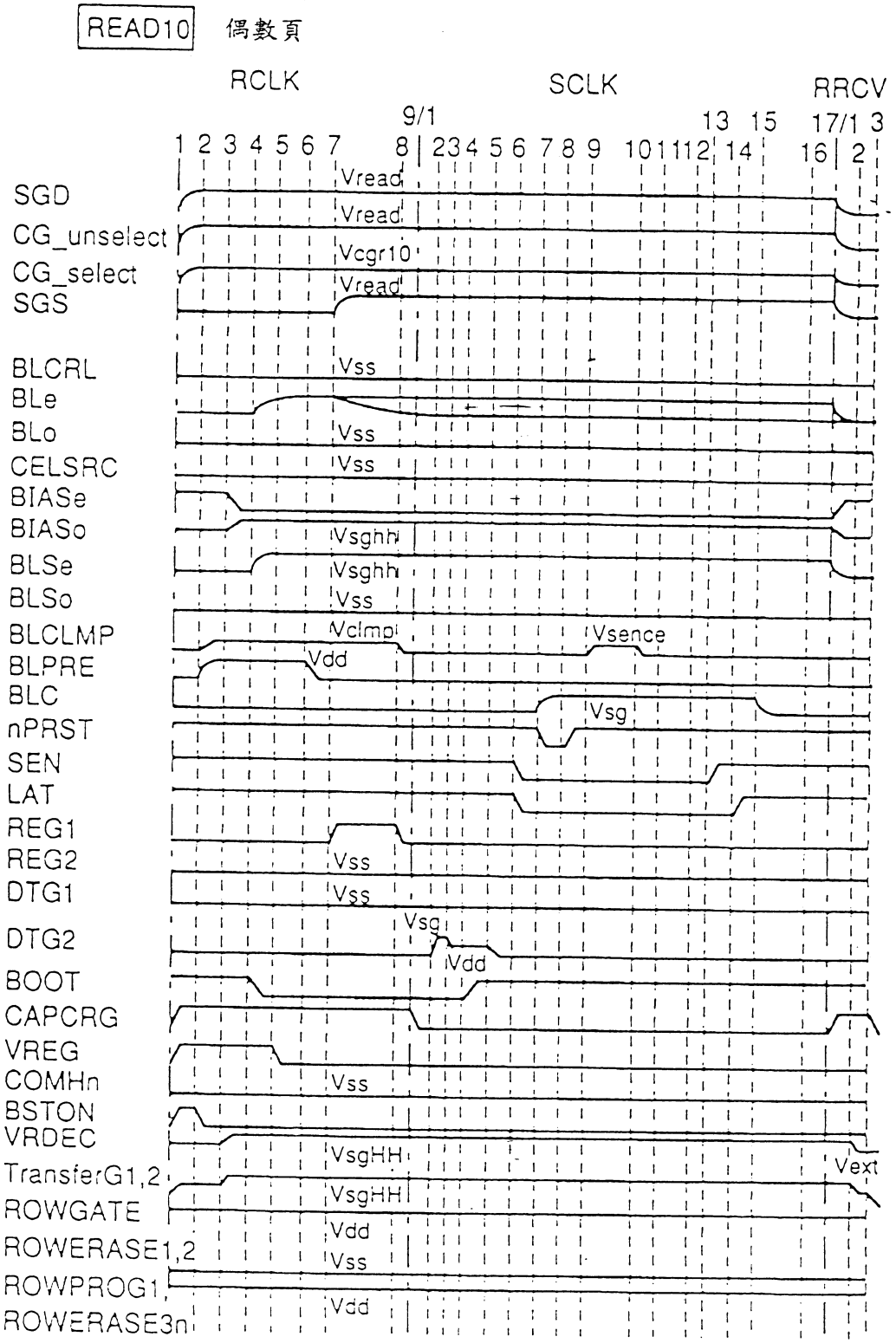

READ10
偶數頁
RCLK
SCLK
RRCV
9/1
13 15
17/1 3
1 2 3 4 5 6 7 8 2 3 4 5 6 7 8 9 10 11 12 14 16 2
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1,
ROWERASE3n
Vread
Vread
Vcgr10
Vread
Vss
Vss
Vss
Vsghh
Vsghh
Vss
Vclmp
Vsence
Vdd
Vsg
Vss
Vss
Vsg
Vdd
Vss
VsgHH
VsgHH
Vdd
Vss
Vdd
Vext

圖17

偶數頁資料的讀出

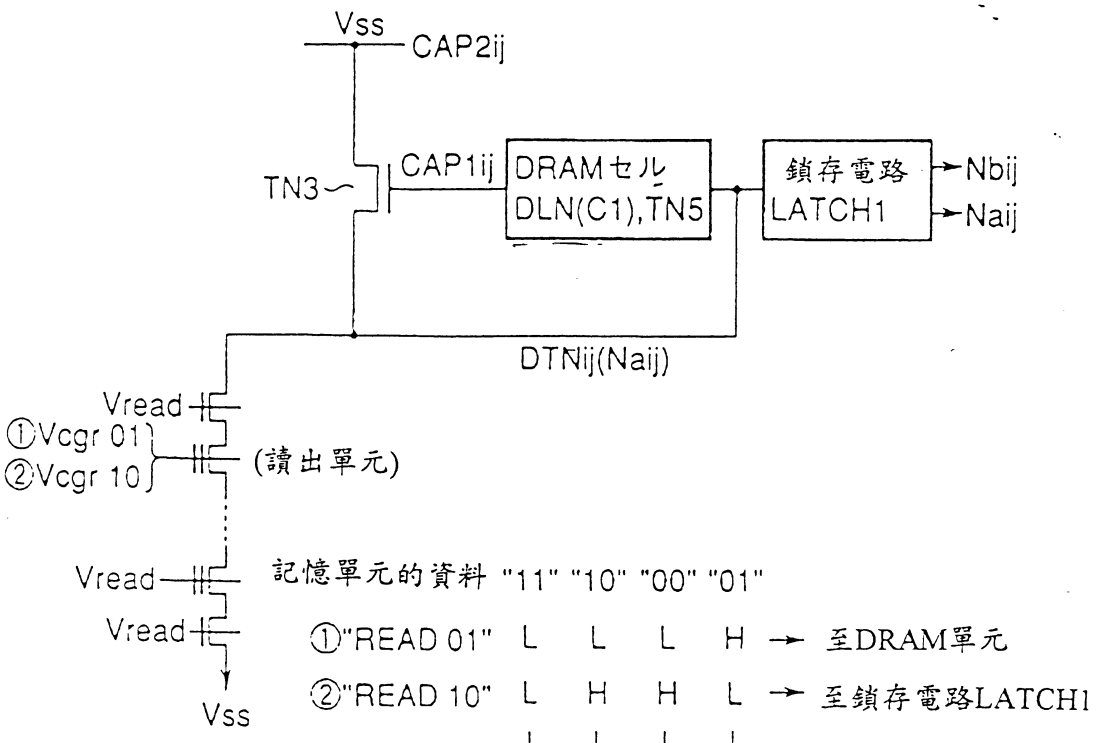


圖18

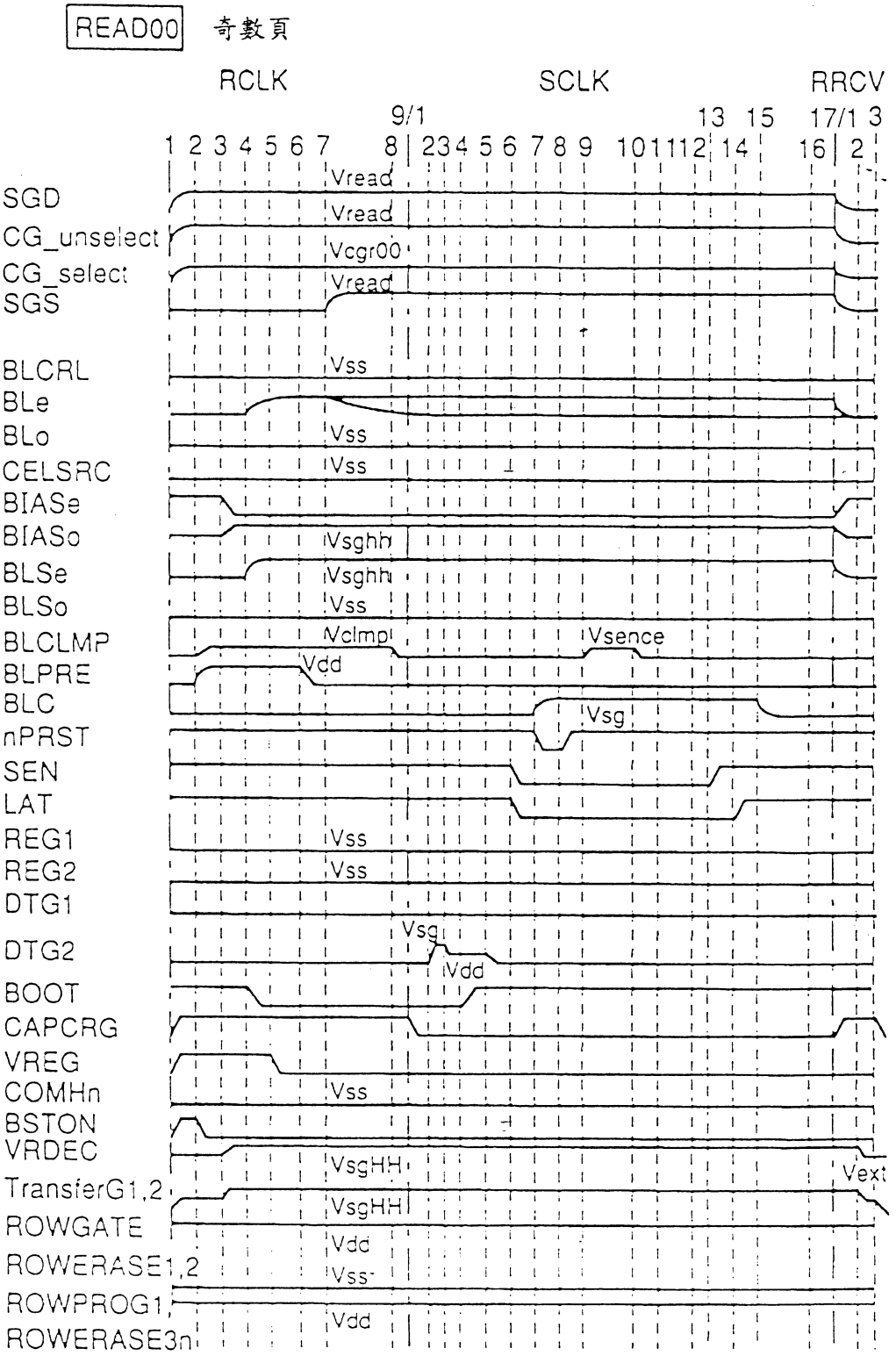
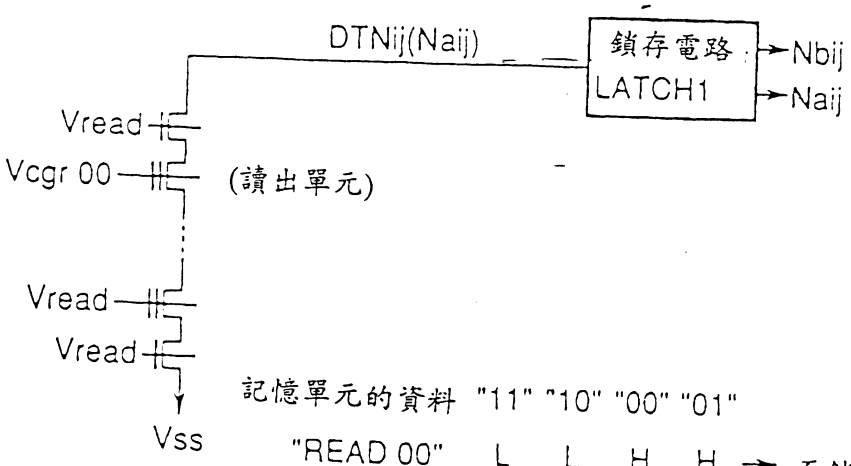

READ00
奇數頁
RCLK
SCLK
RRCV
9/1
13 15
17/1 3
1 2 3 4 5 6 7 8 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 1 2
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1
ROWERASE3n
Vread
Vcgr00
Vss
Vsghh
Vclmp
Vsence
Vdd
Vsg
VsgHH
Vext

圖19

奇數頁資料的讀出



記憶單元的資料	"11"	"10"	"00"	"01"	
"READ 00"	L	L	H	H	→ 至鎖存電路LATCH1
DTNij(Naij)	"0"	"0"	"1"	"1"	
Nbij (奇數頁資料)	"1"	"1"	"0"	"0"	

* "0"="L","1"="H"

圖20

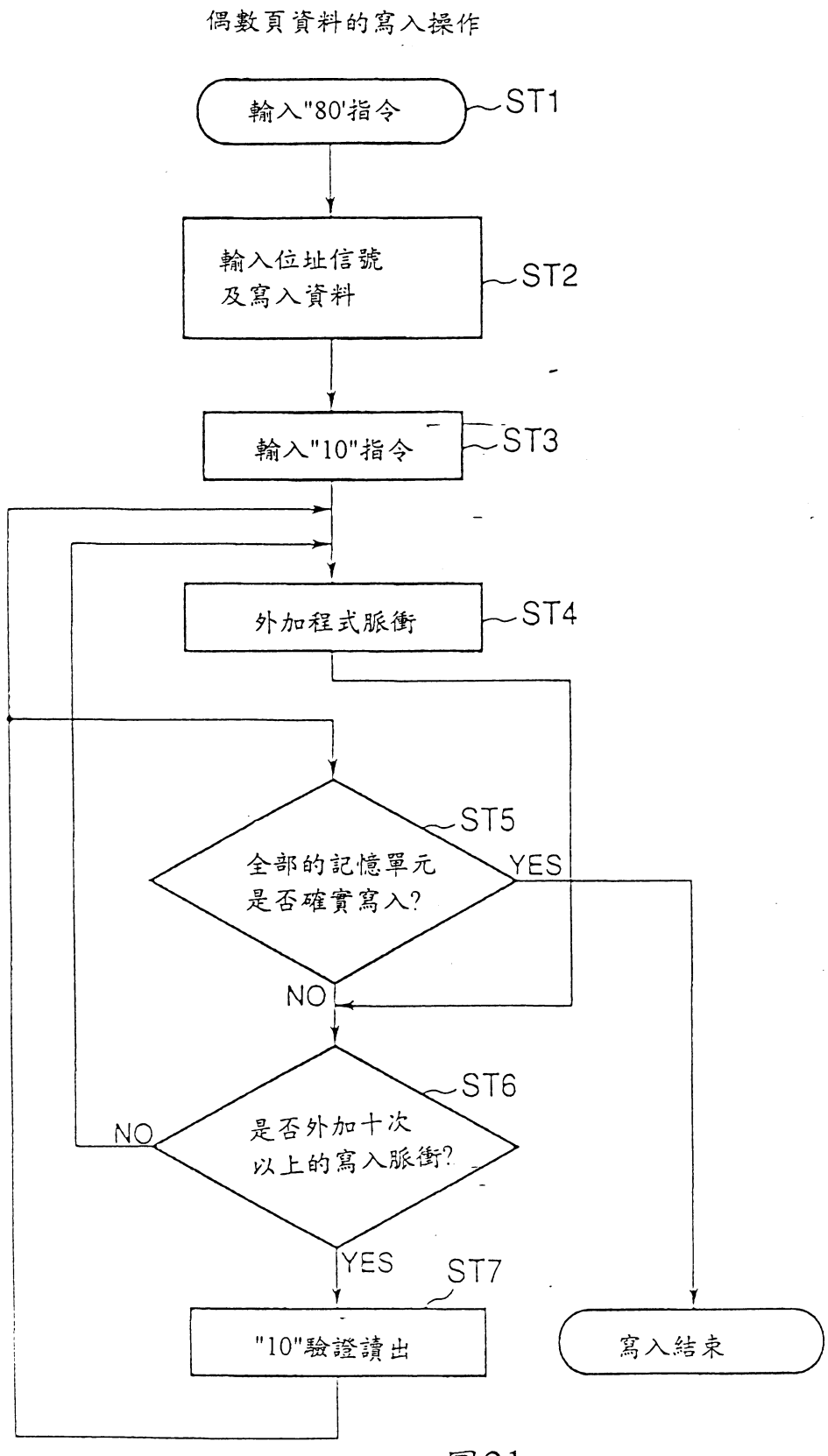

偶數頁資料的寫入操作
輸入"80'指令
ST1
輸入位址信號
及寫入資料
ST2
輸入"10"指令
ST3
外加程式脈衝
ST4
全部的記憶單元
是否確實寫入?
ST5
YES
NO
是否外加十次
以上的寫入脈衝?
ST6
NO
YES
ST7
"10"驗證讀出
寫入結束

圖21

Program

LSB時，鄰接WL爲Vss

CCLK中記載於Write Completion Detection內

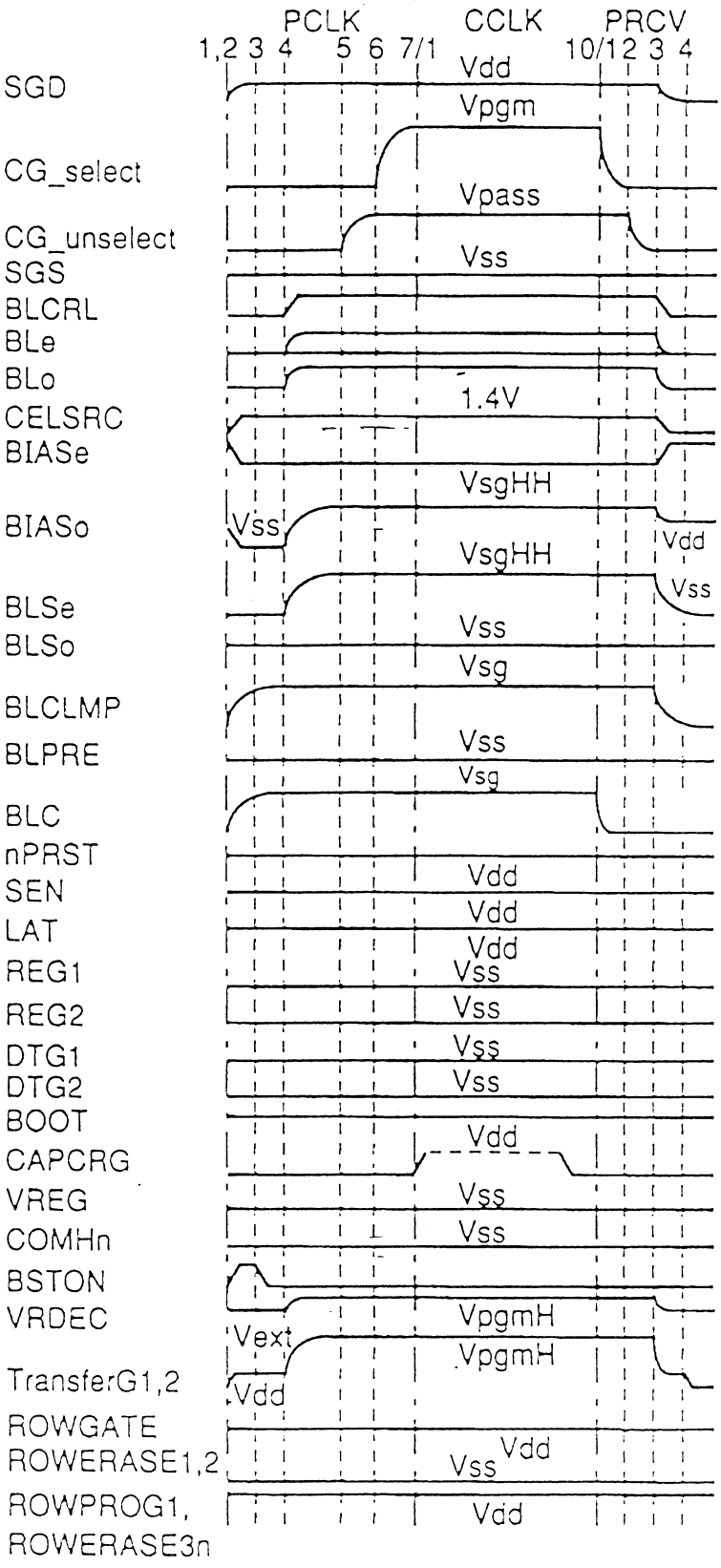


圖22

偶數頁資料的寫入(外加寫入脈衝)

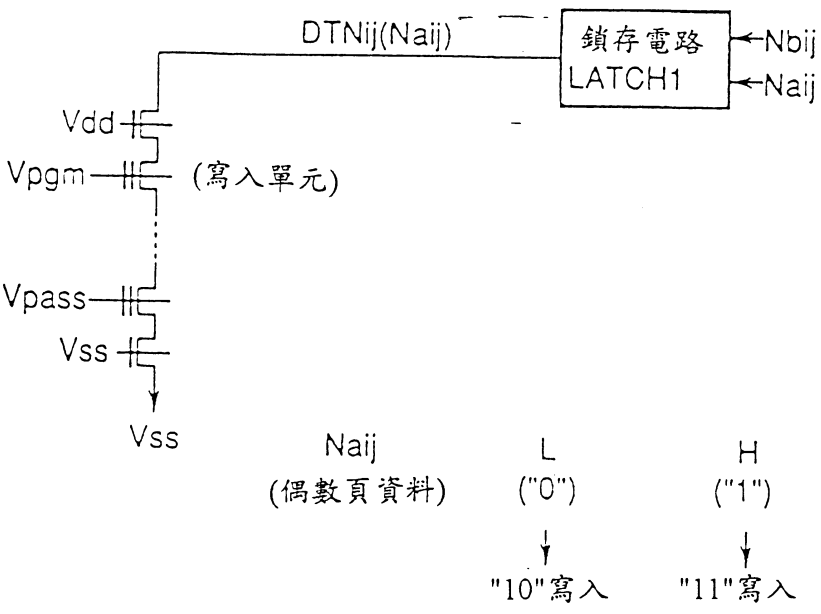


圖23

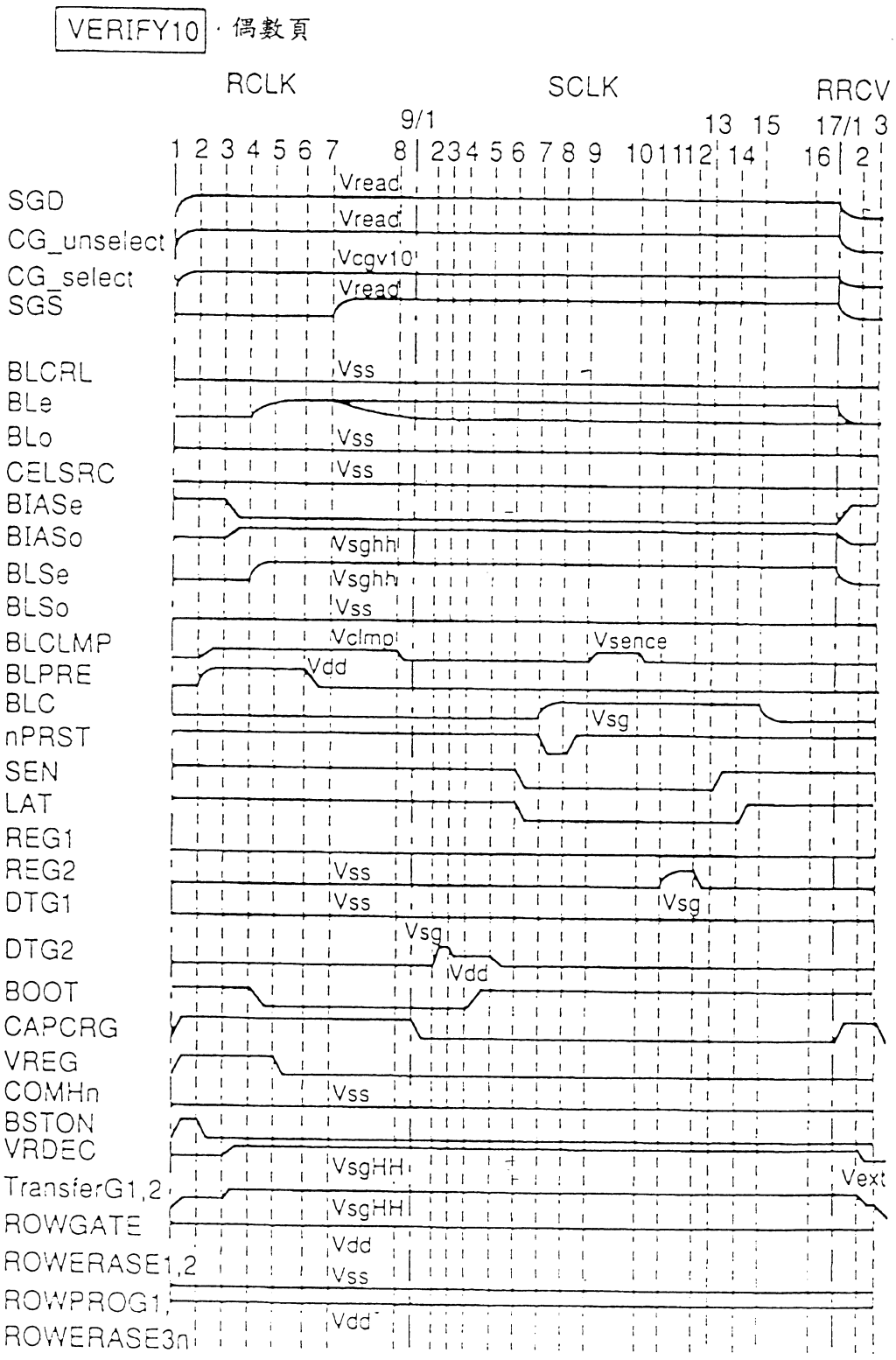
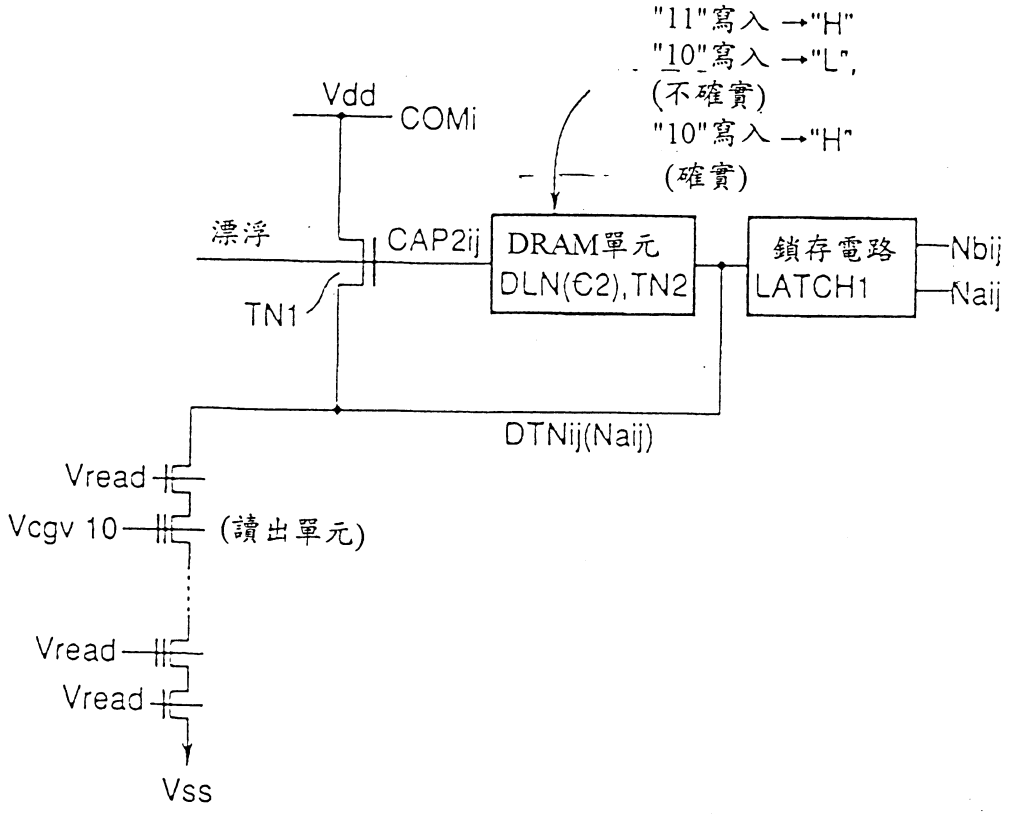

VERIFY10 · 偶數頁
RCLK
SCLK
RRCV
9/1
1 2 3 4 5 6 7 8 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17/1 2 3
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1
ROWERASE3n
Vread
Vcgv10
Vss
Vsghh
Vclmp
Vsence
Vdd
Vsg
VsgHH
Vext

圖24

偶數頁資料的寫入("10"驗證讀出)



	"11"寫入	"10"寫入		
記憶單元的狀態	"11"	"10"不確實	"10"確實"	
位元線	L	L	H	
DTNij(Naij)	H	L	H	→ 至鎖存電路 LATCH1

圖25

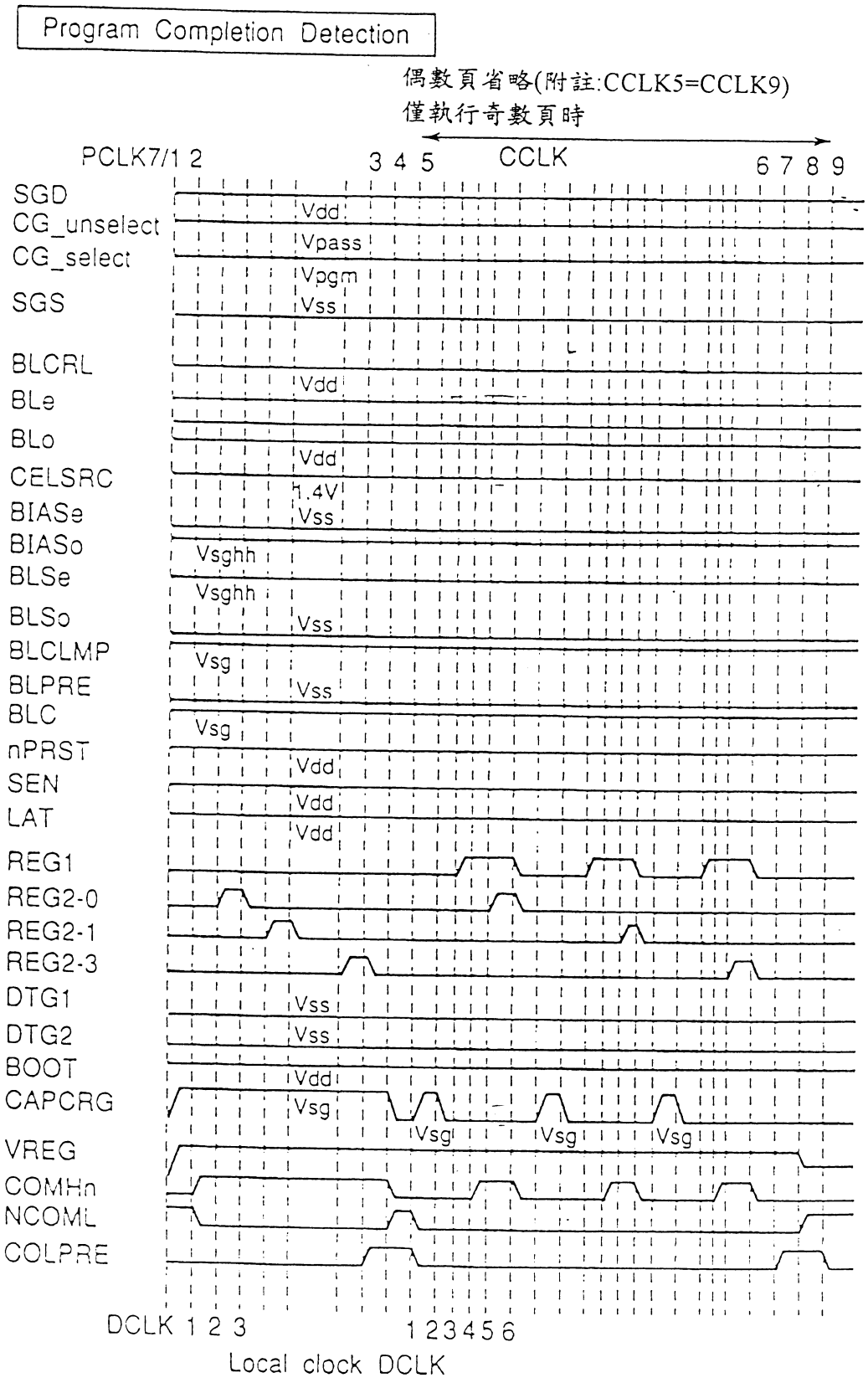
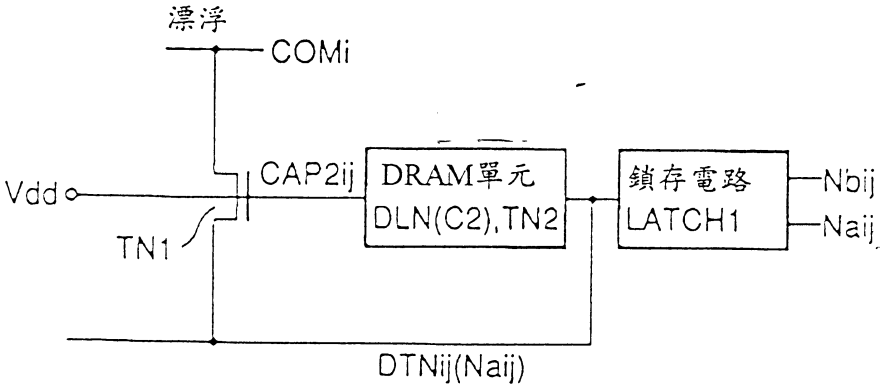

Program Completion Detection
偶數頁省略(附註:CCLK5=CCLK9)
僅執行奇數頁時
PCLK7/1 2
3 4 5
CCLK
6 7 8 9
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2-0
REG2-1
REG2-3
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
NCOML
COLPRE
Vdd
Vpass
Vpgm
Vss
Vdd
Vdd
1.4V
Vss
Vsghh
Vsghh
Vss
Vsg
Vss
Vsg
Vdd
Vdd
Vdd
Vss
Vss
Vdd
Vsg
Vsg
Vsg
Vsg
DCLK 1 2 3
1 2 3 4 5 6
Local clock DCLK

圖26

偶數頁資料的寫入 (Program completion detection)



DTNij(Naij)	H	L
COMi	H	L
	↓	↓
	"10"寫入確實	"10"寫入不確實

圖27

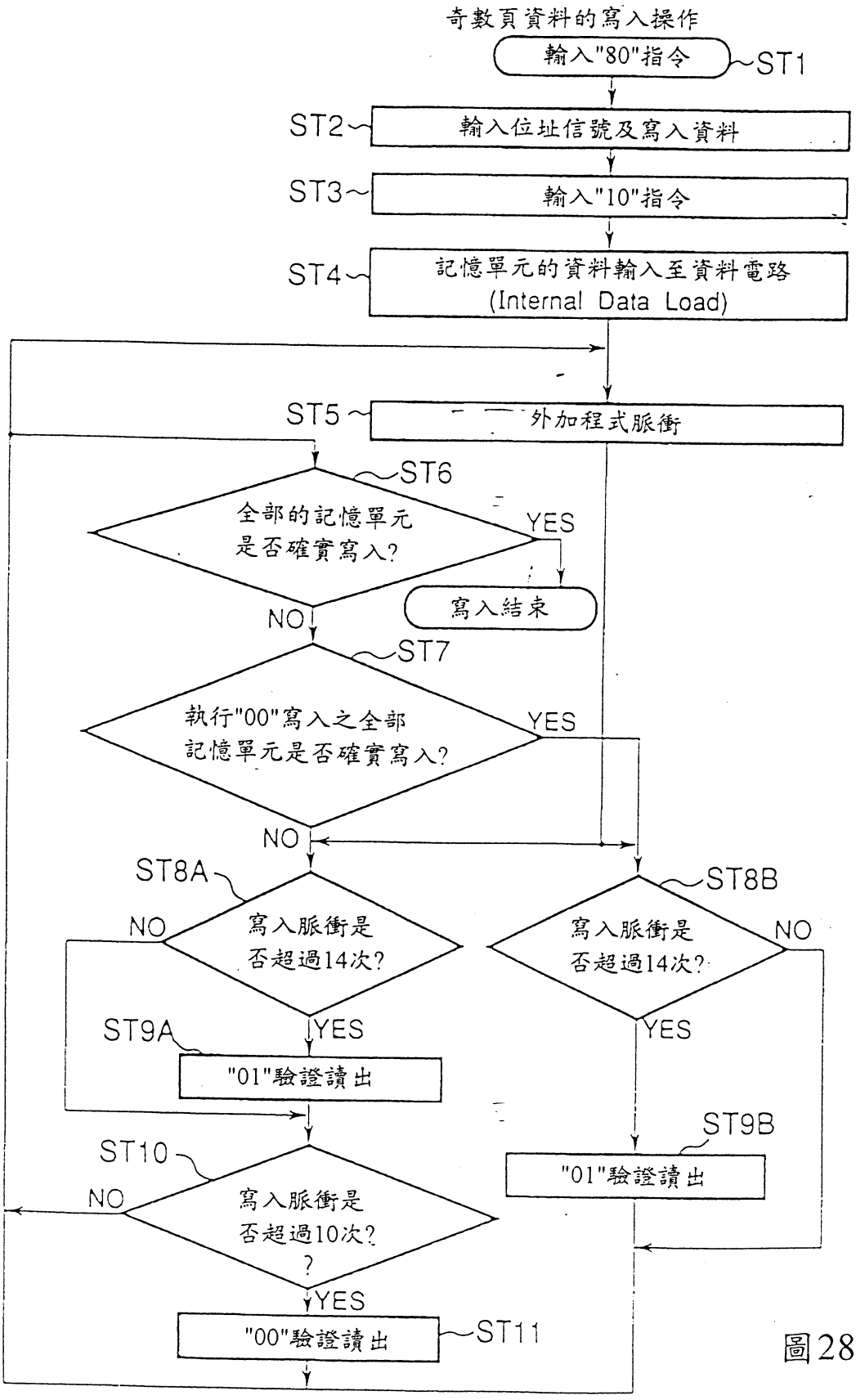

奇數頁資料的寫入操作
輸入"80"指令
ST1
ST2
輸入位址信號及寫入資料
ST3
輸入"10"指令
ST4
記憶單元的資料輸入至資料電路
(Internal Data Load)
ST5
外加程式脈衝
ST6
全部的記憶單元
是否確實寫入?
YES
寫入結束
NO
ST7
執行"00"寫入之全部
記憶單元是否確實寫入?
YES
NO
ST8A
寫入脈衝是
否超過14次?
NO
YES
ST9A
"01"驗證讀出
ST8B
寫入脈衝是
否超過14次?
NO
YES
ST9B
"01"驗證讀出
ST10
寫入脈衝是
否超過10次?
NO
YES
"00"驗證讀出
ST11

圖28

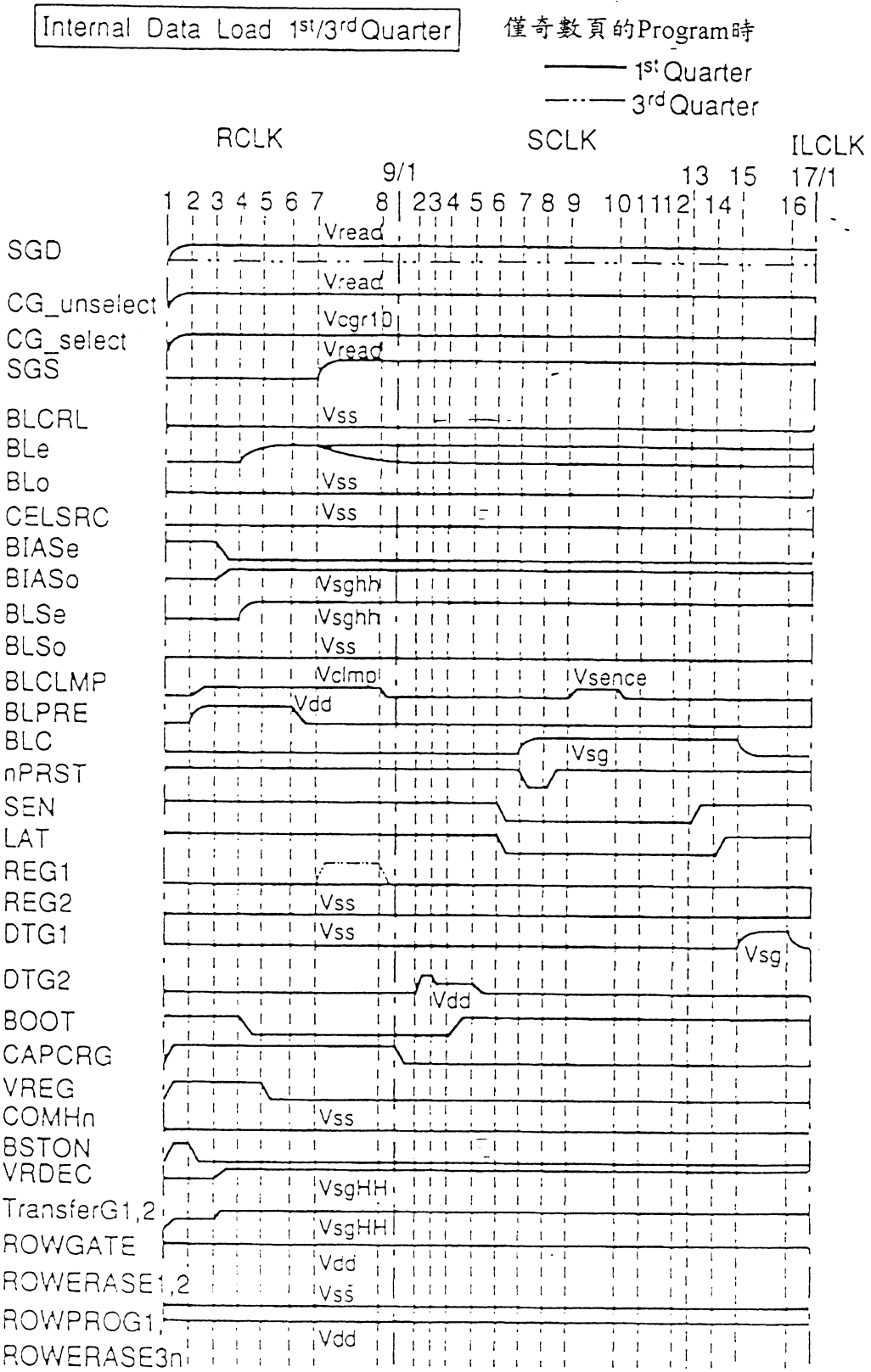

Internal Data Load 1st/3rd Quarter
僅奇數頁的Program時
1st Quarter
3rd Quarter
RCLK
SCLK
ILCLK
9/1
17/1
1 2 3 4 5 6 7 8 23 4 5 6 7 8 9 10 11 12 13 14 15 16
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1
ROWERASE3n
Vread
Vcgr1b
Vss
Vsghh
Vclmp
Vsence
Vdd
Vsg
VsgHH

圖29

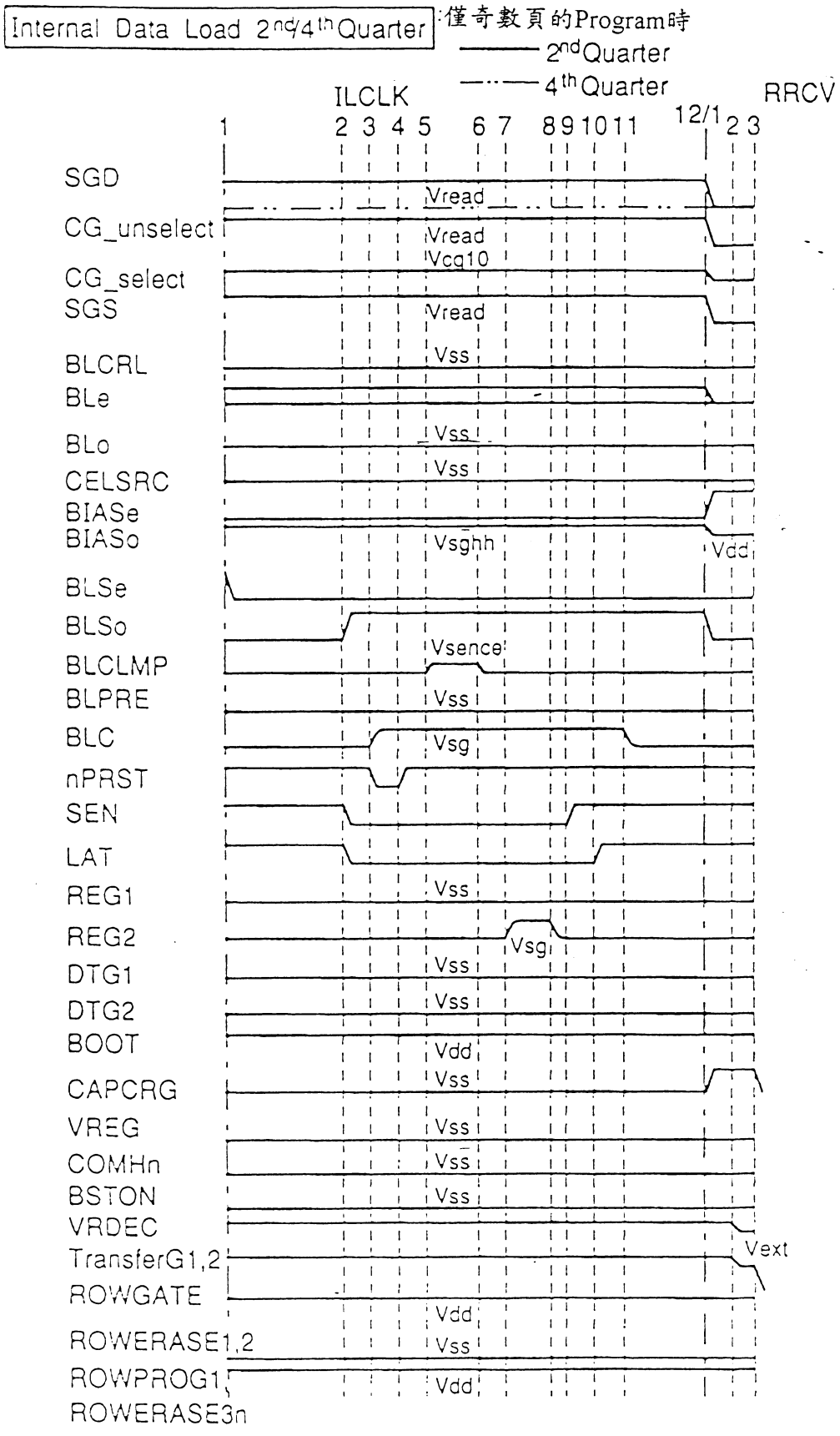
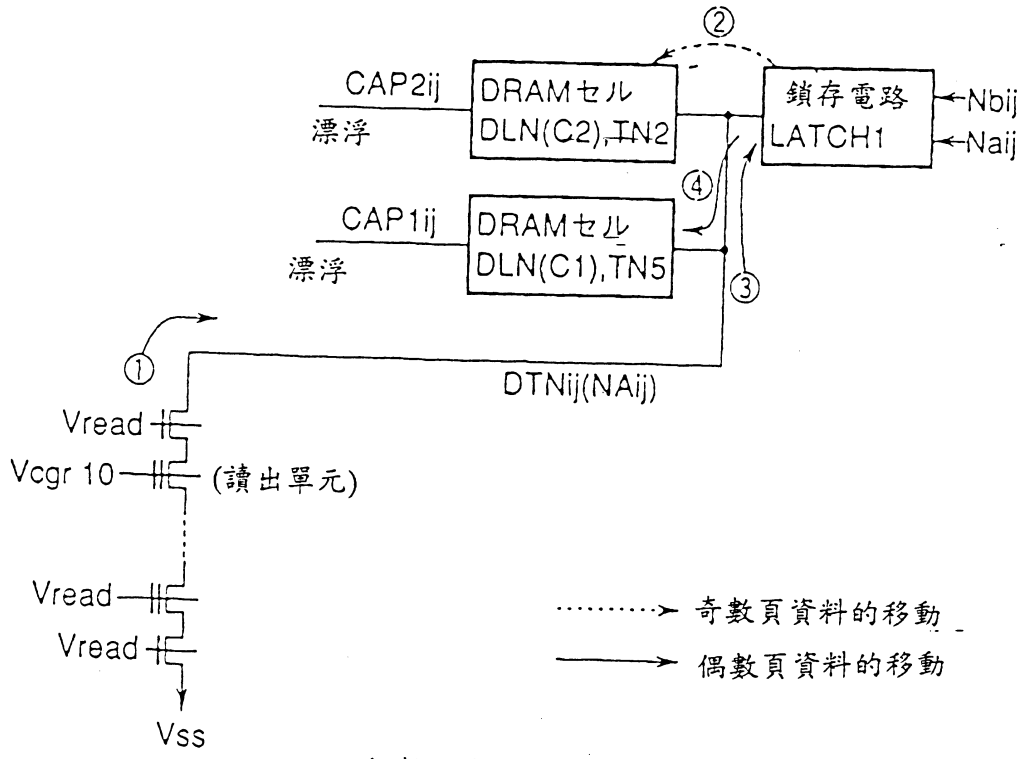

Internal Data Load 2nd/4th Quarter
僅奇數頁的Program時
2nd Quarter
4th Quarter
ILCLK
RRCV
1 2 3 4 5 6 7 8 9 10 11 12/1 2 3
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1
ROWERASE3n
Vread
Vcg10
Vss
Vsghh
Vdd
Vsence
Vsg
Vext

圖30

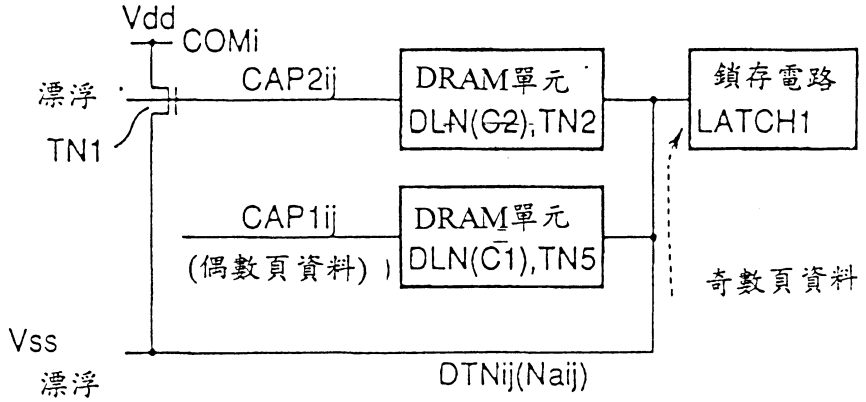
奇數頁資料的寫入 (Internal data load 1st Quarter)



偶數頁資料	"1"	"0"
DTNij(Naij)	"L"	"H"

圖31

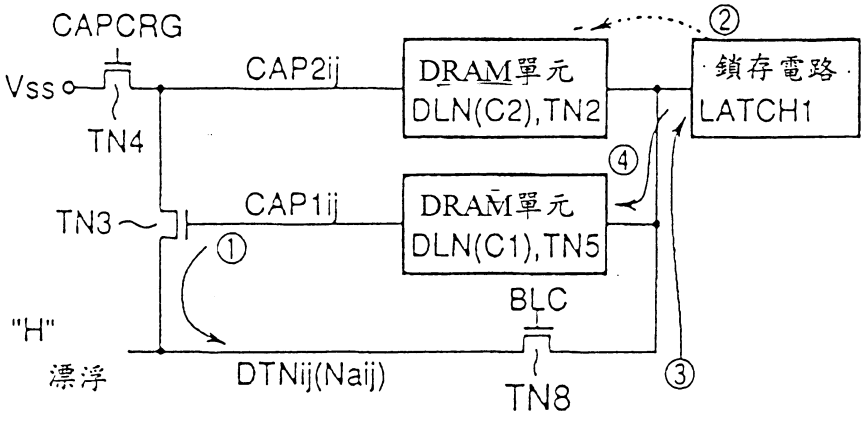
奇數頁資料的寫入 (Internal data load 2nd Quarter)



奇數頁資料	"1"	"0"
CAP2ij	"H"	"L"
DTNij	"H"	"L"
偶數頁資料	"1"	"0"
CAP1ij	"L"	"H"

圖32

奇數頁資料的寫入(Internal data load 3rd Quarter)



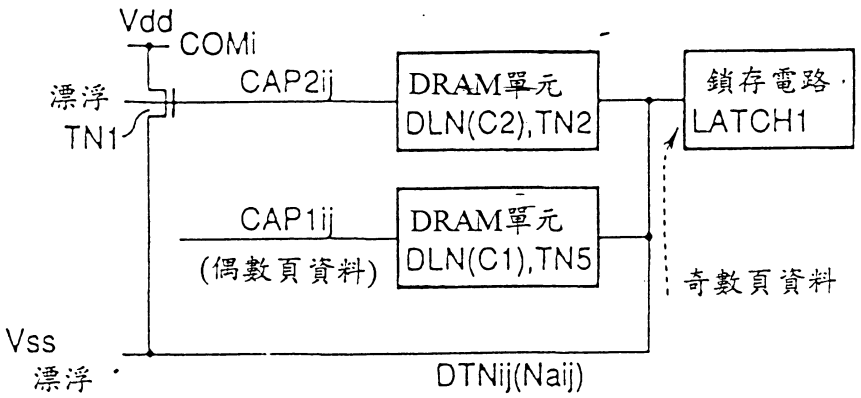
偶數頁資料	"1"	"0"
CAP1ij	"L"	"H"
DTNij	"H"	"L"

⋯⋯➤ 奇數頁資料的移動

——➤ 偶數頁資料的移動

圖33

奇數頁資料的寫入 (Internal data load 4th Quarter)



奇數頁資料	"1"	"0"
CAP2ij	"H"	"L"
DTNij	"H"	"L"
偶數頁資料	"1"	"0"
CAP1ij	"H"	"L"

圖34

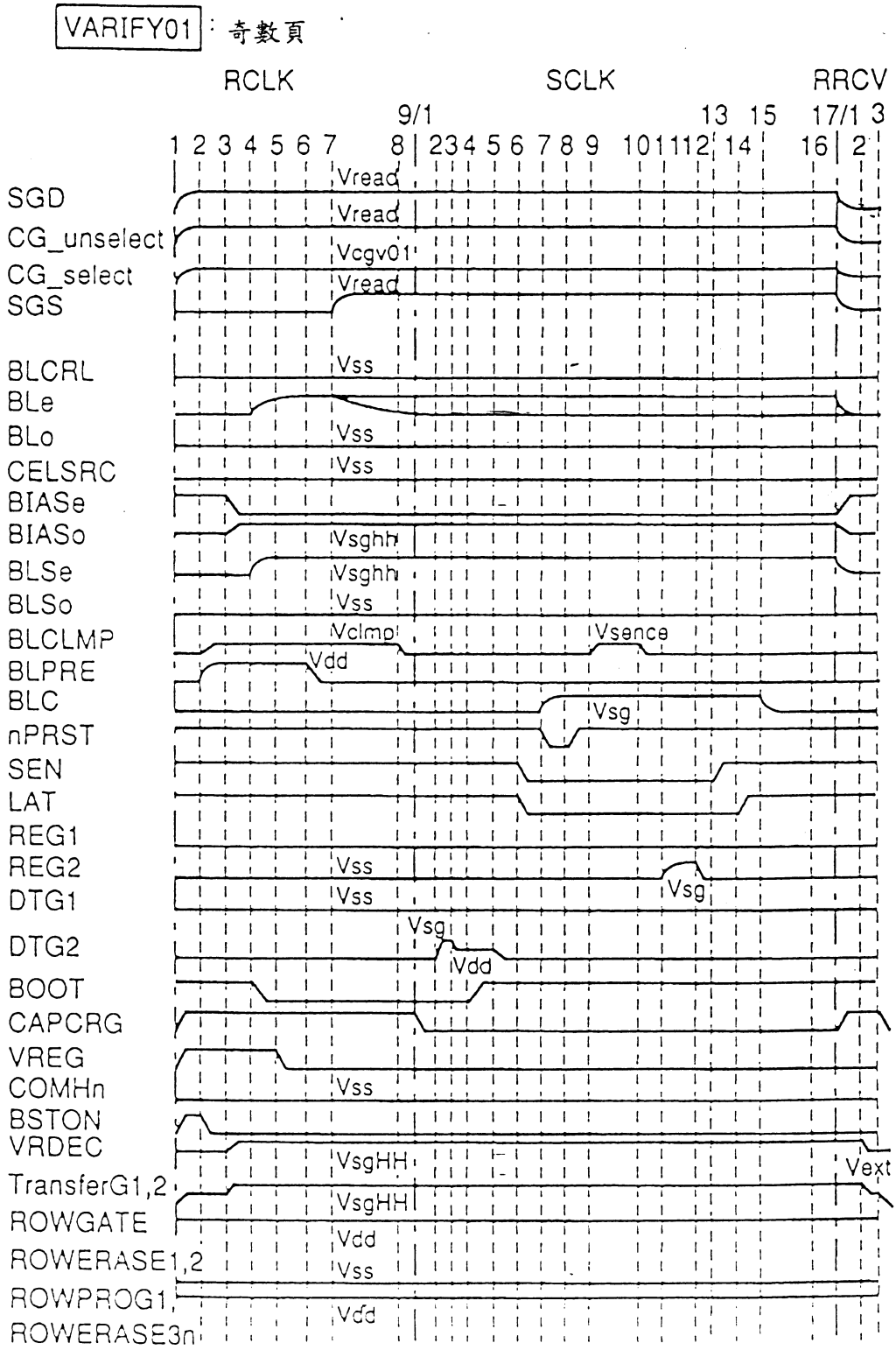

VARIFY01：奇數頁
RCLK
SCLK
RRCV
9/1
1 2 3 4 5 6 7 8 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17/1 2 3
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1
ROWERASE3n
Vread
Vcgv01
Vss
Vsghh
Vclmp
Vsence
Vdd
Vsg
VsgHH
Vext

圖35

奇數頁資料的寫入("01"驗證讀出)

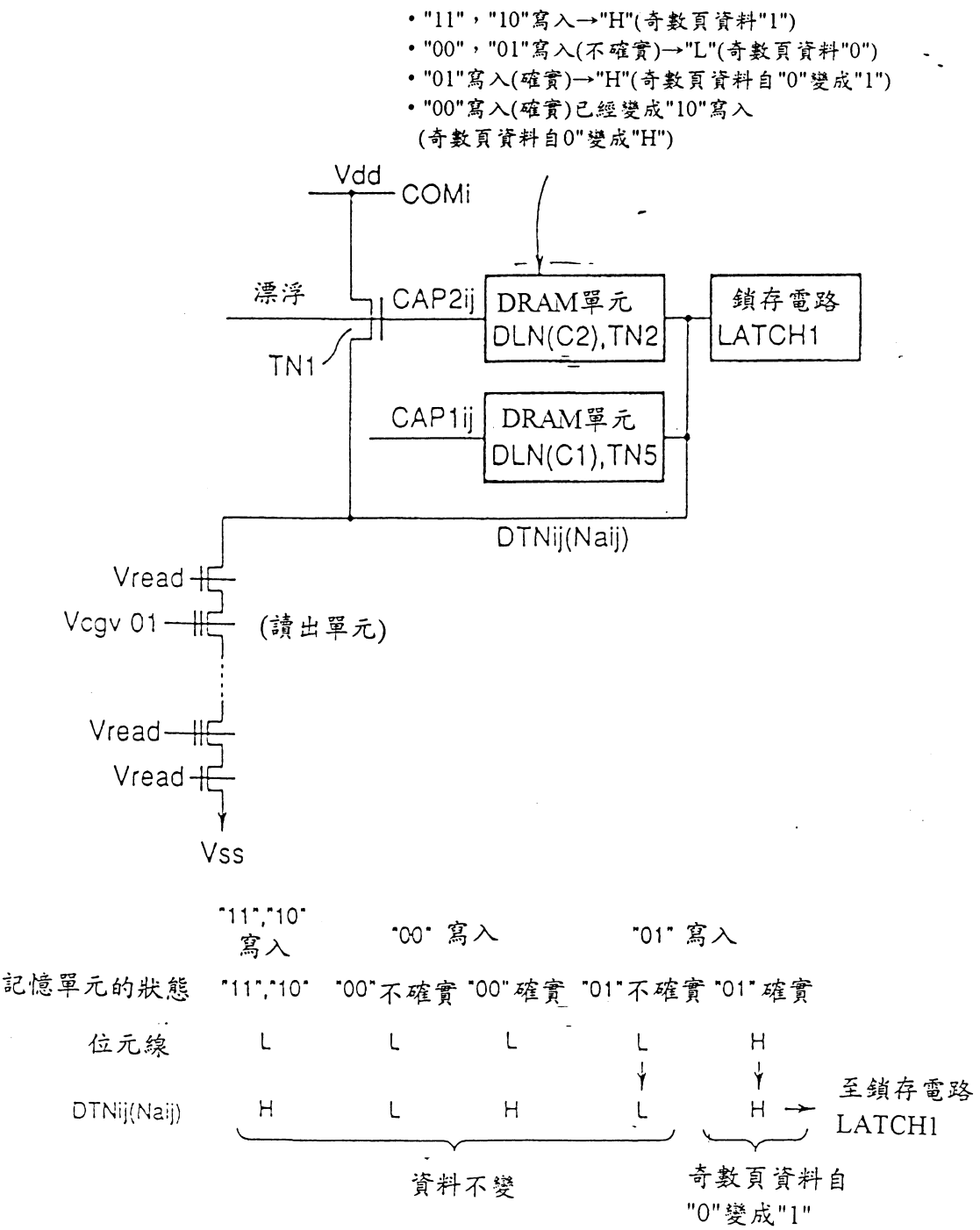


圖36

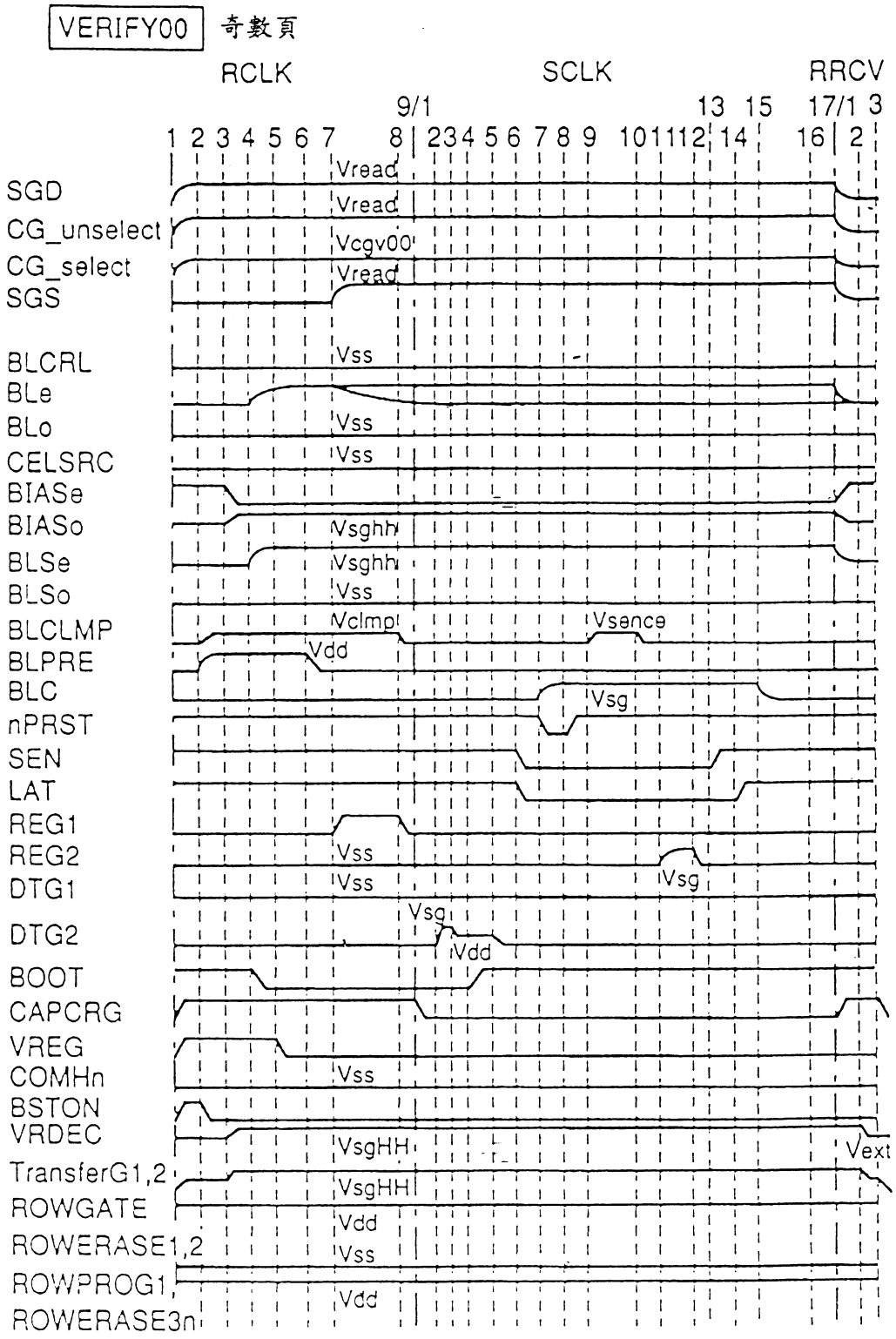
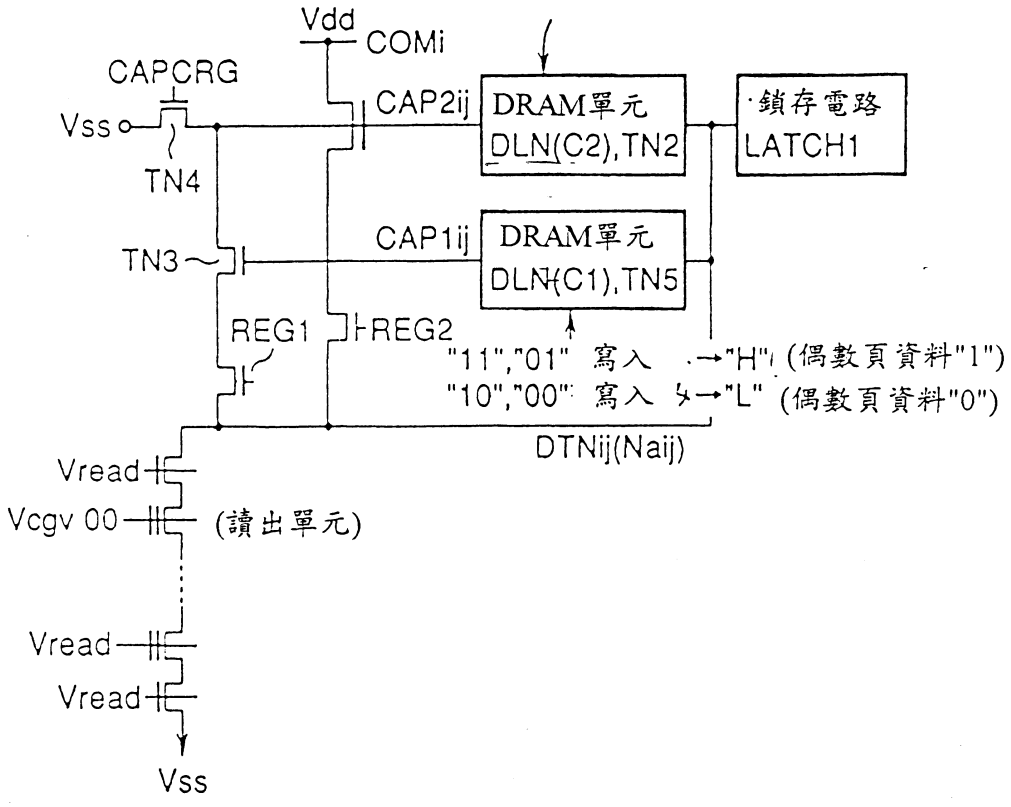

VERIFY00
奇數頁
RCLK
SCLK
RRCV
9/1
13 15
17/1 3
1 2 3 4 5 6 7 8 2 3 4 5 6 7 8 9 10 11 12 14 16 2
SGD
CG_unselect
CG_select
SGS
BLCRL
BLe
BLo
CELSRC
BIASe
BIASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
BSTON
VRDEC
TransferG1,2
ROWGATE
ROWERASE1,2
ROWPROG1
ROWERASE3n
Vread
Vcgv00
Vss
Vsghh
Vclmp
Vsence
Vdd
Vsg
VsgHH
Vext

圖37

奇數頁資料的寫入("00"驗證讀出)

- "11"，"10"寫入→"H"(奇數頁資料"1")
- "00"，"01"寫入(不確實)→"L"(奇數頁資料"0")
- "00"寫入(確實)→"H"(奇數頁資料自"0"變成"1")

*若"01"寫入確實時，已經變成"11"寫入
(奇數頁資料自0"變成"1")



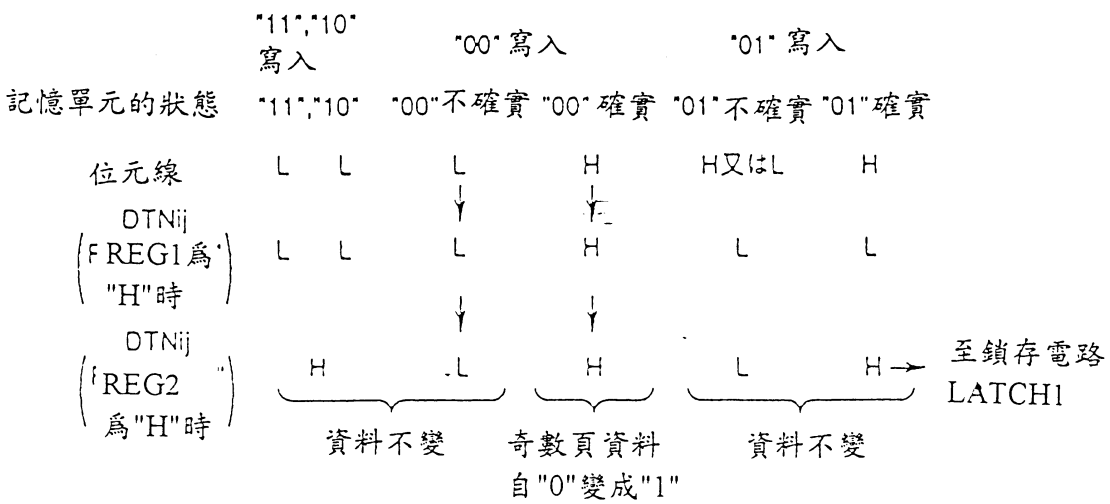


圖38

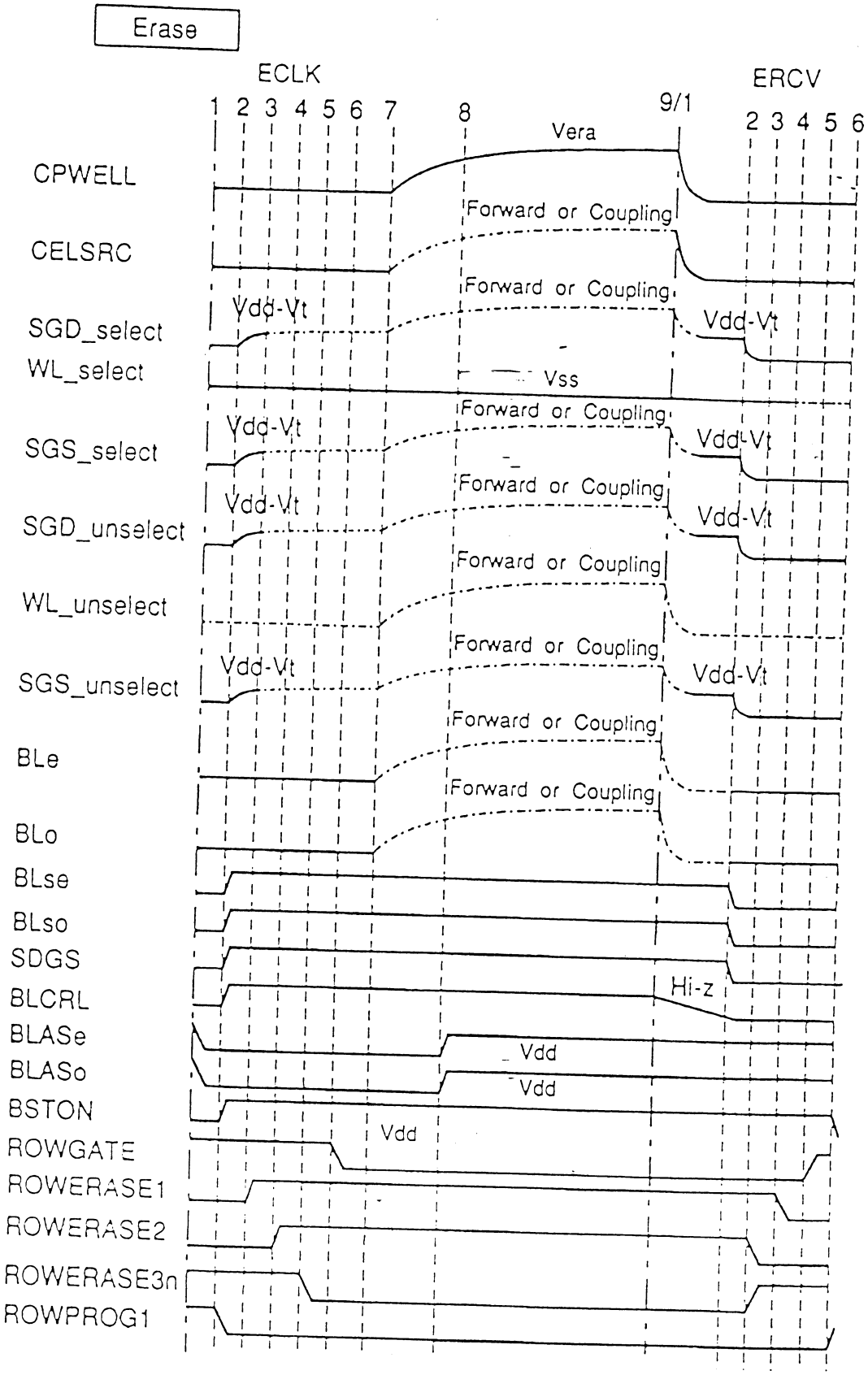

Erase
ECLK
ERCV
1 2 3 4 5 6 7 8 9/1 2 3 4 5 6
CPWELL
CELSRC
SGD_select
WL_select
SGS_select
SGD_unselect
WL_unselect
SGS_unselect
BLe
BLo
BLse
BLso
SDGS
BLCRL
BLASe
BLASo
BSTON
ROWGATE
ROWERASE1
ROWERASE2
ROWERASE3n
ROWPROG1
Vera
Forward or Coupling
Vdd-Vt
Vss
Hi-z
Vdd

圖39

Erase Verify Read

偶數行部分Verify→綜合檢測→Fail時若需要Fail數→
→奇數頁部分Verify→綜合檢測→Fail時若需要Fail數

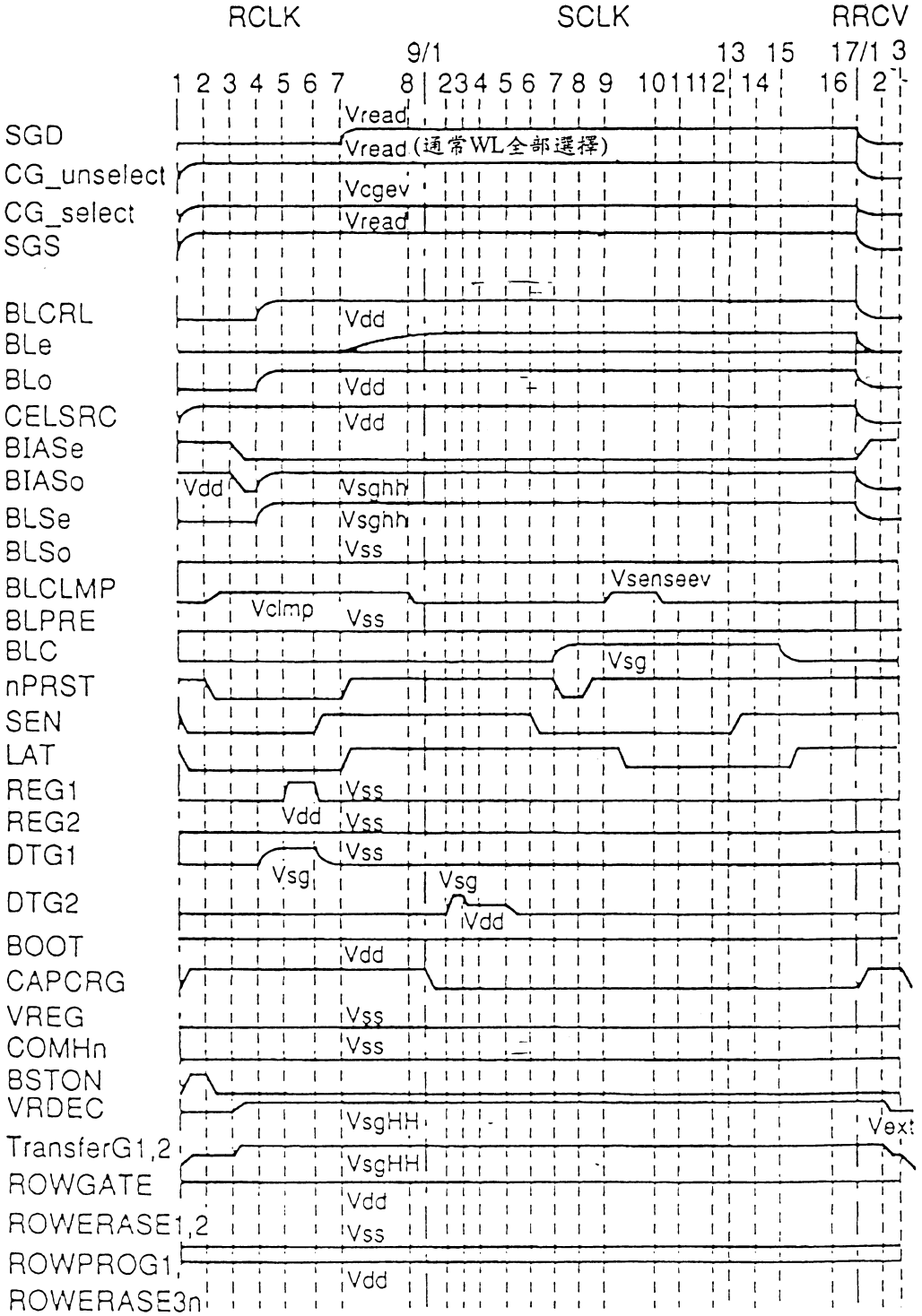


圖40

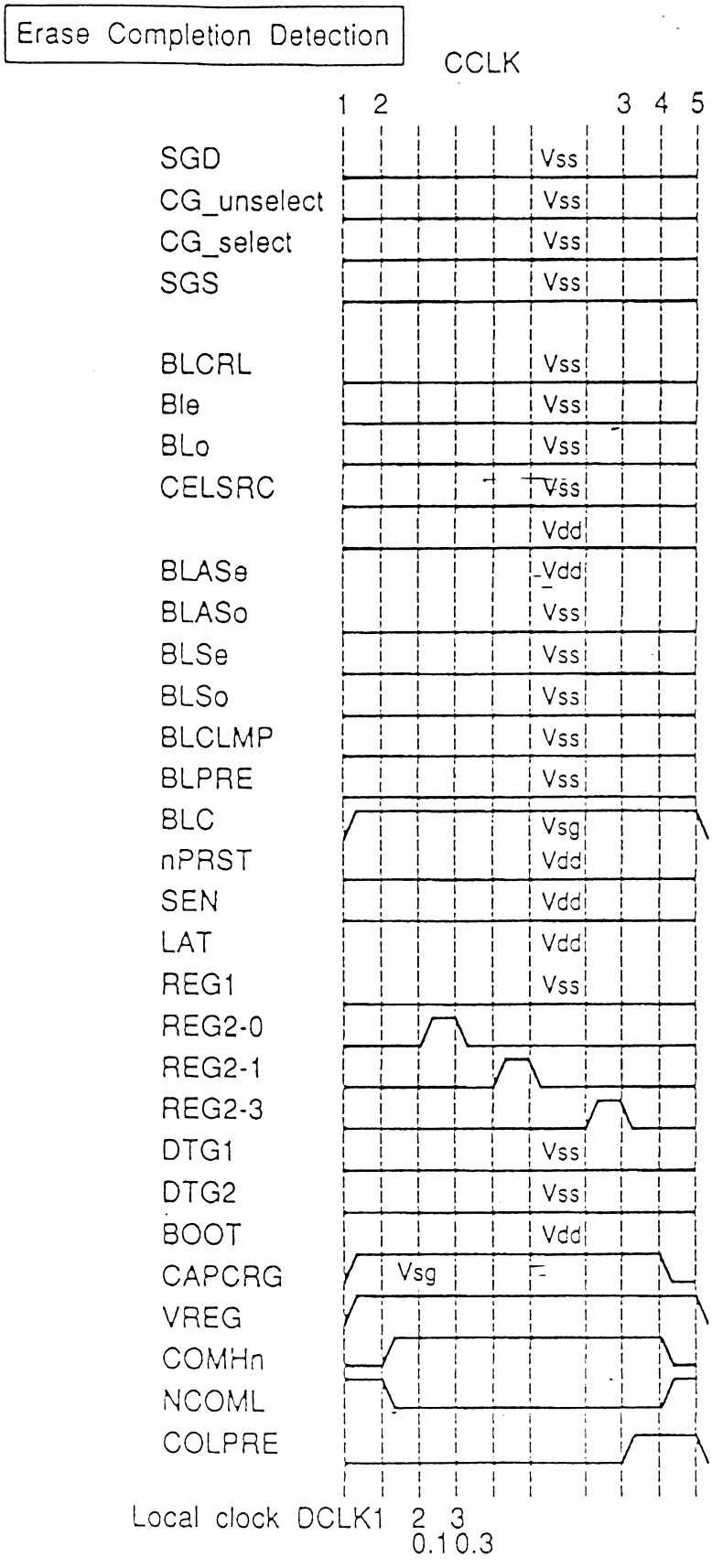

Erase Completion Detection
CCLK
1 2 3 4 5
SGD
CG_unselect
CG_select
SGS
BLCRL
Ble
BLo
CELSRC
BLASe
BLASo
BLSe
BLSo
BLCLMP
BLPRE
BLC
nPRST
SEN
LAT
REG1
REG2-0
REG2-1
REG2-3
DTG1
DTG2
BOOT
CAPCRG
VREG
COMHn
NCOML
COLPRE
Vss
Vdd
Vsg
Local clock DCLK1 2 3
0.1 0.3

圖41

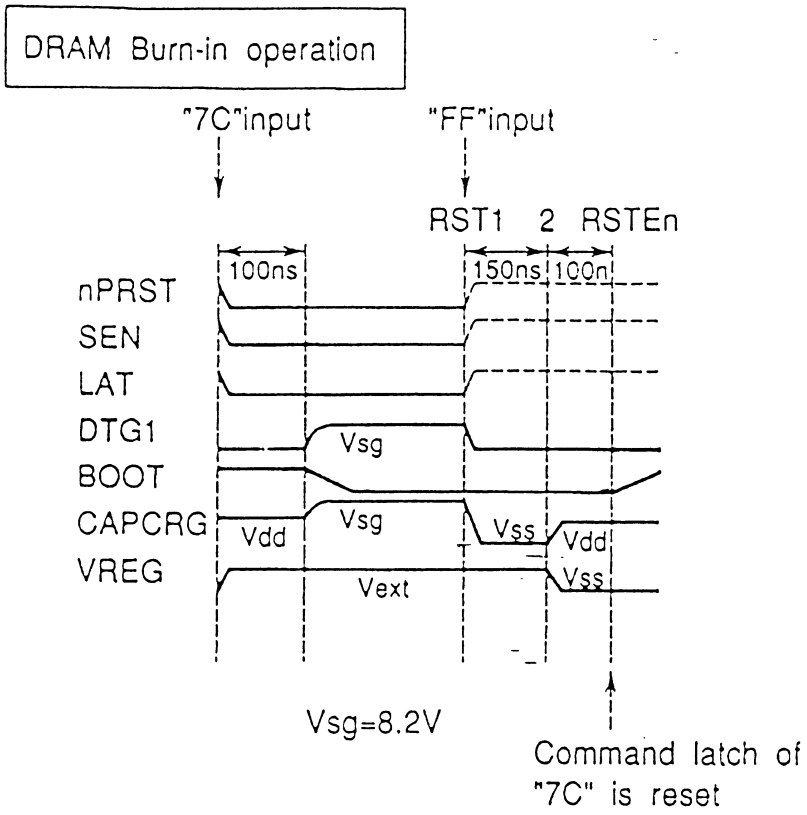

DRAM Burn-in operation
"7C"input
"FF"input
RST1 2 RSTEn
100ns
150ns
100n
nPRST
SEN
LAT
DTG1
BOOT
CAPCRG
VREG
Vsg
Vdd
Vsg
Vss
Vdd
Vss
Vext
Vsg=8.2V
Command latch of
"7C" is reset

圖42

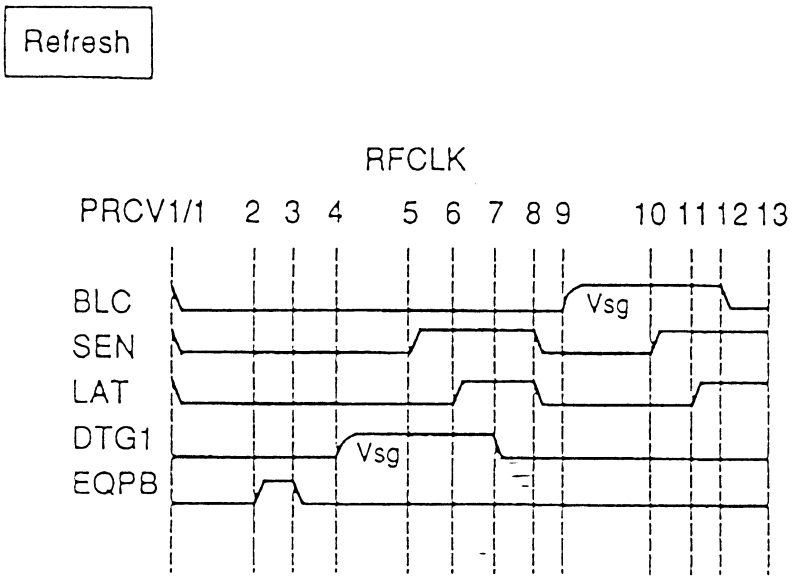

Refresh
RFCLK
PRCV1/1 2 3 4 5 6 7 8 9 10 11 12 13
BLC
SEN
LAT
DTG1
EQPB
Vsg
Vsg

圖43

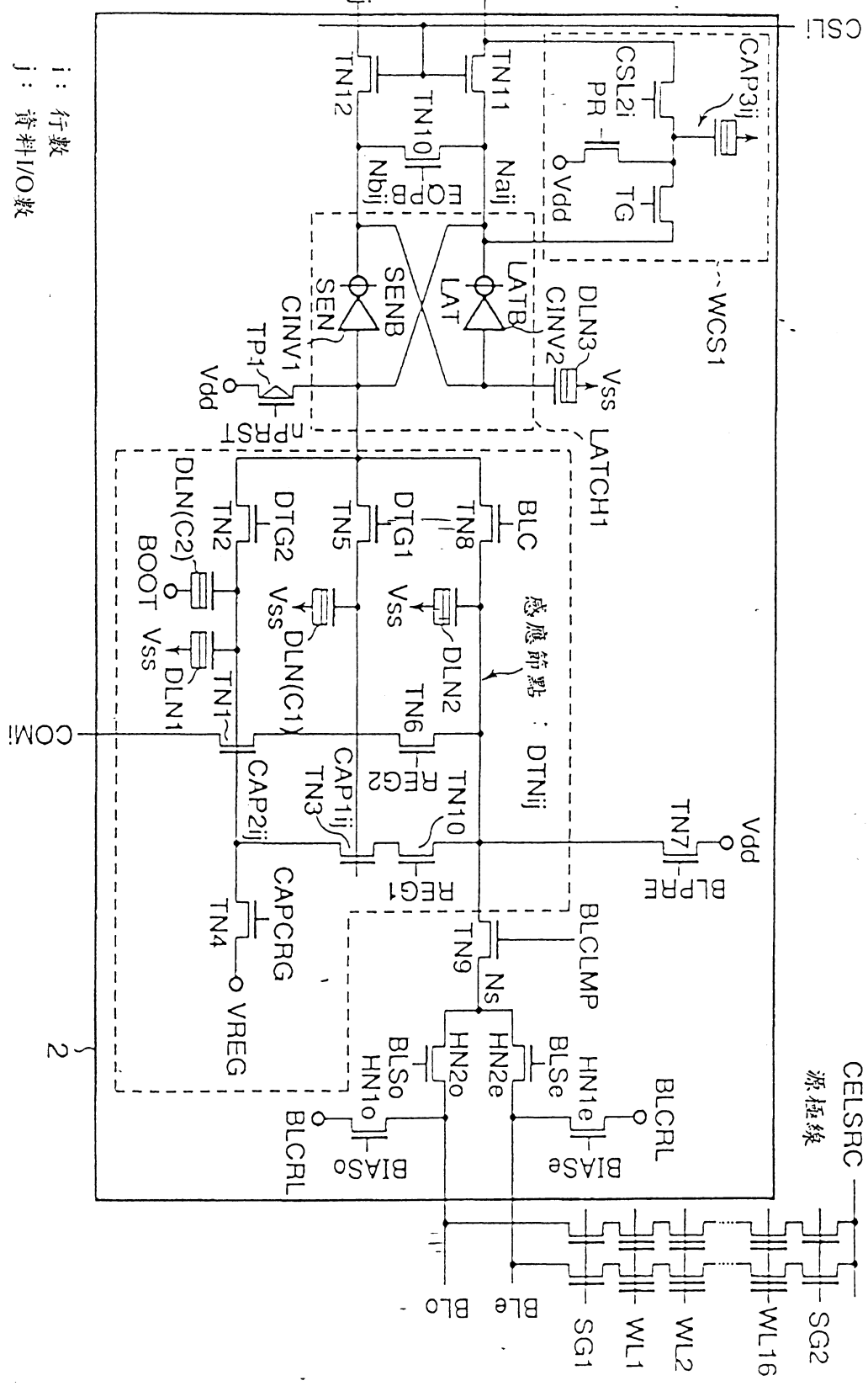

i：行數
j：資料I/O數
CSLi
nIOj
IOj
CAP3ij
CSL2i
PR
TG
Vdd
TN12
TN11
TN10
Naij
Nbij
WCS1
SENB
SEN
LAT
LATB
CINV1
CINV2
DLN3
Vss
TP1
LATCH1
DLN(C2)
BOOT
DLN1
TN2
TN1
DTG2
DLN(C1)
TN5
DTG1
TN8
BLC
感應節點：DTNij
DLN2
TN6
TN10
CAP1ij
TN3
CAP2ij
TN7
BLCLMP
TN9
Ns
CAPCRG
TN4
VREG
HN2e
HN2o
HN1e
HN1o
BLSe
BLSo
BIASe
BIASo
BLCRL
CELSRC
源極線
SG2
WL16
WL2
WL1
SG1
BLo
BLe
COMi
2

圖44

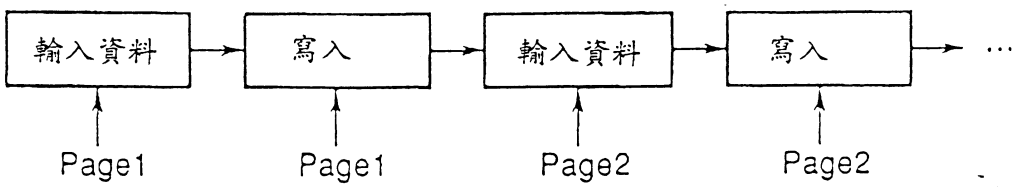

輸入資料
寫入
輸入資料
寫入
Page1
Page1
Page2
Page2

圖45

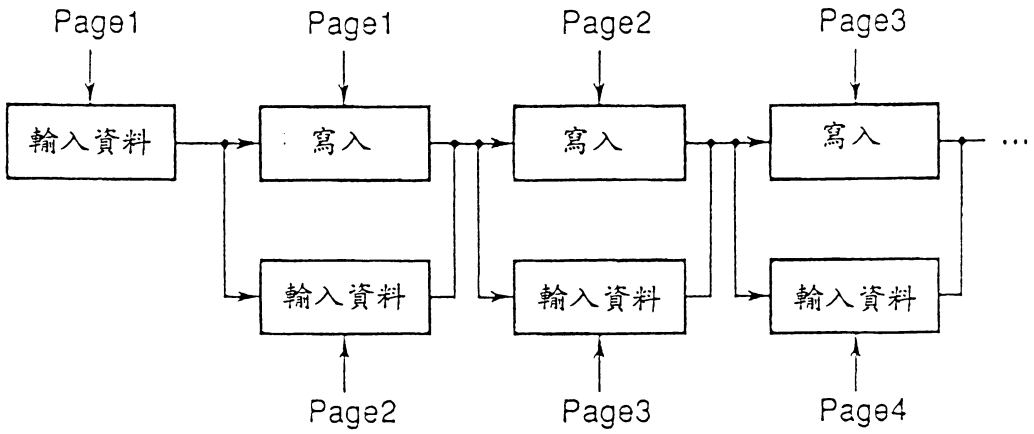

Page1
Page1
Page2
Page3
輸入資料
寫入
寫入
寫入
輸入資料
輸入資料
輸入資料
Page2
Page3
Page4

圖46

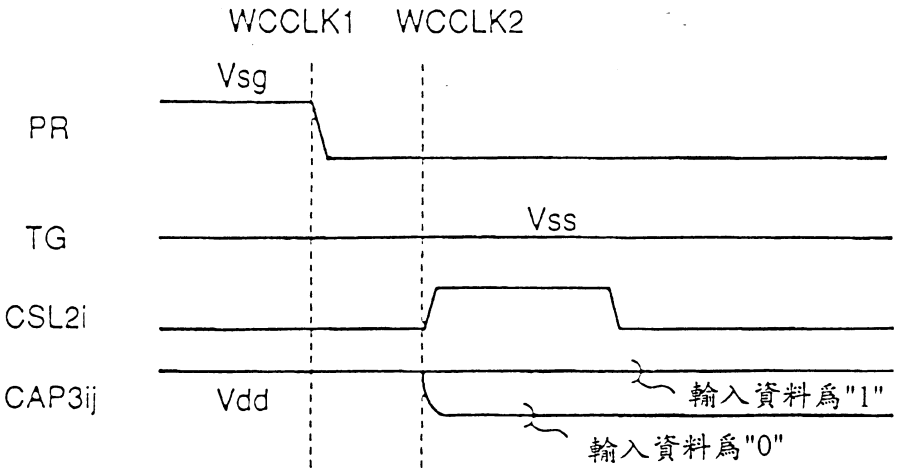

WCCLK1
WCCLK2
Vsg
PR
TG
Vss
CSL2i
CAP3ij
Vdd
輸入資料爲"1"
輸入資料爲"0"

圖47

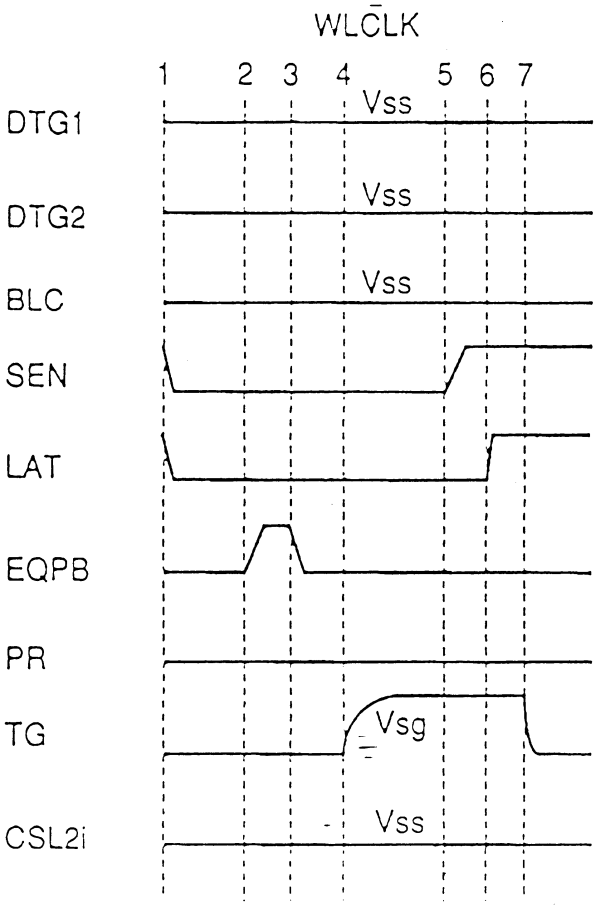

WLCLK
1
2
3
4
5
6
7
DTG1
Vss
DTG2
Vss
BLC
Vss
SEN
LAT
EQPB
PR
TG
Vsg
CSL2i
Vss

圖48

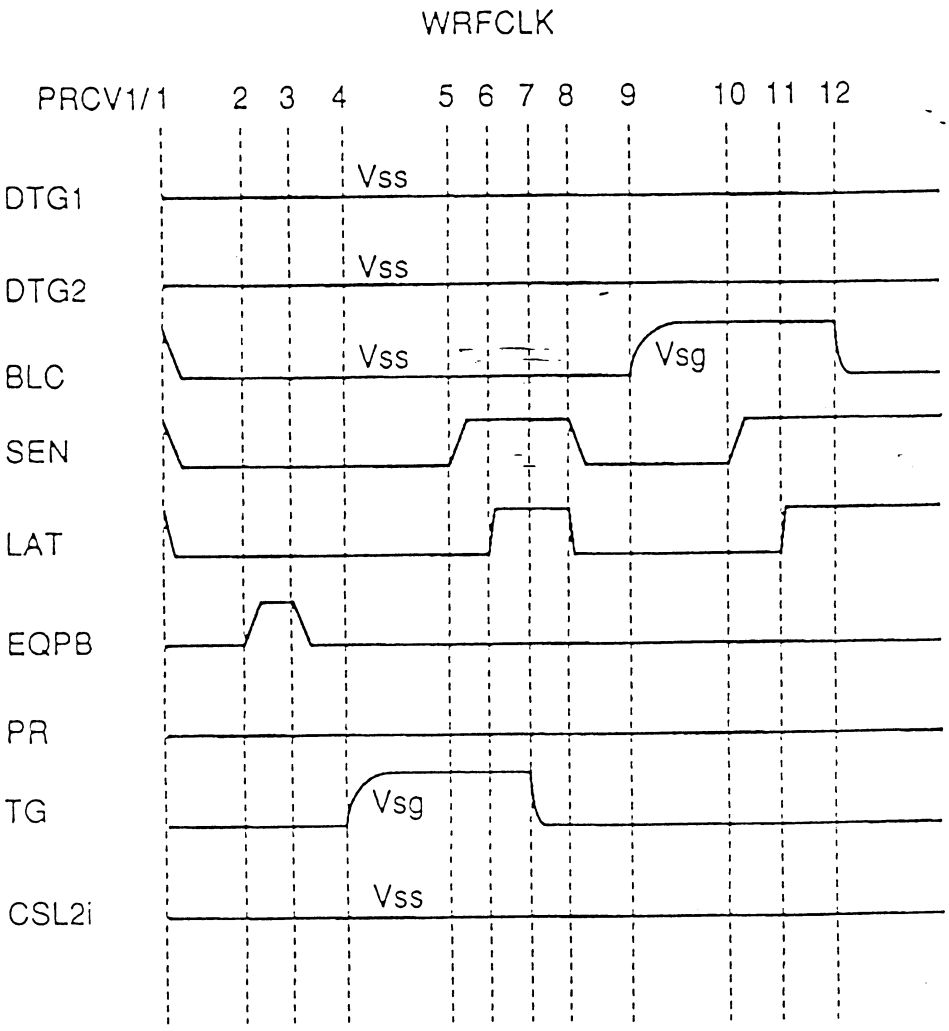
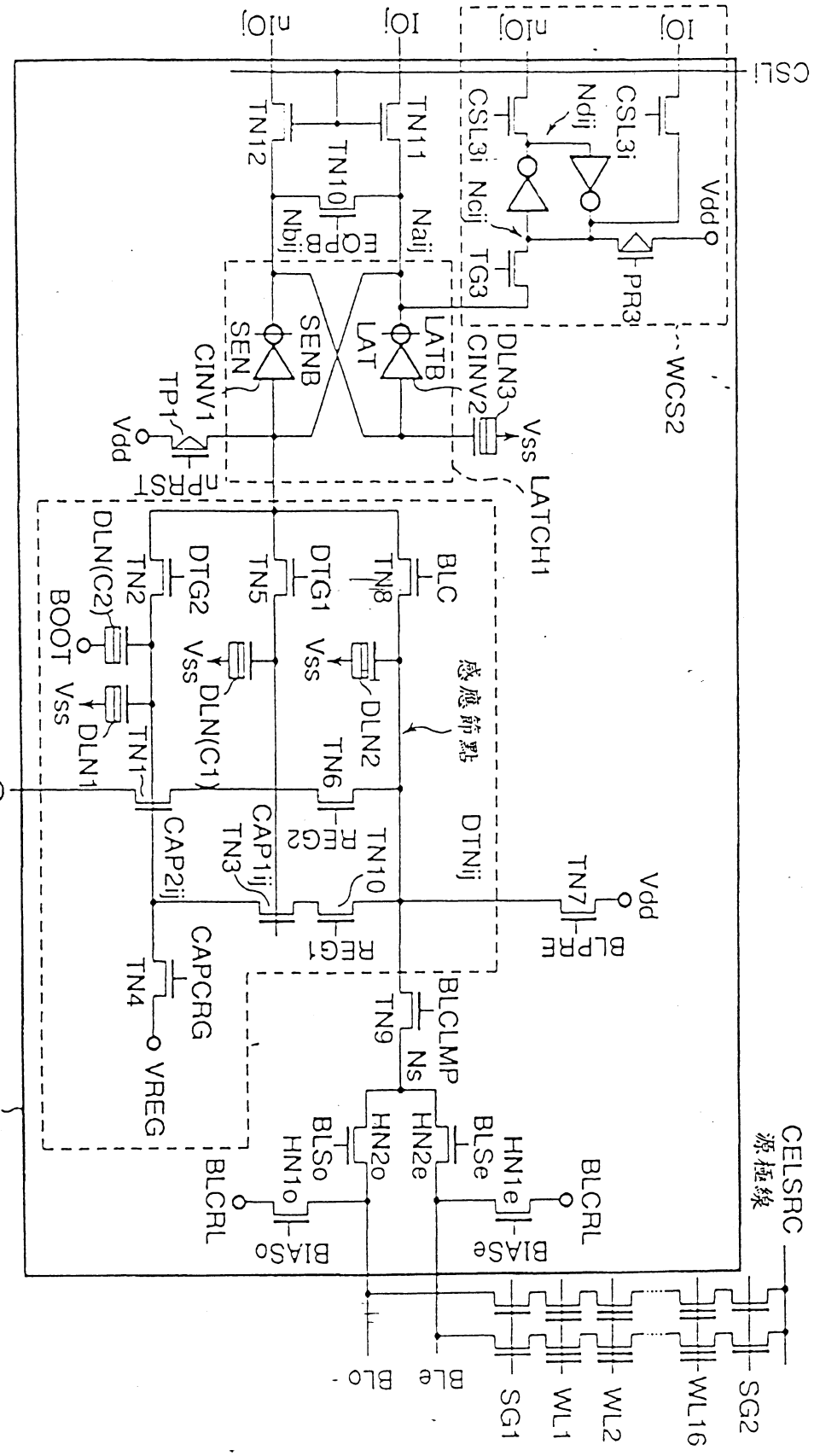

WRFCLK
PRCV1/1
2
3
4
5
6
7
8
9
10
11
12
DTG1
Vss
DTG2
Vss
BLC
Vss
Vsg
SEN
LAT
EQPB
PR
TG
Vsg
CSL2i
Vss

圖49



i：行數
j：資料I/O數

圖 50

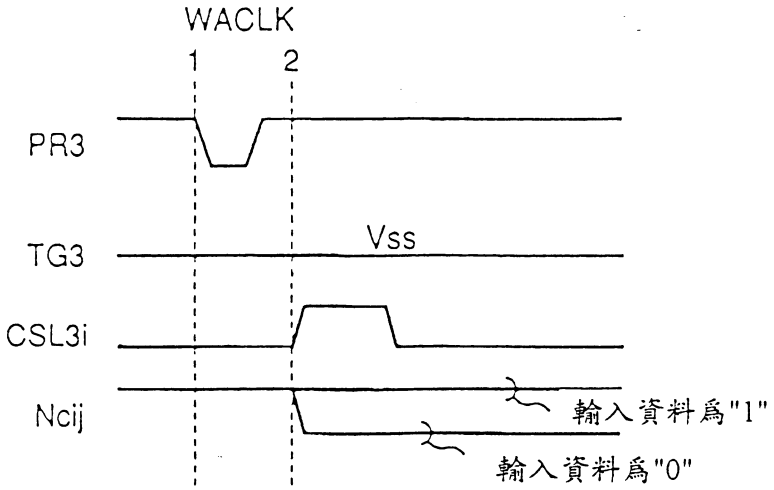

WACLK
1
2
PR3
TG3
Vss
CSL3i
Ncij
輸入資料爲"1"
輸入資料爲"0"

圖51

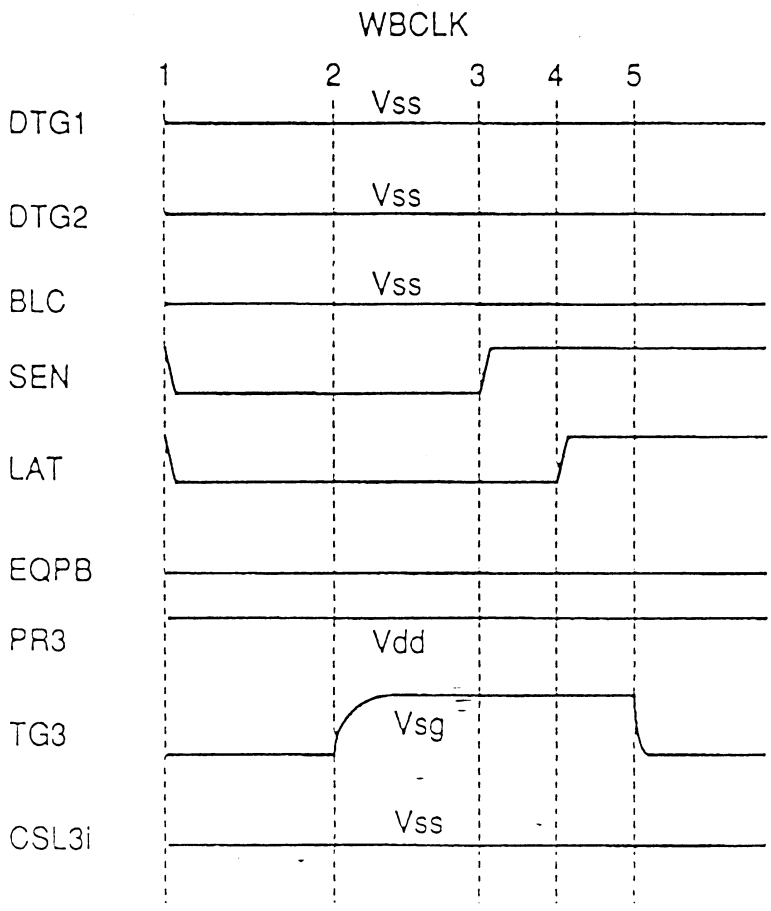

WBCLK
1
2
3
4
5
DTG1
Vss
DTG2
Vss
BLC
Vss
SEN
LAT
EQPB
PR3
Vdd
TG3
Vsg
CSL3i
Vss

圖52

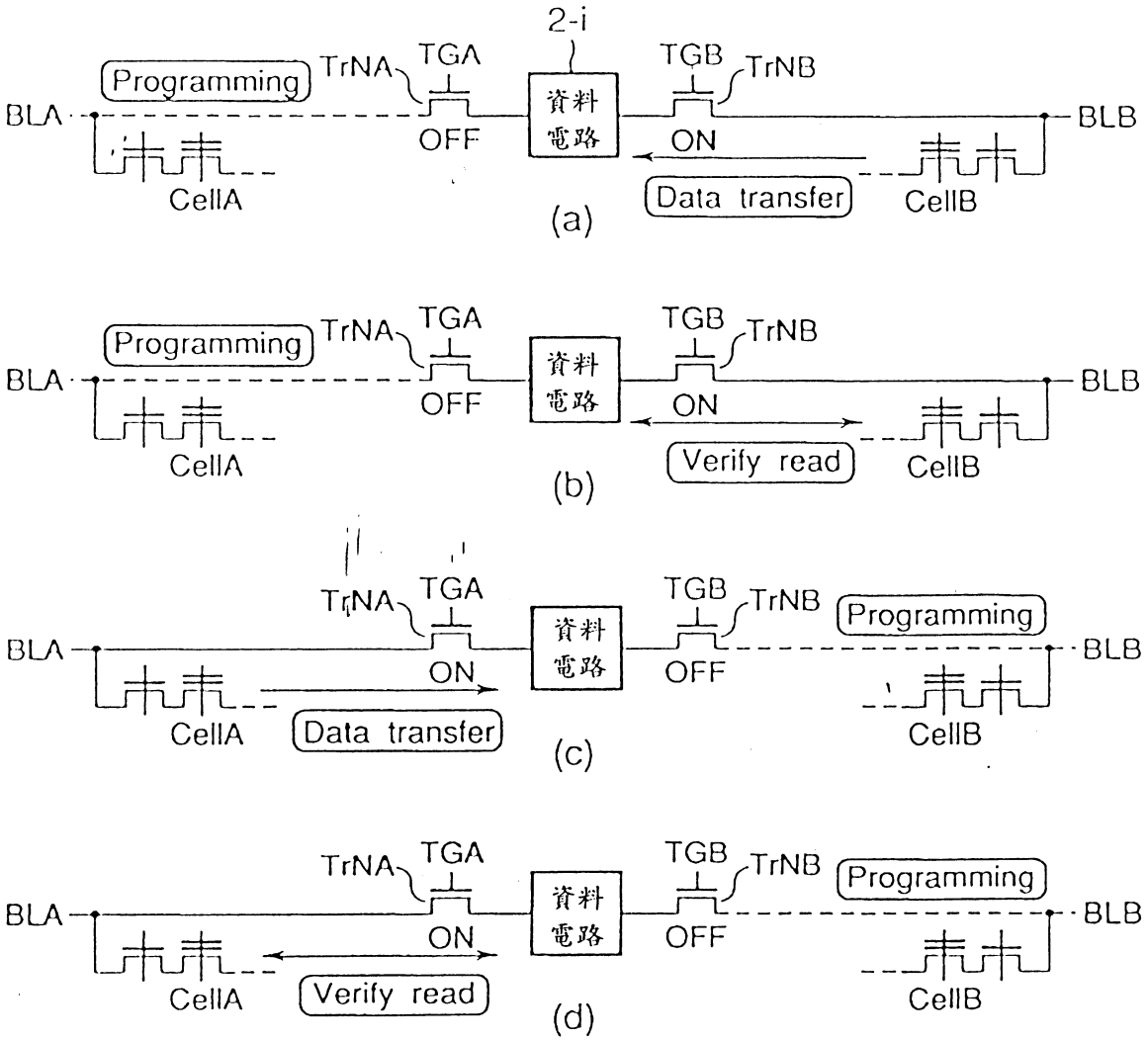

2-i
Programming
TrNA
TGA
資料
電路
TGB
TrNB
BLA
BLB
OFF
ON
CellA
Data transfer
CellB
(a)
Programming
TrNA
TGA
資料
電路
TGB
TrNB
BLA
BLB
OFF
ON
CellA
Verify read
CellB
(b)
TrNA
TGA
資料
電路
TGB
TrNB
Programming
BLA
BLB
ON
OFF
CellA
Data transfer
CellB
(c)
TrNA
TGA
資料
電路
TGB
TrNB
Programming
BLA
BLB
ON
OFF
CellA
Verify read
CellB
(d)

圖53

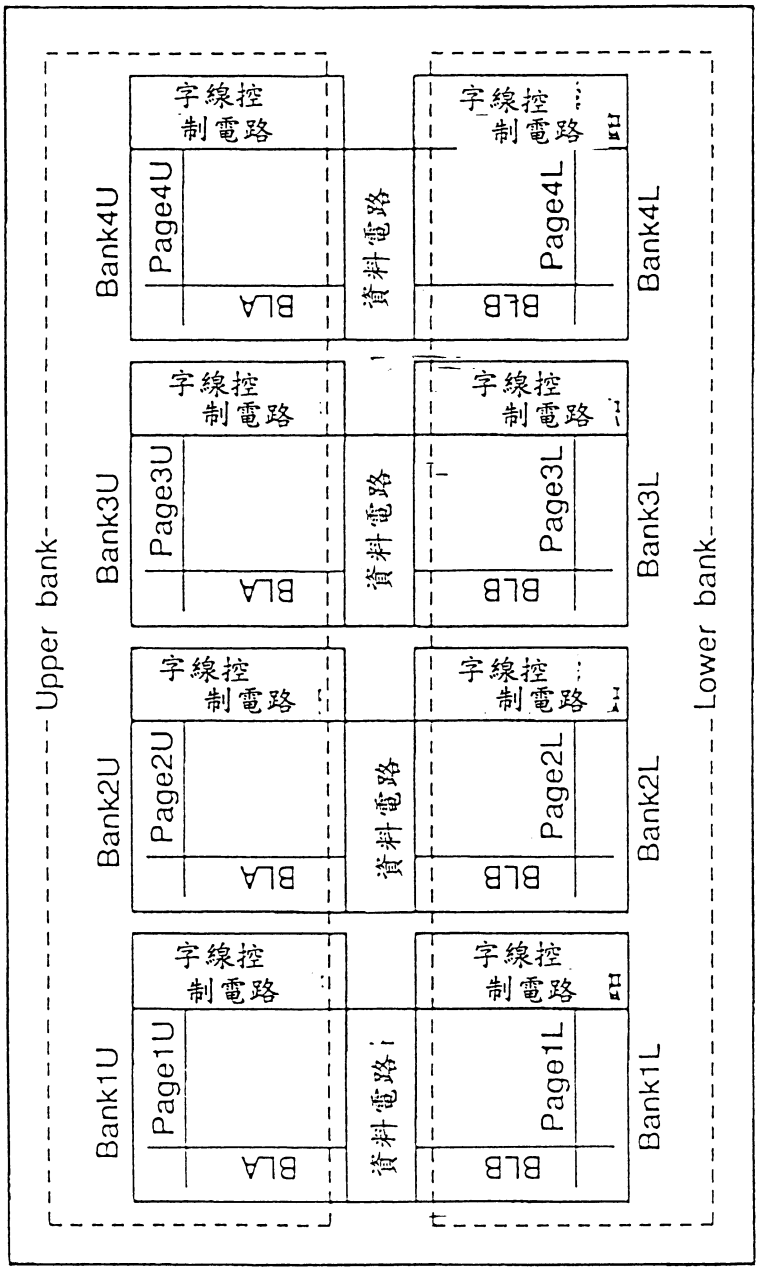

Upper bank
Lower bank
Bank4U
Bank3U
Bank2U
Bank1U
Bank4L
Bank3L
Bank2L
Bank1L
Page4U
Page3U
Page2U
Page1U
Page4L
Page3L
Page2L
Page1L
BLA
BLB
字線控制電路
資料電路

圖54

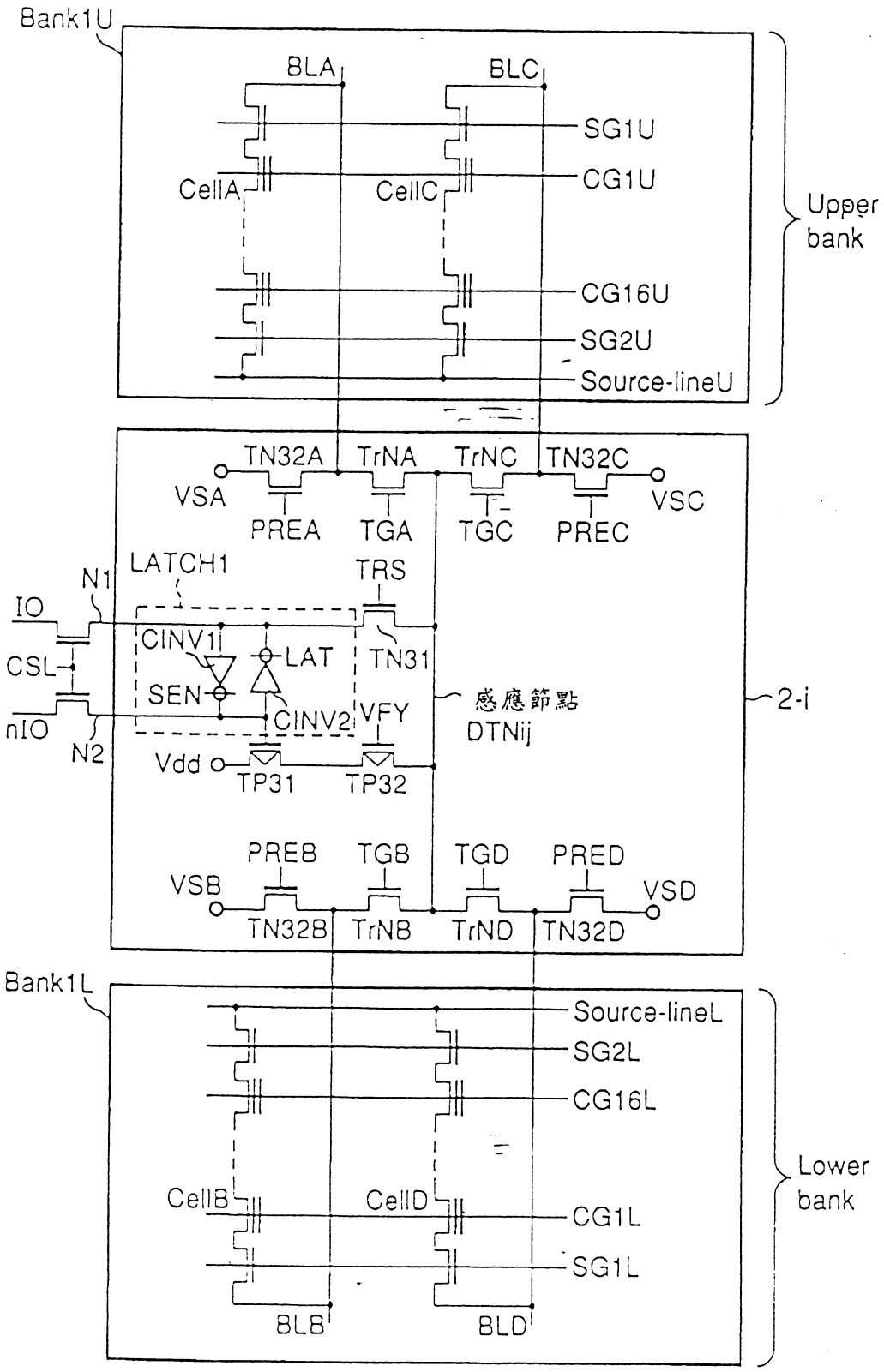

Bank1U
BLA
BLC
SG1U
CG1U
CellA
CellC
Upper bank
CG16U
SG2U
Source-lineU
TN32A
TrNA
TrNC
TN32C
VSA
VSC
PREA
TGA
TGC
PREC
LATCH1
TRS
N1
IO
CINV1
LAT
TN31
CSL
SEN
CINV2
VFY
感應節點
DTNij
2-i
nIO
N2
Vdd
TP31
TP32
PREB
TGB
TGD
PRED
VSB
VSD
TN32B
TrNB
TrND
TN32D
Bank1L
Source-lineL
SG2L
CG16L
CellB
CellD
CG1L
SG1L
Lower bank
BLB
BLD

圖55

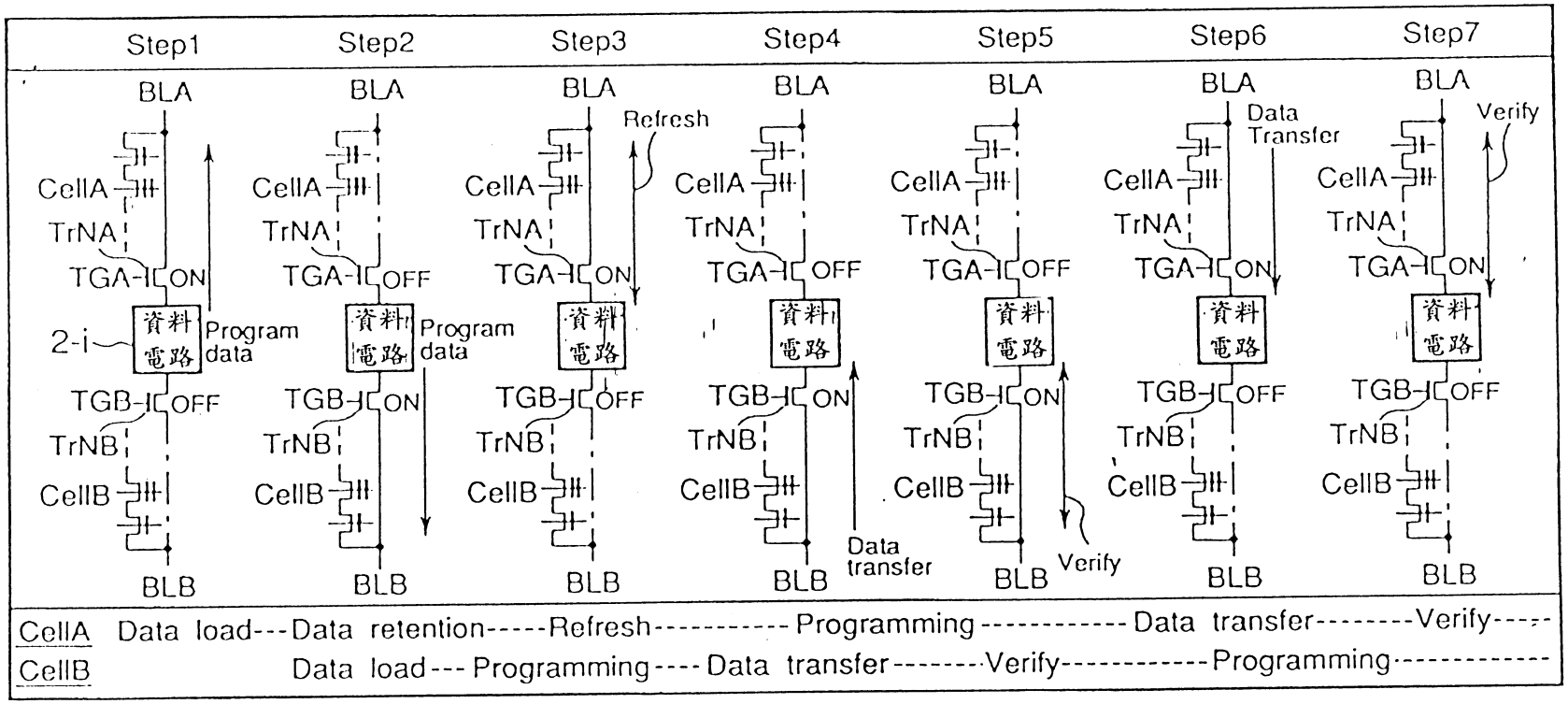

Step1
Step2
Step3
Step4
Step5
Step6
Step7
BLA
CellA
TrNA
TGA
ON
OFF
2-i
資料電路
Program data
TGB
TrNB
CellB
BLB
Refresh
Data transfer
Verify
Data Transfer
CellA Data load---Data retention-----Refresh----------Programming----------Data transfer--------Verify-----
CellB Data load---Programming----Data transfer--------Verify----------Programming----------

圖56

497266

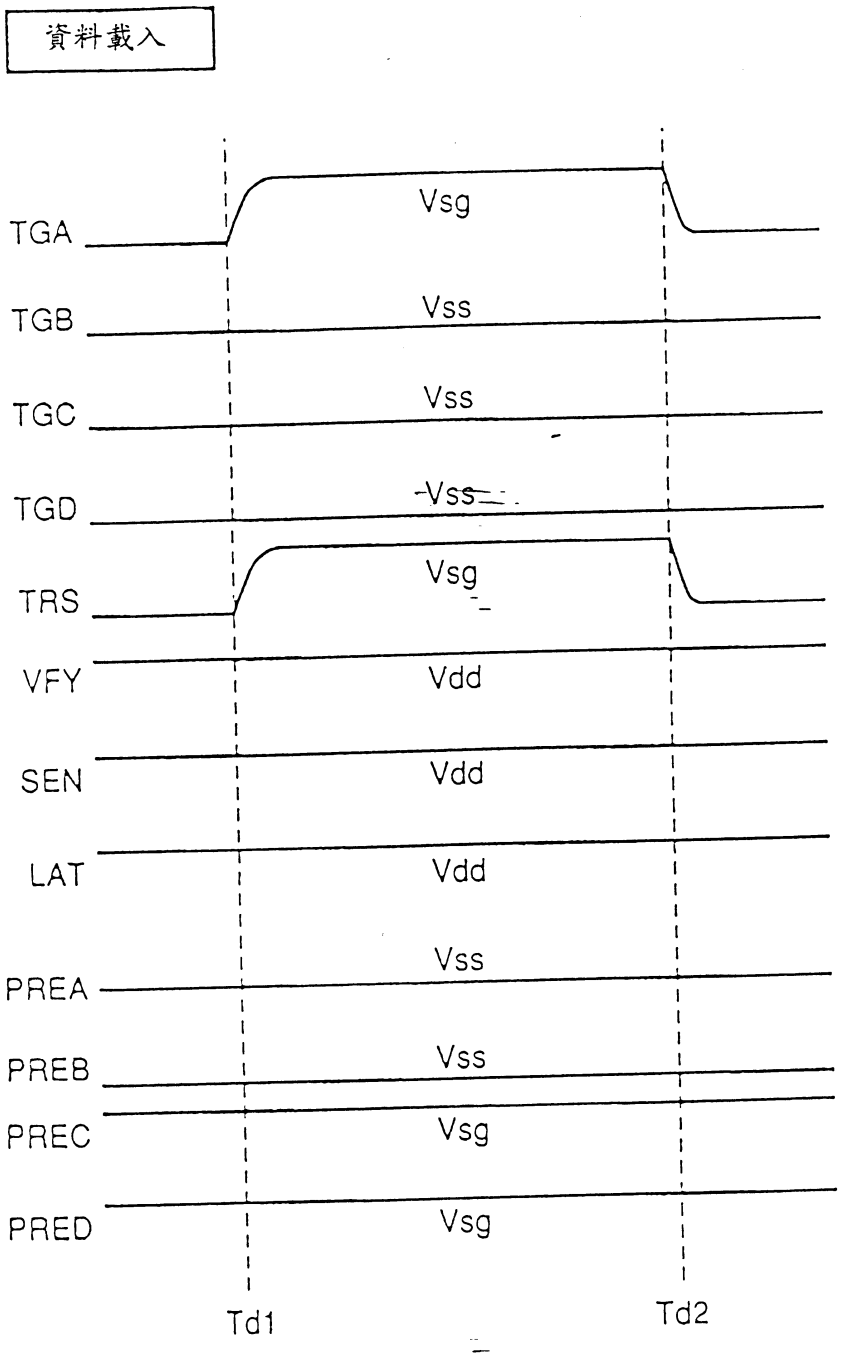

資料載入
TGA
Vsg
TGB
Vss
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
Vdd
SEN
Vdd
LAT
Vdd
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
Td1
Td2

圖57

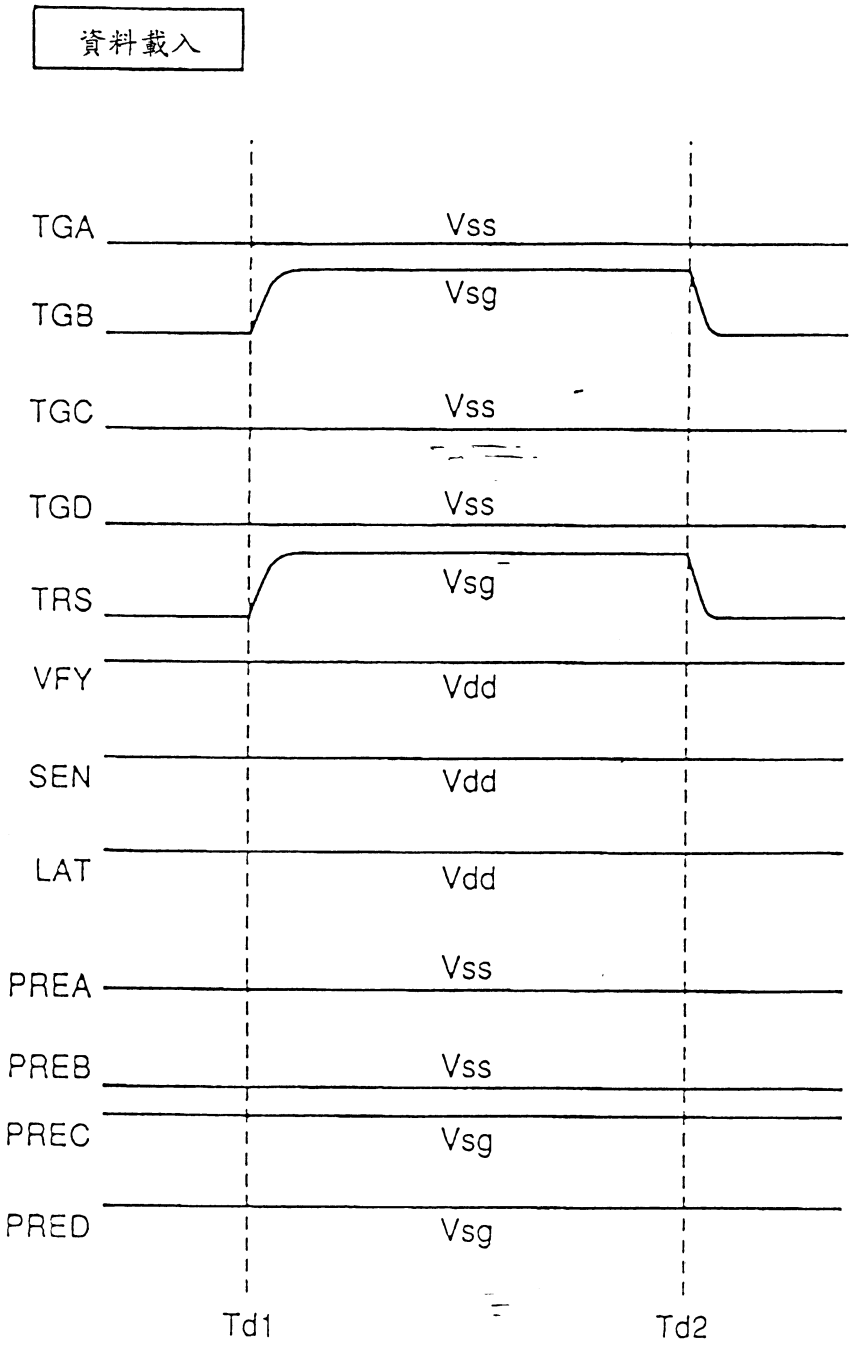

資料載入
TGA
Vss
TGB
Vsg
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
Vdd
SEN
Vdd
LAT
Vdd
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
Td1
Td2

圖58

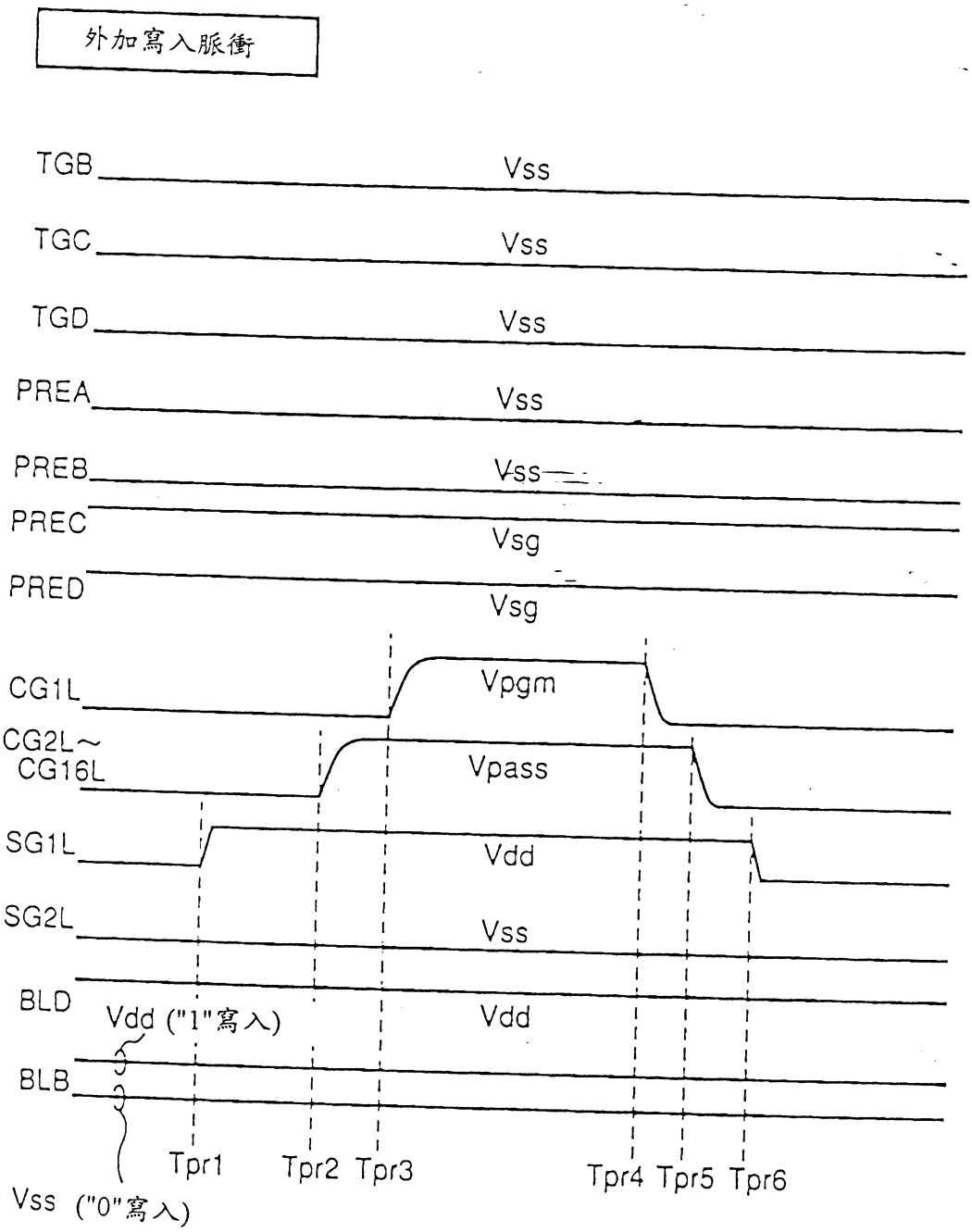

外加寫入脈衝
TGB
Vss
TGC
Vss
TGD
Vss
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
CG1L
Vpgm
CG2L~
CG16L
Vpass
SG1L
Vdd
SG2L
Vss
BLD
Vdd ("1"寫入)
Vdd
BLB
Vss ("0"寫入)
Tpr1
Tpr2
Tpr3
Tpr4
Tpr5
Tpr6

圖59

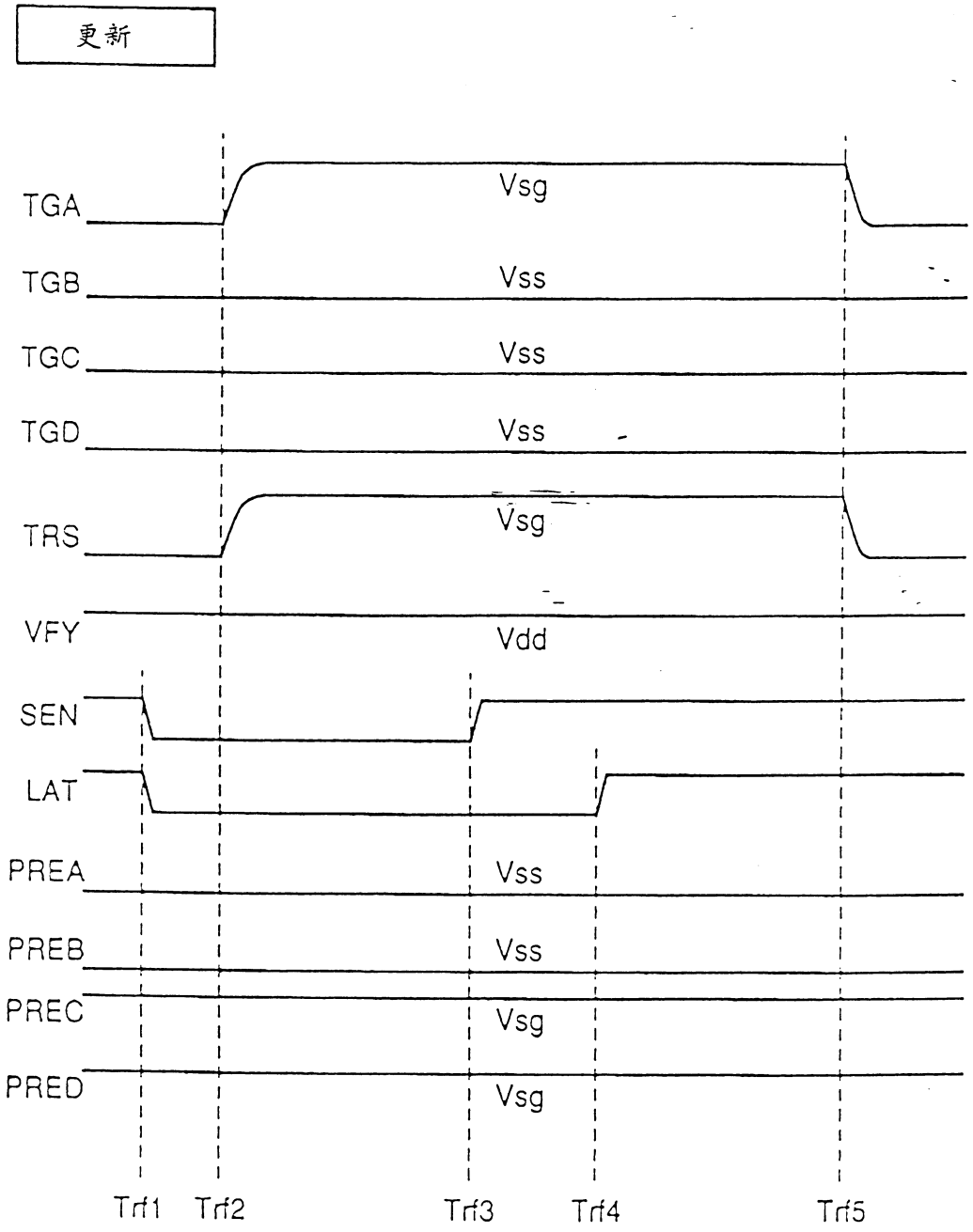

更新
TGA
Vsg
TGB
Vss
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
Vdd
SEN
LAT
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
Trf1
Trf2
Trf3
Trf4
Trf5

圖60

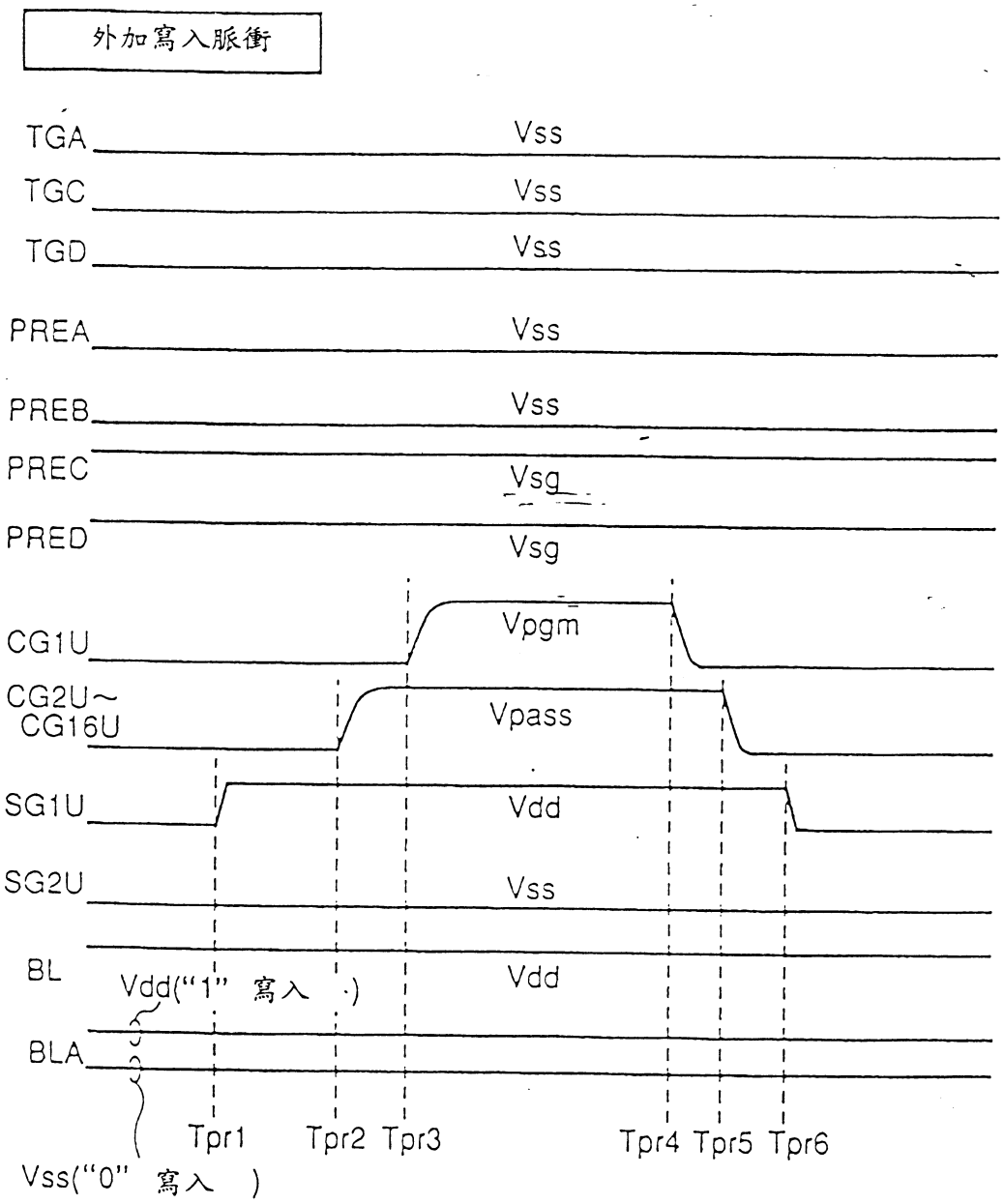

外加寫入脈衝
TGA
Vss
TGC
Vss
TGD
Vss
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
CG1U
Vpgm
CG2U~
CG16U
Vpass
SG1U
Vdd
SG2U
Vss
BL
Vdd("1" 寫入)
Vdd
BLA
Vss("0" 寫入)
Tpr1
Tpr2
Tpr3
Tpr4
Tpr5
Tpr6

圖61

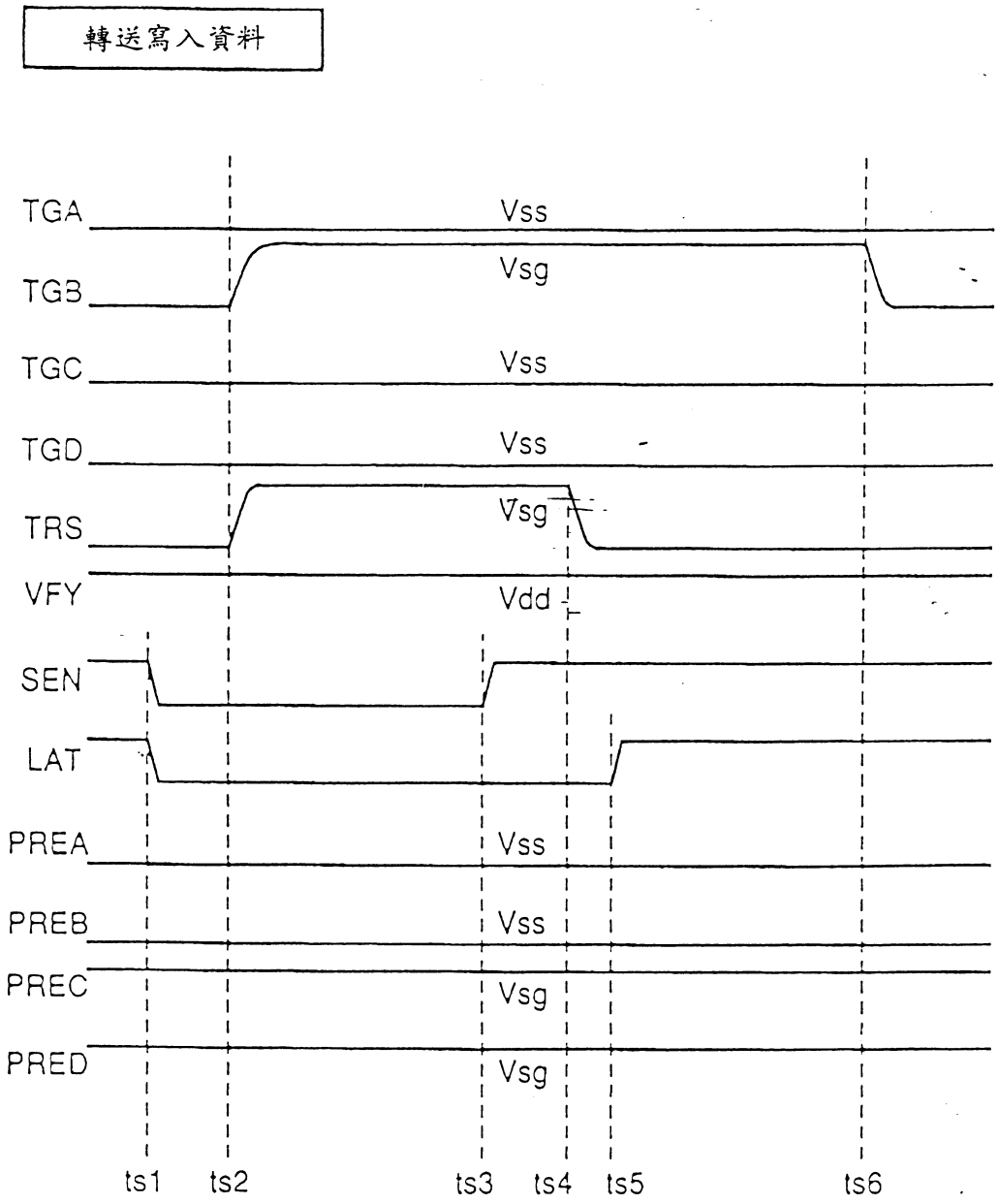

轉送寫入資料
TGA
Vss
TGB
Vsg
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
Vdd
SEN
LAT
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
ts1
ts2
ts3
ts4
ts5
ts6

圖62

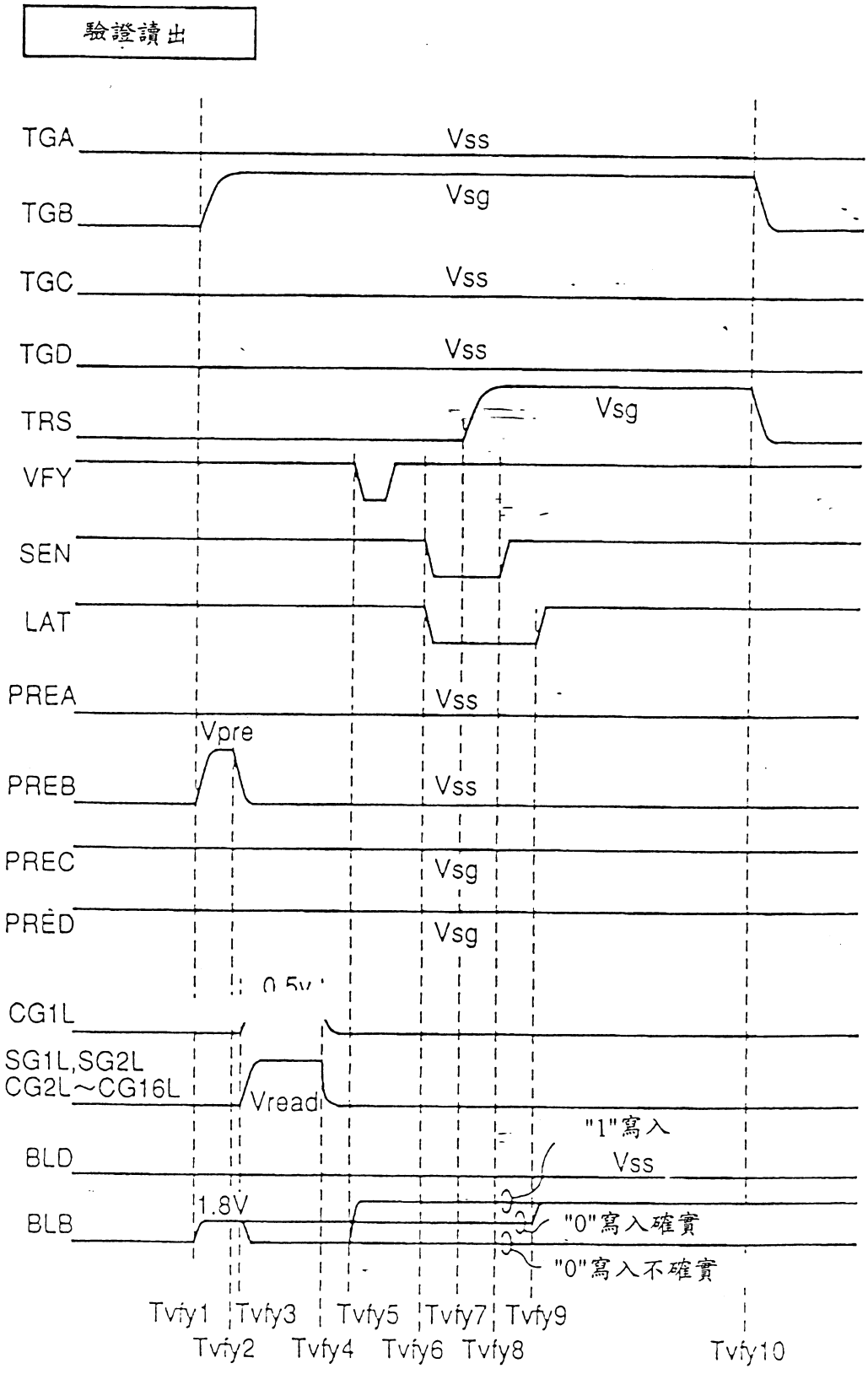

驗證讀出
TGA
Vss
TGB
Vsg
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
SEN
LAT
PREA
Vss
Vpre
PREB
Vss
PREC
Vsg
PRED
Vsg
0.5v
CG1L
SG1L,SG2L
CG2L~CG16L
Vread
"1"寫入
BLD
Vss
1.8V
BLB
"0"寫入確實
"0"寫入不確實
Tvfy1
Tvfy2
Tvfy3
Tvfy4
Tvfy5
Tvfy6
Tvfy7
Tvfy8
Tvfy9
Tvfy10

圖63

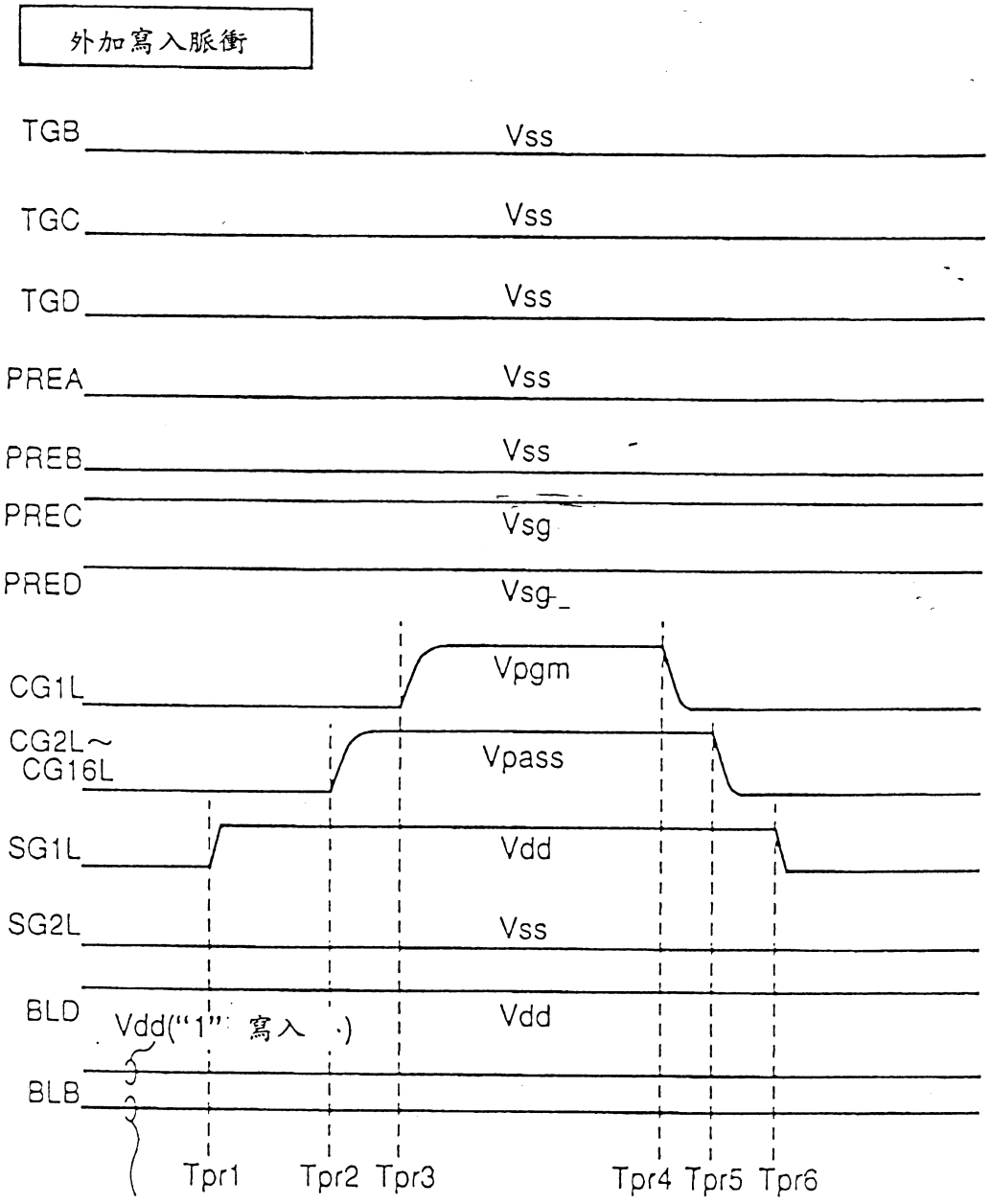

外加寫入脈衝
TGB
Vss
TGC
Vss
TGD
Vss
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
CG1L
Vpgm
CG2L~
CG16L
Vpass
SG1L
Vdd
SG2L
Vss
BLD
Vdd("1" 寫入)
Vdd
BLB
Tpr1
Tpr2
Tpr3
Tpr4
Tpr5
Tpr6
Vss("0" 寫入)

圖64

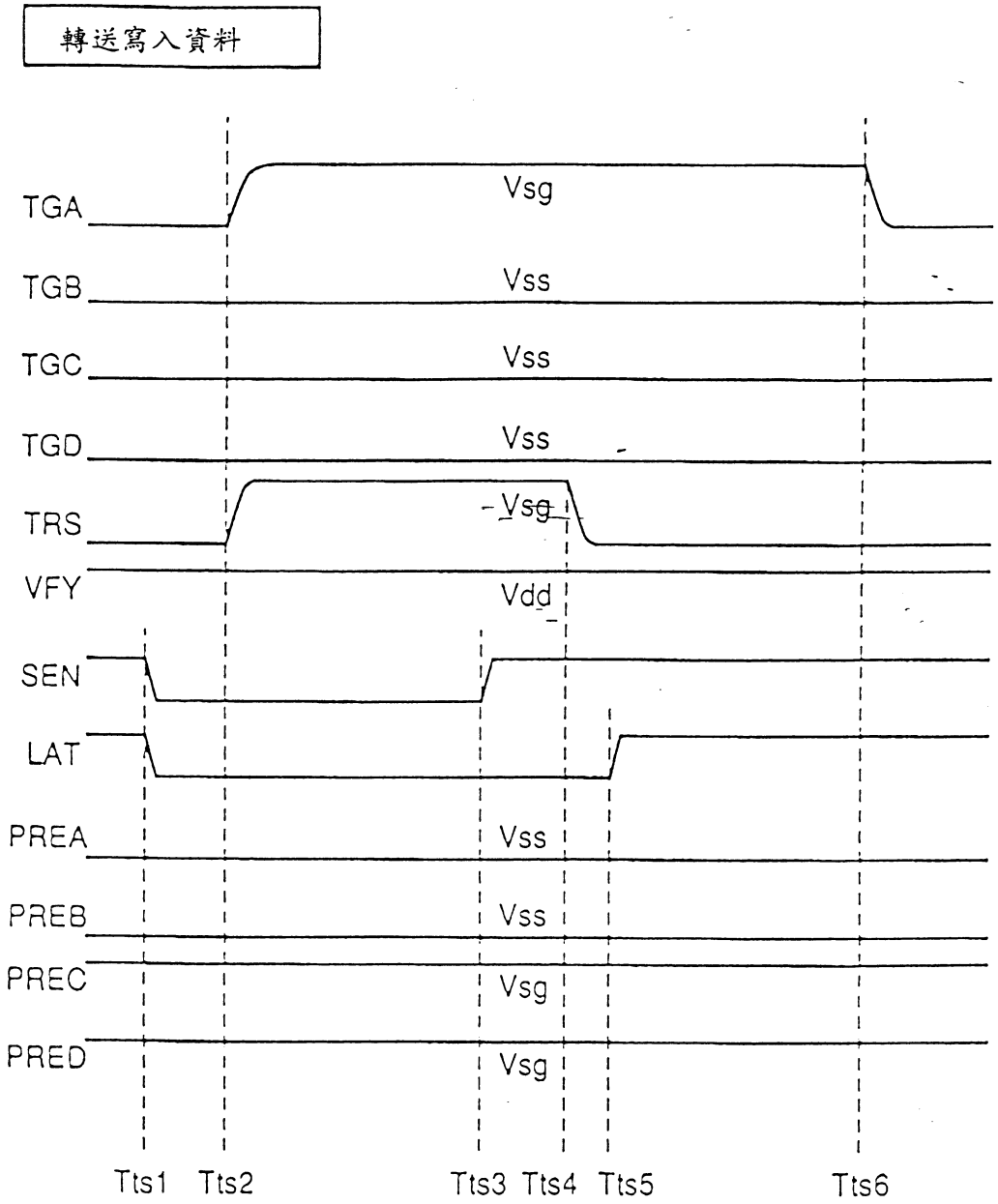

轉送寫入資料
TGA
Vsg
TGB
Vss
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
Vdd
SEN
LAT
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
Tts1
Tts2
Tts3
Tts4
Tts5
Tts6

圖65

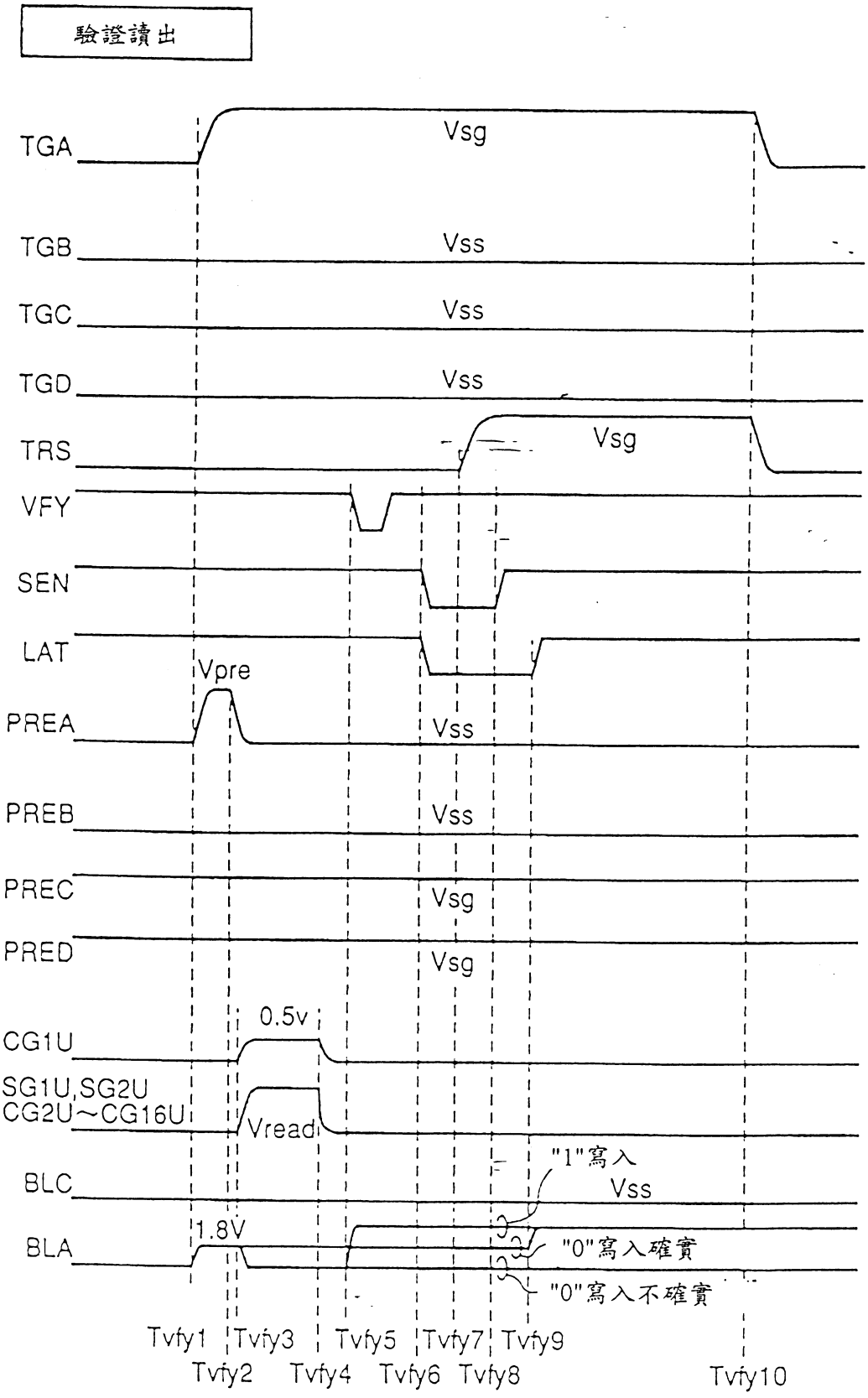

驗證讀出
TGA
Vsg
TGB
Vss
TGC
Vss
TGD
Vss
TRS
Vsg
VFY
SEN
LAT
Vpre
PREA
Vss
PREB
Vss
PREC
Vsg
PRED
Vsg
0.5v
CG1U
SG1U,SG2U
CG2U~CG16U
Vread
"1"寫入
Vss
BLC
1.8V
BLA
"0"寫入確實
"0"寫入不確實
Tvfy1
Tvfy2
Tvfy3
Tvfy4
Tvfy5
Tvfy6
Tvfy7
Tvfy8
Tvfy9
Tvfy10

圖66

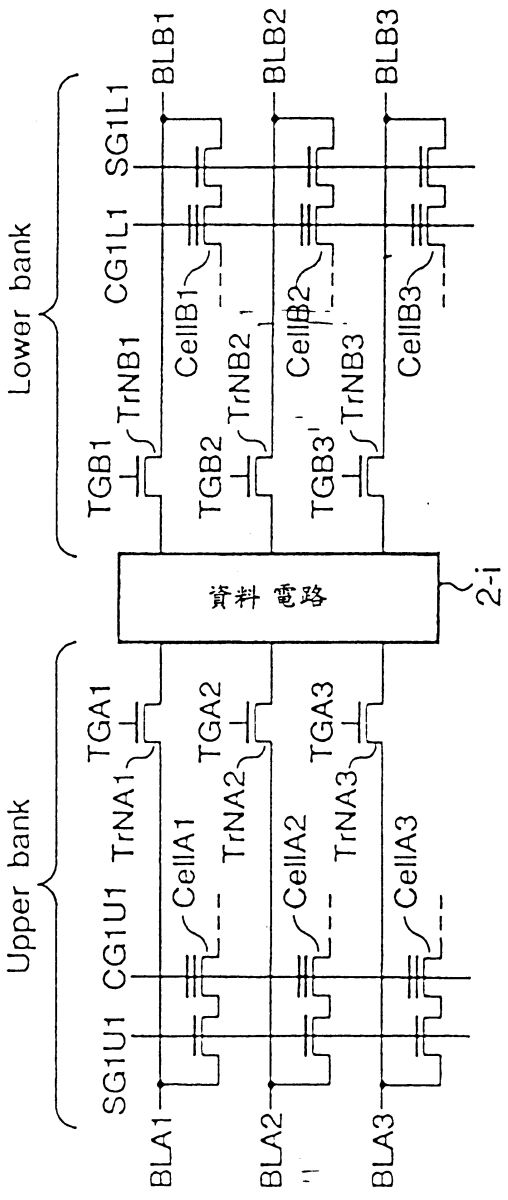

Lower bank
Upper bank
BLB1
BLB2
BLB3
SG1L1
CG1L1
TrNB1
TrNB2
TrNB3
CellB1
CellB2
CellB3
TGB1
TGB2
TGB3
資料 電路
2-i
TGA1
TGA2
TGA3
TrNA1
TrNA2
TrNA3
CellA1
CellA2
CellA3
SG1U1
CG1U1
BLA1
BLA2
BLA3

圖67

	Step1-1	Step1-2	Step1-3	Step1-4	Step1-5	Step1-6	Step1-7
TrNA1	ON	OFF	OFF	ON	OFF	OFF	OFF
TrNA2	OFF	ON	OFF	OFF	ON	ON	OFF
TrNA3	OFF	OFF	ON	OFF	OFF	OFF	OFF
TrNB1	OFF→ON	OFF	OFF	OFF→ON	OFF	OFF	ON
TrNB2	OFF	OFF→ON	OFF	OFF	OFF→ON	ON	OFF
TrNB3	OFF	OFF	OFF→ON	OFF	OFF	OFF	OFF
CellA1	Data load	Data Retention		Refresh		Programming	Data transfer from BLB1 to DL
CellA2	——	Data load	Data Retention		Refresh	Programming	Data Retention
CellA3	——	——	Data load	Data Retention		Programming	Data Retention

DL : Data Latch (資料電路內的鎖存電路)

圖68

497266

	Step1-8	Step1-9	Step1-10	Step1-11	Step1-12
TrNA1	ON	OFF	OFF	OFF	OFF
TrNA2	OFF	OFF	ON	OFF	OFF
TrNA3	OFF	OFF	OFF	OFF	ON
TrNB1	OFF→ON	OFF	OFF	OFF	OFF
TrNB2	OFF	ON	OFF→ON	OFF	OFF
TrNB3	OFF	OFF	OFF	ON	OFF→ON
CellA1	Verify ----------		Data Retention ----------		
CellA2	Data Retention --	Data transfer from BLB2 to DL --	Verify -------	Data Retention -------	
CellA3	Data Retention ----------			Data transfer from BLB3 to DL --	Verify

DL : Data Latch (資料電路內的鎖存電路)

圖69

	Step1-13	Step1-14	Step1-15	Step1-16	Step1-17
TrNA1	OFF	ON	OFF	OFF	OFF
TrNA2	OFF	OFF	OFF	ON	ON
TrNA3	OFF	OFF	OFF	OFF	OFF
TrNB1	ON	OFF	OFF	OFF	OFF
TrNB2	OFF	OFF	ON	OFF	ON
TrNB3	OFF	OFF	OFF	OFF	OFF
CellA1	Data transfer from BLB1 to DL	Data transfer from DL to BLA1	Data Retention		Programming
CellA2	Data Retention		Data transfer from BLB2 to DL	Data transfer from DL to BLA2	Programming
CellA3		Data Retention			Programming

DL : Data Latch (資料電路內的鎖存電路)

圖70

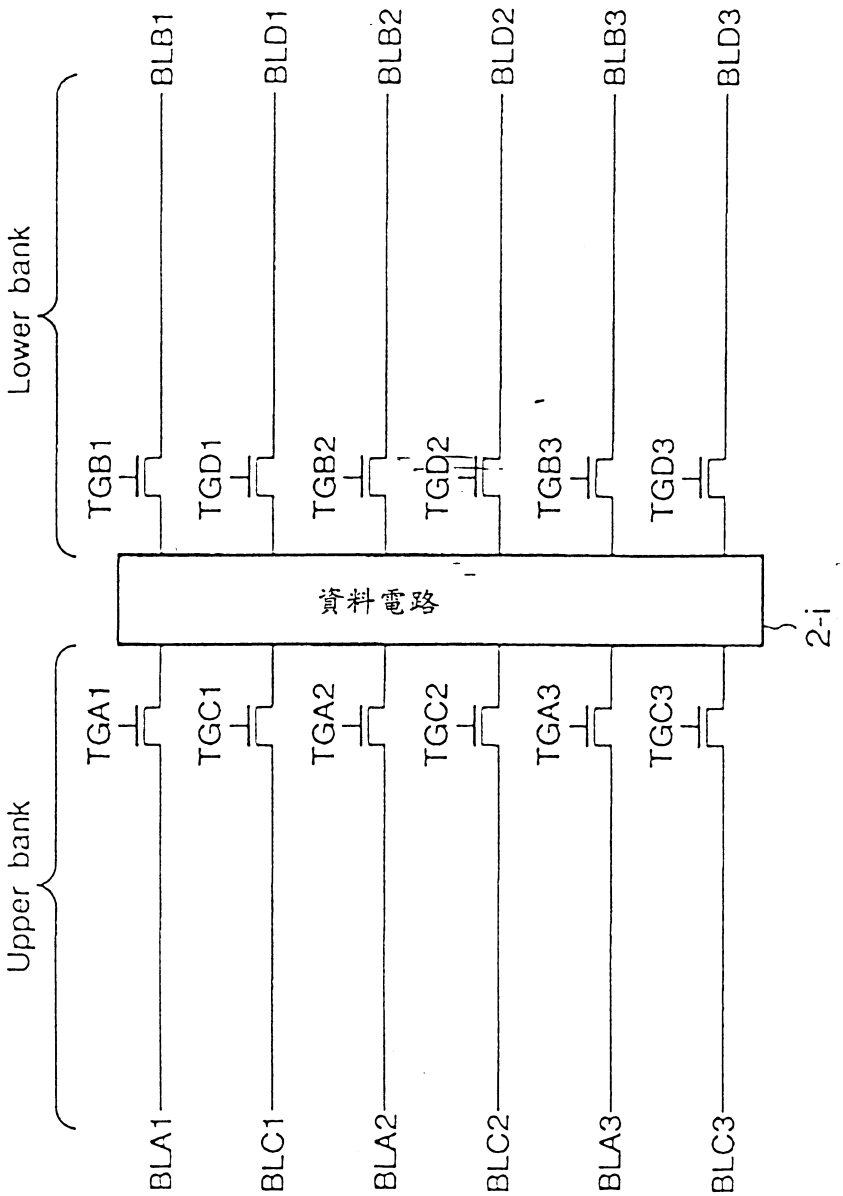

Lower bank
Upper bank
BLB1
BLD1
BLB2
BLD2
BLB3
BLD3
TGB1
TGD1
TGB2
TGD2
TGB3
TGD3
資料電路
2-i
TGA1
TGC1
TGA2
TGC2
TGA3
TGC3
BLA1
BLC1
BLA2
BLC2
BLA3
BLC3

圖71

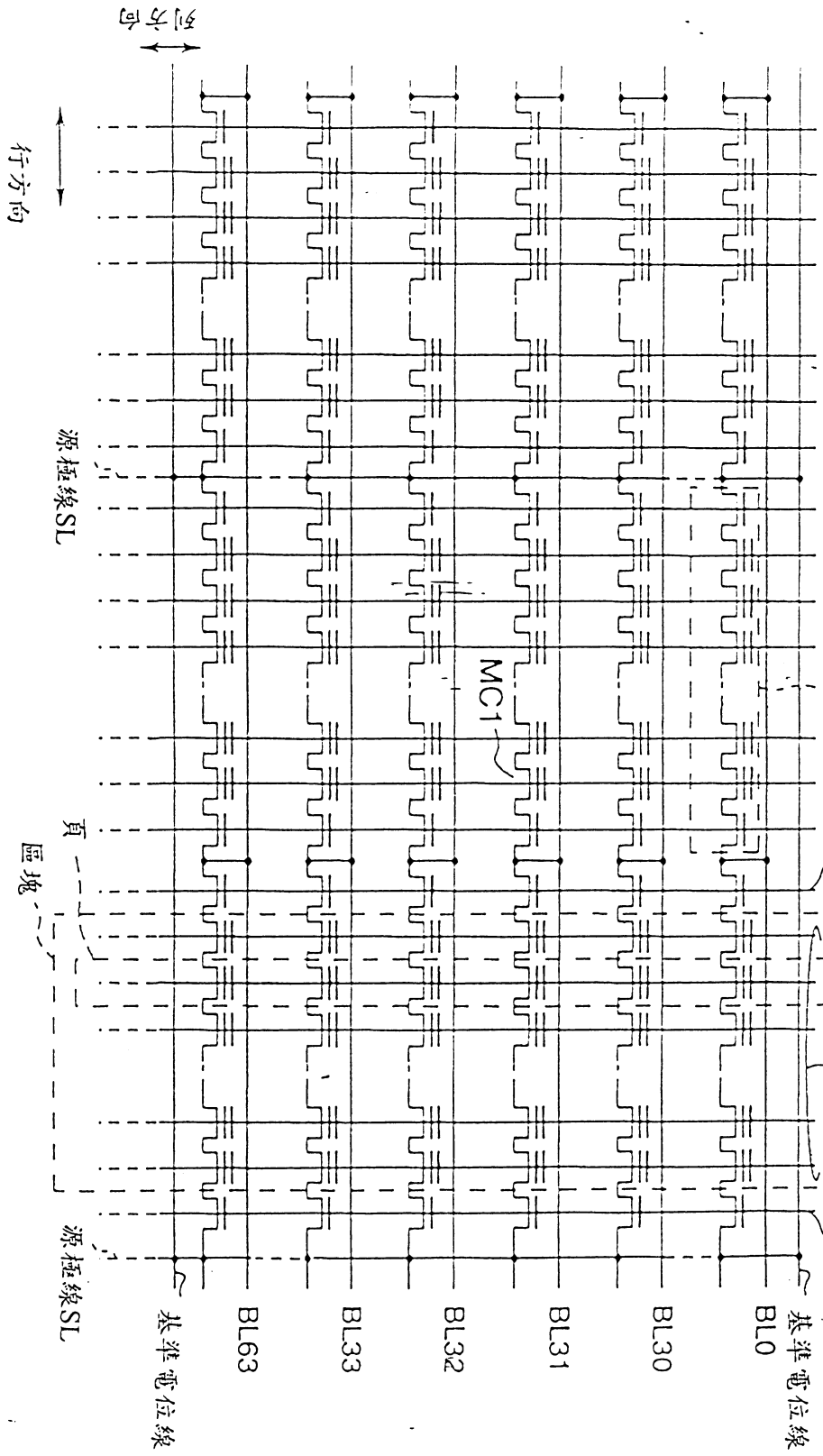

NAND單元單位
SG1
WL1~WLn
SG2
MC1
基準電位線
BL0
BL30
BL31
BL32
BL33
BL63
基準電位線
源極線SL
源極線SL
頁
區塊
列方向
行方向

圖 72

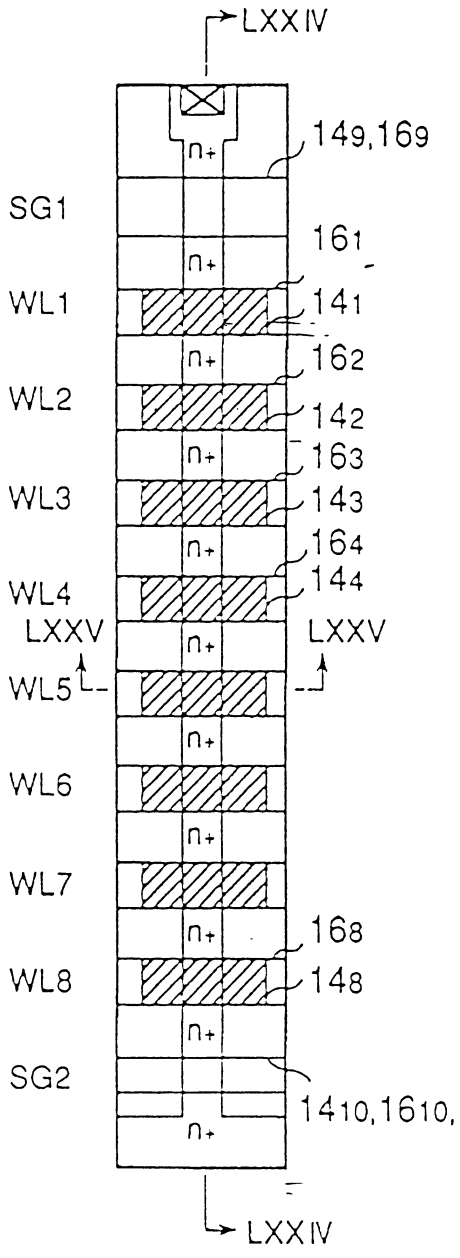

LXXIV
149,169
SG1
161
WL1
141
162
WL2
142
163
WL3
143
164
WL4
144
LXXV
LXXV
WL5
WL6
WL7
168
WL8
148
SG2
1410,1610,
LXXIV

圖73

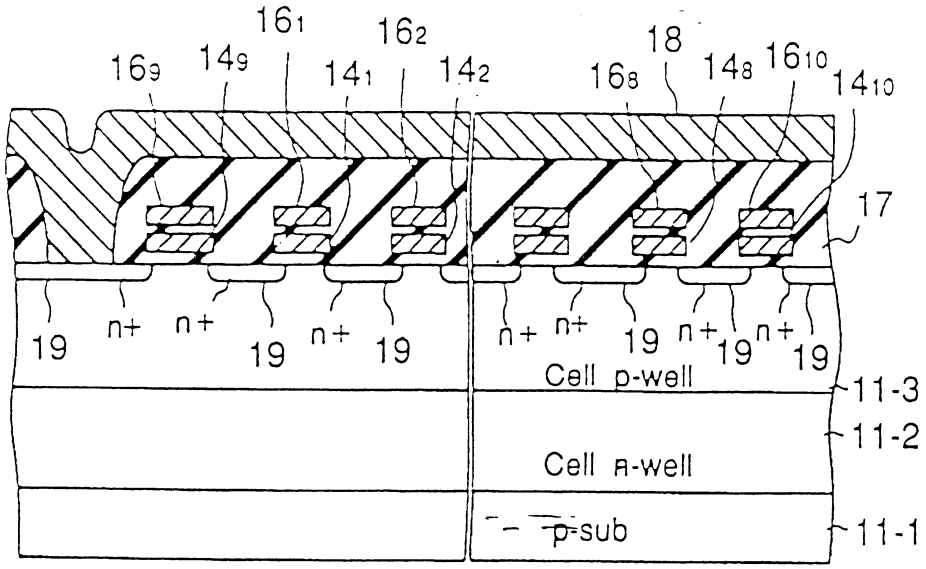

16₁
16₂
18
16₉
14₉
14₁
14₂
16₈
14₈
16₁₀
14₁₀
17
19
n+
n+
19
n+
19
n+
n+
19
n+
19
n+
19
Cell p-well
11-3
11-2
Cell n-well
p-sub
11-1

圖74

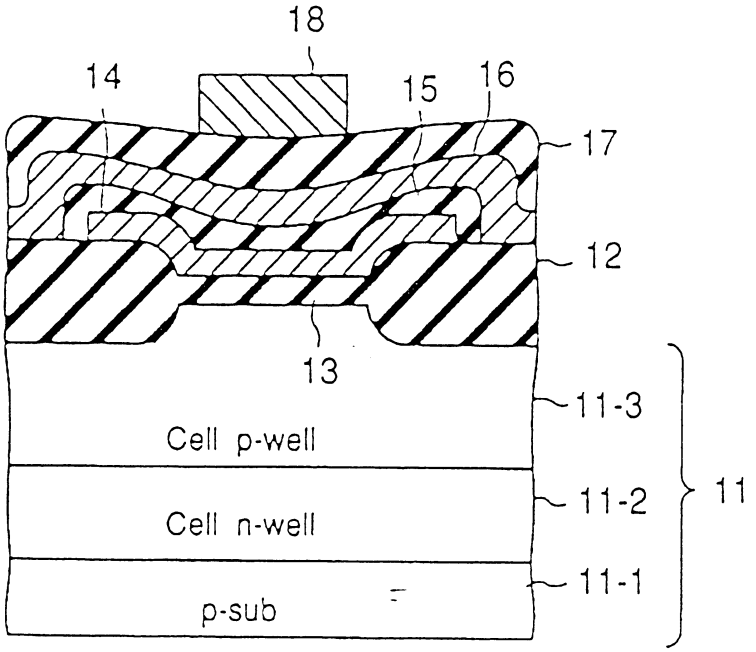

18
14
15
16
17
12
13
11-3
Cell p-well
11-2
Cell n-well
11-1
p-sub
11

圖75

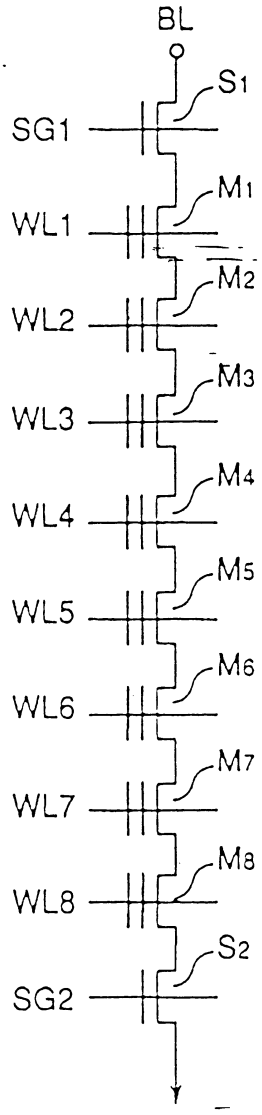

BL
S1
SG1
M1
WL1
M2
WL2
M3
WL3
M4
WL4
M5
WL5
M6
WL6
M7
WL7
M8
WL8
S2
SG2

圖76

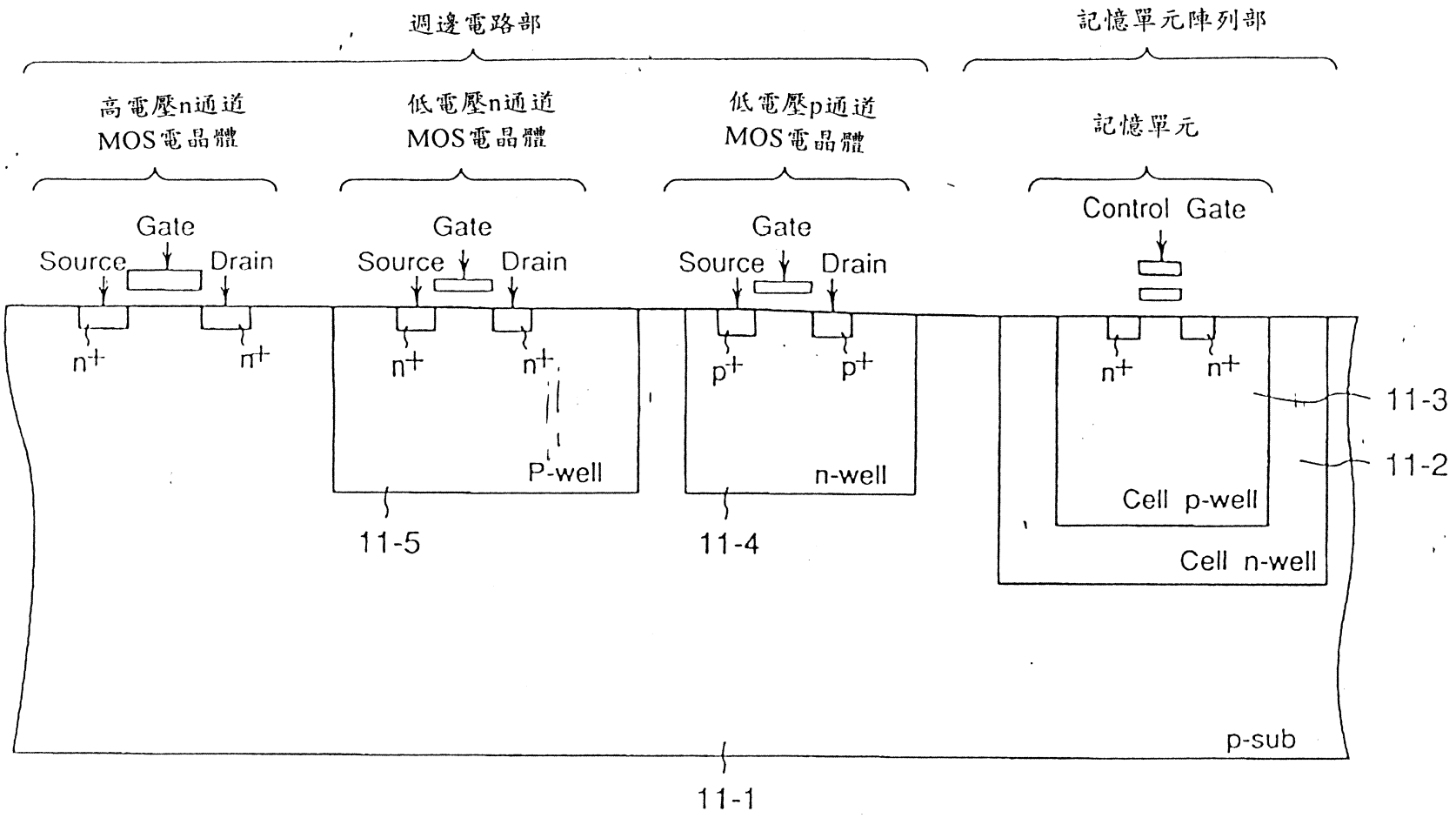

週邊電路部
記憶單元陣列部
高電壓n通道
MOS電晶體
低電壓n通道
MOS電晶體
低電壓p通道
MOS電晶體
記憶單元
Gate
Source
Drain
Gate
Source
Drain
Gate
Source
Drain
Control Gate
n+
n+
n+
n+
p+
p+
n+
n+
P-well
n-well
Cell p-well
Cell n-well
11-3
11-2
11-5
11-4
p-sub
11-1

圖77

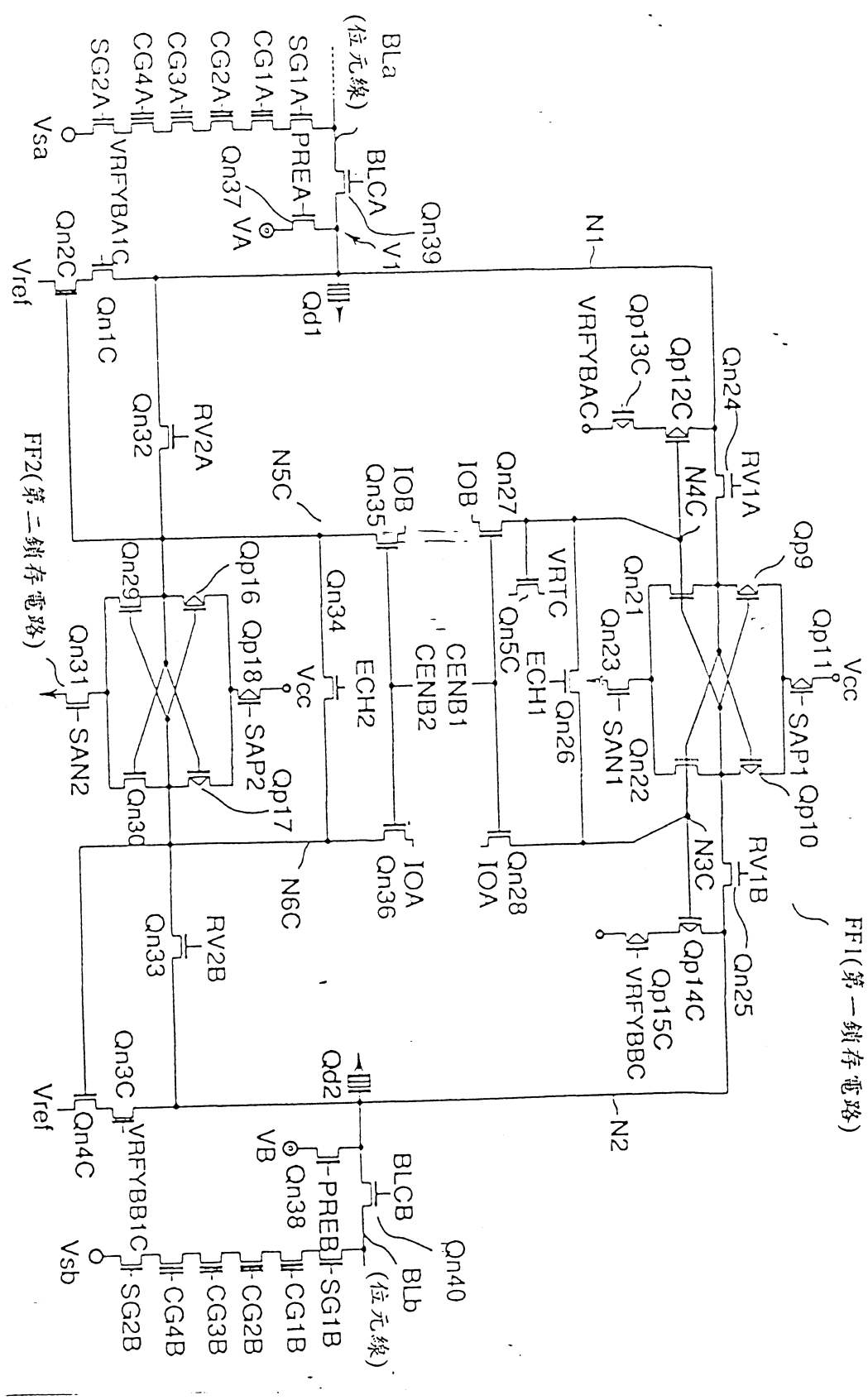

FF1(第一鎖存電路)
Vcc
Qp11
SAP1
Qp10
Qp9
RV1A
RV1B
Qn24
Qn25
Qp12C
Qp13C
Qp14C
Qp15C
N4C
N3C
VRFYBAC
VRFYBBC
Qn21
Qn23
Qn22
SAN1
Qn26
VRTC
ECH1
Qn5C
Qn27
Qn28
IOB
IOA
CENB1
CENB2
Qn35
Qn36
IOB
IOA
N1
N2
N5C
N6C
Qd1
Qd2
Qn39
Qn40
BLCA
BLCB
V1
VA
VB
Qn37
Qn38
PREA
PREB
BLa
BLb
(位元線)
(位元線)
SG1A
CG1A
CG2A
CG3A
CG4A
SG2A
SG1B
CG1B
CG2B
CG3B
CG4B
SG2B
Vsa
Vsb
VRFYBA1C
VRFYBB1C
Qn2C
Qn3C
Qn1C
Qn4C
Vref
Vref
RV2A
RV2B
Qn32
Qn33
Qn29
Qn30
Qp16
Qp18
Qp17
SAP2
Qn34
Vcc
ECH2
Qn31
SAN2
FF2(第二鎖存電路)

圖 78