

WO 2016/013658 A1



ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体素子及びその製造方法、半導体基板、並びに結晶積層構造体

技術分野

[0001] 本発明は、半導体素子及びその製造方法、半導体基板、並びに結晶積層構造体に関する。

背景技術

[0002] 従来の半導体素子として、高濃度の n 型ドーパントを含む n^+ 半導体層と、その上に形成された比較的低濃度の n 型ドーパントを含む n^- 半導体層とを有する、 Ga_2O_3 系のショットキーダイオードが知られている（例えば、特許文献1参照）。 n^+ 半導体層と n^- 半導体層は、ともに Ga_2O_3 系半導体からなる。

[0003] このショットキーダイオードにおいて、 n^+ 半導体層は、 n^+ 半導体層に接続される電極とオーミック接触し、 n^- 半導体層は、 n^- 半導体層に接続される電極とショットキー接触する。

先行技術文献

特許文献

[0004] 特許文献1：特開2013-102081号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1においては、 n^+ 半導体層として $\beta-Ga_2O_3$ 基板が用いられ、この $\beta-Ga_2O_3$ 基板の厚さが $600\mu m$ と大きい。 Ga_2O_3 の熱伝導率は、一般に知られているSiやGaAs等の半導体材料の熱伝導率よりも低い。ため、 Ga_2O_3 基板を含む Ga_2O_3 系の素子は、同じ厚さのSi基板等を含む素子と比較して、電流の大きさに対する発熱量が大きい。

[0006] このため、特許文献1に開示されたショットキーダイオードにおいては、動作時に生じた熱を n^+ 半導体層側から逃がすことが難しく、放熱特性に乏し

い。また、耐電圧性が大きく低下するため、 n -半導体層の薄型化により放熱性の向上を図ることは困難である。

[0007] したがって、本発明の目的は、放熱特性及び耐電圧性に優れた Ga_2O_3 系の半導体素子及びその製造方法、並びにその半導体素子の製造に用いることができる半導体基板及び結晶積層構造体を提供することにある。

課題を解決するための手段

[0008] 本発明の一態様は、上記目的を達成するために、以下の [1] ~ [8] の半導体素子を提供する。

[0009] [1] $0.05\mu m$ 以上かつ $50\mu m$ 以下の厚さを有する、 Ga_2O_3 系結晶からなる下地基板と、 Ga_2O_3 系結晶からなり、前記下地基板上にエピタキシャル成長したエピタキシャル層と、を有する半導体素子。

[0010] [2] 前記下地基板の厚さが $10\mu m$ 未満である、前記 [1] に記載の半導体素子。

[0011] [3] 前記下地基板の主面の面方位が (010) である、前記 [1] 又は [2] に記載の半導体素子。

[0012] [4] 前記下地基板及び前記エピタキシャル層が電流経路となる縦型の素子である、前記 [1] 又は [2] に記載の半導体素子。

[0013] [5] 前記下地基板が電流経路とならない横型の素子である、前記 [1] 又は [2] に記載の半導体素子。

[0014] [6] 前記下地基板と前記エピタキシャル層のそれぞれが、他の基板に貼り付けられた、前記 [1] 又は [2] に記載の半導体素子。

[0015] [7] n 型ドーパントを含む Ga_2O_3 系結晶からなるエピタキシャル層と、前記エピタキシャル層の表面に形成された、前記エピタキシャル層よりも高濃度の n 型ドーパントを含むイオン注入層と、前記エピタキシャル層に接続されるアノード電極と、前記イオン注入層に接続されるカソード電極と、を有する、半導体素子。

[0016] [8] 前記エピタキシャル層と前記イオン注入層のそれぞれが、他の基板に貼り付けられた、前記 [7] に記載の半導体素子。

- [0017] また、本発明の他の態様は、上記目的を達成するために、以下の〔 9 〕～〔 14 〕の半導体素子の製造方法を提供する。
- [0018] 〔 9 〕 Ga_2O_3 系結晶からなる下地基板上に Ga_2O_3 系結晶をエピタキシャル成長させて、エピタキシャル層を形成する工程と、前記下地基板を薄くして、その厚さを $0.05\text{ }\mu\text{m}$ 以上かつ $50\text{ }\mu\text{m}$ 以下にする工程と、を含む、半導体素子の製造方法。
- [0019] 〔 10 〕 前記下地基板を $10\text{ }\mu\text{m}$ 未満の厚さになるように薄くする、前記〔 9 〕に記載の半導体素子の製造方法。
- [0020] 〔 11 〕 研磨処理により前記下地基板を薄くする、前記〔 9 〕に記載の半導体素子の製造方法。
- [0021] 〔 12 〕 研磨処理と前記研磨処理後のエッチングにより前記下地基板を薄くする、前記〔 9 〕又は〔 10 〕に記載の半導体素子の製造方法。
- [0022] 〔 13 〕 前記エピタキシャル層は n 型ドーパントを含み、前記下地基板を薄くして最終的に除去した後、前記下地基板が位置していた側の前記エピタキシャル層の表面に n 型ドーパントをイオン注入し、前記エピタキシャル層よりも高濃度の n 型ドーパントを含むイオン注入層を前記表面に形成する、前記〔 9 〕に記載の半導体素子の製造方法。
- [0023] 〔 14 〕 前記エピタキシャル層を支持基板に貼り付けた状態で前記下地基板を薄くする、前記〔 9 〕～〔 11 〕、〔 13 〕のいずれか1項に記載の半導体素子の製造方法。
- [0024] また、本発明の他の態様は、上記目的を達成するために、以下の〔 15 〕、〔 16 〕の半導体基板を提供する。
- [0025] 〔 15 〕 Ga_2O_3 系結晶からなり、 $0.05\text{ }\mu\text{m}$ 以上かつ $50\text{ }\mu\text{m}$ 以下の厚さを有する、半導体基板。
- [0026] 〔 16 〕 主面の面方位が (010) である、前記〔 15 〕に記載の半導体基板。
- [0027] また、本発明の他の態様は、上記目的を達成するために、以下の〔 17 〕～〔 19 〕の結晶積層構造体を提供する。

[0028] [17] $0.05\mu\text{m}$ 以上かつ $50\mu\text{m}$ 以下の厚さを有する、 Ga_2O_3 系結晶からなる下地基板と、 Ga_2O_3 系結晶からなり、前記下地基板上にエピタキシャル成長したエピタキシャル層と、を有する結晶積層構造体。

[0029] [18] 前記下地基板の厚さが $10\mu\text{m}$ 未満である、前記[17]に記載の結晶積層構造体。

[0030] [19] 前記下地基板の主面の面方位が(010)である、前記[17]又は[18]に記載の結晶積層構造体。

発明の効果

[0031] 本発明によれば、放熱特性及び耐電圧性に優れた Ga_2O_3 系の半導体素子及びその製造方法、並びにその半導体素子の製造に用いることができる半導体基板及び結晶積層構造体を提供することができる。

図面の簡単な説明

[0032] [図1]図1は、第1の実施の形態に係るショットキーダイオードの垂直断面図である。

[図2A]図2Aは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図2B]図2Bは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図2C]図2Cは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図2D]図2Dは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図3A]図3Aは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図3B]図3Bは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図4A]図4Aは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図4B]図4 Bは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図4C]図4 Cは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図5A]図5 Aは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図5B]図5 Bは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図5C]図5 Cは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図5D]図5 Dは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図5E]図5 Eは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図6A]図6 Aは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図6B]図6 Bは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図6C]図6 Cは、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図7]図7は、第2の実施の形態に係る縦型トランジスタの垂直断面図である。

[図8A]図8 Aは、第2の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図8B]図8 Bは、第2の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図8C]図8 Cは、第2の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図8D]図 8 D は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図9A]図 9 A は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図9B]図 9 B は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図9C]図 9 C は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図10A]図 1 0 A は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図10B]図 1 0 B は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図10C]図 1 0 C は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図11A]図 1 1 A は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図11B]図 1 1 B は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図11C]図 1 1 C は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図11D]図 1 1 D は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図12]図 1 2 は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図13A]図 1 3 A は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図13B]図 1 3 B は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図13C]図 1 3 C は、第 2 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図14]図 1 4 は、第 3 の実施の形態に係る横型トランジスタの垂直断面図である。

[図15A]図 1 5 A は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図15B]図 1 5 B は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図15C]図 1 5 C は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図15D]図 1 5 D は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図15E]図 1 5 E は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図16A]図 1 6 A は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図16B]図 1 6 B は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図16C]図 1 6 C は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図17A]図 1 7 A は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図17B]図 1 7 B は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図17C]図 1 7 C は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図17D]図 1 7 D は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図17E]図17Eは、第3の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図18A]図18Aは、第3の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図18B]図18Bは、第3の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図18C]図18Cは、第3の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図19A]図19Aは、第3の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図19B]図19Bは、第3の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図19C]図19Cは、第3の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図19D]図19Dは、第3の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図20A]図20Aは、第3の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図20B]図20Bは、第3の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

[図21]図21は、第4の実施の形態に係るショットキーダイオードの垂直断面図である。

[図22A]図22Aは、第4の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図22B]図22Bは、第4の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図22C]図22Cは、第4の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図22D]図 2 2 D は、第 4 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図22E]図 2 2 E は、第 4 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図23A]図 2 3 A は、第 4 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図23B]図 2 3 B は、第 4 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図23C]図 2 3 C は、第 4 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図23D]図 2 3 D は、第 4 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図24A]図 2 4 A は、両面が支持基板に貼り付けられたショットキーダイオードの垂直断面図である。

[図24B]図 2 4 B は、両面が支持基板に貼り付けられた縦型トランジスタの垂直断面図である。

[図24C]図 2 4 C は、両面が支持基板に貼り付けられた横型トランジスタの垂直断面図である。

[図25]図 2 5 は、第 6 の実施の形態に係るショットキーダイオードの垂直断面図である。

[図26A]図 2 6 A は、第 6 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図26B]図 2 6 B は、第 6 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図26C]図 2 6 C は、第 6 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図26D]図 2 6 D は、第 6 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図26E]図 2 6 E は、第 6 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図27]図 2 7 は、第 7 の実施の形態に係る縦型トランジスタの垂直断面図である。

[図28A]図 2 8 A は、第 7 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図28B]図 2 8 B は、第 7 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図28C]図 2 8 C は、第 7 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図28D]図 2 8 D は、第 7 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図29]図 2 9 は、第 7 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図30]図 3 0 は、第 8 の実施の形態に係る縦型トランジスタの垂直断面図である。

[図31]図 3 1 は、第 9 の実施の形態に係るショットキーダイオードの垂直断面図である。

[図32A]図 3 2 A は、第 9 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図32B]図 3 2 B は、第 9 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図32C]図 3 2 C は、第 9 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図32D]図 3 2 D は、第 9 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図32E]図 3 2 E は、第 9 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

[図33]図 3 3 は、第 1 0 の実施の形態に係る縦型トランジスタの垂直断面図である。

[図34A]図 3 4 A は、第 1 0 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図34B]図 3 4 B は、第 1 0 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図34C]図 3 4 C は、第 1 0 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図34D]図 3 4 D は、第 1 0 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図35A]図 3 5 A は、第 1 0 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図35B]図 3 5 B は、第 1 0 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図35C]図 3 5 C は、第 1 0 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

[図35D]図 3 5 D は、第 1 0 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

発明を実施するための形態

[0033] 〔第 1 の実施の形態〕

第 1 の実施の形態は、縦型の半導体素子としてのショットキーダイオードについての形態である。

[0034] (半導体素子の構造)

図 1 は、第 1 の実施の形態に係るショットキーダイオード 1 0 の垂直断面図である。ショットキーダイオード 1 0 は、下地基板 1 1 と、下地基板 1 1 上にエピタキシャル成長により形成されるエピタキシャル層 1 2 と、下地基板 1 1 の下面（エピタキシャル層 1 2 に接する面の反対側の面）上に形成され、下地基板 1 1 とオーミック接触するカソード電極 1 3 と、エピタキシャ

ル層 12 の上面（下地基板 11 に接する面の反対側の面）上に形成され、エピタキシャル層 12 とショットキー接触するアノード電極 14 とを含む。

[0035] ショットキーダイオード 10 においては、アノード電極 14 とカソード電極 13 との間に順方向バイアスを印加することにより、アノード電極 14 とエピタキシャル層 12 との界面のショットキー障壁が低下し、アノード電極 14 からカソード電極 13 へ電流が流れる。一方、アノード電極 14 とカソード電極 13 との間に逆方向バイアスを印加したときは、アノード電極 14 とエピタキシャル層 12 との界面のショットキー障壁が高くなり、電流は流れない。

[0036] 下地基板 11 及びエピタキシャル層 12 は、 Ga_2O_3 系結晶からなり、 n 型ドーパントを含む。この n 型ドーパントは、 Si 、 Sn 等の IV 族元素であることが好ましい。下地基板 11 の n 型ドーパントの濃度は、エピタキシャル層 12 の n 型ドーパントの濃度よりも高い。

[0037] ここで、 Ga_2O_3 系結晶は、 Ga_2O_3 結晶、又は、 Al 、 In 等の置換型不純物を含む Ga_2O_3 結晶である。 Ga_2O_3 系結晶は単結晶であることが好ましい。また、 Ga_2O_3 系結晶は β 型であることが好ましい。

[0038] 下地基板 11 は、ショットキーダイオード 10 の製造過程において薄型化加工が施されるため、従来の半導体素子に用いられる下地基板よりも薄い。下地基板 11 が薄いため、ショットキーダイオード 10 に生じた熱を下地基板 11 側から効率的に逃がすことができる。このため、ショットキーダイオード 10 は優れた放熱特性を有する。放熱効果をより高めるため、下地基板 11 の厚さは $50\mu m$ 以下であることが好ましい。下地基板 11 の厚さが薄いほど、ショットキーダイオード 10 の放熱特性が向上する。

[0039] 研磨処理により下地基板 11 を薄くする場合、基板面内の厚さのばらつきを抑えるために、下地基板 11 の厚さを $10\mu m$ 以上にすることが好ましい。

[0040] 上記の研磨処理の後にエッチングにより下地基板 11 をさらに薄くする場合、下地基板 11 の厚さを $10\mu m$ 未満にして、放熱効果をより高めること

ができる。ただし、カソード電極13とオーミック接触させるために、下地基板11の厚さは0.05 μm 以上であることが好ましい。

[0041] なお、 Ga_2O_3 系結晶は、従来、半導体基板や半導体層に一般的に用いられるSi、SiC、GaN等の半導体材料と比較して、絶縁破壊電界強度が高く、ショットキーダイオード10の耐電圧性の低下を抑えつつ、エピタキシャル層12の厚さも薄くすることができるため、ショットキーダイオード10全体を薄型化し、より放熱性を高めることもできる。このように、ショットキーダイオード10は、高い放熱性と高い耐電圧性を併せ持つ。

[0042] 下地基板11の主面は、例えば、 $\beta\text{-Ga}_2\text{O}_3$ 系単結晶の(100)面から 50° 以上 90° 以下回転させた面である。すなわち、下地基板11において主面と(100)面のなす角 θ ($0 < \theta \leq 90^\circ$)が 50° 以上である。(100)面から 50° 以上 90° 以下回転させた面として、例えば、(010)面、(001)面、 (-201) 面、(101)面、及び(310)面が存在する。

[0043] 下地基板11の主面が、(100)面から 50° 以上 90° 以下回転させた面である場合、下地基板11上に $\beta\text{-Ga}_2\text{O}_3$ 系結晶をエピタキシャル成長させるときに、 $\beta\text{-Ga}_2\text{O}_3$ 系結晶の原料の下地基板11からの再蒸発を効果的に抑えることができる。具体的には、 $\beta\text{-Ga}_2\text{O}_3$ 系結晶を成長温度 500°C で成長させたときに再蒸発する原料の割合を0%としたとき、下地基板11の主面が、(100)面から 50° 以上 90° 以下回転させた面である場合、再蒸発する原料の割合を40%以下に抑えることができる。そのため、供給する原料の60%以上を $\beta\text{-Ga}_2\text{O}_3$ 系結晶の形成に用いることができ、 $\beta\text{-Ga}_2\text{O}_3$ 系結晶の成長速度や製造コストの観点から好ましい。

[0044] $\beta\text{-Ga}_2\text{O}_3$ 結晶においては、c軸を軸として(100)面を 52.5° 回転させると(310)面と一致し、 90° 回転させると(010)面と一致する。また、b軸を軸として(100)面を 53.8° 回転させると(101)面と一致し、 76.3° 回転させると(001)面と一致し、 53.8° 回転させると (-201) 面と一致する。

[0045] また、下地基板 11 の主面は、例えば、(010) 面、又は (010) 面から 37.5° 以内の角度範囲で回転させた面である。この場合、下地基板 11 とエピタキシャル層 12 との界面を急峻にし、また、エピタキシャル層 12 の厚さを高精度で制御することができる。また、エピタキシャル層 12 の元素の取り込み量のムラを抑制し、エピタキシャル層 12 を均質化することが可能である。なお、c 軸を軸として (010) 面を 37.5° 回転させると (310) 面と一致する。

[0046] また、 β 型の Ga_2O_3 系結晶は、[010] 方向 (b 軸方向) の熱伝導率が高いことが知られている。例えば、 β 型の Ga_2O_3 結晶の [100] 方向 (a 軸方向) の熱伝導率が $13.6 \text{ W}/(\text{m} \cdot \text{K})$ なのに対し、[010] 方向 (b 軸方向) の熱伝導率は $22.8 \text{ W}/(\text{m} \cdot \text{K})$ であり、[100] 方向の熱伝導率の 2 倍近い。

[0047] このため、下地基板 11 の主面の面方位を (010) とすることにより、下地基板 11 の厚さ方向の熱伝導率を高めることができる。したがって、下地基板 11 の主面の面方位が (010) であることが好ましい。

[0048] エピタキシャル層 12 の厚さは、例えば、 $0.4 \sim 30 \mu\text{m}$ である。

[0049] アノード電極 14 は、Pt、Ni 等の金属からなる。アノード電極 14 は、異なる金属膜を積層した多層構造、例えば、Pt/Au 又は Pt/Al、を有してもよい。なお、エピタキシャル層 12 に電極終端構造を設けてもよい。この電極終端構造として、例えば、エピタキシャル層 12 の表面上のアノード電極 14 の両側に絶縁膜が形成されたフィールドプレート構造、エピタキシャル層 12 の表面のアノード電極 14 の両側にアクセプタイオンが注入されたガードリング構造、エピタキシャル層 12 の表面のアノード電極 14 の両側が除去されたメサ構造およびそれらを組み合わせて用いることができる。

[0050] カソード電極 13 は、Ti 等の金属からなる。カソード電極 13 は、異なる金属膜を積層した多層構造、例えば、Ti/Au 又は Ti/Al、を有してもよい。

[0051] 以下に、本実施の形態に係るショットキーダイオード10の製造方法について、具体例を挙げて説明する。なお、ショットキーダイオード10の製造方法は以下の例に限定されるものではない。

[0052] (半導体素子の製造方法1)

図2A～図2D、図3A、図3Bは、第1の実施の形態に係るショットキーダイオード10の製造工程の一例を表す垂直断面図である。図2A～図2D、図3A、図3Bに示される例では、下地基板11は研磨処理により薄くされる。

[0053] まず、図2Aに示されるように、下地基板11上にエピタキシャル層12を形成する。

[0054] 下地基板11は、例えば、EFG法で育成した高濃度のn型ドーパントを含む $\beta\text{-Ga}_2\text{O}_3$ 単結晶を、所望の厚さにスライス、研磨加工することにより得られる。研磨処理を施す前の下地基板11の厚さは、例えば、 $600\mu\text{m}$ である。

[0055] エピタキシャル層12は、例えば、HVPE法、PLD (Pulsed Laser Deposition) 法、CVD (Chemical Vapor Deposition) 法、又は分子線エピタキシー (MBE ; Molecular Beam Epitaxy) 法により、 $\beta\text{-Ga}_2\text{O}_3$ 単結晶が下地基板11上にエピタキシャル成長することにより形成される。

[0056] エピタキシャル層12にn型ドーパントを導入する方法としては、例えば、n型ドーパントを含んだ Ga_2O_3 結晶膜をエピタキシャル成長させる方法や、 Ga_2O_3 結晶膜を成長させた後でイオン注入法によりn型ドーパントを注入する方法がある。

[0057] 次に、図2Bに示されるように、樹脂等からなる接着層16を介してエピタキシャル層12を支持基板15に貼り付ける。

[0058] ここで、支持基板15の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。

[0059] 次に、図2Cに示されるように、支持基板15に支持される下地基板11に研磨処理を施し、 $10\mu\text{m}$ 以上かつ $50\mu\text{m}$ 以下の厚さになるまで薄くす

る。

[0060] 下地基板 11 の研磨処理は、例えば、コロイダルシリカをスラリーとして用いる CMP (Chemical Mechanical Polishing) である。

[0061] なお、下地基板 11 を薄くした後に支持基板 15 から剥離してもよい。それにより、 $10\mu\text{m}$ 以上かつ $50\mu\text{m}$ 以下の厚さを有する、 Ga_2O_3 系結晶からなる下地基板 11 と、 Ga_2O_3 系結晶からなり、下地基板 11 上にエピタキシャル成長したエピタキシャル層 12 と、を有する結晶積層構造体が得られる。

[0062] 次に、図 2 D に示されるように、下地基板 11 の下面 (エピタキシャル層 12 に接している面の反対側の面) 上にカソード電極 13 を形成する。

[0063] 例えば、フォトリソグラフィによりマスクパターンを下地基板 11 上に形成した後、 Ti/Au 等の金属膜を下地基板 11 上の全面に蒸着し、リフトオフによりマスクパターン及びその上の金属膜を除去することにより、カソード電極 13 が形成される。

[0064] 下地基板 11 に含まれる n 型ドーパントの濃度が高いため、下地基板 11 とカソード電極 13 はオーミック接触する。

[0065] 次に、図 3 A に示されるように、一方の面に電極 18 を有する支持基板 17 を用意し、カソード電極 13 と電極 18 を貼り合わせるようにして下地基板 11 を支持基板 17 に貼り付ける。

[0066] 支持基板 17 の材料は、特定のものに限定されないが、後述するように、ショットキーダイオード 10 の支持基板として支持基板 17 を残す場合は、 Al 等の金属、 AlN 、 SiN 、 GaN 等の窒化物、 SiO_2 、 Al_2O_3 等の酸化物、 SiC 、 Si 、 GaAs 、ダイヤモンド等の、 $\beta\text{-Ga}_2\text{O}_3$ よりも熱伝導率の高い材料であることが好ましい。電極 18 は、例えば、 Au になる。カソード電極 13 と電極 18 は、例えば、加圧や、加熱若しくは超音波振動を伴う加圧、又は加圧及び超音波振動を伴う加圧により貼り合わされる。

[0067] 次に、図 3 B に示されるように、支持基板 17 に支持された状態のエピタ

キシャル層 12 を支持基板 15 及び接着層 16 から剥離し、エピタキシャル層 12 の上面（下地基板 11 に接している面の反対側の面）上にアノード電極 14 を形成する。

[0068] 例えば、フォトリソグラフィによりマスクパターンをエピタキシャル層 12 上に形成した後、Pt/Au 等の金属膜をエピタキシャル層 12 上の全面に蒸着し、リフトオフによりマスクパターン及びその上の金属膜を除去することにより、アノード電極 14 が形成される。

[0069] エピタキシャル層 12 に含まれる n 型ドーパントの濃度が低いため、エピタキシャル層 12 とアノード電極 14 はショットキー接触する。

[0070] 本製造方法によれば、下地基板 11 の研磨処理の後にアノード電極 14 を形成するため、下地基板 11 の研磨処理時のアノード電極 14 の破損を抑制し、ショットキーダイオード 10 の歩留まり向上を図ることができる。

[0071] なお、最終製品としてのショットキーダイオード 10 の支持基板として支持基板 17 を残してもよい。この場合、カソード電極 13 への外部電源の供給は、支持基板 17 の電極 18 を介して行ってもよい。また、支持基板 17 が導電性を有する場合は、支持基板 17 及び電極 18 を介してカソード電極 13 へ外部電源を供給してもよい。また、ショットキーダイオード 10 を支持基板 17 から剥離して他の支持基板に貼り付けてもよい。

[0072] （半導体素子の製造方法 2）

図 4A～図 4C は、第 1 の実施の形態に係るショットキーダイオード 10 の製造工程の一例を表す垂直断面図である。図 4A～図 4C に示される例では、下地基板 11 は研磨処理とその後のエッチングにより薄くされる。

[0073] まず、図 4A に示されるように、図 2A～図 2C に示される、下地基板 11 を研磨処理により薄くするまでの工程を実施する。

[0074] 次に、図 4B に示されるように、支持基板 15 に支持される下地基板 11 にエッチングを施し、さらに薄くする。このエッチングにより、下地基板 11 の厚さを 10 μ m よりも小さくすることができる。

[0075] この下地基板 11 に施されるエッチングは、例えば、RIE（Reactive Io

n Etching) 等のドライエッチングや、 H_2SO_4 や H_3PO_4 等をエッチャントとして用いるウェットエッチングである。

[0076] なお、下地基板 11 を薄くした後に支持基板 15 から剥離してもよい。それにより、 $0.05\ \mu\text{m}$ 以上かつ $50\ \mu\text{m}$ 以下の厚さを有する、 Ga_2O_3 系結晶からなる下地基板 11 と、 Ga_2O_3 系結晶からなり、下地基板 11 上にエピタキシャル成長したエピタキシャル層 12 と、を有する結晶積層構造体を得られる。

[0077] 次に、図 4 C に示されるように、下地基板 11 の下面上にカソード電極 13 を形成する。

[0078] その後、図 3 A、図 3 B に示される工程と同様に、下地基板 11 を支持基板 17 に貼り付け、エピタキシャル層 12 を支持基板 15 及び接着層 16 から剥離し、アノード電極 14 を形成する。

[0079] (半導体素子の製造方法 3)

図 5 A～図 5 E は、第 1 の実施の形態に係るショットキーダイオード 10 の製造工程の一例を表す垂直断面図である。図 5 A～図 5 E に示される例では、下地基板 11 は研磨処理により薄くされる。

[0080] まず、図 5 A に示されるように、下地基板 11 上にエピタキシャル層 12 を形成する。

[0081] 次に、図 5 B に示されるように、エピタキシャル層 12 の上面（下地基板 11 に接している面の反対側の面）上にアノード電極 14 を形成する。

[0082] 次に、図 5 C に示されるように、一方の面に電極 19 を有する支持基板 15 を用意し、アノード電極 14 と電極 19 を貼り合わせるようにしてエピタキシャル層 12 を支持基板 15 に貼り付ける。この支持基板 15 の材料は、特定のものに限定されないが、後述するように、ショットキーダイオード 10 の支持基板として支持基板 15 を残す場合は、Al 等の金属、AlN、SiN、GaN 等の窒化物、 SiO_2 、 Al_2O_3 等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 $\beta\text{-Ga}_2\text{O}_3$ よりも熱伝導率の高い材料であることが好ましい。

[0083] 電極 19 は、例えば、Au からなる。アノード電極 14 と電極 19 は、例えば、加圧や、加熱若しくは超音波振動を伴う加圧、又は加圧及び超音波振動を伴う加圧により貼り合わされる。

[0084] 次に、図 5 D に示されるように、支持基板 15 に支持される下地基板 11 に研磨処理を施し、 $10\mu\text{m}$ 以上かつ $50\mu\text{m}$ 以下の厚さになるまで薄くする。

[0085] 次に、図 5 E に示されるように、下地基板 11 の下面（エピタキシャル層 12 に接している面の反対側の面）上にカソード電極 13 を形成する。

[0086] なお、最終製品としてのショットキーダイオード 10 の支持基板として支持基板 15 を残してもよい。この場合、アノード電極 14 への外部電源の供給は、支持基板 15 の電極 19 を介して行ってもよい。また、支持基板 15 が導電性を有する場合は、支持基板 15 及び電極 19 を介してアノード電極 14 へ外部電源を供給してもよい。また、ショットキーダイオード 10 を支持基板 15 から剥離して他の支持基板に貼り付けてもよい。

[0087] （半導体素子の製造方法 4）

図 6 A～図 6 C は、第 1 の実施の形態に係るショットキーダイオード 10 の製造工程の一例を表す垂直断面図である。図 6 A～図 6 C に示される例では、下地基板 11 は研磨処理とその後のエッチングにより薄くされる。

[0088] まず、図 6 A に示されるように、図 5 A～図 5 D に示される、下地基板 11 を研磨処理により薄くするまでの工程を実施する。

[0089] 次に、図 6 B に示されるように、支持基板 15 に支持される下地基板 11 にエッチングを施し、さらに薄くする。このエッチングにより、下地基板 11 の厚さを $10\mu\text{m}$ よりも小さくすることができる。

[0090] 次に、図 6 C に示されるように、下地基板 11 の下面上にカソード電極 13 を形成する。

[0091] なお、下地基板 11 の研磨処理及びエッチングの後にアノード電極 14 を形成してもよい。

[0092] [第 2 の実施の形態]

第2の実施の形態は、縦型の半導体素子としてのM I S F E T (Metal Insulator Semiconductor Field Effect Transistor) 構造を有する縦型トランジスタについての形態である。

[0093] (半導体素子の構造)

図7は、第2の実施の形態に係る縦型トランジスタ20の垂直断面図である。縦型トランジスタ20は、下地基板21上に形成されたエピタキシャル層22と、ゲート絶縁膜24に覆われてエピタキシャル層22中に埋め込まれたゲート電極23と、エピタキシャル層22中のゲート電極23の両側にそれぞれ形成されたコンタクト領域25と、コンタクト領域25の両側に形成されたP⁺領域28と、エピタキシャル層22上に形成され、コンタクト領域25に接続されたソース電極26と、下地基板21のエピタキシャル層22と反対側の面上に形成されたドレイン電極27と、を含む。

[0094] 縦型トランジスタ20は、ソース電極26とドレイン電極27がそれぞれ素子の上下に設けられ、縦方向に電流が流れる縦型半導体素子である。ゲート電極23に閾値以上の電圧を印加すると、エピタキシャル層22中のゲート電極23の両側の領域にチャネルが形成され、ソース電極26からドレイン電極27へ電流が流れるようになる。

[0095] 下地基板21は、Ga₂O₃系結晶からなり、n型ドーパントを含む。このn型ドーパントは、Si、Sn等のⅤ族元素であることが好ましい。下地基板21のn型ドーパントの濃度は、エピタキシャル層22のn型ドーパントの濃度よりも高い。

[0096] 下地基板21の厚さは、第1の実施の形態に係る下地基板11の厚さと同様である。下地基板21が薄いため、縦型トランジスタ20に生じた熱を下地基板21側から効率的に逃がすことができる。このため、縦型トランジスタ20は優れた放熱特性を有する。

[0097] エピタキシャル層22は絶縁破壊電界強度が高いGa₂O₃系結晶からなるため、縦型トランジスタ20の耐電圧性の低下を抑えつつ、他の半導体材料で製造された素子よりもその厚さも薄くすることができるため、縦型トラン

ジスタ20全体を薄型化し、より放熱性を高めることもできる。このように、縦型トランジスタ20は、高い放熱性と高い耐電圧性を併せ持つ。

[0098] また、下地基板21の主面の面方位も、第1の実施の形態に係る下地基板11と同様であり、特に、(010)であることが好ましい。

[0099] エピタキシャル層22は、Ga₂O₃系結晶からなり、低濃度のn型ドーパントを含む層22aの上にアンドープ又はp型ドーパントを含む層22bを積層した積層構造を有する。n型ドーパントは、Si、Sn等のⅣ族元素であることが好ましい。p型ドーパントは、Be、Mg、Zn等のⅡ族元素、又はFeであることが好ましい。ゲート電極23は、主に層22b内に形成される。

[0100] 例えば、低濃度のn型ドーパントを含む層22aの厚さは0.4～40μmであり、アンドープ又はp型ドーパントを含む層22bの厚さは0.1～10μmである。

[0101] ゲート電極23、ソース電極26、及びドレイン電極27は、例えば、Au、Al、Ti、Sn、Ge、In、Ni、Co、Pt、W、Mo、Cr、Cu、Pb等の金属、これらの金属のうちの2つ以上を含む合金、ITO等の導電性化合物、又は導電性ポリマーからなる。導電性ポリマーとしては、ポリチオフェン誘導体(PEDOT:ポリ(3,4)-エチレンジオキシチオフェン)にポリスチレンスルホン酸(PSS)をドーピングしたものや、ポリピロール誘導体にTCNAをドーピングしたもの等が用いられる。また、ゲート電極23は、異なる2つの金属からなる2層構造、例えばAl/Ti、Au/Ni、Au/Co、を有してもよい。

[0102] ゲート絶縁膜24は、SiO₂、AlN、SiN、Al₂O₃、β-(Al_xGa_{1-x})₂O₃ (0≦x≦1)等の絶縁材料からなる。中でも、β-(Al_xGa_{1-x})₂O₃はβ-Ga₂O₃結晶上に単結晶膜として成長させることができるため、界面準位の少ない良好な半導体絶縁膜界面を形成することができ、他の絶縁膜を用いたときよりも良好なゲート特性が得られる。

[0103] コンタクト領域25は、エピタキシャル層22の層22b中に形成された

n型ドーパントの濃度が高い領域である。P⁺領域28は、エピタキシャル層22の層22b中に形成されたp型ドーパントの濃度が高い領域である。コンタクト領域25、P⁺領域28は、ともにソース電極26とオーミック接触する。

[0104] 以下に、本実施の形態に係る縦型トランジスタ20の製造方法について、具体例を挙げて説明する。なお、縦型トランジスタ20の製造方法は以下の例に限定されるものではない。

[0105] (半導体素子の製造方法1)

図8A～図8D、図9A～図9Cは、第2の実施の形態に係る縦型トランジスタ20の製造工程の一例を表す垂直断面図である。図8A～図8D、図9A～図9Cに示される例では、下地基板21は研磨処理により薄くされる。

[0106] まず、図8Aに示されるように、下地基板21上にエピタキシャル層22を形成する。

[0107] 下地基板21は、第1の実施の形態に係る下地基板11と同様の基板であり、研磨処理を施す前の厚さは、例えば、600 μ mである。エピタキシャル層22の形成工程は、第1の実施の形態に係るエピタキシャル層12の形成工程と同様であるが、エピタキシャル成長の途中でドーピングするドーパントを変更することにより、層22aと層22bを形成する。

[0108] 次に、図8Bに示されるように、エピタキシャル層22中にゲート電極23、ゲート絶縁膜24、コンタクト領域25、及びP⁺領域28を形成する。

[0109] まず、エピタキシャル層22の上面（下地基板21に接する面の反対側の面）にn型ドーパントを高濃度でイオン注入し、コンタクト領域25を形成する。また、p型ドーパントを高濃度でイオン注入し、P⁺領域28を形成する。その後、窒素等の雰囲気下でアニール処理を施し、注入ダメージを回復させる。

[0110] 続いて、コンタクト領域25を分断するように、ドライエッチングによりエピタキシャル層22に溝を形成し、その溝中にゲート絶縁膜24に覆われ

たゲート電極 23 を埋め込む。具体的には、例えば、堆積法とエッチングにより溝の底面と側面上にゲート絶縁膜 24 を形成し、その上に堆積法とエッチングによりゲート電極 23 を形成し、最後に堆積法とエッチング加工によりゲート電極 23 上のゲート絶縁膜 24 を形成する。

[0111] 次に、図 8 C に示されるように、接着層 16 を介してエピタキシャル層 22 を支持基板 15 に貼り付ける。この支持基板 15 の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。接着層 16 は、第 1 の実施の形態において用いられるものと同様のものである。

[0112] 次に、図 8 D に示されるように、支持基板 15 に支持される下地基板 21 に研磨処理を施し、 $10\text{ }\mu\text{m}$ 以上かつ $50\text{ }\mu\text{m}$ 以下の厚さになるまで薄くする。

[0113] 下地基板 21 の研磨工程は、第 1 の実施の形態に係る下地基板 11 の研磨工程と同様である。

[0114] 次に、図 9 A に示されるように、下地基板 21 の下面（エピタキシャル層 22 に接している面の反対側の面）上にドレイン電極 27 を形成する。

[0115] 例えば、フォトリソグラフィによりマスクパターンを下地基板 21 上に形成した後、金属膜を下地基板 21 上の全面に蒸着し、リフトオフによりマスクパターン及びその上の金属膜を除去することにより、ドレイン電極 27 が形成される。

[0116] 次に、図 9 B に示されるように、一方の面に電極 18 を有する支持基板 17 を用意し、ドレイン電極 27 と電極 18 を貼り合わせるようにして下地基板 21 を支持基板 17 に貼り付ける。この支持基板 17 の材料は、特定のものに限定されないが、後述するように、縦型トランジスタ 20 の支持基板として支持基板 17 を残す場合は、Al 等の金属、AlN、SiN、GaN 等の窒化物、 SiO_2 、 Al_2O_3 等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 $\beta\text{-Ga}_2\text{O}_3$ よりも熱伝導率の高い材料であることが好ましい。電極 18 は、第 1 の実施の形態において用いられるものと同様のものである。

[0117] 次に、図9Cに示されるように、支持基板17に支持された状態のエピタキシャル層22を支持基板15及び接着層16から剥離した後、エピタキシャル層22の上面（下地基板21に接している面の反対側の面）上にソース電極26を形成する。

[0118] 例えば、フォトリソグラフィによりマスクパターンをエピタキシャル層22上に形成した後、Pt/Au等の金属膜をエピタキシャル層22上の全面に蒸着し、リフトオフによりマスクパターン及びその上の金属膜を除去することにより、ソース電極26が形成される。

[0119] 本製造方法によれば、下地基板21の研磨処理の後にソース電極26を形成するため、下地基板21の研磨処理時のソース電極26の破損を抑制し、縦型トランジスタ20の歩留まり向上を図ることができる。

[0120] なお、最終製品としての縦型トランジスタ20の支持基板として支持基板17を残してもよい。この場合、ドレイン電極27への外部電源の供給は、支持基板17の電極18を介して行ってもよい。また、支持基板17が導電性を有する場合は、支持基板17及び電極18を介してドレイン電極27へ外部電源を供給してもよい。また、縦型トランジスタ20を支持基板17から剥離して他の支持基板に貼り付けてもよい。

[0121] （半導体素子の製造方法2）

図10A～図10Cは、第2の実施の形態に係る縦型トランジスタ20の製造工程の一例を表す垂直断面図である。図10A～図10Cに示される例では、下地基板21は研磨処理とその後のエッチングにより薄くされる。

[0122] まず、図10Aに示されるように、図8A～図8Dに示される、下地基板21を研磨処理により薄くするまでの工程を実施する。

[0123] 次に、図10Bに示されるように、支持基板15に支持される下地基板21にエッチングを施し、さらに薄くする。このエッチングにより、下地基板21の厚さを10 μ mよりも小さくすることができる。

[0124] 下地基板21のエッチング工程は、第1の実施の形態に係る下地基板11のエッチング工程と同様である。

[0125] 次に、図10Cに示されるように、下地基板21の下面上にドレイン電極27を形成する。

[0126] その後、図9B、図9Cに示される工程と同様に、下地基板21を支持基板17に貼り付け、エピタキシャル層22を支持基板15及び接着層16から剥離し、ソース電極26を形成する。

[0127] (半導体素子の製造方法3)

図11A～図11D、図12は、第2の実施の形態に係る縦型トランジスタ20の製造工程の一例を表す垂直断面図である。図11A～図11D、図12に示される例では、下地基板21は研磨処理により薄くされる。

[0128] まず、図11Aに示されるように、下地基板21上にエピタキシャル層22を形成する。

[0129] 次に、図11Bに示されるように、エピタキシャル層22中にゲート電極23、ゲート絶縁膜24、コンタクト領域25、及びP⁺領域28を形成し、その後、エピタキシャル層22上にソース電極26を形成する。

[0130] 次に、図11Cに示されるように、一方の面に電極19を有する支持基板15を用意し、ソース電極26と電極19を貼り合わせるようにしてエピタキシャル層22を支持基板15に貼り付ける。この支持基板15の材料は、特定のものに限定されないが、後述するように、縦型トランジスタ20の支持基板として支持基板15を残す場合は、Al等の金属、AlN、SiN、GaN等の窒化物、SiO₂、Al₂O₃等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 β -Ga₂O₃よりも熱伝導率の高い材料であることが好ましい。

[0131] 次に、図11Dに示されるように、支持基板15に支持される下地基板21に研磨処理を施し、10 μ m以上かつ50 μ m以下の厚さになるまで薄くする。

[0132] 次に、図12に示されるように、下地基板21の下面（エピタキシャル層22に接している面の反対側の面）上にドレイン電極27を形成する。

[0133] なお、最終製品としての縦型トランジスタ20の支持基板として支持基板

15を残してもよい。この場合、ソース電極26への外部電源の供給は、支持基板15の電極19を介して行ってもよい。また、支持基板15が導電性を有する場合は、支持基板15及び電極19を介してソース電極26へ外部電源を供給してもよい。また、縦型トランジスタ20を支持基板15から剥離して他の支持基板に貼り付けてもよい。

[0134] (半導体素子の製造方法4)

図13A～図13Cは、第2の実施の形態に係る縦型トランジスタ20の製造工程の一例を表す垂直断面図である。図13A～図13Cに示される例では、下地基板21は研磨処理とその後のエッチングにより薄くされる。

[0135] まず、図13Aに示されるように、図11A～図11Dに示される、下地基板21を研磨処理により薄くするまでの工程を実施する。

[0136] 次に、図13Bに示されるように、支持基板15に支持される下地基板21にエッチングを施し、さらに薄くする。このエッチングにより、下地基板21の厚さを10 μ mよりも小さくすることができる。

[0137] 次に、図13Cに示されるように、下地基板21の下面上にドレイン電極27を形成する。

[0138] [第3の実施の形態]

第3の実施の形態は、横型の半導体素子としてのMESFET (Metal Semiconductor Field Effect Transistor) 構造を有する横型トランジスタについての形態である。

[0139] (半導体素子の構造)

図14は、第3の実施の形態に係る横型トランジスタ30の垂直断面図である。横型トランジスタ30は、下地基板31上に形成されたエピタキシャル層32と、エピタキシャル層32上のゲート電極33、ソース電極34、及びドレイン電極35を含む。ゲート電極33は、ソース電極34とドレイン電極35との間に配置される。

[0140] ゲート電極33はエピタキシャル層32の上面(下地基板31に接している面の反対側の面)に接触してショットキー接合を形成する。また、ソース

電極 3 4 及びドレイン電極 3 5 は、エピタキシャル層 3 2 の上面に接触してオーミック接合を形成する。

[0141] 下地基板 3 1 は、Mg、Be、Zn、Fe等のp型ドーパントを含むGa₂O₃系結晶からなり、高い電気抵抗を有する。

[0142] 下地基板 3 1 の厚さは、第 1 の実施の形態に係る下地基板 1 1 の厚さと同様である。下地基板 3 1 が薄いため、横型トランジスタ 3 0 に生じた熱を下地基板 3 1 側から効率的に逃がすことができる。このため、横型トランジスタ 3 0 は優れた放熱特性を有する。

[0143] また、下地基板 3 1 の主面の面方位も、第 1 の実施の形態に係る下地基板 1 1 と同様であり、特に、(010)であることが好ましい。なお、下地基板 3 1 とエピタキシャル層 3 2 の間に、1 層又は 2 層のバッファ層を挿入してもよい。バッファ層は高抵抗であり、下地基板 3 1 の一部とみなすことができる。

[0144] エピタキシャル層 3 2 はGa₂O₃系結晶からなり、n型ドーパントを含む。ソース電極 3 4 及びドレイン電極 3 5 との接触部付近におけるn型ドーパントの濃度は、他の部分におけるn型ドーパントの濃度よりも高い。エピタキシャル層 3 2 の厚さは、例えば、0.1～1 μmである。

[0145] エピタキシャル層 3 2 は、絶縁破壊電界強度が高いGa₂O₃系結晶からなるため、横型トランジスタ 3 0 は優れた耐電圧性を有する。このため、横型トランジスタ 3 0 は、高い放熱性と高い耐電圧性を併せ持つ。

[0146] ゲート電極 3 3、ソース電極 3 4、及びドレイン電極 3 5 は、例えば、Au、Al、Ti、Sn、Ge、In、Ni、Co、Pt、W、Mo、Cr、Cu、Pb等の金属、これらの金属のうちの2つ以上を含む合金、ITO等の導電性化合物、又は導電性ポリマーからなる。導電性ポリマーとしては、ポリチオフェン誘導体(PEDOT：ポリ(3,4)-エチレンジオキシチオフェン)にポリスチレンスルホン酸(PSS)をドーピングしたものや、ポリピロール誘導体にTCNAをドーピングしたもの等が用いられる。また、ゲート電極 3 3 は、異なる2つの金属からなる2層構造、例えばAl/Ti、A

u/Ni、Au/Co、を有してもよい。

[0147] 横型トランジスタ30においては、ゲート電極33に印加するバイアス電圧を制御することにより、エピタキシャル層32内のゲート電極33下の空乏層の厚さを変化させ、ドレイン電流を制御することができる。

[0148] 以下に、本実施の形態に係る横型トランジスタ30の製造方法について、具体例を挙げて説明する。なお、横型トランジスタ30の製造方法は以下の例に限定されるものではない。

[0149] (半導体素子の製造方法1)

図15A～図15Eは、第3の実施の形態に係る横型トランジスタ30の製造工程の一例を表す垂直断面図である。図15A～図15Eに示される例では、下地基板31は研磨処理により薄くされる。

[0150] まず、図15Aに示されるように、下地基板31上にエピタキシャル層32を形成する。

[0151] 下地基板31は、第1の実施の形態に係る下地基板11と同様の基板であり、研磨処理を施す前の厚さは、例えば、600 μ mである。エピタキシャル層32の形成工程は、第1の実施の形態に係るエピタキシャル層12の形成工程と同様である。

[0152] 次に、図15Bに示されるように、接着層16を介してエピタキシャル層32を支持基板15に貼り付ける。この支持基板15の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。接着層16は、第1の実施の形態において用いられるものと同様のものである。

[0153] 次に、図15Cに示されるように、支持基板15に支持される下地基板31に研磨処理を施し、10 μ m以上かつ50 μ m以下の厚さになるまで薄くする。

[0154] 下地基板31の研磨工程は、第1の実施の形態に係る下地基板11の研磨工程と同様である。

[0155] 次に、図15Dに示されるように、下地基板31の下面（エピタキシャル層32に接している面の反対側の面）を支持基板37に貼り付ける。ここで

、支持基板 37 の材料は、特定のものに限定されないが、後述するように、横型トランジスタ 30 の支持基板として支持基板 37 を残す場合は、Al 等の金属、AlN、SiN、GaN 等の窒化物、SiO₂、Al₂O₃ 等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、β-Ga₂O₃ よりも熱伝導率の高い材料であることが好ましい。

[0156] 下地基板 31 の支持基板 37 への貼り付けには、はんだ（例えば Au-Sn、Sn-Ag-Cu、又は Si-Ge）や Ag ペースト、樹脂、無機材料等が用いられる。

[0157] 次に、図 15E に示されるように、支持基板 37 に支持された状態のエピタキシャル層 32 を支持基板 15 及び接着層 16 から剥離した後、エピタキシャル層 32 の上面（下地基板 31 に接している面の反対側の面）上にゲート電極 33、ソース電極 34、及びドレイン電極 35 を形成する。

[0158] 例えば、フォトリソグラフィによりマスクパターンをエピタキシャル層 32 上に形成した後、金属膜をエピタキシャル層 32 上の全面に蒸着し、リフトオフによりマスクパターン及びその上の金属膜を除去することにより、ゲート電極 33、ソース電極 34、及びドレイン電極 35 が形成される。

[0159] 本製造方法によれば、下地基板 31 の研磨処理の後にゲート電極 33、ソース電極 34、及びドレイン電極 35 を形成するため、下地基板 31 の研磨処理時のゲート電極 33、ソース電極 34、及びドレイン電極 35 の破損を抑制し、横型トランジスタ 30 の歩留まり向上を図ることができる。

[0160] なお、最終製品としての横型トランジスタ 30 の支持基板として支持基板 37 を残してもよい。また、横型トランジスタ 30 を支持基板 37 から剥離して他の支持基板に貼り付けてもよい。

[0161] （半導体素子の製造方法 2）

図 16A～図 16C は、第 3 の実施の形態に係る横型トランジスタ 30 の製造工程の一例を表す垂直断面図である。図 16A～図 16C に示される例では、下地基板 31 は研磨処理とその後のエッチングにより薄くされる。

[0162] まず、図 16A に示されるように、図 15A～図 15C に示される、下地

基板 3 1 を研磨処理により薄くするまでの工程を実施する。

[0163] 次に、図 1 6 B に示されるように、支持基板 1 5 に支持される下地基板 3 1 にエッチングを施し、さらに薄くする。このエッチングにより、下地基板 3 1 の厚さを $10\ \mu\text{m}$ よりも小さくすることができる。

[0164] 下地基板 3 1 のエッチング工程は、第 1 の実施の形態に係る下地基板 1 1 のエッチング工程と同様である。

[0165] 次に、図 1 6 C に示されるように、下地基板 3 1 の下面を支持基板 3 7 に貼り付ける。

[0166] その後、図 1 5 E に示される工程と同様に、エピタキシャル層 3 2 を支持基板 1 5 及び接着層 1 6 から剥離し、ゲート電極 3 3、ソース電極 3 4、及びドレイン電極 3 5 を形成する。

[0167] (半導体素子の製造方法 3)

図 1 7 A ～図 1 7 E は、第 3 の実施の形態に係る横型トランジスタ 3 0 の製造工程の一例を表す垂直断面図である。図 1 7 A ～図 1 7 E に示される例では、下地基板 3 1 は研磨処理により薄くされる。

[0168] まず、図 1 7 A に示されるように、下地基板 3 1 上にエピタキシャル層 3 2 を形成する。

[0169] 次に、図 1 7 B に示されるように、エピタキシャル層 3 2 の上面上にゲート電極 3 3、ソース電極 3 4、及びドレイン電極 3 5 を形成する。

[0170] 次に、図 1 7 C に示されるように、一方の面に樹脂等からなる接着層 3 6 を有する支持基板 1 5 を用意し、ゲート電極 3 3、ソース電極 3 4、及びドレイン電極 3 5 が設けられたエピタキシャル層 3 2 の上面と接着層 3 6 とを貼り合わせるようにしてエピタキシャル層 3 2 を支持基板 1 5 に貼り付ける。この支持基板 1 5 の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。

[0171] 次に、図 1 7 D に示されるように、支持基板 1 5 に支持される下地基板 3 1 に研磨処理を施し、 $10\ \mu\text{m}$ 以上かつ $50\ \mu\text{m}$ 以下の厚さになるまで薄くする。

[0172] 次に、図 1 7 E に示されるように、下地基板 3 1 の下面を支持基板 3 7 に貼り付け、支持基板 3 7 に支持された状態のエピタキシャル層 3 2 を支持基板 1 5 及び接着層 3 6 から剥離する。この支持基板 3 7 の材料は、特定のものに限定されないが、後述するように、横型トランジスタ 3 0 の支持基板として支持基板 3 7 を残す場合は、Al 等の金属、AlN、SiN、GaN 等の窒化物、SiO₂、Al₂O₃ 等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 β -Ga₂O₃ よりも熱伝導率の高い材料であることが好ましい。

[0173] なお、最終製品としての横型トランジスタ 3 0 の支持基板として支持基板 3 7 を残してもよい。また、横型トランジスタ 3 0 を支持基板 3 7 から剥離して他の支持基板に貼り付けてもよい。

[0174] (半導体素子の製造方法 4)

図 1 8 A ~ 図 1 8 C は、第 3 の実施の形態に係る横型トランジスタ 3 0 の製造工程の一例を表す垂直断面図である。図 1 8 A ~ 図 1 8 C に示される例では、下地基板 3 1 は研磨処理とその後のエッチングにより薄くされる。

[0175] まず、図 1 8 A に示されるように、図 1 7 A ~ 図 1 7 D に示される、下地基板 3 1 を研磨処理により薄くするまでの工程を実施する。

[0176] 次に、図 1 8 B に示されるように、支持基板 1 5 に支持される下地基板 3 1 にエッチングを施し、さらに薄くする。このエッチングにより、下地基板 3 1 の厚さを 1 0 μ m よりも小さくすることができる。

[0177] 次に、図 1 8 C に示されるように、下地基板 3 1 の下面を支持基板 3 7 に貼り付け、支持基板 3 7 に支持された状態のエピタキシャル層 3 2 を支持基板 1 5 及び接着層 3 6 から剥離する。

[0178] (半導体素子の製造方法 5)

図 1 9 A ~ 図 1 9 D は、第 3 の実施の形態に係る横型トランジスタ 3 0 の製造工程の一例を表す垂直断面図である。図 1 9 A ~ 図 1 9 D に示される例では、下地基板 3 1 は研磨処理により薄くされる。

[0179] まず、図 1 9 A に示されるように、下地基板 3 1 上にエピタキシャル層 3

2を形成する。

[0180] 次に、図19Bに示されるように、エピタキシャル層32の上面上にゲート電極33、ソース電極34、及びドレイン電極35を形成する。

[0181] 次に、図19Cに示されるように、一方の面に電極38a、38b、38cを有する支持基板15を用意し、ゲート電極33、ソース電極34、ドレイン電極35と電極38a、38b、38cとをそれぞれ貼り合わせるようにしてエピタキシャル層32を支持基板15に貼り付ける。この支持基板15の材料は、特定のものに限定されないが、後述するように、横型トランジスタ30の支持基板として支持基板15を残す場合は、Al等の金属、AlN、SiN、GaN等の窒化物、SiO₂、Al₂O₃等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 β -Ga₂O₃よりも熱伝導率の高い材料であることが好ましい。

[0182] 次に、図19Dに示されるように、支持基板15に支持される下地基板31に研磨処理を施し、10 μ m以上かつ50 μ m以下の厚さになるまで薄くする。

[0183] なお、最終製品としての横型トランジスタ30の支持基板として支持基板15を残してもよい。ただし、この場合、支持基板15は絶縁性でなければならない。また、この場合、ゲート電極33、ソース電極34、ドレイン電極35への外部電源の供給は、支持基板15の電極38a、38b、38cを介して行ってもよい。また、横型トランジスタ30を支持基板15から剥離して他の支持基板に貼り付けてもよい。

[0184] (半導体素子の製造方法6)

図20A、図20Bは、第3の実施の形態に係る横型トランジスタ30の製造工程の一例を表す垂直断面図である。図20A、図20Bに示される例では、下地基板31は研磨処理とその後のエッチングにより薄くされる。

[0185] まず、図20Aに示されるように、図19A～図19Dに示される、下地基板31を研磨処理により薄くするまでの工程を実施する。

[0186] 次に、図20Bに示されるように、支持基板15に支持される下地基板3

1 にエッチングを施し、さらに薄くする。このエッチングにより、下地基板 31 の厚さを $10\ \mu\text{m}$ よりも小さくすることができる。

[0187] (変形例)

横型トランジスタ 30 は、ゲート電極 33 がゲート絶縁膜を介してエピタキシャル層 32 上に形成された MISFET であってもよい。

[0188] このゲート絶縁膜は、 SiO_2 、 AlN 、 SiN 、 Al_2O_3 、 $\beta-(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$ ($0 \leq x \leq 1$) 等の絶縁材料からなる。中でも、 $\beta-(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$ は $\beta-\text{Ga}_2\text{O}_3$ 結晶上に単結晶膜として成長させることができるため、界面準位の少ない良好な半導体絶縁膜界面を形成することができ、他の絶縁膜を用いたときよりも良好なゲート特性が得られる。

[0189] この場合、エピタキシャル層 32 は、ドーパントを含まないアンドープ層や、Be、Mg、Zn 等の p 型ドーパントを含む p 型層であってもよい。

[0190] 横型トランジスタ 30 が MISFET である場合の製造工程は、上記の MESFET である場合のそれぞれの製造工程に、ゲート絶縁膜を形成する工程を加えたものである。ゲート絶縁膜は、例えば、堆積法とエッチングにより形成される。

[0191] [第 4 の実施の形態]

第 4 の実施の形態は、縦型の半導体素子としてのショットキーダイオードについての形態である。

[0192] (半導体素子の構造)

図 21 は、第 4 の実施の形態に係るショットキーダイオード 40 の垂直断面図である。ショットキーダイオード 40 は、エピタキシャル層 42 と、エピタキシャル層 42 の一方の表面に形成されたイオン注入層 41 と、エピタキシャル層 42 の下面（イオン注入層 41 が設けられている側の面）上に形成され、イオン注入層 41 とオーミック接触するカソード電極 43 と、エピタキシャル層 42 の上面（イオン注入層 41 が設けられていない側の面）上に形成され、エピタキシャル層 42 とショットキー接触するアノード電極 44 とを含む。

- [0193] ショットキーダイオード40においては、第1の実施の形態に係るショットキーダイオード10と同様に、アノード電極44とカソード電極43との間に順方向バイアスを印加することにより、アノード電極44とエピタキシャル層42との界面のショットキー障壁が低下し、アノード電極44からカソード電極43へ電流が流れる。一方、アノード電極44とカソード電極43との間に逆方向バイアスを印加したときは、アノード電極44とエピタキシャル層42との界面のショットキー障壁が高くなり、電流は流れない。
- [0194] エピタキシャル層42は、第1の実施の形態に係るエピタキシャル層12と同様に、 Ga_2O_3 系結晶からなり、n型ドーパントを含む。
- [0195] イオン注入層41は、エピタキシャル層42中に高濃度のn型ドーパントを注入することにより形成される層であり、イオン注入層41のn型ドーパントの濃度は、エピタキシャル層42のn型ドーパントの濃度よりも高い。また、イオン注入層41は、エピタキシャル層42中の表面近傍に形成されるため、当然、エピタキシャル層42よりも薄い。このn型ドーパントは、Si、Sn等のⅤ族元素であることが好ましい。特に、Siの方がSnよりも高濃度注入時に高い活性化率を得られるため、ショットキーダイオードの導通損失を低減するためにSiをn型ドーパントとして用いることが好ましい。
- [0196] ショットキーダイオード40においては、エピタキシャル層42のエピタキシャル成長の下地となる下地基板（後述する下地基板45）が除去され、カソード電極43とオーミック接触する層としてイオン注入層41が用いられる。このため、イオン注入層41側への放熱経路が下地基板を通らず、効率的に放熱することができる。このため、ショットキーダイオード40は優れた放熱特性を有する。さらに、イオン注入技術を用いることにより、基板育成時に不純物を添加する方法よりもドナー濃度を高めることができ、ショットキーダイオードの導通損失を低減できる。
- [0197] エピタキシャル層42の厚さは、例えば、0.4～30 μm である。また、イオン注入層41の厚さは、イオン注入層41とカソード電極43をオー

ミック接触させるために、 $0.05\mu\text{m}$ 以上であることが好ましい。

[0198] エピタキシャル層42は、絶縁破壊電界強度が高い Ga_2O_3 系結晶からなるため、下地基板45を除去してもショットキーダイオード40の耐電圧性の低下を抑えることができる。このため、ショットキーダイオード40は、高い放熱性と高い耐電圧性を併せ持つ。

[0199] アノード電極44及びカソード電極43は、第1の実施の形態に係るアノード電極14及びカソード電極13とそれぞれ同じ材料からなる。

[0200] (半導体素子の製造方法)

図22A～図22E、図23A～図23Dは、第4の実施の形態に係るショットキーダイオード40の製造工程の一例を表す垂直断面図である。図22A～図22E、図23A～図23Dに示される例では、下地基板は研磨処理等により除去される。

[0201] まず、図22Aに示されるように、下地基板45上にエピタキシャル層42を形成する。

[0202] 下地基板45は、第1の実施の形態に係る下地基板11と同様の基板であり、研磨処理等を施す前の厚さは、例えば、 $600\mu\text{m}$ である。なお、下地基板45は、 n 型ドーパントを含んでいなくてもよい。エピタキシャル層42の形成工程は、第1の実施の形態に係るエピタキシャル層12の形成工程と同様である。

[0203] 次に、図22Bに示されるように、接着層16を介してエピタキシャル層42を支持基板15に貼り付ける。この支持基板15の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。接着層16は、第1の実施の形態において用いられるものと同様のものである。

[0204] 次に、図22Cに示されるように、支持基板15に支持される下地基板45を研磨処理により薄くし、さらに研磨処理を続けることにより、最終的に除去する。

[0205] なお、下地基板45を除去する方法は研磨処理に限られず、また、研磨処理にエッチング等の他の処理を組み合わせてもよい。

- [0206] 次に、図22Dに示されるように、エピタキシャル層42の下面にn型ドーパントをイオン注入する。
- [0207] 次に、図22Eに示されるように、エピタキシャル層42に注入したn型ドーパントをアニール処理により活性化させることにより、イオン注入層41を形成する。このアニール処理は、例えば、不活性雰囲気下で800～1000℃、30分の条件で実施される。
- [0208] 次に、図23Aに示されるように、エピタキシャル層42の下面上に、イオン注入層41に接触するようにカソード電極43を形成する。イオン注入層41に含まれるn型ドーパントの濃度が高いため、イオン注入層41とカソード電極43はオーミック接触する。カソード電極43の形成工程は、第1の実施の形態に係るカソード電極13の形成工程と同様である。
- [0209] 次に、図23Bに示されるように、一方の面に電極48を有する支持基板47を用意し、カソード電極43と電極48を貼り合わせるようにしてエピタキシャル層42を支持基板47に貼り付ける。
- [0210] 支持基板47の材料は、特定のものに限定されないが、後述するように、ショットキーダイオード40の支持基板として支持基板47を残す場合は、Al等の金属、AlN、SiN、GaN等の窒化物、SiO₂、Al₂O₃等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 β -Ga₂O₃よりも熱伝導率の高い材料であることが好ましい。電極48は、例えば、Auからなる。カソード電極43と電極48は、例えば、加圧や、加熱若しくは超音波振動を伴う加圧、又は加圧及び超音波振動を伴う加圧により貼り合わされる。
- [0211] 次に、図23Cに示されるように、支持基板47に支持された状態のエピタキシャル層42を支持基板15及び接着層16から剥離する。
- [0212] 次に、図23Dに示されるように、エピタキシャル層42の上面上にアノード電極44を形成する。エピタキシャル層42のイオン注入層41以外の領域に含まれるn型ドーパントの濃度が低いため、エピタキシャル層42とアノード電極44はショットキー接触する。アノード電極44の形成工程は

、第1の実施の形態に係るアノード電極14の形成工程と同様である。

[0213] なお、最終製品としてのショットキーダイオード40の支持基板として支持基板47を残してもよい。この場合、カソード電極43への外部電源の供給は、支持基板47の電極48を介して行ってもよい。また、支持基板47が導電性を有する場合は、支持基板47及び電極48を介してカソード電極43へ外部電源を供給してもよい。また、ショットキーダイオード40を支持基板47から剥離して他の支持基板に貼り付けてもよい。

[0214] [第5の実施の形態]

第5の実施の形態は、放熱性向上のために半導体素子としてのショットキーダイオード、横型トランジスタ、及び縦型トランジスタの両面を支持基板に貼り付けた形態である。

[0215] (半導体素子の構造)

図24Aは、両面が支持基板に貼り付けられた第1の実施の形態に係るショットキーダイオード10の垂直断面図である。

[0216] 支持基板51は、一方の面に電極53を有し、アノード電極14と電極53を貼り合わせるようにしてエピタキシャル層12が支持基板51に貼り付けられる。支持基板52は、一方の面に電極54を有し、カソード電極13と電極54を貼り合わせるようにして下地基板11が支持基板52に貼り付けられる。

[0217] 支持基板51、52の材料は、Al等の金属、AlN、SiN、GaN等の窒化物、SiO₂、Al₂O₃等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 β -Ga₂O₃よりも熱伝導率の高い材料であることが好ましい。

[0218] なお、ショットキーダイオード10の代わりに第4の実施の形態に係るショットキーダイオード40を用いる場合も、同様の構成をとることができる。この場合、ショットキーダイオード40のエピタキシャル層42、イオン注入層41は、支持基板51、52にそれぞれ貼り付けられる。

[0219] 図24Bは、両面が支持基板に貼り付けられた第2の実施の形態に係る縦

型トランジスタ 20 の垂直断面図である。

[0220] ソース電極 26 と電極 53 を貼り合わせるようにしてエピタキシャル層 22 が支持基板 51 に貼り付けられる。ドレイン電極 27 と電極 54 を貼り合わせるようにして下地基板 21 が支持基板 52 に貼り付けられる。

[0221] 本実施の形態に係るショットキーダイオード 10 及び縦型トランジスタ 20 には、電極 53、54 を介して外部電源を供給してもよい。また、支持基板 51、52 が導電性を有する場合は、支持基板 51、52 及び電極 53、54 を介して外部電源を供給してもよい。

[0222] 図 24C は、両面が支持基板に貼り付けられた第 3 の実施の形態に係る横型トランジスタ 30 の垂直断面図である。

[0223] 支持基板 51 は、一方の面に電極 53a、53b、53c を有し、ゲート電極 53a、ソース電極 53b、ドレイン電極 53c と電極 53a、53b、53c を貼り合わせるようにして、エピタキシャル層 32 が支持基板 51 に貼り付けられる。一方、下地基板 31 は支持基板 52 に貼り付けられる。

[0224] 上記のように、半導体素子の両面を支持基板に貼り付けることにより、両面から効率的に放熱することができるようになるため、半導体素子の放熱効率を向上させることができる。

[0225] [第 6 の実施の形態]

第 6 の実施の形態は、縦型の半導体素子としてのショットキーダイオードについての形態である。

[0226] (半導体素子の構造)

図 25 は、第 6 の実施の形態に係るショットキーダイオード 60 の垂直断面図である。ショットキーダイオード 60 は、エピタキシャル層 62 と、エピタキシャル層 62 の一方の面に貼り合わされた高熱伝導基板 61 と、高熱伝導基板 61 の下面（エピタキシャル層 62 と接している面の反対側の面）上に形成され、高熱伝導基板 61 とオーミック接触するカソード電極 63 と、エピタキシャル層 62 の上面（高熱伝導基板 61 と接している面の反対側の面）上に形成され、エピタキシャル層 62 とショットキー接触するアノード

ド電極 64 とを含む。

- [0227] ショットキーダイオード 60 においては、第 1 の実施の形態に係るショットキーダイオード 10 と同様に、アノード電極 64 とカソード電極 63 との間に順方向バイアスを印加することにより、アノード電極 64 とエピタキシャル層 62 との界面のショットキー障壁が低下し、アノード電極 64 からカソード電極 63 へ電流が流れる。一方、アノード電極 64 とカソード電極 63 との間に逆方向バイアスを印加したときは、アノード電極 64 とエピタキシャル層 62 との界面のショットキー障壁が高くなり、電流は流れない。
- [0228] エピタキシャル層 62 は、第 1 の実施の形態に係るエピタキシャル層 12 と同様に、 Ga_2O_3 系結晶からなり、 n 型ドーパントを含む。
- [0229] 高熱伝導基板 61 は、 AlN 、 Si 等の、 Ga_2O_3 系結晶よりも高い熱伝導性を有する材料からなり、 n 型ドーパントを含む。高熱伝導基板 61 の n 型ドーパントの濃度は、エピタキシャル層 62 の n 型ドーパントの濃度よりも高い。
- [0230] ショットキーダイオード 60 においては、エピタキシャル層 62 のエピタキシャル成長の下地となる下地基板（後述する下地基板 65）が除去され、カソード電極 63 とオーミック接触する層として高熱伝導基板 61 が用いられる。高熱伝導基板 61 の熱伝導率は、 Ga_2O_3 系結晶からなる下地基板 65 の熱伝導率よりも高いため、カソード電極 63 とオーミック接触する層として高熱伝導基板 61 を用いることにより、放熱性を向上させることができる。このため、ショットキーダイオード 60 は優れた放熱特性を有する。
- [0231] また、高熱伝導基板 61 は熱伝導率が高いため、ショットキーダイオード 60 の放熱性を向上させるために薄くする必要がない。
- [0232] エピタキシャル層 62 の厚さは、例えば、 $0.4 \sim 30 \mu m$ である。また、高熱伝導基板 61 の厚さは、高熱伝導基板 61 とカソード電極 63 をオーミック接触させるために、 $0.05 \mu m$ 以上であることが好ましい。
- [0233] アノード電極 64 及びカソード電極 63 は、第 1 の実施の形態に係るアノード電極 14 及びカソード電極 13 とそれぞれ同じ材料からなる。

[0234] 以下に、本実施の形態に係るショットキーダイオード60の製造方法について、具体例を挙げて説明する。なお、ショットキーダイオード60の製造方法は以下の例に限定されるものではない。

[0235] (半導体素子の製造方法)

図26A～図26Eは、第6の実施の形態に係るショットキーダイオード60の製造工程の一例を表す垂直断面図である。図26A～図26Eに示される例では、下地基板は研磨処理により除去される。

[0236] まず、図26Aに示されるように、下地基板65上にエピタキシャル層62を形成する。

[0237] 下地基板65は、第1の実施の形態に係る下地基板11と同様の基板であり、研磨処理等を施す前の厚さは、例えば、600 μ mである。なお、下地基板65は、n型ドーパントを含んでいなくてもよい。エピタキシャル層62の形成工程は、第1の実施の形態に係るエピタキシャル層12の形成工程と同様である。

[0238] 次に、図26Bに示されるように、エピタキシャル層62の上面を高熱伝導基板61に貼り付ける。エピタキシャル層62の高熱伝導基板61への貼り付けには、例えば、表面活性化接合等の直接接合が用いられる。表面活性化接合を用いる場合には、エピタキシャル層62と高熱伝導基板61のそれぞれの接合面の表面を、Arプラズマを用いたエッチング等により除去して活性化させ、貼り合わせる。この方法によれば、常温で強度の高い接合を形成することができるが、加熱や加圧を施してもよい。表面活性化接合されたエピタキシャル層62と高熱伝導基板61は、その接合界面においてオーミック接触する。

[0239] 次に、図26Cに示されるように、高熱伝導基板61に支持される下地基板65を研磨処理により薄くし、さらに研磨処理を続けることにより、最終的に除去する。

[0240] なお、下地基板65を除去する方法は研磨処理に限られず、また、研磨処理にエッチング等の他の処理を組み合わせてもよい。

[0241] 次に、図26Dに示されるように、エピタキシャル層62の高熱伝導基板61の反対側の面上にアノード電極64を形成する。エピタキシャル層62のn型ドーパントの濃度が低いため、エピタキシャル層62とアノード電極64はショットキー接触する。アノード電極64の形成工程は、第1の実施の形態に係るアノード電極14の形成工程と同様である。

[0242] 次に、図26Eに示されるように、高熱伝導基板61のエピタキシャル層62の反対側の面上にカソード電極63を形成する。高熱伝導基板61のn型ドーパントの濃度が高いため、高熱伝導基板61とカソード電極63はオーミック接触する。カソード電極63の形成工程は、第1の実施の形態に係るカソード電極63の形成工程と同様である。

[0243] [第7の実施の形態]

第7の実施の形態は、縦型の半導体素子としてのMISFET構造を有する縦型トランジスタについての形態である。

[0244] (半導体素子の構造)

図27は、第7の実施の形態に係る縦型トランジスタ70の垂直断面図である。縦型トランジスタ70は、エピタキシャル層72と、エピタキシャル層72の一方の面に貼り合わされた高熱伝導基板71と、ゲート絶縁膜74に覆われてエピタキシャル層72中に埋め込まれたゲート電極73と、エピタキシャル層72中のゲート電極73の両側にそれぞれ形成されたコンタクト領域75と、コンタクト領域75の両側に形成されたP⁺領域79と、エピタキシャル層72上に形成され、コンタクト領域75に接続されたソース電極76と、高熱伝導基板71のエピタキシャル層72と反対側の面上に形成されたドレイン電極77と、を含む。

[0245] 縦型トランジスタ70は、ソース電極76とドレイン電極77がそれぞれ素子の上下に設けられ、縦方向に電流が流れる縦型半導体素子である。ゲート電極73に閾値以上の電圧を印加すると、エピタキシャル層72中のゲート電極73の両側の領域にチャネルが形成され、ソース電極76からドレイン電極77へ電流が流れるようになる。

[0246] 高熱伝導基板 71 は、AlN、Si 等の、Ga₂O₃系結晶よりも高い熱伝導性を有する材料からなり、n 型ドーパントを含む。高熱伝導基板 71 の n 型ドーパントの濃度は、エピタキシャル層 72 の n 型ドーパントの濃度よりも高い。

[0247] 縦型トランジスタ 70 においては、エピタキシャル層 72 のエピタキシャル成長の下地となる下地基板（後述する下地基板 78）が除去され、ドレイン電極 77 とオーミック接触する層として高熱伝導基板 71 が用いられる。高熱伝導基板 71 の熱伝導率は、Ga₂O₃系結晶からなる下地基板 78 の熱伝導率よりも高いため、ドレイン電極 77 とオーミック接触する層として高熱伝導基板 71 を用いることにより、放熱性を向上させることができる。このため、縦型トランジスタ 70 は優れた放熱特性を有する。

[0248] また、高熱伝導基板 71 は熱伝導率が高いため、縦型トランジスタ 70 の放熱性を向上させるために薄くする必要がない。

[0249] ゲート電極 73、ゲート絶縁膜 74、コンタクト領域 75、ソース電極 76、及びドレイン電極 77、P⁺領域 79 は、それぞれ第 2 の実施の形態に係るゲート電極 23、ゲート絶縁膜 24、コンタクト領域 25、ソース電極 26、ドレイン電極 27、P⁺領域 28 と同様の部材である。また、エピタキシャル層 72 は、第 2 の実施の形態に係るエピタキシャル層 22 の層 22a、22b と同様の層 72a、72b からなる。

[0250] 以下に、本実施の形態に係る縦型トランジスタ 70 の製造方法について、下地基板 78 を除去する方法の具体例を挙げて説明する。なお、縦型トランジスタ 70 の製造方法は以下の例に限定されるものではない。

[0251] （半導体素子の製造方法）

図 28A～図 28D は、第 7 の実施の形態に係る縦型トランジスタ 70 の製造工程の一例を表す垂直断面図である。

[0252] まず、図 28A に示されるように、下地基板 78 上にエピタキシャル層 72 を形成する。

[0253] 下地基板 78 は、第 1 の実施の形態に係る下地基板 11 と同様の基板であ

り、研磨処理を施す前の厚さは、例えば、 $600\mu\text{m}$ である。なお、下地基板 78 は、 n 型ドーパントを含んでいなくてもよい。エピタキシャル層 72 の形成工程は、第 2 の実施の形態に係るエピタキシャル層 22 の形成工程と同様である。

[0254] 次に、図 28B に示されるように、エピタキシャル層 72 の上面を高熱伝導基板 71 に貼り付ける。エピタキシャル層 72 の高熱伝導基板 71 への貼り付けには、例えば、表面活性化接合等の直接接合が用いられる。表面活性化接合されたエピタキシャル層 72 と高熱伝導基板 71 は、その接合界面においてオーミック接触する。

[0255] 次に、図 28C に示されるように、高熱伝導基板 71 に支持される下地基板 78 を研磨処理により薄くし、さらに研磨処理を続けることにより、最終的に除去する。

[0256] なお、この研磨処理にエッチング等の他の処理を組み合わせてもよく、また、研磨処理以外の方法を用いてもよい。

[0257] 次に、図 28D に示されるように、エピタキシャル層 72 中にゲート電極 73、ゲート絶縁膜 74、コンタクト領域 75、及び P^+ 領域 79 を形成し、その後、エピタキシャル層 72 上にソース電極 76 を形成する。また、エピタキシャル層 72 上に電極終端構造やパッシベーション膜を設けてもよい。

[0258] ゲート電極 73、ゲート絶縁膜 74、コンタクト領域 75、 P^+ 領域 79、ソース電極 76 の形成工程は、それぞれ第 2 の実施の形態に係るゲート電極 23、ゲート絶縁膜 24、コンタクト領域 25、 P^+ 領域 28、ソース電極 26 の形成工程と同様である。

[0259] 次に、図 29 に示されるように、高熱伝導基板 71 のエピタキシャル層 72 の反対側の面上にドレイン電極 77 を形成する。

[0260] ドレイン電極 77 の形成工程は、第 2 の実施の形態に係るドレイン電極 27 の形成工程と同様である。

[0261] [第 8 の実施の形態]

第 8 の実施の形態は、縦型の半導体素子としての MISFET 構造を有す

る縦型トランジスタについての形態である。

[0262] (半導体素子の構造)

図30は、第8の実施の形態に係る縦型トランジスタ80の垂直断面図である。縦型トランジスタ80は、下地基板81上に形成されたエピタキシャル層82と、エピタキシャル層82上に形成された2つのソース電極86と、エピタキシャル層82上の2つのソース電極86の間の領域にゲート絶縁膜84を介して形成されたゲート電極83と、エピタキシャル層82中の2つのソース電極86の下にそれぞれ形成されたn型のコンタクト領域85と、2つのコンタクト領域85をそれぞれ囲むp型のボディ領域88と、2つのコンタクト領域85の外側に形成されたp⁺領域89と、下地基板81のエピタキシャル層82と反対側の面上に形成されたドレイン電極87と、を含む。

[0263] 縦型トランジスタ80においては、ゲート電極83に閾値以上の電圧を印加すると、p型のボディ領域88のゲート電極83下の領域にチャネルが形成され、ソース電極86からドレイン電極87へ電流が流れるようになる。

[0264] 下地基板81及びエピタキシャル層82は、Ga₂O₃系結晶からなり、n型ドーパントを含む。このn型ドーパントは、Si、Sn等のⅤ族元素であることが好ましい。

[0265] 下地基板81の厚さは、第1の実施の形態に係る下地基板11の厚さと同様である。下地基板81が薄いため、縦型トランジスタ80に生じた熱を下地基板81側から効率的に逃がすことができる。このため、縦型トランジスタ80は優れた放熱特性を有する。

[0266] また、第4の実施の形態に係るショットキーダイオード40と同様に、下地基板81をすべて除去した後に、エピタキシャル層82の下面にⅤ族不純物をイオン注入してイオン注入層を形成し、ドレイン電極27をオーミック接触させてもよい。

[0267] エピタキシャル層82は絶縁破壊電界強度が高いGa₂O₃系結晶からなるため、縦型トランジスタ80の耐電圧性の低下を抑えつつ、他の半導体材料

で製造された素子よりもその厚さも薄くすることができるため、縦型トランジスタ80全体を薄型化し、より放熱性を高めることもできる。このように、縦型トランジスタ80は、高い放熱性と高い耐電圧性を併せ持つ。

[0268] また、下地基板81の主面の面方位も、第1の実施の形態に係る下地基板11と同様であり、特に、(010)であることが好ましい。

[0269] エピタキシャル層82の厚さは、例えば、0.4～30 μ mである。

[0270] ゲート電極83、ゲート絶縁膜84、ソース電極86、及びドレイン電極87は、例えば、第2の実施の形態に係るゲート電極23、ゲート絶縁膜24、ソース電極26、及びドレイン電極27と同様の材料からなる。

[0271] コンタクト領域85は、エピタキシャル層82中に形成されたn型ドーパントの濃度が高い領域であり、ソース電極86が接続される。このn型ドーパントは、Si、Sn等のⅢⅤ族元素であることが好ましい。

[0272] ボディ領域88及びp⁺領域89は、p型ドーパントを含む。p⁺領域89のp型ドーパントの濃度は、ボディ領域88のp型ドーパントの濃度よりも高い。このp型ドーパントは、Be、Mg、Zn等のⅡⅢ族元素、又はFeであることが好ましい。なお、ボディ領域88は、キャリア補償により形成されるi型の領域であってもよい。

[0273] 縦型トランジスタ80の製造には、第2の実施の形態に係る縦型トランジスタ20の製造方法を用いることができる。

[0274] 具体的には、縦型トランジスタ20のゲート電極23、ゲート絶縁膜24、及びコンタクト領域25を形成する工程において、それらの代わりにボディ領域88及びコンタクト領域85を形成し、ソース電極26を形成する工程において、その代わりにゲート絶縁膜84、ゲート電極83、及びソース電極86を形成すればよい。

[0275] ボディ領域88、p⁺領域89及びコンタクト領域85は、例えば、イオン注入法によりエピタキシャル層82にドーパントを注入することにより形成される。

[0276] 下地基板81、エピタキシャル層82、ドレイン電極87の形成方法は、

それぞれ縦型トランジスタ 20 の下地基板 21、エピタキシャル層 22、ドレイン電極 27 の形成方法と同様である。

[0277] 〔第 9 の実施の形態〕

第 9 の実施の形態は、縦型の半導体素子としてのショットキーダイオードについての形態である。

[0278] (半導体素子の構造)

図 31 は、第 9 の実施の形態に係るショットキーダイオード 90 の垂直断面図である。ショットキーダイオード 90 は、支持基板 15 と、支持基板に貼り付けられる下地基板 11 と、下地基板 11 の上面（支持基板 15 に接する面の反対側の面）上にエピタキシャル成長により形成されるエピタキシャル層 12 と、支持基板 15 の下面（下地基板 11 に接する面の反対側の面）上に形成され、支持基板 15 とオーミック接触するカソード電極 13 と、エピタキシャル層 12 の上面（下地基板 11 に接する面の反対側の面）上に形成され、エピタキシャル層 12 とショットキー接触するアノード電極 14 とを含む。

[0279] ショットキーダイオード 90 においては、アノード電極 14 とカソード電極 13 との間に順方向バイアスを印加することにより、アノード電極 14 とエピタキシャル層 12 との界面のショットキー障壁が低下し、アノード電極 14 からカソード電極 13 へ電流が流れる。一方、アノード電極 14 とカソード電極 13 との間に逆方向バイアスを印加したときは、アノード電極 14 とエピタキシャル層 12 との界面のショットキー障壁が高くなり、電流は流れない。

[0280] 下地基板 11 は、第 1 の実施の形態において用いられるものと同様のものである。ただし、本実施の形態の下地基板 11 はカソード電極とオーミック接触しないため、下地基板 11 の n 型ドーパントの濃度は、例えば、エピタキシャル層 12 と同程度であってもよい。

[0281] 支持基板 15 は、第 1 の実施の形態において用いられるものと同様のものである。ただし、本実施の形態においては、支持基板 15 はカソード電極と

オーミック接触するため、導体や、高濃度のn型ドーパントを含む半導体からなる。

[0282] 下地基板11が薄いため、ショットキーダイオード90に生じた熱を下地基板11側から支持基板15を介して効率的に逃がすことができる。このため、ショットキーダイオード90は優れた放熱特性を有する。

[0283] エピタキシャル層12、カソード電極13、アノード電極14は、第1の実施の形態において用いられるものと同様のものである。

[0284] エピタキシャル層12は絶縁破壊電界強度が高いGa₂O₃系結晶からなるため、ショットキーダイオード90の耐電圧性の低下を抑えつつ、他の半導体材料で製造された素子よりもその厚さも薄くすることができるため、ショットキーダイオード90全体を薄型化し、より放熱性を高めることもできる。このように、ショットキーダイオード90は、高い放熱性と高い耐電圧性を併せ持つ。

[0285] 以下に、本実施の形態に係るショットキーダイオード10の製造方法について、具体例を挙げて説明する。

[0286] (半導体素子の製造方法)

図32A～図32Eは、第9の実施の形態に係るショットキーダイオード90の製造工程の一例を表す垂直断面図である。図32A～図32Eに示される例では、下地基板11が研磨処理により薄くされた後に、下地基板11の薄化処理が施された面上にエピタキシャル層を成長させる。

[0287] まず、図32Aに示されるように、下地基板11を支持基板15に貼り付ける。下地基板11の支持基板15への貼り付けは、例えば、表面活性化接合等の直接接合や、導電性接着材による接着により行われる。

[0288] 次に、図32Bに示されるように、支持基板15に支持される下地基板11に研磨処理を施し、10μm以上かつ50μm以下の厚さになるまで薄くする。

[0289] 下地基板11の研磨工程は、第1の実施の形態に係る下地基板11の研磨工程と同様である。

[0290] なお、下地基板 11 を除去する方法は研磨処理に限られない。また、研磨処理にエッチング等の他の処理を組み合わせてもよい。エッチングを施すことにより、下地基板 11 の厚さを $10\ \mu\text{m}$ よりも小さくすることができる。

[0291] また、下地基板 11 を薄くした後に支持基板 15 から剥離してもよい。剥離した下地基板 11 は、 Ga_2O_3 系結晶からなり、 $0.05\ \mu\text{m}$ 以上かつ $50\ \mu\text{m}$ 以下の厚さを有する半導体基板であり、エピタキシャル結晶成長用下地基板として、他の半導体素子の製造に用いることができる。また、第 1 の実施の形態と同様に、下地基板 11 の厚さ方向の熱伝導率を高めるため、下地基板 11 の主面の面方位が (010) であることが好ましい。

[0292] 次に、図 32C に示されるように、下地基板 11 上にエピタキシャル層 12 を形成する。

[0293] エピタキシャル層 12 の形成工程は、第 1 の実施の形態に係るエピタキシャル層 12 の形成工程と同様である。

[0294] 次に、図 32D に示されるように、エピタキシャル層 12 の下地基板 11 の反対側の面上にアノード電極 14 を形成する。アノード電極 14 の形成工程は、第 1 の実施の形態に係るアノード電極 14 の形成工程と同様である。

[0295] 次に、図 32E に示されるように、支持基板 15 の下地基板 11 の反対側の面上にカソード電極 13 を形成する。カソード電極 13 の形成工程は、第 1 の実施の形態に係るカソード電極 13 の形成工程と同様である。

[0296] なお、本実施の形態に係る半導体素子の製造方法は、縦型トランジスタ、横型トランジスタ等の、薄くされた Ga_2O_3 系結晶からなる下地基板を有する半導体素子の製造方法に適用することができる。

[0297] [第 10 の実施の形態]

第 10 の実施の形態は、縦型の半導体素子としての MISFET 構造を有する縦型トランジスタについての形態である。

[0298] (半導体素子の構造)

図 33 は、第 10 の実施の形態に係る縦型トランジスタ 100 の垂直断面図である。縦型トランジスタ 100 は、エピタキシャル層 22 の一方の表面

に形成されたイオン注入層 101 と、ゲート絶縁膜 24 に覆われてエピタキシャル層 22 中に埋め込まれたゲート電極 23 と、エピタキシャル層 22 中のゲート電極 23 の両側にそれぞれ形成されたコンタクト領域 25 と、コンタクト領域 25 の両側に形成された P⁺領域 28 と、エピタキシャル層 22 上に形成され、コンタクト領域 25 に接続されたソース電極 26 と、エピタキシャル層 22 の下面（イオン注入層 101 が設けられている側の面）上に形成され、イオン注入層 101 とオーミック接触するドレイン電極 27 と、を含む。

[0299] 縦型トランジスタ 100 は、ソース電極 26 とドレイン電極 27 がそれぞれ素子の上下に設けられ、縦方向に電流が流れる縦型半導体素子である。ゲート電極 23 に閾値以上の電圧を印加すると、エピタキシャル層 22 中のゲート電極 23 の両側の領域にチャネルが形成され、ソース電極 26 からドレイン電極 27 へ電流が流れるようになる。

[0300] エピタキシャル層 22、ゲート電極 23、ゲート絶縁膜 24、コンタクト領域 25、ソース電極 26、ドレイン電極 27、及び P⁺領域 28 は、それぞれ第 2 の実施の形態において用いられるものと同様のものである。

[0301] イオン注入層 101 は、エピタキシャル層 22 の層 22a 中に高濃度の n 型ドーパントを注入することにより形成される層であり、イオン注入層 101 の n 型ドーパントの濃度は、層 22a の n 型ドーパントの濃度よりも高い。この n 型ドーパントは、Si、Sn 等の IV 族元素であることが好ましい。特に、Siの方がSnよりも高濃度注入時に高い活性化率を得られるため、ショットキーダイオードの導通損失を低減するためにSiをn型ドーパントとして用いることが好ましい。

[0302] 縦型トランジスタ 100 においては、エピタキシャル層 22 のエピタキシャル成長の下地となる下地基板（後述する下地基板 21）が除去され、ドレイン電極 27 とオーミック接触する層としてイオン注入層 101 が用いられる。このため、イオン注入層 101 側への放熱経路が下地基板を通らず、効率的に放熱することができる。このため、縦型トランジスタ 100 は優れた

放熱特性を有する。さらに、イオン注入技術を用いることにより、基板育成時に不純物を添加する方法よりもドナー濃度を高めることができ、ショットキーダイオードの導通損失を低減できる。

[0303] エピタキシャル層 22 は、絶縁破壊電界強度が高い Ga_2O_3 系結晶からなるため、下地基板 21 を除去しても縦型トランジスタ 100 の耐電圧性の低下を抑えることができる。このため、縦型トランジスタ 100 は、高い放熱性と高い耐電圧性を併せ持つ。

[0304] 以下に、本実施の形態に係る縦型トランジスタ 100 の製造方法について、具体例を挙げて説明する。なお、縦型トランジスタ 100 の製造方法は以下の例に限定されるものではない。

[0305] (半導体素子の製造方法)

図 34A～図 34D、図 35A～図 35D は、第 10 の実施の形態に係る縦型トランジスタ 100 の製造工程の一例を表す垂直断面図である。

[0306] まず、図 34A に示されるように、下地基板 21 上にエピタキシャル層 22 を形成する。

[0307] 下地基板 21 は、第 1 の実施の形態に係る下地基板 11 と同様の基板であり、研磨処理を施す前の厚さは、例えば、 $600\mu m$ である。なお、下地基板 21 は、 n 型ドーパントを含んでいなくてもよい。エピタキシャル層 22 の形成工程は、第 2 の実施の形態に係るエピタキシャル層 22 の形成工程と同様である。

[0308] 次に、図 34B に示されるように、接着層 16 を介してエピタキシャル層 22 の層 22b を支持基板 15 に貼り付ける。この支持基板 15 の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。接着層 16 は、第 1 の実施の形態において用いられるものと同様のものである。

[0309] 次に、図 34C に示されるように、支持基板 15 に支持される下地基板 21 を研磨処理により薄くし、さらに研磨処理を続けることにより、最終的に除去する。

- [0310] なお、この研磨処理にエッチング等の他の処理を組み合わせてもよく、また、研磨処理以外の方法を用いてもよい。
- [0311] 次に、図34Dに示されるように、エピタキシャル層22の層22aの下面にn型ドーパントをイオン注入する。
- [0312] 次に、図35Aに示されるように、層22aに注入したn型ドーパントをアニール処理により活性化させることにより、イオン注入層101を形成する。このアニール処理は、例えば、不活性雰囲気下で800～1000℃、30分の条件で実施される。
- [0313] 次に、図35Bに示されるように、層22aの下面（イオン注入層101が形成されている側の面）を支持基板102に貼り付ける。ここで、支持基板102の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。
- [0314] 層22aの支持基板102への貼り付けには、はんだ（例えばAu-Sn、Sn-Ag-Cu、又はSi-Ge）やAgペースト、樹脂、無機材料等が用いられる。
- [0315] 次に、図35Cに示されるように、支持基板102に支持された状態のエピタキシャル層22を支持基板15及び接着層16から剥離した後、エピタキシャル層22中にゲート電極23、ゲート絶縁膜24、コンタクト領域25、P⁺領域28を形成し、その後、エピタキシャル層22上にソース電極26を形成する。また、エピタキシャル層22上に電極終端構造やパッシベーション膜を設けてもよい。
- [0316] ゲート電極23、ゲート絶縁膜24、コンタクト領域25、P⁺領域28、ソース電極26の形成工程は、それぞれ第2の実施の形態に係るゲート電極23、ゲート絶縁膜24、コンタクト領域25、P⁺領域28、ソース電極26の形成工程と同様である。
- [0317] 次に、図35Dに示されるように、一方の面に電極104を有する支持基板103を用意し、ソース電極26と電極104を貼り合わせるようにしてエピタキシャル層22を支持基板103に貼り付ける。そして、支持基板1

03に支持されるエピタキシャル層22を支持基板102から剥離し、層22aの下面上にドレイン電極27を形成する。この支持基板103の材料は、特定のものに限定されないが、後述するように、縦型トランジスタ100の支持基板として支持基板103を残す場合は、Al等の金属、AlN、SiN、GaN等の窒化物、SiO₂、Al₂O₃等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 β -Ga₂O₃よりも熱伝導率の高い材料であることが好ましい。

[0318] ドレイン電極27の形成工程は、第1の実施の形態に係るドレイン電極27の形成工程と同様である。

[0319] なお、最終製品としての縦型トランジスタ100の支持基板として支持基板103を残してもよい。この場合、ソース電極26への外部電源の供給は、支持基板103の電極104を介して行ってもよい。また、支持基板103が導電性を有する場合は、支持基板103及び電極104を介してソース電極26へ外部電源を供給してもよい。また、縦型トランジスタ100を支持基板103から剥離して他の支持基板に貼り付けてもよい。

[0320] (実施の形態の効果)

上記第1～10の実施の形態によれば、下地基板を薄くする、下地基板を除去してイオン注入層を形成する、又は下地基板を除去して高熱伝導基板に貼り付けることにより、効果的に放熱することができる。これにより、半導体素子の放熱特性を向上させることができる。

[0321] 以上、本発明の実施の形態を説明したが、本発明は、上記実施の形態に限定されず、発明の主旨を逸脱しない範囲内において種々変形実施が可能である。

[0322] 例えば、半導体素子は上記の実施の形態において開示されたものに限られず、Ga₂O₃系結晶からなる下地基板とその上にエピタキシャル成長したGa₂O₃系結晶からなるエピタキシャル層を含む構造、又はその下地基板を除去した後にエピタキシャル層中に形成される高濃度のドーパントを含むイオン注入層を含む構造を有する半導体素子であれば、本発明を適用することが

できる。

[0323] また、発明の主旨を逸脱しない範囲内において上記実施の形態の構成要素を任意に組み合わせることができる。

[0324] また、上記に記載した実施の形態は特許請求の範囲に係る発明を限定するものではない。また、実施の形態の中で説明した特徴の組合せの全てが発明の課題を解決するための手段に必須であるとは限らない点に留意すべきである。

産業上の利用可能性

[0325] 放熱特性及び耐電圧性に優れた Ga_2O_3 系の半導体素子及びその製造方法、並びにその半導体素子の製造に用いることができる半導体基板及び結晶積層構造体を提供する。

符号の説明

[0326] 10、40、60、90…ショットキーダイオード、 11、21、31、81…下地基板、 12、22、32、42、62、72、82…エピタキシャル層、 20、70、80、100…縦型トランジスタ、 30…横型トランジスタ、 41、101…イオン注入層、 15、46、51、52…支持基板、 61、71…高熱伝導基板

請求の範囲

- [請求項1] $0.05\ \mu\text{m}$ 以上かつ $50\ \mu\text{m}$ 以下の厚さを有する、 Ga_2O_3 系結晶からなる下地基板と、
 Ga_2O_3 系結晶からなり、前記下地基板上にエピタキシャル成長したエピタキシャル層と、
 を有する半導体素子。
- [請求項2] 前記下地基板の厚さが $10\ \mu\text{m}$ 未満である、
 請求項1に記載の半導体素子。
- [請求項3] 前記下地基板の主面の面方位が(010)である、
 請求項1又は2に記載の半導体素子。
- [請求項4] 前記下地基板及び前記エピタキシャル層が電流経路となる縦型の素子である、
 請求項1又は2に記載の半導体素子。
- [請求項5] 前記下地基板が電流経路とならない横型の素子である、
 請求項1又は2に記載の半導体素子。
- [請求項6] 前記下地基板と前記エピタキシャル層のそれぞれが、他の基板に貼り付けられた、
 請求項1又は2に記載の半導体素子。
- [請求項7] n型ドーパントを含む Ga_2O_3 系結晶からなるエピタキシャル層と、
 前記エピタキシャル層の表面に形成された、前記エピタキシャル層よりも高濃度のn型ドーパントを含むイオン注入層と、
 前記エピタキシャル層に接続されるアノード電極と、
 前記イオン注入層に接続されるカソード電極と、
 を有する、半導体素子。
- [請求項8] 前記エピタキシャル層と前記イオン注入層のそれぞれが、他の基板に貼り付けられた、
 請求項7に記載の半導体素子。

- [請求項9] Ga_2O_3 系結晶からなる下地基板上に Ga_2O_3 系結晶をエピタキシャル成長させて、エピタキシャル層を形成する工程と、
前記下地基板を薄くして、その厚さを $0.05\mu m$ 以上かつ $50\mu m$ 以下にする工程と、
を含む、半導体素子の製造方法。
- [請求項10] 前記下地基板を $10\mu m$ 未満の厚さになるように薄くする、
請求項9に記載の半導体素子の製造方法。
- [請求項11] 研磨処理により前記下地基板を薄くする、
請求項9に記載の半導体素子の製造方法。
- [請求項12] 研磨処理と前記研磨処理後のエッチングにより前記下地基板を薄くする、
請求項9又は10に記載の半導体素子の製造方法。
- [請求項13] 前記エピタキシャル層はn型ドーパントを含み、
前記下地基板を薄くして最終的に除去した後、前記下地基板が位置していた側の前記エピタキシャル層の表面にn型ドーパントをイオン注入し、前記エピタキシャル層よりも高濃度のn型ドーパントを含むイオン注入層を前記表面に形成する、
請求項9に記載の半導体素子の製造方法。
- [請求項14] 前記エピタキシャル層を支持基板に貼り付けた状態で前記下地基板を薄くする、
請求項9～11、13のいずれか1項に記載の半導体素子の製造方法。
- [請求項15] Ga_2O_3 系結晶からなり、 $0.05\mu m$ 以上かつ $50\mu m$ 以下の厚さを有する、半導体基板。
- [請求項16] 主面の面方位が(010)である、
請求項15に記載の半導体基板。
- [請求項17] $0.05\mu m$ 以上かつ $50\mu m$ 以下の厚さを有する、 Ga_2O_3 系結晶からなる下地基板と、

Ga₂O₃系結晶からなり、前記下地基板上にエピタキシャル成長したエピタキシャル層と、

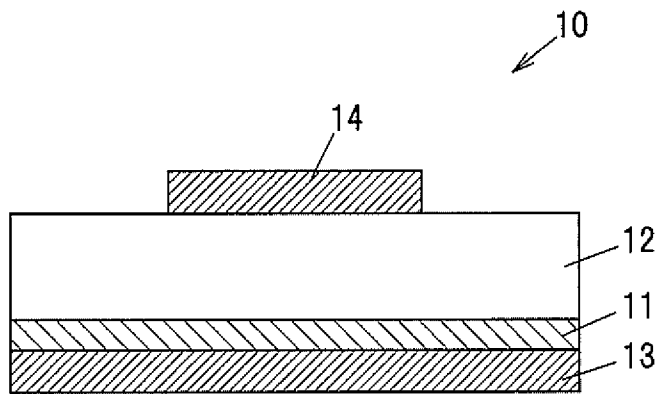
を有する結晶積層構造体。

[請求項18] 前記下地基板の厚さが10 μm未満である、
請求項17に記載の結晶積層構造体。

[請求項19] 前記下地基板の主面の面方位が(010)である、
請求項17又は18に記載の結晶積層構造体。

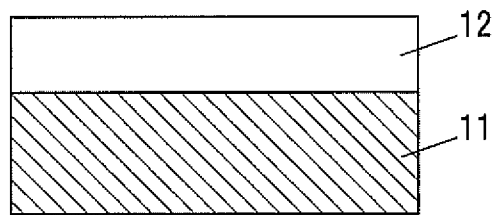
[図1]

図1



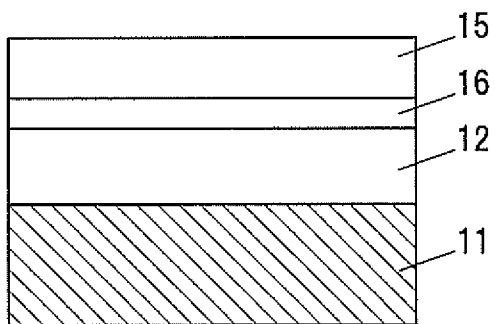
[図2A]

図2A



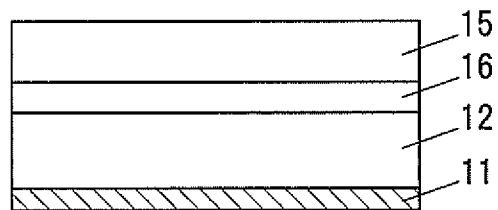
[図2B]

図2B



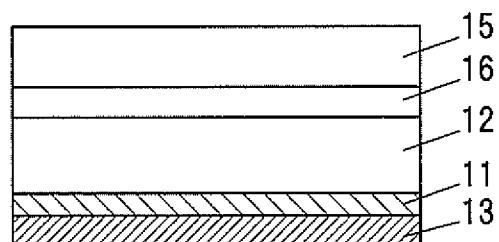
[図2C]

図2C



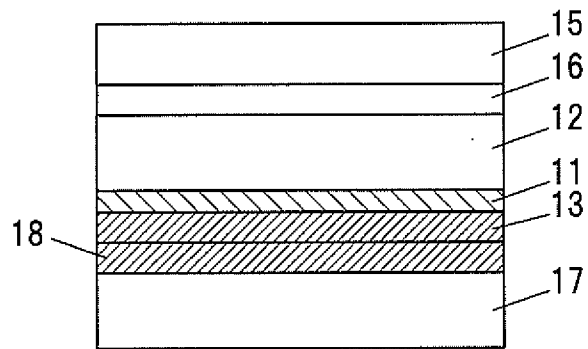
[図2D]

図2D



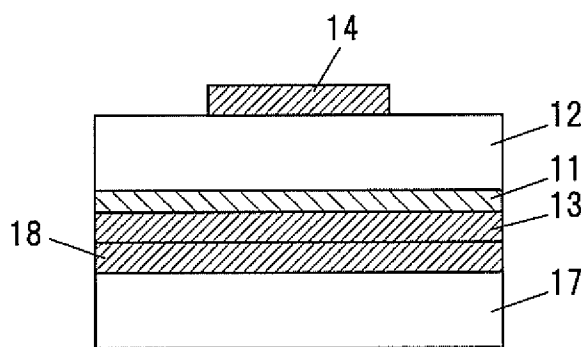
[図3A]

図3A



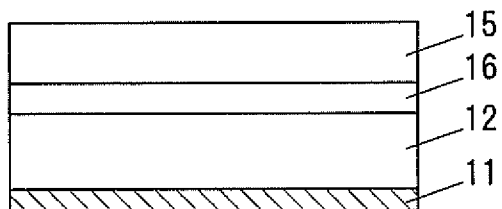
[図3B]

図3B



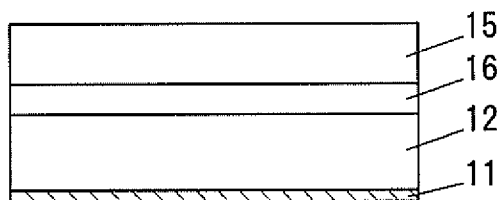
[図4A]

図4A



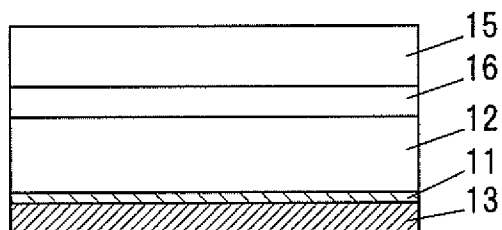
[図4B]

図4B



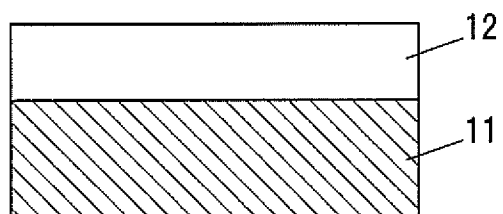
[図4C]

図4C



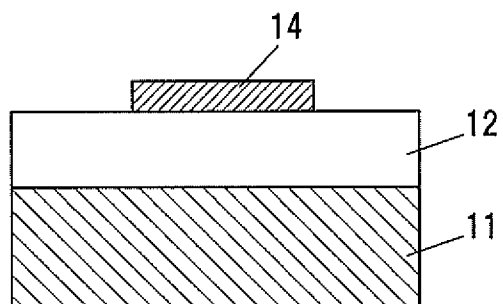
[図5A]

図5A



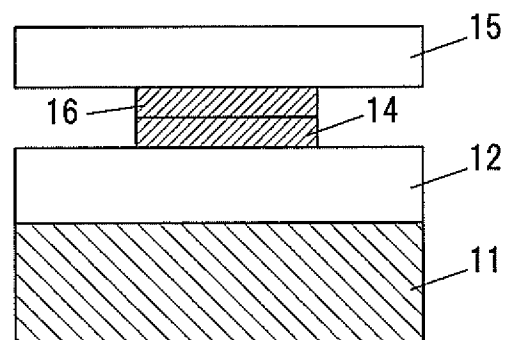
[図5B]

図5B



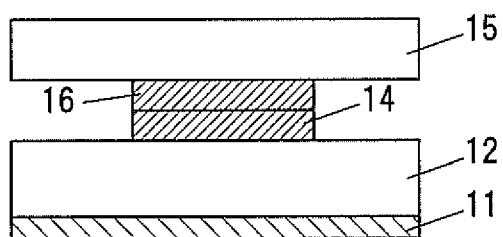
[図5C]

図5C



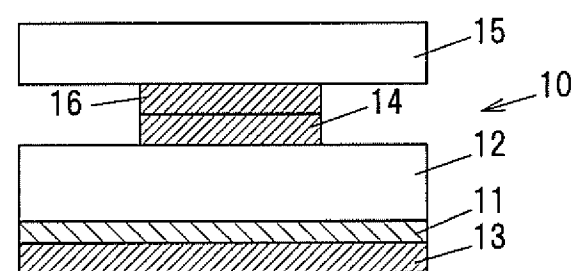
[図5D]

図5D



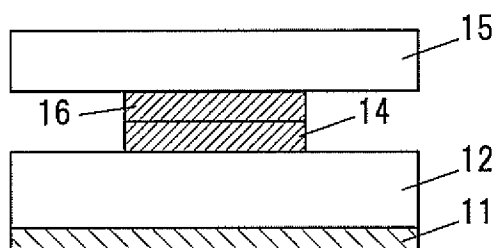
[図5E]

図5E



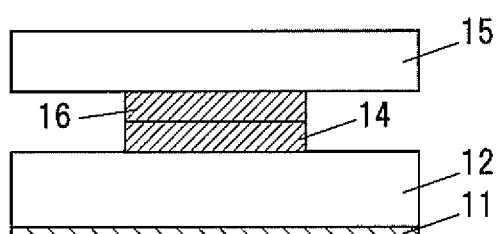
[図6A]

図6A



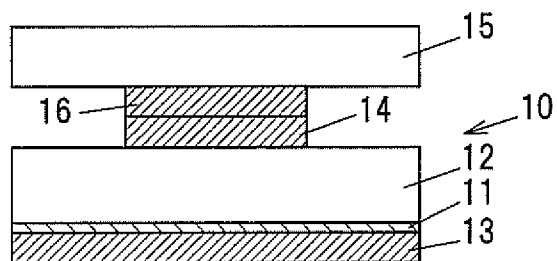
[図6B]

図6B



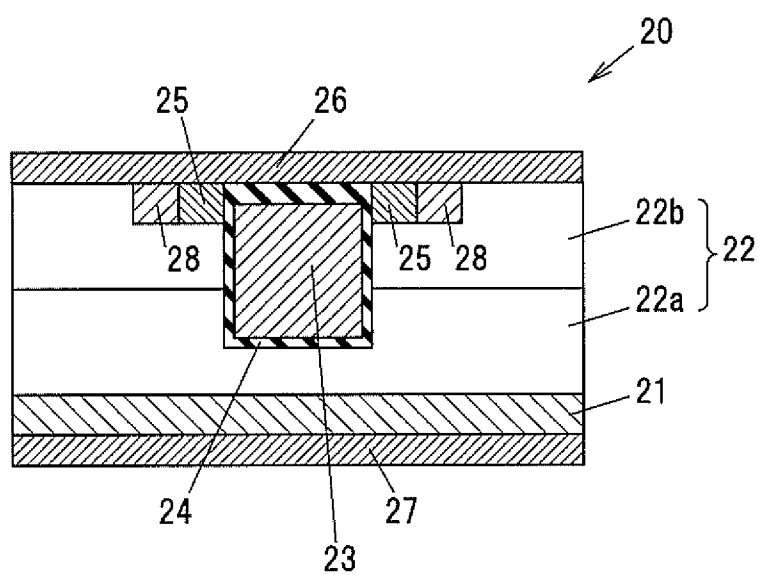
[図6C]

図6C



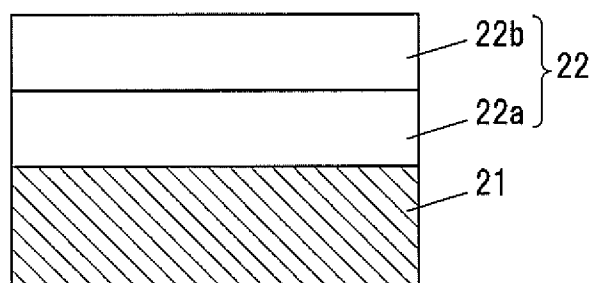
[図7]

図7



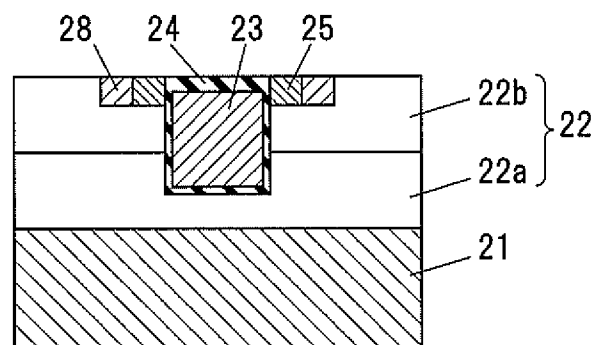
[図8A]

図8A

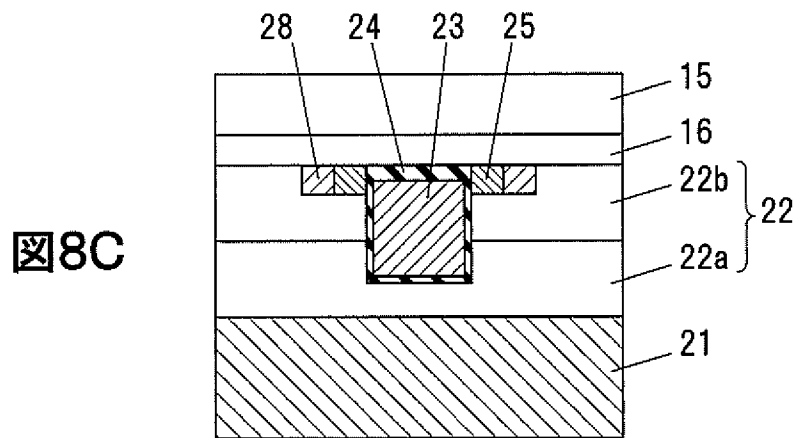


[図8B]

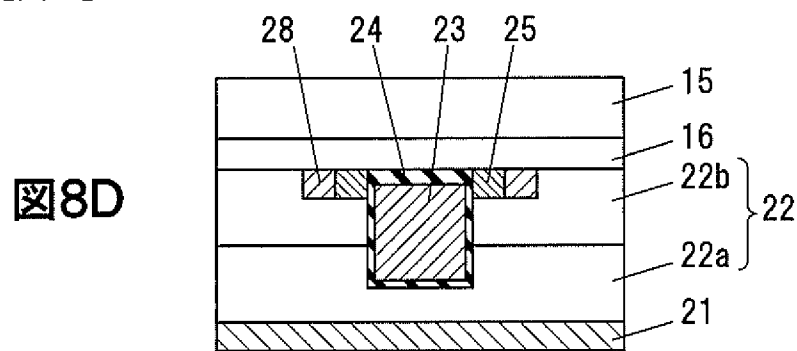
図8B



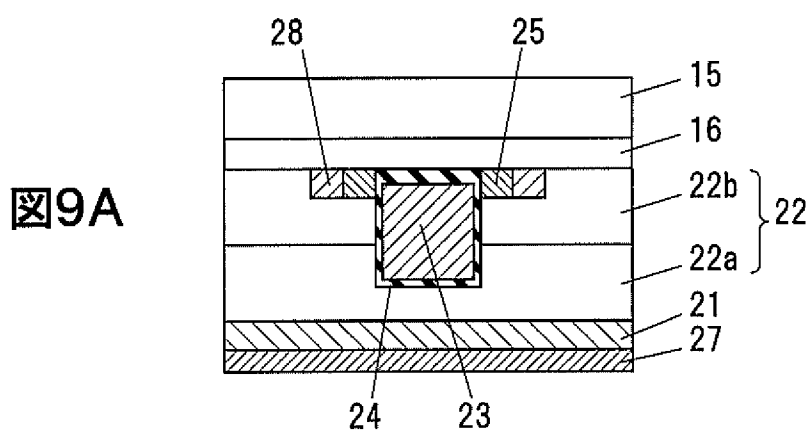
[図8C]



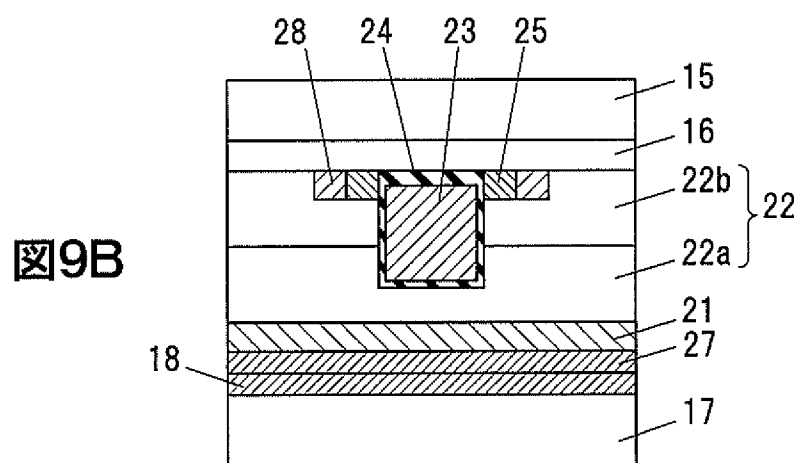
[図8D]



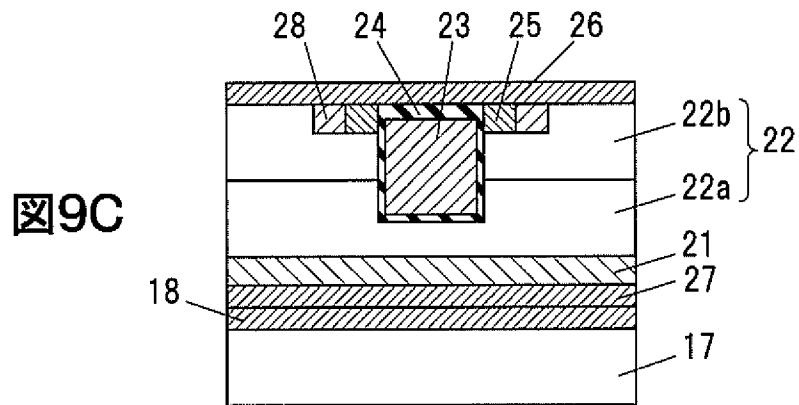
[図9A]



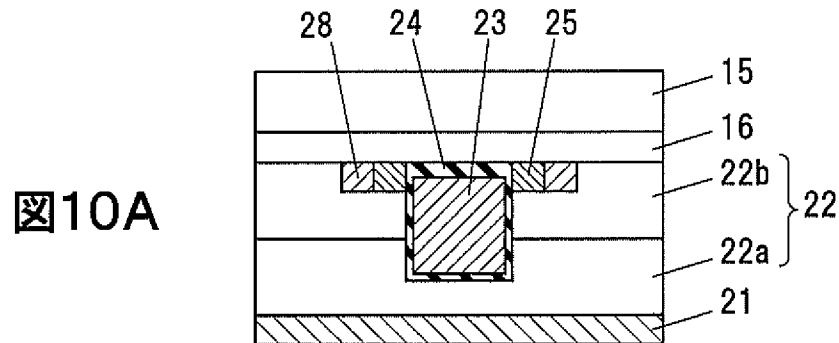
[図9B]



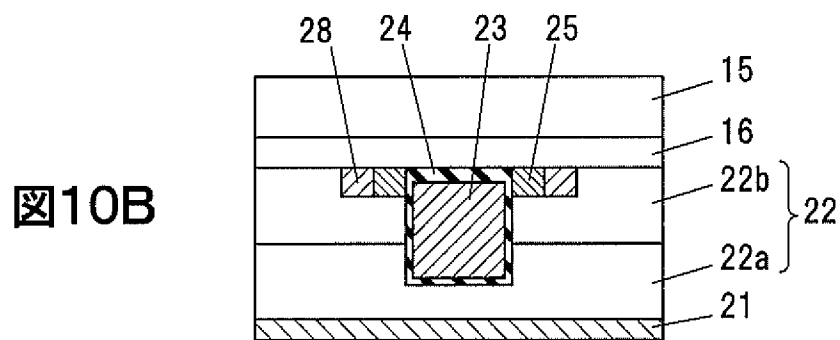
[図9C]



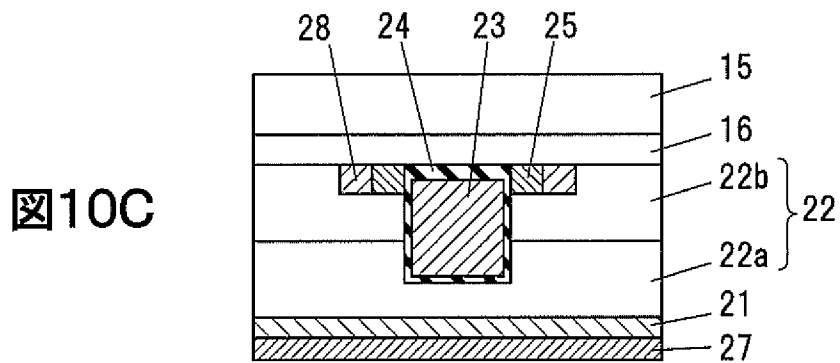
[図10A]



[図10B]

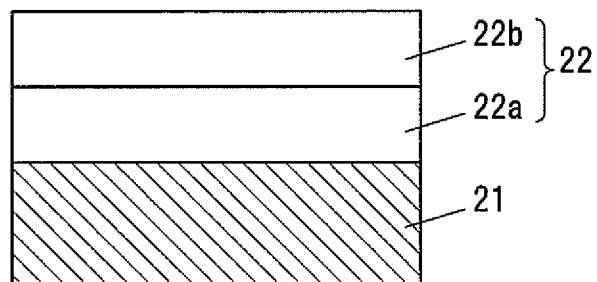


[図10C]



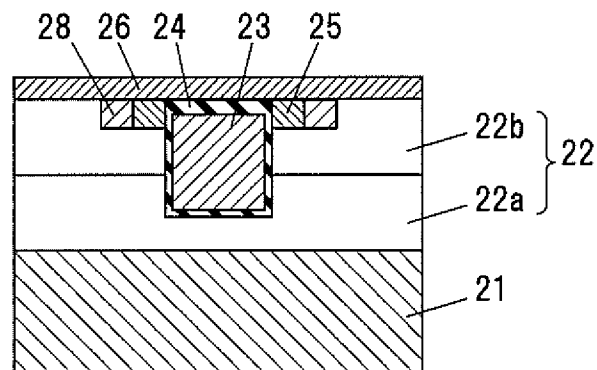
[図11A]

図11A



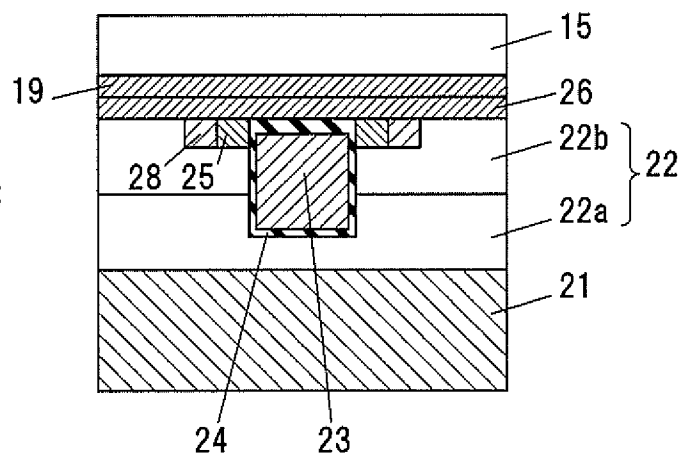
[図11B]

図11B



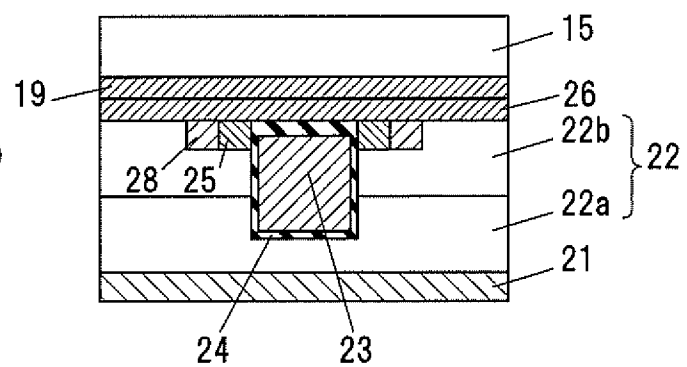
[図11C]

図11C



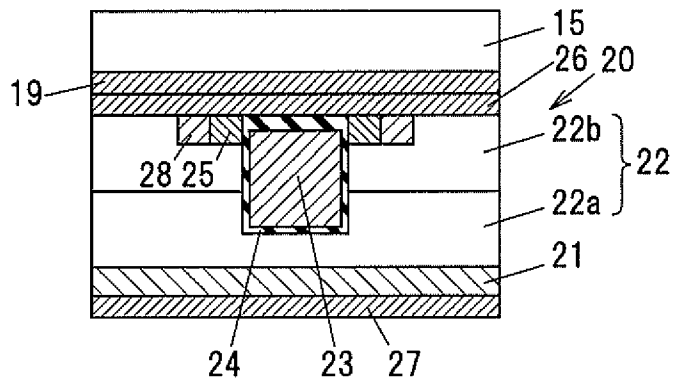
[図11D]

図11D



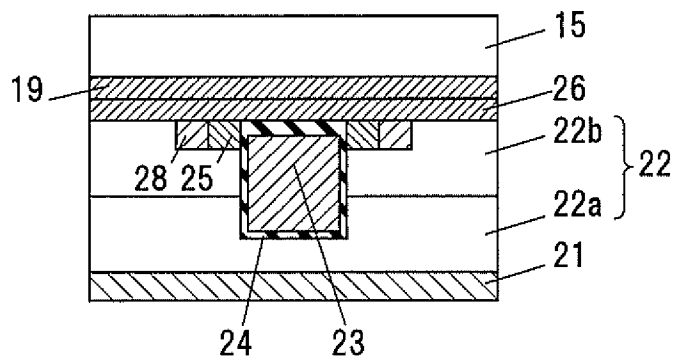
[図12]

図12



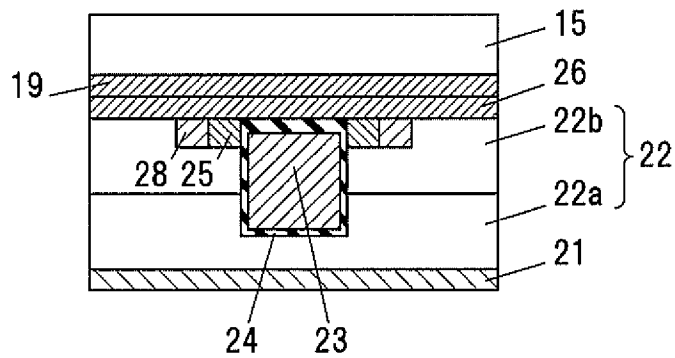
[図13A]

図13A



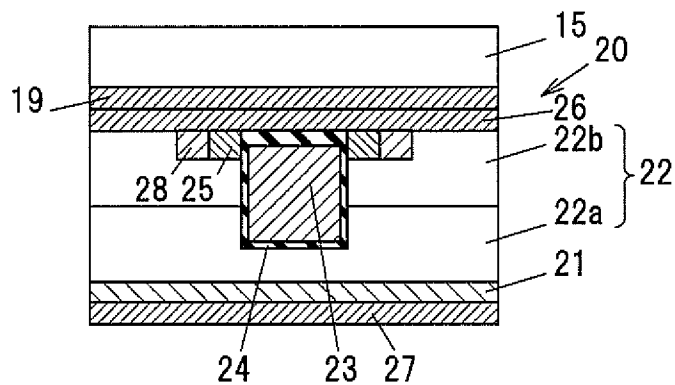
[図13B]

図13B



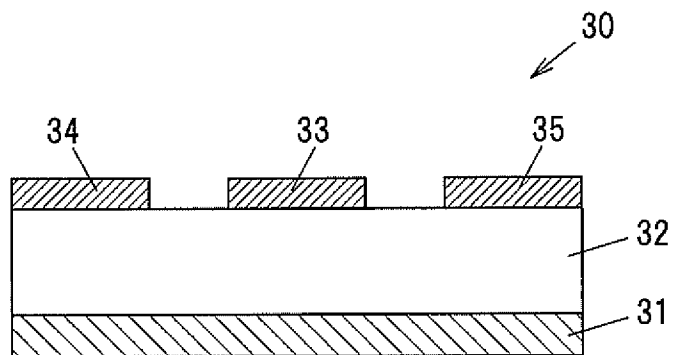
[図13C]

図13C



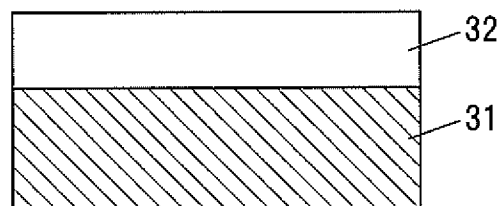
[図14]

図14



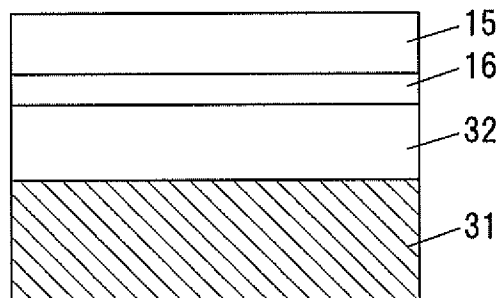
[図15A]

図15A



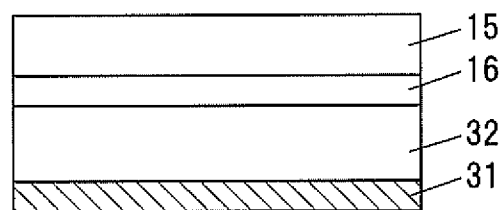
[図15B]

図15B



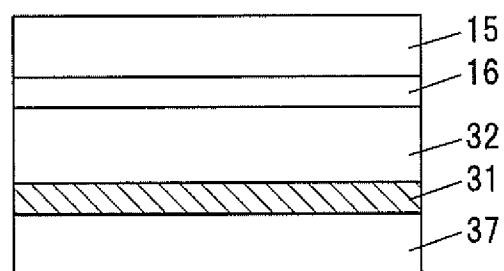
[図15C]

図15C



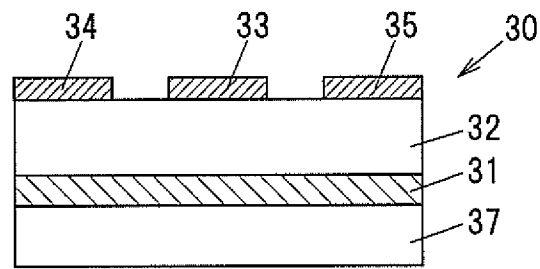
[図15D]

図15D



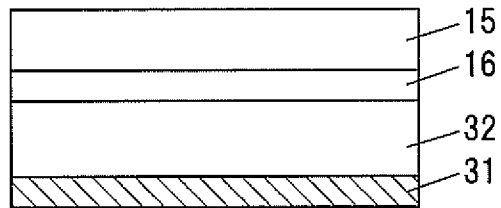
[図15E]

図15E



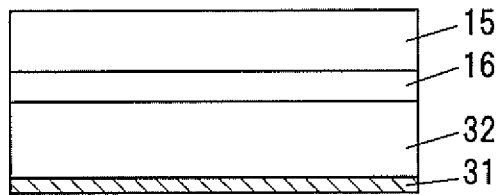
[図16A]

図16A



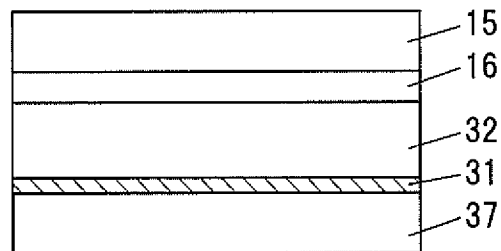
[図16B]

図16B



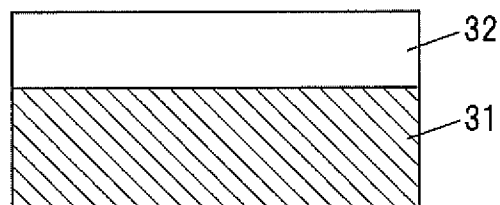
[図16C]

図16C



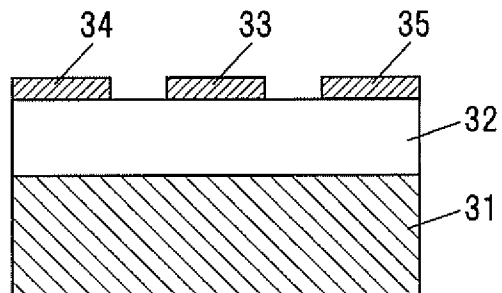
[図17A]

図17A



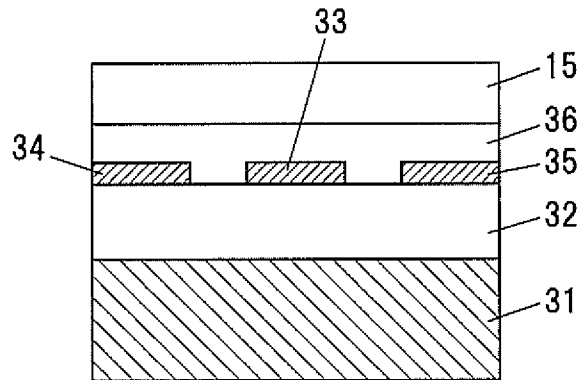
[図17B]

図17B



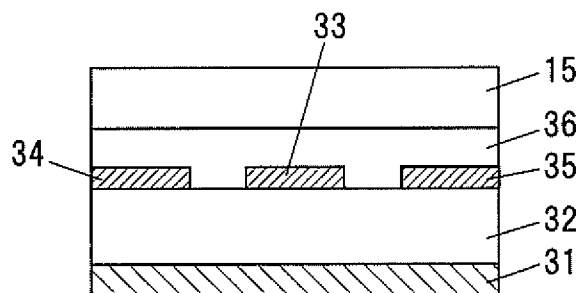
[図17C]

図17C



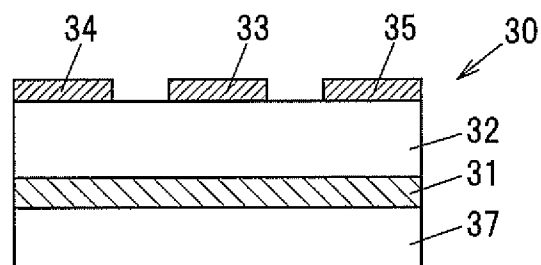
[図17D]

図17D



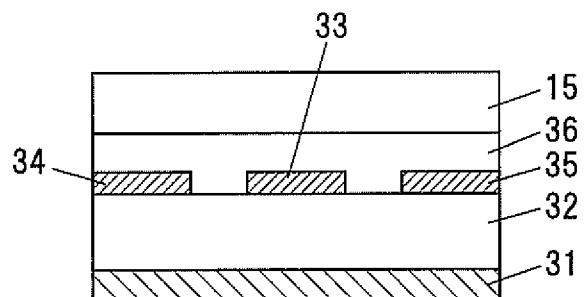
[図17E]

図17E



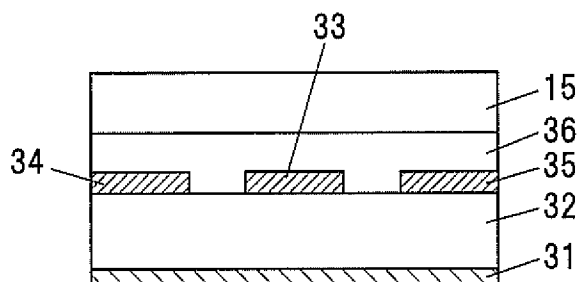
[図18A]

図18A



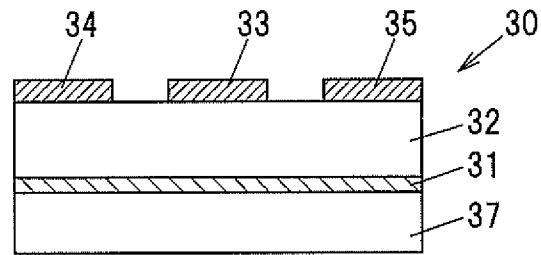
[図18B]

図18B



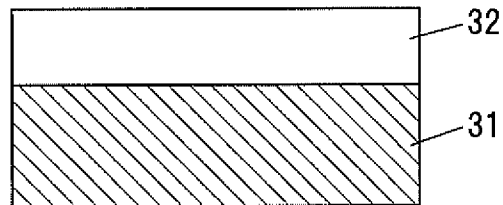
[図18C]

図18C



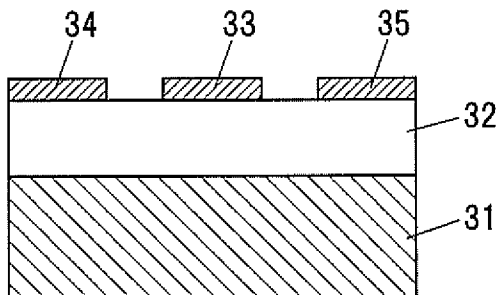
[図19A]

図19A



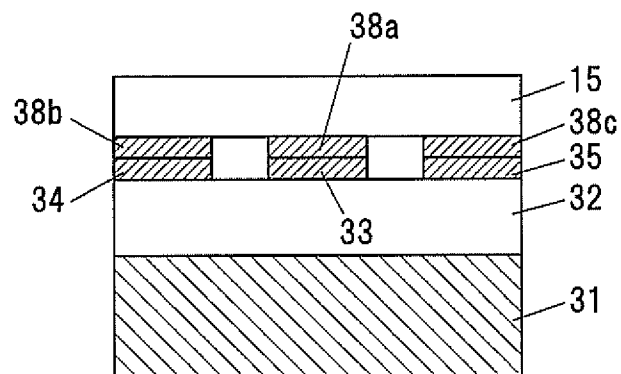
[図19B]

図19B



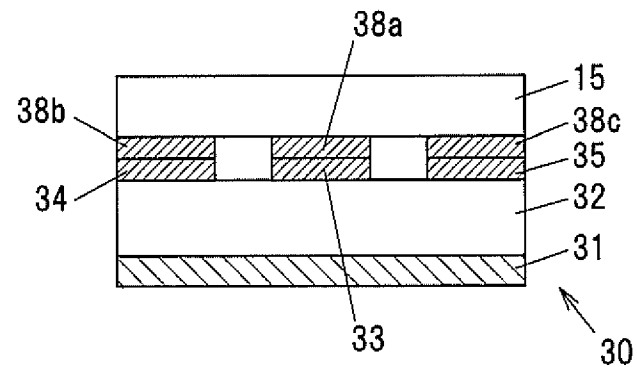
[図19C]

図19C

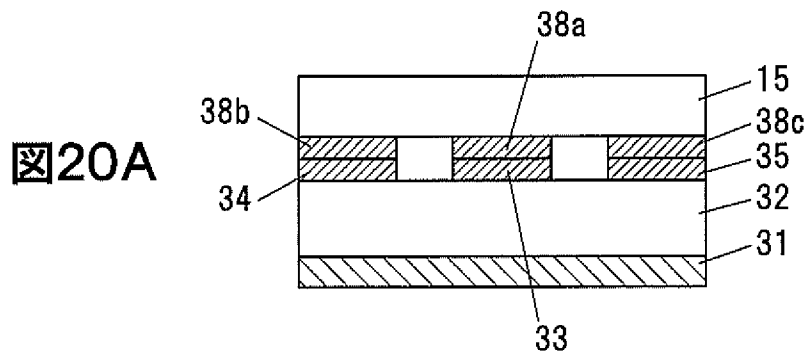


[図19D]

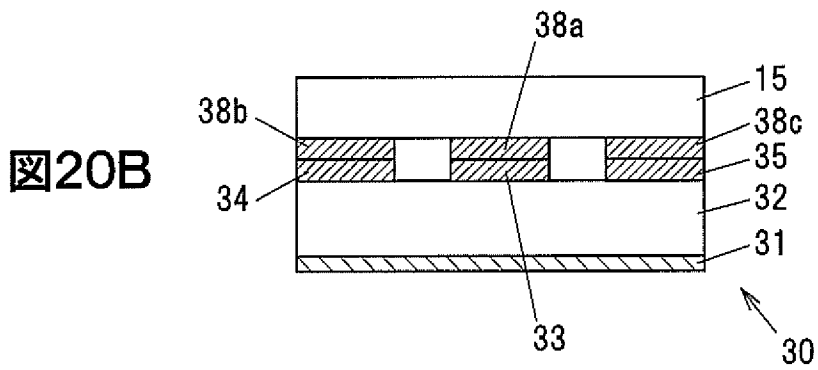
図19D



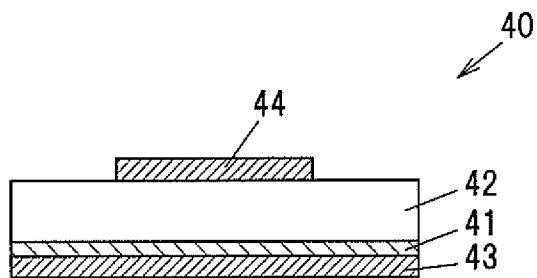
[図20A]



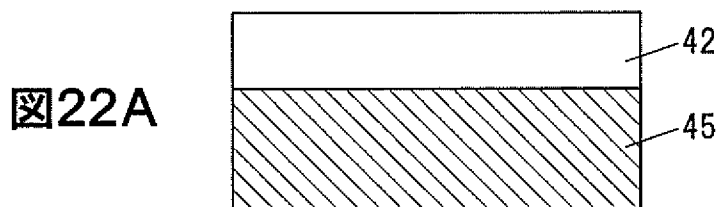
[図20B]



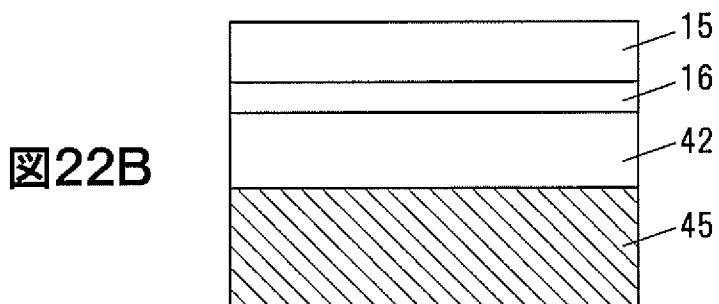
[図21]

図21

[図22A]

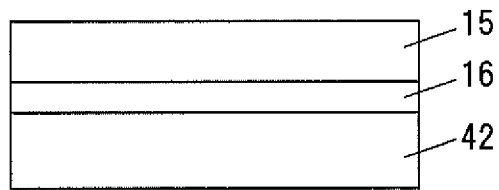


[図22B]



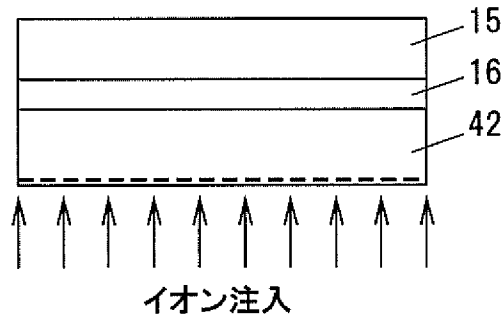
[図22C]

図22C



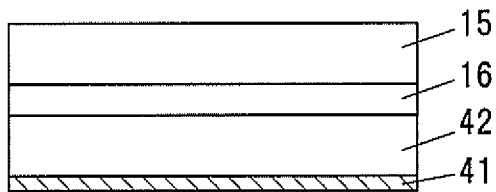
[図22D]

図22D



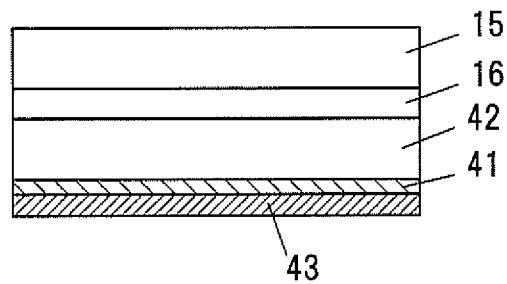
[図22E]

図22E



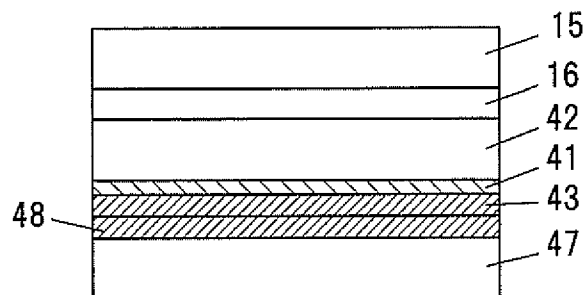
[図23A]

図23A



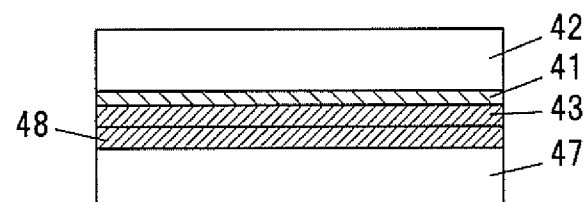
[図23B]

図23B

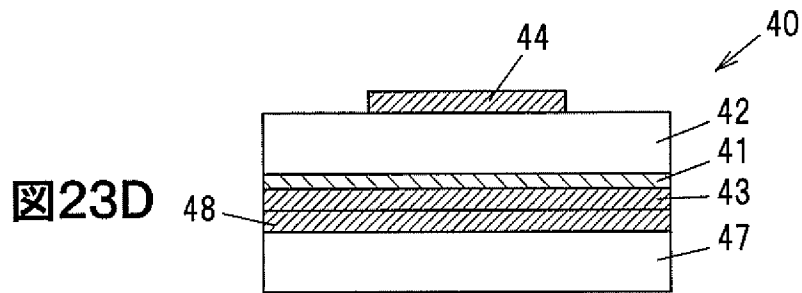


[図23C]

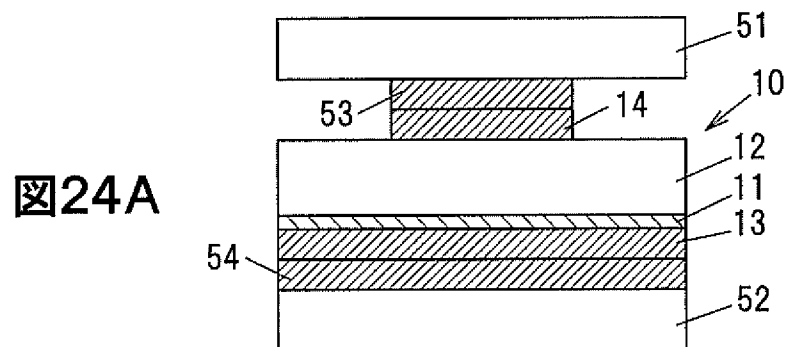
図23C



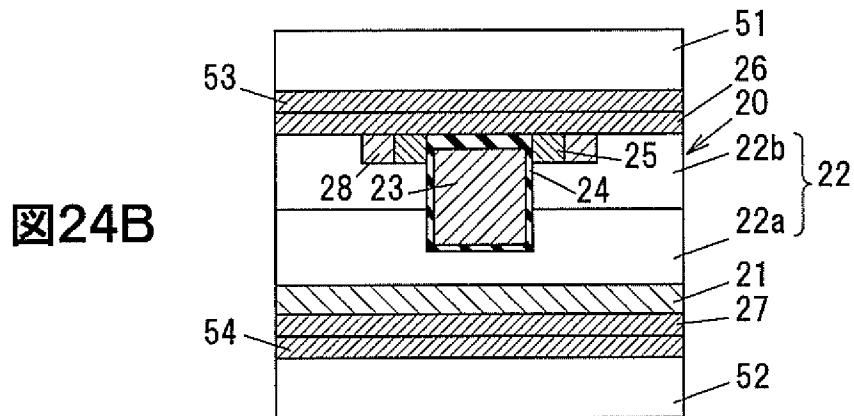
[図23D]



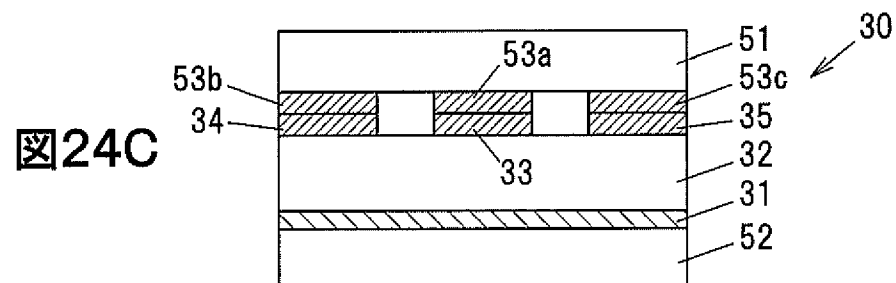
[図24A]



[図24B]

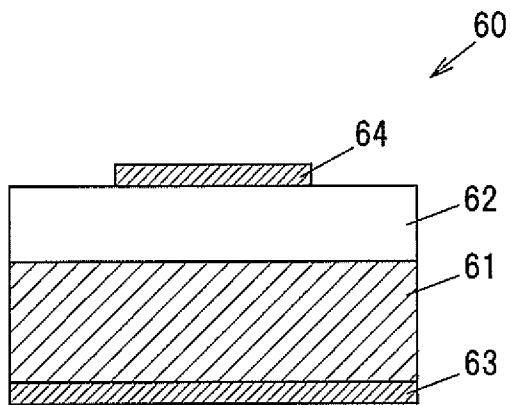


[図24C]



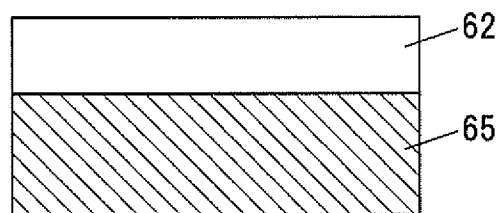
[図25]

図25



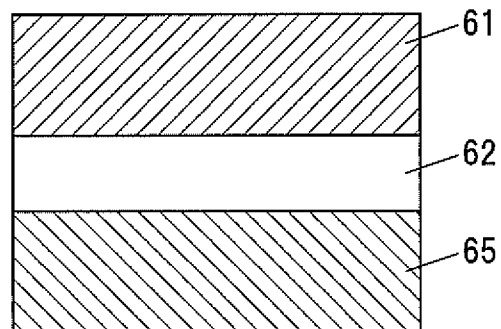
[図26A]

図26A



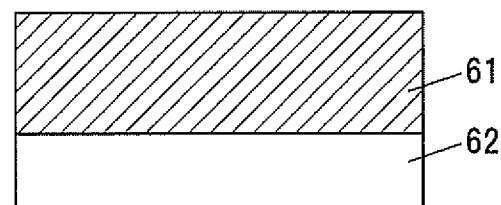
[図26B]

図26B



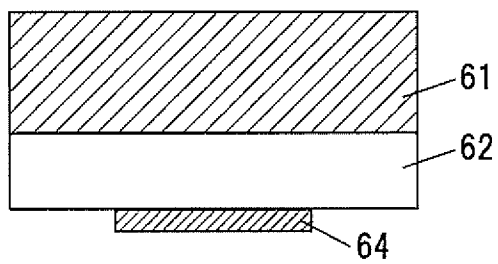
[図26C]

図26C



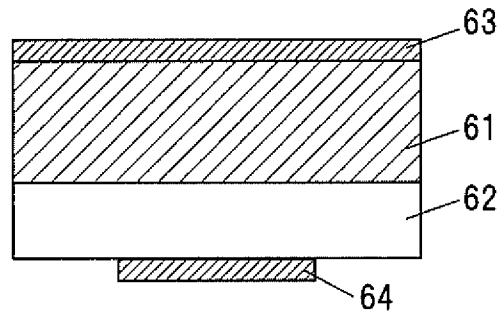
[図26D]

図26D



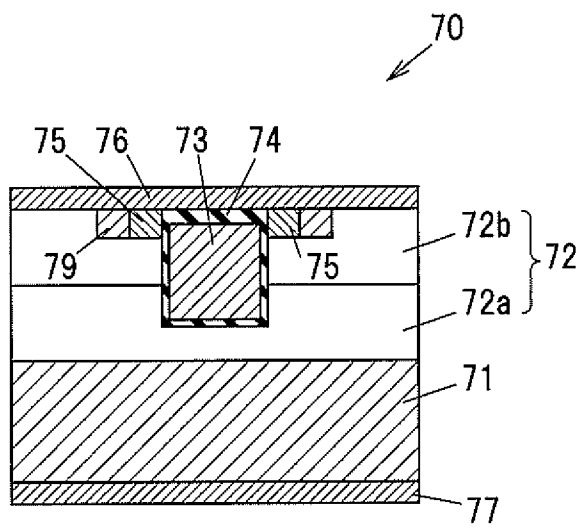
[図26E]

図26E



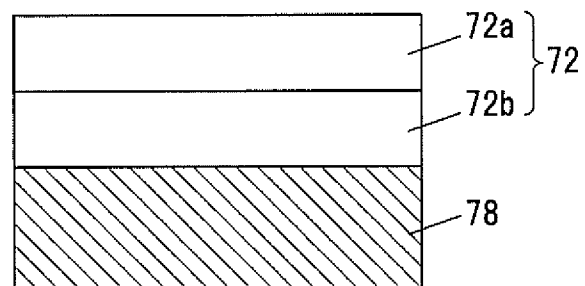
[図27]

図27



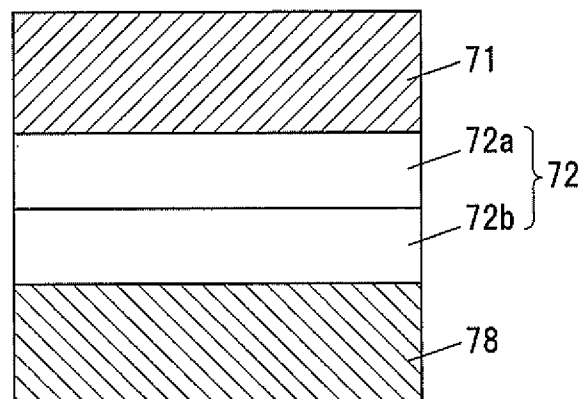
[図28A]

図28A



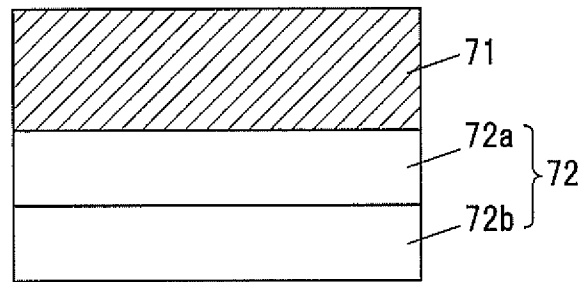
[図28B]

図28B



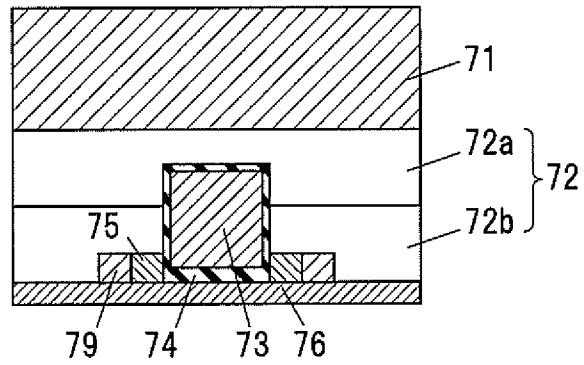
[図28C]

図28C



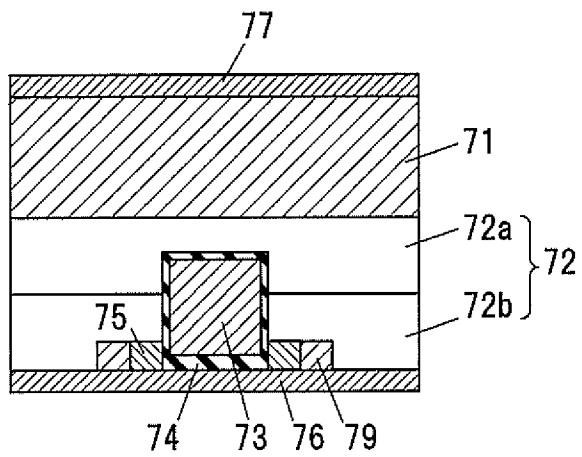
[図28D]

図28D



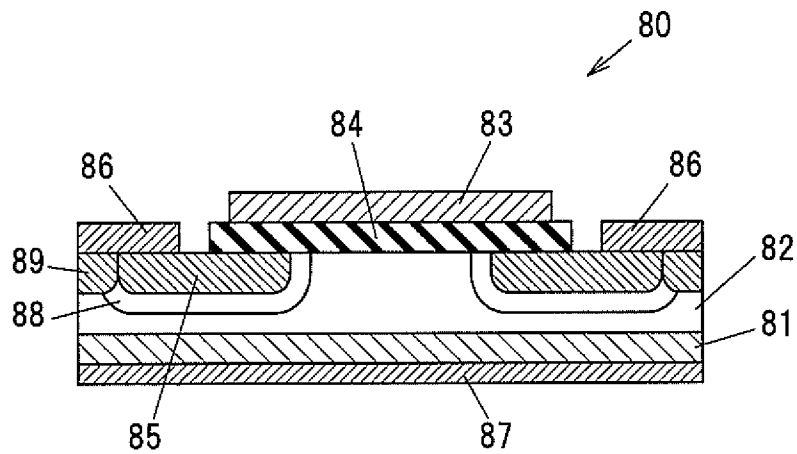
[図29]

図29



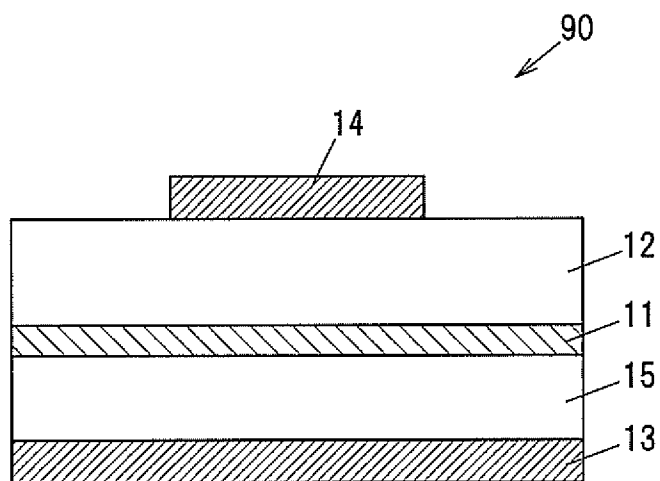
[図30]

図30



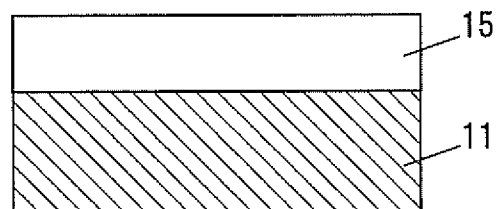
[図31]

図31



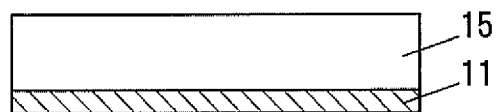
[図32A]

図32A



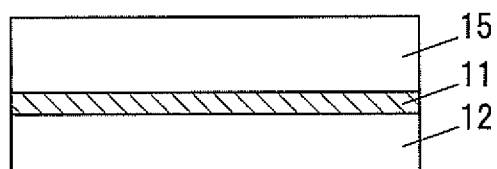
[図32B]

図32B



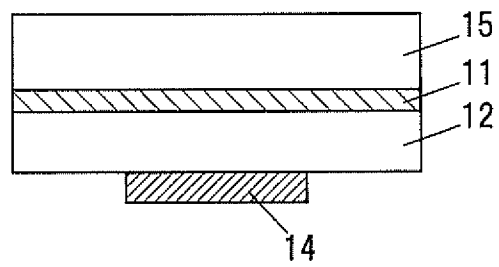
[図32C]

図32C



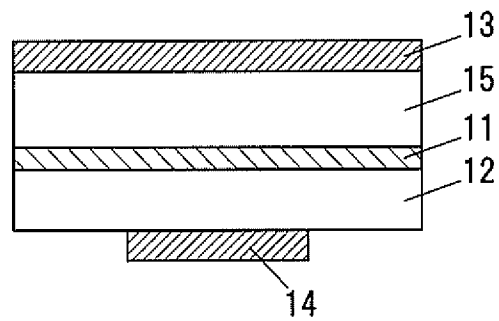
[図32D]

図32D



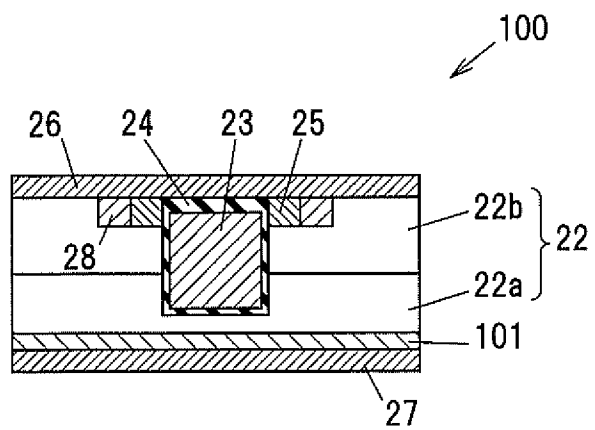
[図32E]

図32E



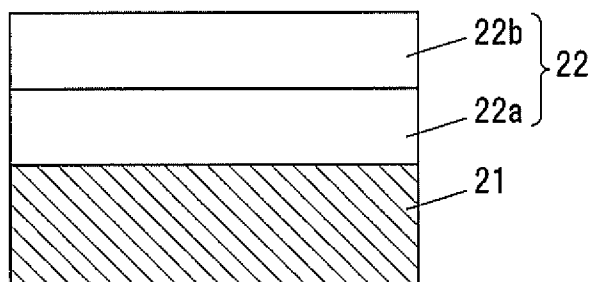
[図33]

図33



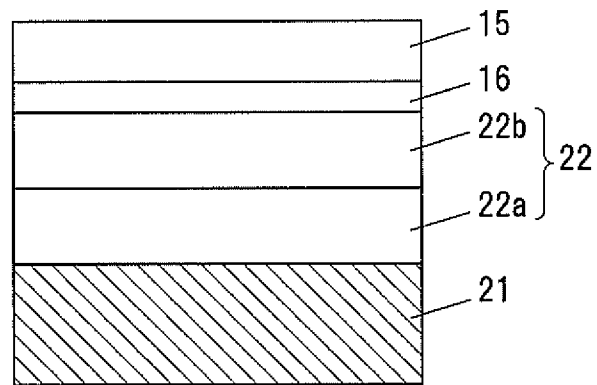
[図34A]

図34A



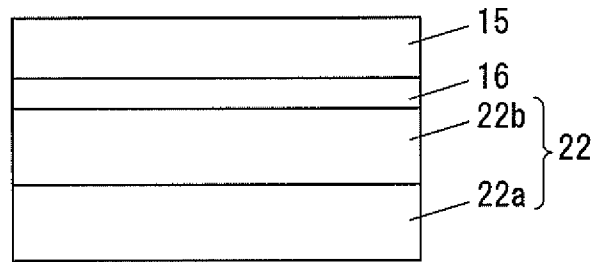
[図34B]

図34B



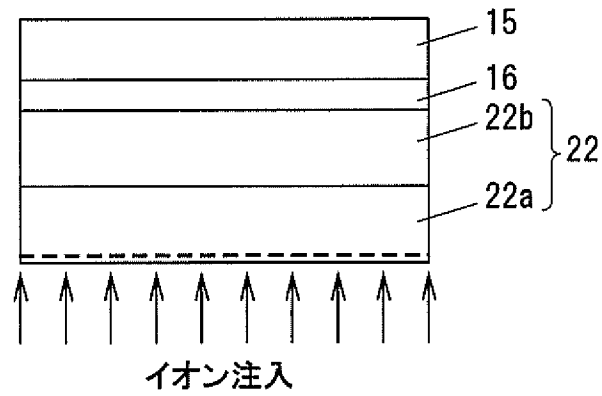
[図34C]

図34C



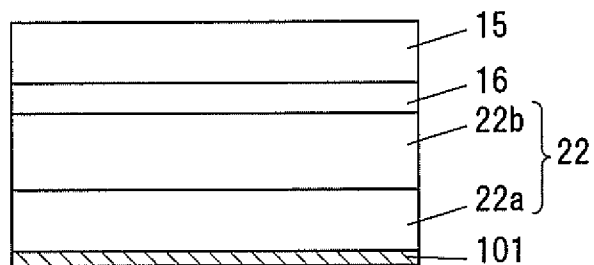
[図34D]

図34D



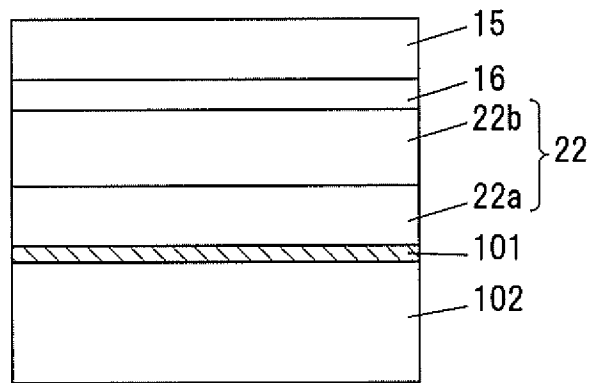
[図35A]

図35A



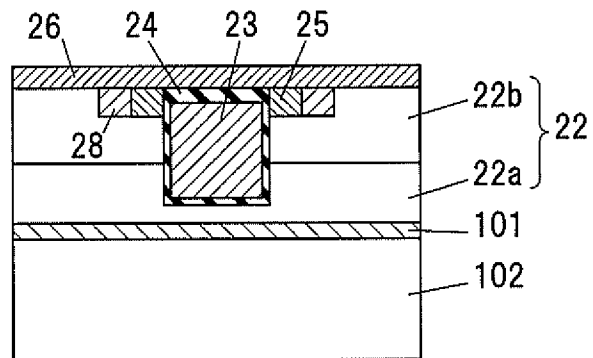
[図35B]

図35B



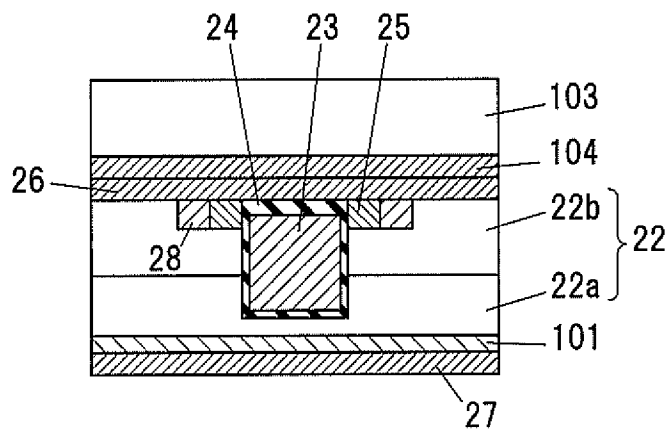
[図35C]

図35C



[図35D]

図35D



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/071114

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/20, C30B29/16, H01L21/329, H01L21/336, H01L21/337, H01L21/338, H01L29/12, H01L29/24, H01L29/78, H01L29/786, H01L29/808, H01L29/812, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y Y	WO 2013/035464 A1 (Tamura Corp.), 14 March 2013 (14.03.2013), claims; paragraphs [0030] to [0032], [0043] to [0064], [0067] to [0077]; fig. 1 to 5 & JP 5612216 B & US 2014/0217554 A1 claims; paragraphs [0045] to [0047], [0058] to [0079], [0082] to [0092]; fig. 1 to 5 & EP 2754736 A1 & CN 103781948 A	1-6, 15-19 7-14 1-19

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 October 2015 (15.10.15)

Date of mailing of the international search report
27 October 2015 (27.10.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/071114

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y Y	JP 2003-533051 A (Cree Inc.), 05 November 2003 (05.11.2003), paragraphs [0044] to [0046], [0060]; fig. 1, 5 & US 6686616 B1 column 8, lines 16 to 64; column 11, lines 54 to 67; fig. 1, 5 & WO 2001/086727 A2 & EP 1285464 A2 & EP 1976020 A2 & AU 3835101 A & TW 492198 B & CA 2408582 A & CN 1441965 A	9-12, 14 1-19
Y Y	JP 05-243277 A (Toshiba Corp.), 21 September 1993 (21.09.1993), paragraphs [0002] to [0006]; fig. 2 (Family: none)	9-12, 14 1-19
Y	WO 2013/035465 A1 (Tamura Corp.), 14 March 2013 (14.03.2013), claims; paragraphs [0025] to [0026] & JP 5745073 B & US 2014/0220734 A1 claims; paragraphs [0043] to [0044] & EP 2755231 A1 & CN 103782376 A	7-8, 13
Y	JP 2010-126372 A (Hitachi Cable Ltd.), 10 June 2010 (10.06.2010), paragraph [0014] (Family: none)	9-12, 14
Y	JP 2013-149798 A (Fuji Electric Co., Ltd.), 01 August 2013 (01.08.2013), paragraph [0035]; fig. 6 (Family: none)	13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/071114

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

*H01L21/20(2006.01)i, C30B29/16(2006.01)i, H01L21/329(2006.01)i,
H01L21/336(2006.01)i, H01L21/337(2006.01)i, H01L21/338(2006.01)i,
H01L29/12(2006.01)i, H01L29/24(2006.01)i, H01L29/78(2006.01)i,
H01L29/786(2006.01)i, H01L29/808(2006.01)i, H01L29/812(2006.01)i,
H01L29/872(2006.01)i*

(According to International Patent Classification (IPC) or to both national
classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. 特別ページ参照

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/20, C30B29/16, H01L21/329, H01L21/336, H01L21/337, H01L21/338, H01L29/12, H01L29/24, H01L29/78, H01L29/786, H01L29/808, H01L29/812, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2013/035464 A1（株式会社タムラ製作所）2013.03.14, 請求の範囲, 段落【0030】 - 【0032】, 【0043】 - 【0064】, 【0067】 - 【0077】, 第1-5図 & JP 5612216 B & US 2014/0217554 A1（請求の範囲, 段落【0045】 - 【0047】, 【0058】 - 【0079】, 【0082】 - 【0092】, 第1-5図） & EP 2754736 A1 & CN 103781948 A	1-6, 15-19
Y		7-14
Y		1-19

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 1 0 . 2 0 1 5

国際調査報告の発送日

2 7 . 1 0 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

桑原 清

5 O

9 3 7 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-533051 A (クリー インコーポレイテッド) 2003. 11. 05, 段落【0044】 - 【0046】, 【0060】, 第 1, 5 図 & US 6686616 B1 (第 8 欄	9-12, 14
Y	第 16-64 行, 第 11 欄第 54-67 行, 第 1, 5 図) & WO 2001/086727 A2 & EP 1285464 A2 & EP 1976020 A2 & AU 3835101 A & TW 492198 B & CA 2408582 A & CN 1441965 A	1-19
Y	JP 05-243277 A (株式会社東芝) 1993. 09. 21, 段落【0002】 - 【0006】, 第 2 図 (ファミリーなし)	9-12, 14
Y	WO 2013/035465 A1 (株式会社タムラ製作所) 2013. 03. 14, 請求の範囲, 段落【0025】 - 【0026】 & JP 5745073 B & US 2014/0220734 A1 (請求の範囲, 段落【0043】 - 【0044】) & EP 2755231 A1 & CN 103782376 A	1-19
Y	JP 2010-126372 A (日立電線株式会社) 2010. 06. 10, 段落【0014】 (ファミリーなし)	7-8, 13
Y	JP 2013-149798 A (富士電機株式会社) 2013. 08. 01, 段落【0035】, 第 6 図 (ファミリーなし)	9-12, 14
		13

発明の属する分野の分類

H01L21/20(2006.01)i, C30B29/16(2006.01)i, H01L21/329(2006.01)i,
H01L21/336(2006.01)i, H01L21/337(2006.01)i, H01L21/338(2006.01)i,
H01L29/12(2006.01)i, H01L29/24(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i,
H01L29/808(2006.01)i, H01L29/812(2006.01)i, H01L29/872(2006.01)i