

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92126057

※ 申請日期：92.9.22

※IPC 分類：H01L29/68

壹、發明名稱：(中文/英文)

開關電路裝置

SWITCH CIRCUIT DEVICE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司 / SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通 2 丁目 5 番 5 號

5-5, 2-chome, Keihan-Hondori, Moriguchi-City, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

參、發明人：(共 4 人)

姓名：(中文/英文)

1. 淺野哲郎 / ASANO, TETSURO

2. 榊原幹人 / SAKAKIBARA, MIKITO

3. 中島好史 / NAKAJIMA, YOSHIBUMI

4. 石原秀俊 / ISHIHARA, HIDETOSHI

住居所地址：(中文/英文)

1. 日本國群馬縣邑樂郡大泉町古冰 106-27

106-27, Furugori, Oizumi-machi, Ora-gun, Gunma, Japan

2.日本國埼玉縣熊谷市玉井 3-62-2

3-62-2 Tamai, Kumagaya-city, Saitama, Japan

3.日本國栃木縣足利市今福町 274-4

274-4, Imahuku-machi, Ashikaga-city, Tochigi, Japan

4.日本國群馬縣邑樂郡大泉町住吉 57-1 泉寮 2-110

2-110, Izumi-ryo, 57-1, Sumiyoshi, Oizumi-machi, Ora-gun, Gunma, Japan

國 籍：(中文/英文) 1 至 4 日本國 / JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 ☒ V 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本國 2002 年 10 月 17 日 特願 2002-303484(主張優先權)
2. 日本國 2003 年 09 月 08 日 PCT/JP03/11419 (主張優先權)
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

【發明所屬之技術領域】

本發明係關於一種開關電路裝置，尤其是關於一種大幅提高靜電破壞電壓的開關電路裝置。

【先前技術】

在行動電話等的移動體用通訊機器中，大多使用 GHz 頻帶之微波，而在天線之切換電路或收發之切換電路等中，則常使用切換該等之高頻訊號用的開關元件。作為該元件，由於要處理高頻所以多使用利用砷化鎵(GaAs)之場效電晶體(以下稱為 FET)，隨之亦進行將上述開關電路本身予以集成化的單片微波積體電路(MMIC)之開發。

第 29 至 32 圖係說明使用習知 GaAsFET 的開關電路裝置之一例(例如，參考專利文獻 1)。

第 29 圖(A)係顯示一種被稱為使用 GaAsFET 之 SPDT(Single Pole Double Throw：單極雙投)的化合物半導體裝置之原理電路圖之一例。

第 1 及第 2 FET1、FET2 之源極(或汲極)係連接在共通輸入端子 IN 上，各 FET1、FET2 之閘極係藉由電阻 R1、R2 連接在第 1 及第 2 控制端子 Ctl-1、Ctl-2 上，然後各 FET 之汲極(或源極)係連接在第 1 及第 2 輸出端子 OUT-1、OUT-2 上。施加在第 1 及第 2 控制端子 Ctl-1、Ctl-2 上的訊號係互補訊號，而施加有 H 位準之訊號的 FET 會導通(ON)，並將施加在輸入端子 IN 之訊號傳遞至任一方的輸出端子上。電阻 R1、R2 係以防止高頻訊號透過閘極電極

而對作為交流接地之控制端子 Ctl-1、Ctl-2 的直流電位漏出之目的而配置者。

第 29 圖(B)係將上述化合物半導體開關電路裝置予以集成化的俯視圖。

如圖所示，在 GaAs 基板之中央部配置進行開關動作之 FET1 及 FET2(閘極寬度均為 $600\mu\text{m}$)，且在各 FET 之閘極電極上連接有電阻 R1、R2。又對應共通輸入端子 IN、輸出端子 OUT-1、OUT-2、控制端子 Ctl-1、Ctl-2 的鐳墊 I、O1、O2、C1、C2 係設在基板之周邊。另外，以虛線顯示的第 2 層配線係在各 FET 之閘極電極形成時所同時形成的閘極金屬層(Ti/Pt/Au)168，而實線所示的第 3 層配線係進行各元件之連接及鐳墊之形成的鐳墊金屬層(Ti/Pt/Au)177。在第 1 層基板上進行歐姆接觸的歐姆金屬層(AuGe/Ni/Au)係形成各 FET 之源極電極、汲極電極及各電阻兩端的取出電極者，在第 29 圖中，由於與鐳墊金屬層重疊而未顯示於圖中。

在各電極鐳墊及配線所鄰接的部分中，抵接於電極鐳墊及配線之下方全面(或周邊部)而設有雜質區域 160、161。雜質區域 160、161 係從電極鐳墊或配線之基板抵接部露出而設，且確保預定的隔離。

第 30 圖係顯示第 29 圖之開關電路裝置之 FET 的一部分之剖視圖。另外，進行開關動作的 FET1、FET2 及作為分流(shunt)FET 的 FET3、FET4 全部為同樣的構成，各 FET 之源極電極 175(165)、汲極電極 176(166)、閘極電極 169

雖係配置成梳齒狀，但是所圖示者係其中之 1 組。

如第 30 圖(A)所示，在基板 151 上設有由 n 型離子植入層構成的動作層 152 與於其兩側形成源極區域 156 及汲極區域 157 的 n⁺型雜質區域，在動作層 152 上設有閘極電極 169，在雜質區域上設有由第 1 層之歐姆金屬層所形成的汲極電極 166 及源極電極 165。而且在其上如前面所述設有由第 3 層之鉅墊金屬層 177 所形成的汲極電極 176 及源極電極 175，且進行各元件之配線等。

如第 30 圖(B)所示，在上述所代表的 MESFET 中，閘極肖特基接合之電容較小，且在閘極端子 G—源極端子 S 間或閘極端子 G—汲極端子 D 間，將閘極端子 G 側當作負極並施加突波電壓時最無法承受靜電破壞。在該情況下，會變成對於在通道區域 144 與設於通道區域 144 表面之閘極電極 169 的介面上所形成的肖特基障壁二極體 115 施加逆偏壓靜電的狀態。換句話說，此時的等效電路係成為在閘極端子 G—源極端子 S 間及閘極端子 G—汲極端子 D 間，連接有肖特基障壁二極體 115 的電路。

又，第 31 至 32 圖係顯示第 29 圖所示之開關電路裝置的 FET、各端子之鉅墊及配線之製造方法的一例。另外，在此雖係就 1 個電極鉅墊加以說明，但是連接在上述共通輸入端子、第 1 及第 2 控制端子、第 1 及第 2 輸出端子上的電極鉅墊皆為同樣的構造。

以約 100 Å 至 200 Å 之厚度的貫穿離子(through ion)植入用氮化矽膜 153 覆蓋由 GaAs 等所形成的化合物半導體

體基板 151。其次，蝕刻晶片之最外周、或指定區域之 GaAs 以形成對位標記(未圖示)，且進行選擇性打開光阻層的光微影製程，再進行提供 p^- 型之雜質(24Mg^+)的離子植入及提供 n 型之雜質(29Si^+)的離子植入。其結果，可在未摻雜之基板 151 上形成 p^- 型區域 155，且在其上形成 n 型動作層 152。

其次，去除在前一步驟中所用的光阻層 154，且重新設置光阻層 158，並進行選擇性地開窗的光微影製程，再進行提供 n 型之雜質(29Si^+)的離子植入。藉此，形成 n^+ 型之源極區域 156 及汲極區域 157，同時在預定的電極鉀墊 170 及配線 162 之下方的基板表面上形成 n^+ 型區域 160、161。又亦可同時形成所希望圖案的電阻 R1 及 R2(第 31 圖(A))。

藉此，由於配線 162 及電極鉀墊 170 與基板 151 分離，且耗盡層沒有延伸至電極鉀墊 170、配線 162，所以鄰接的電極鉀墊 170、配線 162 可大幅地縮小相互的間隔距離而設置。其次，層積約 500 Å 的退火處理用之氮化矽膜 153，且進行離子植入的 p^- 型區域、 n 型動作層及 n^+ 型區域之活性化退火處理。

之後，進行將新的光阻層 163 選擇性地開窗的光微影製程，使源極區域 156 及汲極區域 157 表面露出，進而依序真空蒸鍍並層疊作為歐姆金屬層 164 的 AuGe/Ni/Au 之 3 層。之後，去除光阻層 163，並利用剝落法(lift-off)留下接觸於源極區域 156 及汲極區域 157 上的第 1 源極電極 165

及第 1 汲極電極 166。接著利用合金化熱處理形成第 1 源極電極 165 與源極區域 156、及第 1 汲極區域 166 與汲極區域 157 之歐姆接合(第 31 圖(B))。

其次，進行將新的光阻層 167 選擇性地開窗的光微影製程，使預定的閘極電極 169 部分之動作層 152 露出，且使預定的配線 162 及預定的電極鉀墊 170 部分之基板 151 露出，進而依序真空蒸鍍並層疊 Ti/Pt/Au 之 3 層以作為閘極金屬層 168(第 31 圖(C))，之後，利用剝落法形成閘極電極 169、第 1 電極鉀墊 170 及配線 162(第 31 圖(D))。

再者，基板 151 表面係由以氮化矽膜構成的鈍化膜所覆蓋，且在鈍化膜上進行光微影製程，進而對與第 1 源極電極 165、第 1 汲極電極 166、閘極電極 169 及第 1 電極鉀墊 170 之接觸部選擇性地進行光阻之開窗，再乾式蝕刻該部分的鈍化膜，以去除光阻層 171(第 32 圖(A))。

其次，在基板 151 全面上塗布新的光阻層 173 並進行光微影製程，且進行光微影製程以將預定的第 2 源極電極 175 及第 2 汲極電極 176 與第 2 電極鉀墊 177 上的光阻選擇性地開窗。接著，依序真空蒸鍍層疊作為鉀墊金屬層 174 之 Ti/Pt/Au 之 3 層以作為第 3 層之電極，且形成有接觸於第 1 源極電極 165、第 1 汲極電極 166 及第 1 電極鉀墊 170 之第 2 源極電極 175 及第 2 汲極電極 176 與第 2 電極鉀墊 177(第 32 圖(B))。

由於鉀墊金屬層 174 之其他部分係附著在光阻層 173 上，所以要去除光阻層 173 並利用剝落法只留下第 2 源極

電極 175 及第 2 汲極電極 176 與第 2 電極鉅墊 177，其他部分則予以去除。另外，由於一部分之配線部分係使用該鉅墊金屬層 174 所形成，所以該配線部分之鉅墊金屬層 174 當然可被留下(第 32 圖(C))。

(專利文獻 1)

日本專利特開平 2002-231898 號公報(第 4 頁、第 2 圖)

【發明內容】

(發明所欲解決之問題)

近年來，如熱點(hot spot)之急速增加般，使用 2.4GHz 頻帶之無線寬頻帶的發展正日益擴大。該傳輸率遠大於行動電話 11Mbps 之傳輸率，使利用電話線之 ADSL 在家庭內無線化並在各房間內使用、且將訊號以無線方式發送至無線液晶電視等運用也逐漸滲透到一般家庭中。最近，作為次世代無線寬頻，而崛起於市場之 5GHz 頻帶已受到注目，且因法令之修改可預期將來不久連戶外亦可允許使用且使用範圍會大幅擴大。比起 2.4GHz 由於傳輸率為 54Mbps 可進行更大量資訊之存取，所以大為期待可以無壓縮方式來傳送高精細的動畫等，而用以實現該目的之機器開發、及網路構建也急速進行中。

在 5GHz 寬頻帶用機器中，與 2.4GHz 同樣，在輸出入切換、或天線切換中可使用 GaAs 開關 IC。由於係 2.4GHz 之 2 倍的頻率，所以寄生電容會對隔離之惡化帶來很大影響。作為其對策，必須採用可提昇隔離之方法，亦即在使用未於 2.4GHz 頻帶開關 IC 中使用之分流 FET 的電路中，

使洩漏至 OFF 側 FET 之訊號迴避於高頻 GND。

但是由於該分流 FET 之閘極寬度小，所以有寄生電容小、靜電破壞電壓低的問題。

(解決問題之手段)

本發明之主要目的，在於提供一種開關電路裝置，其係包含有：基板上之絕緣區域；第 1 及第 2FET，設有連接在設於上述基板之通道區域表面上的源極電極、閘極電極及汲極電極；共通輸入端子，共通連接在上述第 1 及第 2FET 之源極電極或汲極電極上；第 1 及第 2 輸出端子，分別連接在上述第 1 及第 2FET 之汲極電極或源極電極上；第 1 及第 2 控制端子，分別連接在上述第 1 及第 2FET 之閘極電極的任一個閘極電極上；連接機構，用以連接上述兩控制端子與上述閘極電極；以及第 3 及第 4FET，分別將其源極電極或汲極電極與上述第 1 及第 2 輸出端子相連接，將其汲極電極或源極電極與高頻 GND 端子相連接，且將其閘極電極分別與第 2 或第 1 控制端子相連接；其中，在上述第 3 及第 4FET 中之至少 1 個 FET 的上述閘極電極及源極電極或上述閘極電極及汲極電極間，並聯連接將上述絕緣區域配置於第 1 高濃度雜質區域與第 2 高濃度雜質區域間的保護元件，且利用上述保護元件使從外部施加至上述閘極電極與源極電極間或上述閘極電極與汲極電極間的靜電能量產生放電，進而將到達上述閘極電極與源極電極間或上述閘極電極與汲極電極間的靜電能量衰減至不超過上述電極間之靜電破壞電壓的程度。

又，本發明之其他目的在於，使上述至少 1 個 FET 之上述閘極電極及源極電極間或上述閘極電極及汲極電極間的靜電破壞電壓，與上述保護元件之連接前相比較提高 20V 以上。

又，本發明之其他目的在於，將上述開關電路裝置之靜電破壞電壓設在 200V 以上。

又，本發明之其他目的在於，上述保護元件係沿著上述至少 1 個輸出端子所連接的搭接鐸墊之至少一邊而配置。

又，本發明之其他目的在於，上述第 1 高濃度雜質區域係與上述至少 1 個控制端子所連接的搭接鐸墊或連接在搭接鐸墊上的配線相連接。

又，本發明之其他目的在於，上述第 1 高濃度雜質區域係用以連接上述至少 1 個控制端子所連接之搭接鐸墊與上述至少 1 個 FET 之上述閘極電極的電阻之一部分。

又，本發明之其他目的在於，上述第 2 高濃度雜質區域係與上述至少 1 個輸出端子所連接的搭接鐸墊或連接在搭接鐸墊上的配線相連接。

又，本發明之其他目的在於，上述第 2 高濃度雜質區域係上述至少 1 個輸出端子的搭接鐸墊或連接在搭接鐸墊上的配線之周邊、或是設於上述搭接鐸墊或上述配線之下方的第 3 高濃度雜質區域之一部分。

又，本發明之其他目的在於，上述絕緣區域係設於基板上的雜質植入區域。

又，本發明之其他目的在於，上述絕緣區域係半絕緣基板之一部分。

又，本發明之其他目的在於，上述絕緣區域之雜質濃度係在 $1 \times 10^{14} \text{cm}^{-3}$ 以下。

又，本發明之其他目的在於，上述保護元件之第 1 及第 2 高濃度雜質區域係以可通過靜電能量的距離而隔開。

又，本發明之其他目的在於，上述第 1 及第 2 高濃度雜質區域之雜質濃度均為 $1 \times 10^{17} \text{cm}^{-3}$ 以上。

又，本發明之其他目的在於，上述絕緣區域之電阻係數係 $1 \times 10^3 \Omega \cdot \text{cm}$ 以上。

又，本發明之其他目的在於，上述第 1 及第 2 高濃度雜質區域之至少一方係與金屬電極相連接，且上述金屬電極係與上述各端子所連接之搭接銲墊或連接在該搭接銲墊上的配線之至少 1 個相連接。

又，本發明之其他目的在於，上述金屬電極係與上述第 1 及第 2 高濃度雜質區域之至少一方形成肖特基接合。

又，本發明之其他目的在於，上述金屬電極係在從第 1 及/或第 2 高濃度雜質區域端部離開 $0 \mu\text{m}$ 至 $5 \mu\text{m}$ 之外側與上述絕緣區域表面形成肖特基接合。

又，本發明之其他目的在於，上述 FET 係 MESFET(匱乏型砷化鎵場效電晶體)、接合型 FET 或 HEMT(高電子遷移率電晶體)。

又，本發明之其他目的在於，上述保護元件具備有：具有 2 個側面的第 1 高濃度雜質區域；第 2 高濃度雜質區

域，相對向配置於上述第 1 高濃度雜質區域之 1 個側面上，且其寬度遠寬於該第 1 高濃度雜質區域；絕緣區域，配置於上述第 1 及第 2 高濃度雜質區域之周圍；第 1 電流路徑，形成於上述第 1 及第 2 高濃度雜質區域之相對向面間及該兩區域之底面附近間的上述絕緣區域上，且作為電子電流及電洞電流之路徑；以及第 2 電流路徑，從上述第 2 高濃度雜質區域，迂迴至相較於上述第 1 及第 2 高濃度雜質區域更深的區域，並形成於到達上述第 1 高濃度雜質區域之另一側面的上述絕緣區域上，且作為電子電流及電洞電流之路徑。

又，本發明之其他目的在於，在上述第 1 高濃度雜質區域上設置延伸部，且在該延伸部與上述第 2 高濃度雜質區域間之上述絕緣區域上，形成作為電子電流及電洞電流之路徑的第 3 電流路徑。

又，本發明之其他目的在於，上述保護元件具備有：具有 2 個側面的第 1 高濃度雜質區域；第 2 高濃度雜質區域，具有 2 個側面，且以與上述第 1 高濃度雜質區域同等的寬度和該區域互為相對配置 1 個側面；絕緣區域，配置於上述第 1 及第 2 高濃度雜質區域之周圍；第 1 電流路徑，形成於上述第 1 及第 2 高濃度雜質區域之相對向面間及該兩區域之底面附近間的上述絕緣區域，且作為電子電流及電洞電流之路徑；以及第 2 電流路徑，從上述第 2 高濃度雜質區域之另一側面，迂迴至相較於上述第 1 及第 2 高濃度雜質區域更深的區域，並形成於到達上述第 1 高濃度雜

質區域之另一側面的上述絕緣區域上，且作為電子電流及電洞電流之路徑。

又，本發明之其他目的在於，在上述第 1 高濃度雜質區域上設置延伸部，且在該延伸部與上述第 2 高濃度雜質區域間之上述絕緣區域上，形成作為電子電流及電洞電流之路徑的第 3 電流路徑。

又，本發明之其他目的在於，在上述第 2 高濃度雜質區域上設置延伸部，且在該延伸部與上述第 1 高濃度雜質區域間之上述絕緣區域上，形成作為電子電流及電洞電流之路徑的第 3 電流路徑。

又，本發明之其他目的在於，上述第 1 高濃度雜質區域係 $5\ \mu\text{m}$ 以下之寬度。

又，本發明之其他目的在於，上述第 2 電流路徑係具有遠高於上述第 1 電流路徑的電導調變 (conductivity modulation) 效率。

又，本發明之其他目的在於，通過上述第 2 電流路徑之電流值，係與通過上述第 1 電流路徑之電流值同等以上。

又，本發明之其他目的在於，上述第 2 電流路徑係從上述第 1 高濃度雜質區域之上述另一側面確保 $10\ \mu\text{m}$ 以上之寬度所形成。

又，本發明之其他目的在於，上述第 2 電流路徑係從上述第 1 及第 2 高濃度雜質區域底部在深度方向確保 $20\ \mu\text{m}$ 以上之寬度所形成。

又，本發明之其他目的在於，上述第 2 電流路徑係藉由按照上述靜電能量之增加而大幅加寬電流路徑以提高電導調變效率。

又，本發明之其他目的在於，上述第 1 高濃度雜質區域與第 2 高濃度雜質區域間之電容係 40pF 以下，且藉由連接上述第 1 及第 2 高濃度雜質區域，以將靜電破壞電壓比起連接前提高 10 倍以上。

又，本發明之其他目的在於，上述第 3 電流路徑係具有遠高於上述第 1 電流路徑之電導調變效率。

又，本發明之其他目的在於，上述第 3 電流路徑係從上述延伸部之側面確保 10 μ m 以上之寬度所形成。

又，本發明之其他目的在於，上述第 3 電流路徑係藉由按照上述靜電能量之增加而大幅加寬電流路徑以提高電導調變效率。

又，本發明之其他目的在於，上述保護元件具備有：第 1 高濃度雜質區域；第 2 高濃度雜質區域；以及絕緣區域，抵接配置於上述第 1 及第 2 高濃度雜質區域之周圍上；其中，在上述第 1 及第 2 高濃度雜質區域之至少一方，將與上述兩高濃度雜質區域相對向之面相反側的上述絕緣區域確保在 10 μ m 以上。

又，本發明之其他目的在於，上述保護元件具備有：第 1 高濃度雜質區域；第 2 高濃度雜質區域；以及絕緣區域，抵接配置於上述第 1 及第 2 高濃度雜質區域之周圍上；其中，在上述第 1 及第 2 高濃度雜質區域相對向之面的延

伸方向將上述絕緣區域確保在 $10\ \mu\text{m}$ 以上。

【實施方式】

以下係參考第 1 至 14 圖說明本發明之實施形態。

第 1 圖係說明本實施形態之開關電路裝置的電路圖，第 1 圖(A)係等效電路，第 1 圖(B)係沿著晶片圖案的電路概要圖。

在 5GHz 寬頻用機器中，與 2.4GHz 同樣，在輸出入切換、或天線切換中可使用 GaAs 開關 IC。由於係 2.4GHz 之 2 倍的頻率，所以寄生電容會對隔離之惡化帶來很大影響。作為其對策，係採用提昇隔離之方法，亦即在使用未於 2.4GHz 頻帶開關 IC 中使用之分流 FET 的電路中，使洩漏至 OFF 側 FET 之訊號迴避於 GND。

在該電路中，係在進行開關動作之 FET1 與 FET2 的輸出端子 OUT-1、OUT-2 與接地間連接分流 FET3、FET4，而在該分流 FET3、FET4 之閘極上對 FET2 與 FET1 施加控制端子 Ctl-2、Ctl-1 的互補訊號。其結果，當 FET1 導通(ON)時分流 FET4 就會導通，而 FET2 及分流 FET3 會關斷(OFF)。

在該電路中，在共通輸入端子 IN—輸出端子 OUT-1 之訊號路徑導通，而共通輸入端子 IN—輸出端子 OUT-2 之訊號路徑關斷時，由於分流 FET4 會導通，所以朝輸出端子 OUT-2 之輸入訊號的洩漏會透過被接地之外接電容器 C 而迴避至接地，比起沒有分流 FET 之習知例可提昇隔離。

在該電路中，控制端子 Ctl-1 係藉由電阻 R1 而連接在 FET1 之閘極電極上，且藉由電阻 R4 而連接在 FET4 之閘極電極上。又，控制端子 Ctl-2 係藉由電阻 R2 而連接在 FET2 之閘極電極上，且藉由電阻 R3 而連接在 FET3 之閘極電極上。分流 FET3 之源極電極(或汲極電極)係連接在輸出端子 OUT-1 上，而分流 FET4 之源極電極(或汲極電極)係連接在輸出端子 OUT-2 上。

本發明之實施形態，係在分流 FET 之閘極－源極端子(或汲極端子間)之間，並聯連接保護元件 200 者。亦即，在連接 FET3 之輸出端子 OUT-1－控制端子 Ctl-2 間以及連接 FET4 之輸出端子 OUT-2－控制端子 Ctl-1 間。

防止靜電破壞之保護，只要能減輕施加在弱接合之閘極電極的肖特基接合上的靜電能量即可。本實施形態係將保護元件 200 並聯連接在分流 FET3 及 FET4 之源極(或汲極)－閘極端子間，且藉由對於從所對應之 2 端子間施加的靜電能量，設置作為將該靜電能量局部放電用的旁通路之路徑，以從靜電破壞中保護較弱的接合。

亦即，可使靜電破壞強度最弱之 FET 通道區域 44 上之到達閘極肖特基接合的靜電能量減少，而從靜電破壞中保護 FET3、FET4。

在此，係使用第 2 圖說明保護元件 200。

本說明書中所謂的保護元件 200 係如圖所示，指在接近的第 1 高濃度雜質區域 201 與第 2 高濃度雜質區域 202 之 2 端子間配置絕緣區域 203 的元件。第 1 及第 2 高濃度

雜質區域 201、202 係利用離子植入及擴散而設在基板 201 上。在本說明書中，以後係將該等高濃度雜質區域當作第 1 n^+ 型區域 201、第 2 n^+ 型區域 202 來加以說明。第 1 及第 2 n^+ 型區域 201、202 係以使靜電能量通過的距離，例如離開 $4\mu\text{m}$ 左右來設置，而其雜質濃度均為 $1\times 10^{17}\text{cm}^{-3}$ 以上。又，在第 1 及第 2 n^+ 型區域 201、202 之間抵接配置絕緣區域 203。在此，所謂絕緣區域 203 並非指電氣完全絕緣之意，而是指半絕緣性基板之一部分，或在基板 201 上植入雜質離子並使之絕緣化的絕緣化區域之意。又，絕緣區域 203 之雜質濃度最好在 $1\times 10^{14}\text{cm}^{-3}$ 以下左右，而電阻係數最好在 $1\times 10^3\Omega\cdot\text{cm}$ 以上。

當抵接絕緣區域 203 之兩端而配置高濃度雜質區域 201、202，且將 2 個高濃度雜質區域 201、202 之離開距離設為 $4\mu\text{m}$ 左右時，就可將從外部朝向 2 個高濃度雜質區域 201、202 所分別連接的 FET 之 2 端子間施加的靜電能量，透過絕緣區域 203 而放電。

該 2 個 n^+ 型區域之離開距離 $4\mu\text{m}$ 係使靜電能量通過的適當距離，當離開 $10\mu\text{m}$ 以上時在保護元件間的放電就會不確實。 n^+ 型區域之雜質濃度及絕緣區域之電阻值亦同。

在通常的 FET 動作中由於不會施加如靜電般的高電壓，所以訊號不會通過 $4\mu\text{m}$ 之絕緣區域。又即使是微波般的高頻，亦同樣訊號不會通過 $4\mu\text{m}$ 之絕緣區域。因而在通常的動作中，由於保護元件不會對特性帶來任何影

響，所以與不存在情況相同。但是靜電係瞬間施加高電壓的現象，所以此時靜電能量會通過 $4\mu\text{m}$ 之絕緣區域，且在高濃度雜質區域間放電。又當絕緣區域之厚度在 $10\mu\text{m}$ 以上時，對靜電而言因電阻很大而變得不易放電。

該等係將第 $1n^+$ 型區域 201 及第 $2n^+$ 型區域 202，並聯連接在構成其作為被保護元件之開關電路裝置的 FET 之 2 個端子間。第 1 及第 $2n^+$ 型區域 201、202 亦可直接當作保護元件 200 之端子，更可設置金屬電極 204。

第 3 圖係顯示在保護元件 200 上設置金屬電極 204 的情況。該金屬電極 204 係與作為被保護元件之 FET3、FET4 之端子相連接的搭接鉚墊、或連接在搭接鉚墊上的配線相連接。另外，說明在半絕緣基板 51 上設置保護元件 200 及金屬電極 204 時之一例。亦即，保護元件 200 之絕緣區域 203 雖為半絕緣基板 51 之一部分，但是並非被限定於此，亦可為因雜質而絕緣化的區域。在該情況下，金屬電極 204 形成肖特基接合的基板表面亦當作因雜質而絕緣化的區域。

第 3 圖(A)係顯示金屬電極 204 與第 $1n^+$ 型區域 201 及/或第 $2n^+$ 型區域 202 形成肖特基接合者。考慮遮罩對位精確度及兩 n^+ 型區域 201、202 之電阻部分，且從絕緣區域 203 端部離開 $0.1\mu\text{m}$ 至 $5\mu\text{m}$ ，並設在第 1 及第 $2n^+$ 型區域 201、202 上。當離開 $5\mu\text{m}$ 以上時因電阻部分很大而使靜電不易通過。金屬電極 204 亦可只設在第 1 及第 $2n^+$ 型區域 201、202 上，其一部分亦可延伸於半絕緣基板 51 且與

基板表面形成肖特基接合。

又，如第 3 圖 (B) 所示，金屬電極 204 並未與第 1 及 / 或第 $2n^+$ 型區域 201、202 直接連接，金屬電極 204 亦可為在從第 1 及 / 或第 $2n^+$ 型區域 201、202 端部離開 $0\ \mu\text{m}$ 至 $5\ \mu\text{m}$ 左右外側與基板 51 形成肖特基接合的構造。亦即，如第 3 圖 (B)(C)(D) 所示，第 1 及第 $2n^+$ 型區域 201、202 與金屬電極 204 並沒有必要相接，只要在 $5\ \mu\text{m}$ 以內即可藉由半絕緣基板而使 n^+ 型區域與金屬電極 204 確保充分的連接。

另外，該等金屬電極 204 可為開關電路裝置之各端子所連接的搭接銲墊之一部分或連接在搭接銲墊上的配線之一部分，雖於後面詳述但是藉由利用該等金屬電極 204，即可防止因連接保護元件 200 而造成晶片面積之增大。

第 4 圖係顯示使第 1 圖之開關電路裝置集成化的化合物半導體開關電路裝置之一例的俯視圖。

基板例如為化合物半導體基板 51 (例如 GaAs)，於該基板之左右中央部配置進行開關動作的 FET1 及 FET2 (閘極寬度均為 $500\ \mu\text{m}$)，於其下方配置分流 FET3 及分流 FET4 (閘極寬度均為 $300\ \mu\text{m}$)，且在各 FET 之閘極電極上連接有電阻 R1、R2、R3、R4。又對應共通輸入端子 IN、輸出端子 OUT-1、OUT-2、控制端子 Ctl-1、Ctl-2、接地端子 GND 之電極銲墊 I、O1、O2、C1、2、G 係設在基板之周邊。設置進行開關動作之 FET1 及 FET2，且分流 FET3 及分流 FET4 之源極電極 (或汲極電極) 係連接在 FET1 及

FET2 上，且分流 FET3 及分流 FET4 之汲極電極(或源極電極)係連接在對應高頻接地的電極鐳墊 G 上。另外，在此之圖示雖省略但是電極鐳墊 G 係藉由外接的電容器 C 而連接在接地端子 GND 上。另外，以虛線顯示之第 2 層配線係在各 FET 之閘極電極形成時同時形成，且為與半絕緣基板 51 表面形成肖特基接合的閘極金屬層

68(Pt/Mo/Ti/Pt/Au)，而以實線顯示之第 3 層配線係進行各元件之連接及鐳墊之形成的鐳墊金屬層 77(Ti/Pt/Au)。在第 1 層之基板作歐姆接觸的歐姆金屬層(AuGe/Ni/Au)係形成各 FET 之源極電極、閘極電極及各電阻兩端之取出電極者，在第 4 圖中，由於與鐳墊金屬層重疊所以未顯示於圖中。

第 4 圖中，FET1(FET2 亦同樣)係從下側延伸之 6 支梳齒狀的第 3 層之鐳墊金屬層 77 連接在輸出端子 OUT-1(OUT-2)上的源極電極 75(或汲極電極)，而於此下方具有由第 1 層歐姆金屬層所形成的源極電極 65(或汲極電極)。又，其係從上側延伸之 6 支梳齒狀的第 3 層之鐳墊金屬層 77 連接在共通輸入端子 IN 上的汲極電極 76(或源極電極)，而於此下方具有由第 1 層歐姆金屬層所形成的汲極電極 66(或源極電極)。該兩電極係配置成使梳齒啮合的形狀，且於其間以梳齒狀方式配置有由第 2 層之閘極金屬層 68 所形成的閘極電極 69，且構成 FET 之通道區域。

又，作為分流 FET 之 FET3(FET4 亦同)，係從下側延伸之 4 支梳齒狀的第 3 層之鐳墊金屬層 77 連接在接地端子

GND 上的源極電極 75(或汲極電極)，而於此下方具有由第 1 層歐姆金屬層所形成的源極電極 65(或汲極電極)。又，其係從上側延伸之 4 支梳齒狀的第 3 層之鉚墊金屬層 77 連接在輸出端子 OUT-1(OUT-2)上的汲極電極 76(或源極電極)，而於此下方有由第 1 層歐姆金屬層所形成的汲極電極 66(或源極電極)。該兩電極係配置成使梳齒啮合的形狀，且於其間以梳齒狀方式配置有由第 2 層之閘極金屬層 68 所形成的閘極電極 69，且構成通道區域。

再者，控制端子 Ctl-1 係藉由電阻 R1 而連接在 FET1 之閘極電極上，且藉由電阻 R4 連接在 FET4 之閘極電極上。又，控制端子 Ctl-2 係藉由電阻 R2 而連接在 FET2 之閘極電極上，且藉由電阻 R3 連接在 FET3 之閘極電極上。該等的電阻 R1 至 R4 例如為 n^+ 型之雜質擴散區域，而其雜質濃度係 $1 \times 10^{17} \text{cm}^{-3}$ 以上。

再者，在各 FET 之閘極電極 69 附近的基板表面上，例如設有 n^+ 型之高濃度雜質區域 100a。具體而言，FET1 之梳齒狀的閘極電極 69 之前端部分 69a 及 FET2 之梳齒狀的閘極電極 69 之前端部分 69a，係至少與相對向配置之 FET3 及 FET4 鄰接的部分。在此，所謂閘極電極之前端部分 69a 係指將梳齒狀之閘極電極 69 捆成一束之側的相反側，又，閘極電極 69 係從通道區域開始延伸，且與基板形成肖特基接合的區域。高濃度雜質區域 100a 係以從各閘極電極前端部分 69a 離開約 $4 \mu\text{m}$ 之離開距離來配置。

又，高濃度雜質區域 100a 係亦以從與 FET1 及 FET2

相對向配置的 FET3 之閘極電極前端部分 59a 和 FET4 之閘極電極前端部分 59a 離開 $4\mu\text{m}$ 之離開距離來配置。亦即，在本實施形態之圖案中高濃度雜質區域 100a 係設在進行開關動作之 FET1、FET2、與相對向配置之作為分流 FET 的 FET3、FET4 之間。

利用該高濃度雜質區域 100a，即可抑制從與基板形成肖特基接合之閘極電極 69 延伸至上述基板的耗盡層之擴大。在與基板形成肖特基接合的金屬層中，擴展於基板的耗盡層之電場，會按照傳遞至該金屬層之高頻訊號而產生變動，因此會有耗盡層所到達之鄰接的電極等中發生高頻訊號洩漏的情形。

但是，若在以鄰接閘極電極 69 之方式配置的 FET1 與 FET3 及 FET2 與 FET4 間之基板 51 表面上設置有 n^+ 型之高濃度雜質區域 100a 時，則與未摻有雜質之基板 51 (雖為半絕緣性，但基板電阻值為 1×10^7 至 $1 \times 10^8 \Omega \cdot \text{cm}$) 表面不同，且雜質濃度變高 (離子種為 29Si^+ 則其濃度為 1 至 $5 \times 10^{18} \text{cm}^{-3}$)。藉此，各 FET 之閘極電極 69 就會分離，且由於耗盡層不會延伸至鄰接的 FET (源極區域、汲極區域、通道區域之雜質區域或閘極電極)，所以鄰接的 FET 可大幅拉近相互之離開距離而設置。

如此，藉由設置高濃度雜質區域 100a，即可防止從 FET1 及 FET2 之閘極電極擴展至基板的耗盡層，到達鄰接而相對向配置的 FET3 及 FET4 之閘極電極、源極區域及汲極區域、通道區域，且可抑制高頻訊號之漏出。

具體而言，若將從閘極電極 69 之前端部分 69a 至高濃度雜質區域 100a 之離開距離設為 $4\mu\text{m}$ ，則足以確保預定的隔離。

該高濃度雜質區域 100a 之雜質濃度，亦與電阻 R1 至 R4 同樣為 $1\times 10^{17}\text{cm}^{-3}$ 以上。又，如第 4 圖所示，當其一部分係與搭接鉀墊或連接在搭接鉀墊上的配線等之金屬層相連接，且施加有 DC 電位、GND 電位或高頻 GND 電位時，因隔離之提昇而很有效果。

又，在由與基板形成肖特基接合之閘極金屬層 68 所構成的電極鉀墊 70 及配線 62 之附近亦配置高濃度雜質區域 100b。而且，在 1 個 FET 之閘極電極與由閘極金屬層 68 所構成的電極鉀墊及配線 62 相鄰接的區域上亦設置高濃度雜質區域 100c。藉此，即可抑制因從與基板形成肖特基接合之閘極電極 68、電極鉀墊 70 及配線 62 擴展至基板的耗盡層而使高頻訊號漏出的情形。

另外，高濃度雜質區域 100a 至 100c，為了明確其所配置之場所而只有改變元件符號，在本實施形態中作為提昇隔離之效果係完全相同的構成要素。亦即，高濃度雜質區域 100b、100c 之雜質濃度係與高濃度雜質區域 100a 同樣為 $1\times 10^{17}\text{cm}^{-3}$ 以上。又，圖示雖省略，但是當亦在該高濃度雜質區域 100b、100c 上連接金屬電極，且將金屬電極連接在 GND 上時，對隔離提昇方面很有效果。

本實施形態之特徵，係利用作為 n^+ 型雜質之擴散區域的電阻、與高濃度雜質區域 100 之一部分，而在分流 FET

之源極端子 S(或汲極端子 D)－閘極端子 G 間並聯連接保護元件 200 者。

如前面所述在 FET 中，靜電破壞電壓最低者係閘極端子 G 與動作層 52 之肖特基接合部分。換句話說，當施加在閘極－汲極端子間、或閘極－源極端子間的靜電能量到達閘極肖特基接合時，在所到達的靜電能量就會超過通道區域之閘極電極與源極電極間、或閘極電極與汲極電極間之靜電破壞電壓，因而使閘極肖特基接合受到破壞。

在此，由於 FET3 側與 FET4 側係相對稱，且完全相同，所以以 FET3 側為例加以說明。

作為使靜電能量衰減的 1 個方法，雖可考慮增大 R3 之電阻值的方法，但是當過於加大 R3 時，則開關電路裝置之切換時間就會變得過長。因此，在本實施形態中係使用保護元件 200 以使靜電能量衰減。

在此，如前面所述電阻 R1 至 R4 係由 n^+ 型雜質區域所形成。又，在各電極鉚墊 70 之周邊，係以不從會各電極鉚墊 70 洩漏高頻訊號的方式，配置有高濃度雜質區域 100b，以作為隔離對策。

換句話說，藉由接近至 $4\mu\text{m}$ 左右而配置電阻 R3 與輸出端子鉚墊 O1 之離開距離，構成電阻 R3 之 n^+ 型區域、與所接近的高濃度雜質區域 100b 就會夾住半絕緣性基板 51 而成為保護元件 200。換句話說，作為控制端子鉚墊 C2 與 FET3 之閘極電極 69 的連接機構之電阻 R3 之一部分例如為第 1 n^+ 型區域 201，而輸出端子鉚墊 O1 周邊之高濃度

雜質區域 100b 之一部分例如為第 $2n^+$ 型區域 202。又，保護元件 200 之第 $1n^+$ 型區域 201 係與控制端子鉀墊 C2 相連接，而第 $2n^+$ 型區域 202 係與輸出端子鉀墊 O2 相連接。亦即，在控制端子 Ctl-2—輸出端子 OUT-1 間，換句話說在 FET3 之源極—閘極端子間(或汲極—閘極端子間)並聯連接保護元件 200。

利用該保護元件 200，就可使從外部施加至閘極電極與源極電極間或上述閘極電極與汲極電極間的靜電能量在保護元件 200 之 2 個 n^+ 型區域 201、202 間放電。換句話說，可使到達閘極電極與源極電極間或閘極電極與汲極電極間的靜電能量衰減至不超過兩電極間之靜電破壞電壓的程度。具體而言，可使分流 FET(FET3 或 FET4)之閘極電極及源極電極間或閘極電極及汲極電極間的靜電破壞電壓，與保護元件 200 之連接前相比較提高 20V 以上，且將作為開關電路裝置之靜電破壞電壓設為 200V 以上。

在此，雖省略圖示，但是第 $1n^+$ 型區域 201 亦可與控制端子鉀墊 C2 或連接在控制端子鉀墊 C2 上的配線相連接。又，第 $2n^+$ 型區域亦可與連接在輸出端子鉀墊 O2 上的配線相連接。

又，保護元件 200 係接近輸出端子鉀墊 O1，且沿著輸出端子鉀墊 O1 之一邊而配置。又，保護元件 200 係可連接在從施加有訊號之控制端子鉀墊 C2 到達通道區域的路徑途中。藉此，可將施加在開關電路裝置之輸出端子 OUT-1 與控制端子 Ctl-2 間的靜電能量到達 FET3 之源極電極(或

汲極電極)－閘極電極間之前，使其在到達過程中衰減。

在此，由於保護元件 200 沿著鉅墊而接近的距離係以較長的一方可衰減更多的靜電能量，所以最好為 10m 以上。

第 4 圖中，保護元件 200 雖係顯示沿著輸出端子鉅墊 O1 之 1 邊而配置的圖，但是例如只要將電阻 R3 折彎，並沿著輸出端子鉅墊 O1 之 2 邊配置成 L 字形狀，由於可爭取與鉅墊接近配置的保護元件 200 之長度所以對靜電能量之衰減更有效果。另一方面，如圖所示，例如若配置於輸出端子鉅墊 O1 與晶片之切割線之間，則不會因連接保護元件 200 而減低晶片內之有效面積。

第 5 圖係顯示電極鉅墊附近的 A-A 線剖視圖。另外，構成開關電路裝置之各電極鉅墊全部為同樣的構成。

如圖所示，電極鉅墊 70 之最下方的閘極金屬層 68，係與 GaAs 半絕緣性基板形成肖特基接合，而設於其附近的高濃度雜質區域 100b 與各電極鉅墊係藉由基板 51 而連接。亦即，電阻 R3 之一部分、與作為第 3 高濃度雜質區域之高濃度雜質區域 100b 之一部分係夾住半絕緣性基板 51 而成為保護元件 200，例如係第 $2n^+$ 型區域 202 藉由半絕緣性基板 51(絕緣區域 203)而與金屬電極 204 相連接的構造。從高濃度雜質區域 100b 之端部離開 $0\mu\text{m}$ 至 $5\mu\text{m}$ 外側，而使金屬電極 204 與基板表面形成肖特基接合。此時，金屬電極 204 雖為由閘極金屬層 68 所構成的輸出端子鉅墊 O2 之一部分，但是亦可為連接在輸出端子鉅墊 O2 上

的配線之一部分(參考第 3 圖(B))。另外，該連接例係其一例，亦可考慮第 3 圖所示之全部的連接形態。

第 6 圖係顯示第 4 圖之開關電路裝置之一部分的剖視圖及電路概要圖。第 6 圖(A)係第 4 圖之 B-B 線剖視圖且顯示 1 組之 FET。另外，構成開關電路裝置之各電極鉚墊及進行開關動作之 FET1、FET2 及作為分流 FET 之 FET3、FET4 全部係同樣的構成。

如第 6 圖(A)所示，在基板 51 上設置有由 n 型離子植入層所構成的動作層 52 與於其兩側形成源極區域 56 及汲極區域 57 的 n^+ 型之雜質區域，且於動作層 52 上設有閘極電極 69，進而在雜質區域上設有由第 1 層之歐姆金屬層所形成的汲極電極 66 及源極電極 65。而且在此上如前面所述設有由第 3 層之鉚墊金屬層 77 所形成的汲極電極 76 及源極電極 75，且進行各元件之配線等。

在本實施形態中，如第 4 圖所示，在 FET3(FET4)之源極端子 S(或汲極端子 D)－閘極端子 G 之 2 端子間，亦即在輸出端子 OUT-1－控制端子 Ctl-2 間，並聯連接保護元件 200。藉此，由於可對於從所對應之 2 端子間施加的靜電能量，形成作為用以將此靜電能量進行局部放電的旁通路之路徑，所以可減輕施加在弱接合之 FET3 之閘極極電極 69 肖特基接合上的靜電能量。

又，在本實施形態中，習知之 FET 係以鈦(Ti)與通道區域形成肖特基接合，相對於此，本實施形態之閘極電極 69 係當作埋設有鉑(Pt)之閘極電極 69，以提高 FET 之飽和

電流值，且降低 ON 電阻值。又，在覆蓋汲極電極 66 及源極電極 65 之周圍的氮化膜上，沿著汲極電極 66 及源極電極 65 設有氧化膜 120。

該氧化膜 120 雖於後面詳述，但是其係在製造本實施形態之 FET 的步驟中必要者，為了提高閘極電極 69 之遮罩對位精確度，而將氧化膜 120 設於形成 FET 之源極電極 56、汲極區域 57 之 n^+ 型區域上。其製造方面，係沿著源極電極 65 及汲極電極 66 而逐次形成 2 個的各氧化膜 120，其 1 個側面係大致與源極區域 56 或汲極區域 57 之端部一致，而另一側面則大致與源極電極 65 或汲極電極 66 之端部一致。藉由設置該氧化膜 120 以提高遮罩對位精確度，且比習知更加縮小源極—汲極區域間之距離及源極—汲極電極間之距離。換句話說，提高 FET 之飽和電流值，且降低 ON 電阻值。

位於源極區域 56 與汲極區域 57 間之通道區域 44(動作層 52)的閘極電極 69 之長度 L_g ，通常設計成不發生短通道效應的 $0.5\ \mu\text{m}$ 。閘極寬度 W_g 係指沿著源極區域 56 及汲極區域 57 而位於通道區域 44(動作層 52)的閘極電極 69 之寬度(梳齒之總和)，且將以往進行開關動作的 FET 之閘極寬度 W_g 原為 $600\ \mu\text{m}$ 之部位縮小成 $500\ \mu\text{m}$ 。又，分流 FET 之閘極寬度 W_g 為 $300\ \mu\text{m}$ 。

如此，藉由減小 FET 本身之閘極寬度 W_g ，亦可減少 FET 之 OFF 電容，且提昇隔離。但是，一般而言當將 FET 之閘極寬度 W_g 從習知之 $600\ \mu\text{m}$ 減小至 $500\ \mu\text{m}$ 時，飽和

電流值就會降低，而 ON 電阻值會上升。因此，由於即使縮小閘極寬度 W_g 仍會保持如同習知般之飽和電流值、ON 電阻值，所以有必要提高作為基本元件的 FET 之能力。在本實施形態中，係將形成習知 Ti 之肖特基接合的閘極電極，當作埋設有 Pt 之閘極電極的 FET。

閘極電極 69 係從最下層開始，依序為 Pt/Mo/Ti/Pt/Au 之多層蒸鍍金屬層，且將 Pt 層之一部分埋入動作層中的電極構造。在進行埋設用之熱處理後，最初在最下層中存在有 Pt 之部分主要會變成 PtGa，而在 GaAs 中擴散有 Pt 之部分主要會變成 $PtAs_2$ 。

作為與 GaAsFET 之通道區域形成肖特基接合的金屬，由於 Pt 在對於 GaAs 之障壁高度比 Ti 高，所以與以 Ti 形成肖特基接合的習知 FET 相比較，則以 Pt 埋設閘極 FET 可獲得較高的飽和電流值與較低的 ON 電阻值。再者，Pt 埋設閘極 FET 藉由將閘極電極之一部分埋入通道區域內，即可使閘極電極正下方之電流的流動部分從通道區域表面下降。亦即，通道區域由於為了獲得事先所期望之 FET 特性，而考慮閘極電極之埋設部分形成較深，所以成為從表面自然耗盡層區域離開，且使電流通於結晶良好之低電阻區域的通道區域之設計。基於以上之理由，Pt 埋設閘極 FET 將會比 Ti 閘極 FET 更可大幅改善飽和電流值、ON 電阻值或高頻失真特性。

再者，本實施形態之 FET，比起習知，藉由提高閘極電極形成之遮罩幕對位精確度，且對製程下工夫，即可縮

小源極－汲極間之距離，且更加提高作為基本元件之特性。但是，在製程中亦可在作為源極區域 56 及汲極區域 57 之 n^+ 型區域上同時形成遮罩對位用之氧化膜 120，且以 Pt 層之埋設來形成閘極電極 69。因此，雖於後面詳述，但是無法形成與習知例所示之電極鉀墊 70 及與配線 62 抵接之周邊 n^+ 型區域 160、161。

因此，為了抑制從晶片上之 1 個電極鉀墊 70 及作為配線 62 之閘極金屬層 68 延伸至基板的耗盡層之擴大，而在該閘極金屬層 68、與 FET 或其他之閘極金屬層 68(其他之配線 62 及其他之電極鉀墊 70)、由雜質擴散區域所構成的電阻 R1 至 R4 之任一個至少鄰接的部分上，或是 1 個 FET 之閘極電極、閘極金屬層 68、電阻 R1 至 R4 至少鄰接的部分上，設置未與閘極金屬層 68 抵接的高濃度雜質區域 100b、100c。

而且，藉由在接近的 FET 間設置高濃度區域 100a，即可提昇隔離，且大幅減低各 FET 間之離開距離。

又，為了形成 FET 只要藉由設置遮罩對位用之氧化膜 120，而將閘極電極 69 與源極區域 56 或汲極區域 57 之罩幕對位偏移確保最大為 $0.1\ \mu\text{m}$ 即可。以往，由於必須確保 $0.2\ \mu\text{m}$ ，所以可縮小該差 $0.1\ \mu\text{m}$ 部分，亦即閘極電極 69 與源極區域 56 或汲極區域 57 間距離。具體而言，可將源極區域 56 或汲極區域 57 與閘極電極 69 之距離從 $0.6\ \mu\text{m}$ 縮小至 $0.5\ \mu\text{m}$ 。基於同樣之理由，可將源極區域 56 端－源極電極 65 端距離及汲極區域 57 端－汲極電極 66 端距

離從 $0.4\ \mu\text{m}$ 縮小至 $0.3\ \mu\text{m}$ 。

換句話說，可提高源極區域 56、汲極區域 57 與閘極電極 69 之遮罩對位精確度，且可將源極區域 56、汲極區域 57 與閘極電極 69 之距離分別縮小 $0.1\ \mu\text{m}$ 。又，可提高源極區域 56 與源極電極 65 間、汲極區域 57 與汲極電極 66 間之遮罩對位精確度，且將源極區域 56 端－源極電極 65 端距離及汲極區域 57 端－汲極電極 66 端距離分別縮小 $0.1\ \mu\text{m}$ 。因而，由於全部可將源極電極－汲極電極間距離縮小 $0.4\ \mu\text{m}$ ，所以可實現飽和電流值之提高及 ON 電阻值之減低。即使合併該效果與從前述之 Ti 肖特基閘極 FET 變更至 Pt 埋設閘極 FET 的效果，並將進行開關動作之 FET 的閘極寬度 W_g 減低至 $500\ \mu\text{m}$ ，亦可確保如同習知般之飽和電流值及 ON 電阻值。如此，非常有助於依閘極寬度 W_g 減低所帶來的隔離提昇。

再者，為了提高作為 FET 之基本元件的性能，雖無法於其製程中形成設於電極鉚墊 70 及設於配線 62 之下方的周邊 n^+ 型區域 160、161，但是藉由在電極鉚墊 70 及配線 62 之附近設置高濃度雜質區域 100b、100c，即可確保如同習知般之預定的隔離。

在本實施形態中，如第 6 圖(B)所示，係使用該等之高濃度雜質區域 100b 與電阻 R3、R4 以作為保護元件 200，而可保護作為弱接合之分流 FET3 及 FET4 的源極(或汲極)端子－閘極端子間。亦即，使用開關電路裝置之必要構成要素，且不用特別確保用以連接保護元件 200 之空間，即

可大幅提高開關電路裝置之靜電破壞電壓。

如以上說明，在本實施形態中 FET 之動作層係藉由離子植入所形成，而閘極金屬層 68 係與半絕緣基板 51 表面形成肖特基接合。例如，在即使是相同的化合物半導體亦可利用磊晶層而形成 FET 之動作層時，就有必要在依離子植入而絕緣化的區域上進行隔離，在該情況下，閘極金屬層 68 係與絕緣區域形成肖特基接合。絕緣區域之雜質濃度係在 $1 \times 10^{14} \text{cm}^{-3}$ 以下，而電阻係數係在 $1 \times 10^3 \Omega \cdot \text{cm}$ 以上。在本實施形態中利用磊晶層以形成 FET 的情況下，FET 之通道區域 44、電阻 R1 至 R4、電阻與閘極電極或電阻與電極鉚墊之接觸部分、高濃度雜質區域 100、第 $1n^+$ 型區域 201、第 $2n^+$ 型區域 202 以外的部分會變成絕緣區域。再者，離子植入之絕緣區域的隔離並不限於化合物半導體，即使是 Si 半導體亦同。在本說明書中，將在該種半絕緣基板之一部分及基板上依雜質植入而絕緣化的區域統稱為絕緣區域。

又，上述之各 FET，雖列舉 MESFET 為例加以說明，但是亦可為接合型 FET 或 HEMT。

其次，舉上述之開關電路裝置為例，而參考第 7 至 12 圖來說明本發明之半導體裝置之製造方法。

另外，在此係就 1 個電極鉚墊加以說明。例如，依以下之製造方法，製造第 4 圖所示之開關電路裝置的情況，共通輸入端子用之電極鉚墊、第 1 及第 2 控制端子用之電極鉚墊、第 1 及第 2 輸出端子用之電極鉚墊全部係以同樣

方式形成。另外，由於高濃度雜質區域 100a 至 100c 係同一構成要素，且其配置亦為各式各樣，所以以下係以高濃度雜質區域 100 來說明。

本發明之製造方法係包含有：在基板表面上形成動作層的步驟；在上述基板表面植入擴散一導電型雜質，並與上述動作層相接而形成源極及汲極區域，同時在設有與基板形成肖特基接合之閘極金屬層的區域附近形成高濃度雜質區域的步驟；在上述源極區域、汲極區域及高濃度雜質區域上形成絕緣膜的步驟；利用對上述絕緣膜進行遮罩對位的光微影步驟，而在上述源極及汲極區域附著歐姆金屬層且形成第 1 源極及第 1 汲極電極的步驟；利用對上述絕緣膜進行遮罩對位之光微影步驟，而附著與上述動作層及上述基板表面形成肖特基接合的閘極金屬層且形成閘極電極及第 1 電極鉀墊及配線的步驟；在上述第一源極及第 1 汲極電極與上述第 1 電極鉀墊上，附著鉀墊金屬層且形成第 2 源極及第 2 汲極電極與第 2 電極鉀墊的步驟。

第 1 步驟：首先，如第 7 圖所示，在基板 51 表面形成動作層 52。

亦即，以約 $100\text{\AA}$ 至 $200\text{\AA}$ 之厚度的貫穿離子植入用氮化矽膜 53 來覆蓋由 GaAs 等所形成的化合物半導體基板 51 全面。其次，蝕刻晶片之最外周、或指定區域之 GaAs，以形成對位標記(未圖示)，且進行將預定之動作層 52 上的光阻層 54 選擇性地予以開窗的光微影製程。之後，為了將該光阻層 54 當作遮罩並選擇動作層作為預定之動作層 52，

以進行提供 p^- 型的雜質 (24Mg^+) 之離子植入及提供 n 型之雜質 (29Si^+) 之離子植入。其結果，在未摻雜之基板 51 上形成有 p^- 型區域 55，且在其上形成有 n 型動作層 52。其次，沉積退火處理用氮化矽膜約 $500\text{\AA}$ 。

第 2 步驟：其次如第 8 圖所示，在上述基板表面植入擴散一導電型雜質，並與上述動作層相接而形成源極及汲極區域，同時在設有與基板形成肖特基接合之閘極金屬層的區域附近形成高濃度雜質區域。

去除在前步驟中所用之光阻層 54，且重新進行將預定之源極區域 56、汲極區域 57、設有預定之肖特基金屬層之附近的光阻層 58 選擇性地開窗的光微影製程。所謂肖特基金屬層，由於係指與半絕緣基板形成肖特基接合的閘極電極及配線、作為電極鉚墊之最下層的金屬層（以下稱為閘極金屬層），所以預定之配線 62 及預定之電極鉚墊 70 部分的附近會露出。

接著，將該光阻層 58 當作遮罩以進行對預定之源極區域 56 及汲極區域 57、預定之高濃度雜質區域 100 之基板表面提供 n 型的雜質 (29Si^+) 之離子植入。藉此，形成 n^+ 型之源極區域 56 及汲極區域 57，同時形成高濃度雜質區域 100。高濃度雜質區域 100 為了確保指定之隔離，而將閘極金屬層至少設置在與其他之閘極金屬層或雜質區域相鄰接的區域上。又，高濃度雜質區域 100 係設置於從閘極金屬層之端部離開 $4\mu\text{m}$ 左右的基板表面上。在晶片之最外周或指定之區域上去除在後面步驟中用以進行遮罩對位的遮

罩標記用之光阻 58。另外，雖未圖示，但是藉由同一 n^+ 型雜質之植入擴散步驟亦可將電阻 R1 至 R4 形成於指定的位置。

第 8 圖之剖視圖，係顯示設計成高濃度雜質區域 100 在 FET 之通道區域 44、預定之配線 62、預定之電極鉀墊層 70 的附近分別隔離的剖視圖。但是實際上係如第 4 圖所示，1 個 FET 之閘極電極 69 與其他之 FET 相鄰的區域(高濃度雜質區域 100a)、或作為電極鉀墊 70 及配線 62 之閘極金屬層，係形成於與 FET、其他之電極鉀墊 70 及配線 62、由雜質區域構成的電阻 R1 至 R4 之任一個至少鄰接區域(高濃度雜質區域 100b)的閘極金屬層之附近。

藉此，接近的電阻 R3、R4 與高濃度雜質區域 100b 係夾住半絕緣之基板 51 而成為保護元件 200。

第 3 步驟：其次如第 9 圖所示，在上述源極區域、汲極區域及高濃度雜質區域上形成絕緣膜。在殘留已形成高濃度雜質區域 100 之光阻 58 的狀態下，在全面上沉積氧化膜 120(第 9 圖(A))。之後藉由利用剝落法去除光阻 58，即可在源極區域 56 及汲極區域 57 與高濃度雜質區域 100 上殘留有氧化膜 120(第 9 圖(B))。又，為了遮罩標記用亦殘留有氧化膜 120，且將該等氧化膜 120 在以後之步驟中當作遮罩標記 130 來利用。其次進行離子植入之 p^- 型區域、 n 型動作層、及源極區域、汲極區域、作為高濃度雜質區域的 n^+ 型區域之活性化退火處理。

第 4 步驟：如第 10 圖所示，利用對上述絕緣膜進行遮

罩對位之光微影步驟而在上述源極及汲極區域附著歐姆金屬層且形成第 1 源極及第 1 汲極電極。

首先，設置新的光阻 63，且進行將形成預定之第 1 源極電極 65 及第 1 汲極電極 66 的部分選擇性地開窗的光微影製程(第 10 圖(A))。利用 CF_4 電漿去除已露出之氧化膜 120 與其下層的氮化矽膜 53，且露出源極區域 56 及汲極區域 57(第 10 圖(B))，接著依序真空蒸鍍並層疊作為歐姆金屬層 64 之 $\text{AuGe}/\text{Ni}/\text{Au}$ 之 3 層(第 10 圖(C))。之後，去除光阻層 63，並利用剝落法留下與源極區域 56 及汲極區域 57 上方接觸的第 1 源極電極 65 及第 1 汲極電極 66。接著利用合金化熱處理形成第 1 源極電極 65 與源極區域 56、及第 1 汲極電極 66 與汲極區域 57 之歐姆接合(第 10 圖(D))。

以往係使用已蝕刻 GaAs 之對位標記，進行動作層 52 之形成、源極汲極區域 56、57 之形成、源極汲極電極 65、66 之形成步驟，由於遮罩對位器之對位精確度為 $0.1\ \mu\text{m}$ ，所以源極區域 56 與源極電極 65 間、汲極區域 57 與汲極電極 66 間之遮罩對位的最大誤差為 $0.2\ \mu\text{m}$ 之誤差。由於源極區域 56 端—源極電極 65 端間距離及汲極區域 57 端—汲極電極 66 端間距離 $0.2\ \mu\text{m}$ 為耐壓之界限，所以必須考慮對位偏移並在設計中心確保 $0.4\ \mu\text{m}$ 之離開距離。但是，如本實施形態所示，藉由與源極區域 56 及汲極區域 57 之形成之同時形成遮罩標記 130，而可對源極區域及汲極區域與源極電極及汲極電極直接進行遮罩對位，所以可縮小

源極區域 56 端－源極電極 65 端間距離及汲極區域 57 端－汲極電極 66 端間距離。換句話說，由於源極區域 56－源極電極 65 間、汲極區域 57－汲極電極 66 間之遮罩對位偏移最大可抑制在 $0.1\ \mu\text{m}$ ，所以在設計中心只要確保 $0.3\ \mu\text{m}$ 之離開距離即可。

第 5 步驟：如第 11 圖所示，利用對上述絕緣膜進行遮罩對位之光微影步驟以附著與上述基板表面形成肖特基接合的閘極金屬層且形成閘極電極及第 1 電極鉀墊及配線。

首先在第 11 圖(A)中，進行將預定之閘極電極 69、電極鉀墊 70 及配線 62 部分選擇性地開窗的光微影製程，且乾式蝕刻從預定之閘極電極 69、電極鉀墊 70 及配線 62 部分露出的氮化矽膜 53，並露出預定之閘極電極 69 部分的動作層 52，且露出預定之配線 62 及預定之電極鉀墊 70 部分的基板 51。預定之閘極電極 69 部分的開口部係可形成細微化為 $0.5\ \mu\text{m}$ 的閘極電極 69。

其次，在第 11 圖(B)中，在動作層 52 及已露出之基板 51 上附著作為第 2 層電極的閘極金屬層 68 且形成閘極電極 69、配線 62 及第 1 電極鉀墊 70。亦即，在基板 51 上依序真空蒸鍍並層疊作為第 2 層電極之閘極金屬層 68 的 Pt/Mo/Ti/Pt/Au 之 5 層。

之後如第 11 圖(C)所示，去除光阻層 67 並利用剝落法形成與動作層 52 接觸的閘極長度 $0.5\ \mu\text{m}$ 之閘極電極 69、第 1 電極鉀墊 70 及配線 62，進而施予埋設 Pt 之熱處理。藉此，閘極電極 69 在與基板保持肖特基接合的狀態下將一

部分埋設在動作層 52 中。在此，該情況之動作層 52 的深度係在第 1 步驟形成動作層 52 時，考慮該閘極電極 69 之埋設部分，並事先形成較深以獲得所希望之 FET 特性。

動作層 52 表面(例如離開表面 $500\text{\AA}$ 左右)，因發生自然耗盡層，或結晶不均等之區域等而不流動電流，且作為通道並非有效。藉由將閘極電極 69 之一部分埋入通道區域 52 中，以使閘極電極 69 正下方的電流之流動部分從通道區域 52 表面下降。通道區域 52 由於係考慮閘極電極 69 之埋設部分而形成較深，俾事先獲得所希望之 FET 特性，所以可有效當作通道來活用。具體而言，具有可大幅改善電流密度、通道電阻或高頻失真特性的優點。

在此，閘極電極 69 形成之遮罩，亦使用對位標記 130。亦即，對源極、汲極電極與閘極電極進行直接遮罩對位。藉此，閘極電極 69 與源極區域 56 或汲極區域 57 之對位偏移，亦即遮罩對位器之對位精確度會同等，且最大可抑制在 $0.1\text{ }\mu\text{m}$ 。以往，係透過另外藉由蝕刻 GaAs 而設置的對位標記間接地對閘極電極 69 與源極區域 56 或汲極區域 57 進行遮罩對位。此時，閘極電極 69 與源極區域 56 或汲極區域 57 之對位偏移，由於遮罩對位器之對位精確度為 $0.1\text{ }\mu\text{m}$ ，所以最大為 $0.2\text{ }\mu\text{m}$ 。另一方面，源極區域 56 及汲極區域 57 與閘極電極 69 間，至少要相隔 $0.4\text{ }\mu\text{m}$ 才能確保預定的耐壓。因而，雖考慮遮罩對位誤差所造成的生產不均而有必要在設計中心確保 $0.6\text{ }\mu\text{m}$ 之離開距離，但是若依據本實施形態則只要在設計中心確保 $0.5\text{ }\mu\text{m}$ 即

可。

在此，氧化膜 120 亦設在與源極區域 56、汲極區域 57 同時形成的高濃度雜質區域 100 上。換句話說如習知所示，當在電極鉀墊 70 或配線 62 下方之全面(或是周邊部)上形成提昇隔離用的高濃度雜質區域 100 時，則閘極金屬層 68 會沉積於氧化膜 120 上。尤其是，在本實施形態中為了要提高 FET 之基本性能，而依 Pt 之埋設以形成閘極電極 69。亦即，雖係在氧化膜 120 上配置 Pt，但是氧化膜 120 與 Pt 之黏著強度較弱，而產生閘極金屬層會從氧化膜 120 剝離的問題。

因此，如第 5 圖及第 11 圖(C)所示，未與電極鉀墊 70 或配線 62 抵接，而在與所鄰接的其他之閘極金屬層、FET、雜質區域之間配置高濃度雜質區域 100。藉此，就可抑制從閘極金屬層擴展至基板的耗盡層到達所鄰接的其他之閘極金屬層、FET、雜質區域。

換句話說，係一種可提高作為 FET 之基本性能的製造方法，且可利用設於附近之高濃度雜質區域 100 來抑制來自構成電極鉀墊 70 及配線 62 之閘極金屬的耗盡層之擴大，且可防止高頻訊號之洩漏。

第 7 步驟：在第 1 源極及第 1 汲極電極與上述第 1 電極鉀墊上附著作為第 3 層電極之鉀墊金屬層，且形成第 2 源極及第 2 汲極電極與第 2 電極鉀墊。

在形成閘極電極 69、配線 62 及第 1 電極鉀墊 70 之後，為了保護閘極電極 69 周邊之動作層 52，基板 51 表面係可

利用由氮化矽膜所構成的鈍化膜 72 來覆蓋。在該鈍化膜 72 上進行光微影製程，且對第 1 源極電極 65、第 1 汲極電極 66、閘極電極 69 及第 1 電極鉀墊 70 的接觸部選擇性地進行光阻之開窗，並且乾蝕刻該部分的鈍化膜 72。之後，將光阻層 71 予以去除(第 12 圖(A))。

再者，在基板 51 全面上塗布新的光阻層 73 並進行光微影製程，且進行將預定之第 2 源極電極 75 及第 2 汲極電極 76 與第 2 電極鉀墊 77 上之光阻選擇性地開窗的光微影製程。接著，依序真空蒸鍍層疊作為第 3 層電極之鉀墊金屬層 74 的 Ti/Pt/Au 之 3 層，且形成與第 1 源極電極 65、第 1 汲極電極 66 及第 1 電極鉀墊 70 接觸的第 2 源極電極 75 及第 2 汲極電極 76 與第 2 電極鉀墊 77(第 12 圖(B))。由於鉀墊金屬層 74 之其他部分係附著在光阻層 73 上，所以去除光阻層 73 並利用剝落法只留下第 2 源極電極 75 及第 2 汲極電極 76 與第 2 電極鉀墊 77，而其他部分則予以去除。另外，一部分的配線部分由於係使用該鉀墊金屬層 74 所形成，所以當然該配線部分之鉀墊金屬層 74 會被留下(第 12 圖(C))。

另外，高濃度雜質區域 100 之配置例係其一例，只要其為防止將施加至與基板形成肖特基接合之閘極金屬層 68 上的高頻訊號透過基板 51 而傳遞至其他閘極金屬層 68 的配置即可。

又，使用第 13 及 14 圖，顯示第 2 實施形態。本實施形態係將利用習知製造方法(參考第 17 及 18 圖)所形成的

FET 予以集成化的開關電路裝置之一例。

亦即，不進行氧化膜 120 之遮罩對位，而蝕刻晶片之最外周、或指定區域之 GaAs 基板 51 以形成對位標記，且使全部的光微影之遮罩與對位標記進行對位者。

此時，由於未形成氧化膜 120，所以在電極鉅墊 70 之周邊，可形成作為與鉅墊形成肖特基接合之第 3 高濃度雜質區域的周邊 n^+ 型區域 160。亦即，保護元件 200 係由周邊 n^+ 型區域 160 之一部分及電阻 R3(R4)、與其間的半絕緣基板所構成。

另外，該周邊 n^+ 型區域 160，在第 13 圖中雖係與電極鉅墊 70 局部重疊並設於電極鉅墊 70 周邊，但是亦可與電極鉅墊 70 重疊並以從電極鉅墊 70 露出的方式設在電極鉅墊 70 下方。

或是，亦可與連接在電極鉅墊 70 上的配線局部重疊並設於其周邊，或與配線重疊並以不從配線露出的方式設於配線下方。

第 14 圖係顯示鉅墊附近之 C-C 線剖視圖(第 14 圖(A))及 FET 之 D-D 線剖視圖(第 14 圖(B))、FET 之電路概要圖(第 14 圖(C))。

如第 14 圖(A)所示，輸出端子 O1(O2)之最下方的閘極金屬層 68，係與 GaAs 半絕緣性基板形成肖特基接合，而作為周邊 n^+ 型區域 160 之一部分的第 $2n^+$ 型區域 202，係與閘極金屬層 68 抵接而配置，且形成肖特基接合。亦即，電阻 R3(R4)之一部分、與周邊 n^+ 型區域 160 之一部分係夾

住半絕緣性基板 51 而成為保護元件 200，且第 $2n^+$ 型區域 202 係與金屬電極相連接的構造(參考第 3 圖(A))。

第 14 圖(B)係顯示第 13 圖之 D-D 線剖視圖。另外，構成開關電路裝置之各電極鉅墊及進行開關動作的 FET1、FET2 及作為分流 FET 的 FET3、FET4 全部為同樣的構成。

如圖所示，在基板 51 上形成有由 n 型離子植入層所構成的動作層 52 與於其兩側形成源極區域 56 及汲極區域 57 的 n^+ 型之雜質區域，於動作層 52 上設有閘極電極 69，且在雜質區域上設有由第 1 層歐姆金屬層所形成的汲極電極 66 及源極電極 65。且在其上設有如前所述由第 3 層之鉅墊金屬層 77 所形成的汲極電極 76 及源極電極 75，且進行各元件之配線等。動作層 52 與閘極電極 69 係以 Ti 形成肖特基接合。

在本實施形態中，如第 14 圖(C)所示，在 FET3(FET4)之源極端子 S(或汲極端子 D)－閘極端子 G 之 2 端子間，亦即輸出端子 OUT-1－控制端子 Ctl-2 間，並聯連接有保護元件 200。藉此，由於可對於從所對應之 2 端子間所施加的靜電能量，形成將該靜電能量予以一部分放電的旁通路之路徑，所以可減輕施加在弱接合之 FET3 之閘極電極 69 肖特基接合的靜電能量。

在此，就保護元件 200 之形狀及連接位置，進一步說明。由於考慮當在保護元件 200 上施加靜電時會發生靜電電流，所以若對保護元件 200 流入較多的靜電電流，則會

提高保護效果。亦即，只要使流至保護元件 200 之靜電電流流入更多，來考慮保護元件 200 之形狀及連接位置即可。

如上所述，本實施形態之保護元件係相對向配置第 $1n^+$ 型區域 201 與第 $2n^+$ 型區域 202，且在兩區域周圍配置有絕緣區域 203 的構造。

如第 15 圖所示，第 $1n^+$ 型區域 201 係具有與第 $2n^+$ 型區域 202 相對向的 1 個側面、與相反側的側面。第 $2n^+$ 型區域 202 亦同樣具有與第 $1n^+$ 型區域 201 相對向的 1 個側面、與相反側的側面。將兩區域互為相對向的 1 個側面稱為相對向面 OS。

另外，本實施形態之第 $2n^+$ 型區域 202 並不限於 1 個擴散區域。換句話說，統稱為相對配置於第 $1n^+$ 型區域 201，且用來將靜電能量予以放電的全部之高濃度雜質區域。亦即，第 $2n^+$ 型區域若相對向配置於 1 個第 $1n^+$ 型區域 201，則亦可由 1 個雜質擴散區域所構成，或可為被分割之複數個雜質區域之集合。

又，第 $2n^+$ 型區域 202 係在被分成複數種類時，亦可互為直接連續或不連續。換句話說，連接在相同被保護元件之相同端子上，且相對向的第 $1n^+$ 型區域 201 為共通的第 $2n^+$ 型區域 202，在第 $2n^+$ 型區域 202 上存在有金屬電極時，若利用靜電所產生的電壓而使耗盡層到達金屬電極，並以不破壞保護元件本身之程度而保持充分高的雜質濃度的話，則有雜質濃度之差異亦可。又，即使有該等的雜質

濃度之差異、尺寸之差異、形狀之差異，等幾種類差異亦可統稱該等為第 2 高濃度雜質區域 202。

同樣地，連接在相同被保護元件之相同端子上，且相對向的第 $2n^+$ 型區域 202 為共通的第 $1n^+$ 型區域 201，即使有雜質濃度之差異、尺寸之差異、形狀之差異等幾種類，亦可統稱該等為第 $1n^+$ 型區域 201。

又，以下之絕緣區域 203，雖係列舉 GaAs 基板 51 之一部分為例加以說明，但是即使在對基板離子植入雜質而絕緣化的絕緣化區域亦可同樣實施。

第 15 圖係利用 ISE TCAD(ISE 公司製 TCAD)對保護元件 200 之電壓－電流特性進行裝置模擬時的剖面模型。在 $50\mu\text{m}$ 厚之 GaAs 半絕緣基板上利用劑量 $5\times 10^{13}\text{cm}^{-2}$ 、加速電壓 90KeV 之離子植入及退火處理，而形成第 $1n^+$ 型區域 201、第 $2n^+$ 型區域 202，且形成保護元件 200。亦即在該構造中，第 $1n^+$ 型區域 201 與第 $2n^+$ 型區域 202 間及兩區域之周圍全部成為絕緣區域 203。

第 $1n^+$ 型區域 201 係如第 15 圖所示，將對兩區域之相對向面 OS 離開的方向之寬度 $\alpha 1$ 設定為 $5\mu\text{m}$ 左右以下，具體而言係設為 $3\mu\text{m}$ 。雖然 $\alpha 1$ 越窄越佳，但是具有作為保護元件之功能的界限需為 $0.1\mu\text{m}$ 以上。又，在本實施形態中雖係與第 $2n^+$ 型區域 202 離開 $4\mu\text{m}$ 左右而大致平行配置，但是為了容易放電而亦可在平面圖案中形成使第 $1n^+$ 型區域 201 之前端呈尖銳的形狀，亦即，亦可成為與第 $2n^+$ 型區域 202 之離開距離產生變化的圖案。關於將 $\alpha 1$ 設

為 $5\mu\text{m}$ 以下的根據將於後述。

在第 $1n^+$ 型區域 201 及第 $2n^+$ 型區域 202 上，如第 12 圖所示，連接有金屬電極 204。另外，有關金屬電極 204 與第 1 及第 $2n^+$ 型區域之連接方法，可考慮第 2 及 3 圖所示者。

第 $2n^+$ 型區域 202，例如係設於鉅墊下方的擴散區域，在此其寬度 a_2 係設為 $51\mu\text{m}$ 。在各個第 1 及第 $2n^+$ 型區域上係將金屬電極 204 逐次以 $1\mu\text{m}$ 設於內側。

又，作為裝置尺寸的深度(例如若為 FET 則為閘極寬度)係設為 $1\mu\text{m}$ 。

然後將第 $1n^+$ 型區域 201 當作正側、將第 $2n^+$ 型區域 202 當作負側，且假設以 220pF 、 0Ω 施加靜電電壓 700V 以進行流入 1A 之電流的模擬。

第 16、17、18 圖係分別顯示模擬之電子電流密度、電洞電流密度及再結合密度的分布。單位均為 cm^{-3} 。另外，第 16 圖係在上部重疊配置第 15 圖所示之剖面模型。第 17 及 18 圖亦同。

在第 16 圖之電子電流密度分布中， p_1 區域係橫跨第 $1n^+$ 型區域 201、第 $2n^+$ 型區域 202 雙方上的區域中密度最高的區域。將電子電流與電洞電流合而為一的電流雖為總電流，但是由於電子電流遠大於電洞電流，所以以電子電流作為電流之代表，而在本實施形態中，將從第 1 及第 $2n^+$ 型區域周邊、或是基板表面，至成為 p_1 之 1 成左右的電子電流密度之 q_1 區域附近為止定義為保護元件 200 之電流路

徑。設為 $q1$ 區域附近之理由，係因考慮在電流密度比 $q1$ 區域更小的區域中，不會影響動作之故。

從第 16 圖亦可明白，由於 $\alpha 1$ 之寬度較窄，電流亦會以較多的布散能力而流入與第 $1n^+$ 型區域 201 之相對向面 OS 相反的側面。可看作該布散電流在施加有靜電時亦同樣會發生。

位於第 $1n^+$ 型區域 201 之外側的 $q1$ 區域係最遠離第 $1n^+$ 型區域 201 的區域，且在 X 軸為 $20\mu m$ 附近。第 $1n^+$ 型區域 201 之外側端的 X 座標係如同第 15 圖般為 $5\mu m$ ，而到第 $1n^+$ 型區域 201 之外側 $15\mu m$ 為止，流入有橫跨第 $1n^+$ 型區域 201、第 $2n^+$ 型區域 202 之雙方上的電子電流密度最高之區域的 1 成左右之電子電流。

第 17 圖之電洞電流亦同樣在第 $1n^+$ 型區域 201 之外側有布散。在該電洞電流密度分布中 X 座標 $20\mu m$ 附近之 $q2$ 區域的電洞電流密度，係相對於橫跨第 $1n^+$ 型區域 201、第 $2n^+$ 型區域 202 之雙方上的密度最高之電洞電流密度的 $p2$ 區域成為 2% 左右的電洞電流密度。

第 18 圖之再結合亦同樣在第 $1n^+$ 型區域 201 之外側有布散。在第 18 圖之再結合密度分布中 X 座標 $20\mu m$ 附近之 $q3$ 區域的再結合密度，係相對於橫跨第 $1n^+$ 型區域 201、第 $2n^+$ 型區域 202 之雙方上的密度最高之再結合密度的 $p3$ 區域成為 1 成左右。

第 19 圖係以上述分布圖為基礎，而顯示形成於第 $1n^+$ 型區域 201 與第 $2n^+$ 型區域 202 周圍之絕緣區域 203 上的

電流路徑之模式圖。為了比較方便起見第 19 圖(A)係顯示 $\alpha 1$ 與 $\alpha 2$ 為同等之寬度，且寬度為 $51\mu\text{m}$ 前後時(以下稱為 a 構造)的模式圖。第 19 圖(B)係比較第 15 圖所示之第 $1n^+$ 型區域 201 與第 $2n^+$ 型區域 202，並設為十分窄之寬度 ($\alpha 1 \ll \alpha 2$ ：以下稱為 b 構造)的情形。

另外，作為第 19 圖(A)之基礎的分布圖，由於 $\alpha 1$ 及 $\alpha 2$ 為相等所以密度分布成左右對稱。有關 a 構造省略分布圖之圖示，而顯示模式圖。

如第 19 圖(A)所示，在 $\alpha 1$ 及 $\alpha 2$ 之寬度較寬($50\mu\text{m}$)的情況下，就會在相對向面間及底面部附近形成如箭號所示之電流路徑(從 p1 區域至 q1 區域附近)。在本說明書中，係形成從如圖所示之基板表面至指定的深度，且將第 $1n^+$ 型區域 201 及第 $2n^+$ 型區域 202 之相對向面 OS 之間、與形成於兩區域之底面附近間之絕緣區域 203 上的電子電流及電洞電流之路徑稱為第 1 電流路徑 I1。亦即，a 構造之保護元件的電流路徑係只有第 1 電流路徑 I1。

另一方面，如第 19 圖(B)所示，當將 $\alpha 1$ 設窄至 $5\mu\text{m}$ 左右時，電子電流及電洞電流除了形成於相對向面 OS 間與底面部附近的第 1 電流路徑 I1，亦在比第 1 電流路徑 I1 更深的區域形成路徑。該路徑係布散於第 $1n^+$ 型區域 201，且利用與相對向面 OS 相反側的第 $1n^+$ 型區域 201 之側壁，以使電子電流及電洞電流移動，其與 a 構造比較，在下方形成有 q1 區域。

本說明書中係將形成於如圖所示比第 1 電流路徑 I1 更

深的區域上，且形成於從第 $2n^+$ 型區域 202 至與第 $1n^+$ 型區域 201 之相對向面 OS 相反側的側面之絕緣區域上的電子電流及電洞電流之路徑稱為第 2 電流路徑 I2。

第 19 圖 (B) 中，第 2 電流路徑 I2，由於第 $2n^+$ 型區域 202 之寬度達到 $50\ \mu\text{m}$ ，所以在第 $2n^+$ 型區域 202 附近，在較寬的底面部之水平方向上形成有電流路徑。

另一方面，在第 $1n^+$ 型區域 201 中，由於寬度 $\alpha 1$ 窄至如前面所述之 $5\ \mu\text{m}$ 左右，所以在布散於第 $1n^+$ 型區域 201 之路徑上會有電流流動，且不只有第 $1n^+$ 型區域 201 之底面部，就連與相對向面 SO 相反側的側面亦成為電流路徑。

亦即，如同從上述之圖中亦可明白般，在 a 構造之情況下，保護元件之電流路徑雖只有第 1 電流路徑 I1，但是 b 構造之保護元件 200 係利用較細的第 $1n^+$ 型區域 201 而形成第 2 電流路徑 I2，且形成第 1 電流路徑 I1 與第 2 路徑 I2 之 2 個電流路徑。

第 2 電流路徑 I2 係從第 $1n^+$ 型區域 201 之外側的側面流入及流出電流。又，第 2 電流路徑 I2 與第 1 電流路徑 I1 相比較，前者會通過比第 1 及第 $2n^+$ 型區域更深的區域，且迂迴(繞遠)而到達第 $1n^+$ 型區域 201，藉此即可在絕緣區域 203 內獲得較長的路徑。藉此即可利用絕緣區域 203 內之陷阱 (GaAs 之情況下為 EL2)，以製造更多的電導調變效果之機會。

亦即，在 b 構造中，藉由設置第 2 電流路徑 I2，則與只有第 1 電流路徑 I1 之情況相較，可提高電導調變效率，

且流入更多的電流。流入第 1 及第 $2n^+$ 型區域間之電流值的增加，將會在施加靜電時，流入更多的靜電電流，且增大作為保護元件的效果。

如此，藉由故意使電流路徑迂迴較長以增加主載子與其極性相反之極性載子互碰的機會且提高電導調變效率的手法，係在 IGBT 等之電導調變裝置中係常被採用的手法，以下詳述之。

一般使絕緣區域為絕緣區域者係因陷阱之存在。所謂施體陷阱係指具有正電荷作為原來的性質，當捕捉電子時會變成中性且可變成電導調變之媒介者，在 GaAs 之情況下 EL2 係施體陷阱。又，在由雜質植入所構成的絕緣化區域(203b)上亦存在有陷阱。

第 20 圖係顯示第 15 圖所示之構造的裝置，其係顯示模擬將第 $1n^+$ 型區域 201 當作正側且提高施加在第 $1n^+$ 型區域 201—第 $2n^+$ 型區域 202 間之電壓時的深度 $1\mu m$ 之電壓—電流特性的結果。如該圖所示崩潰(breakdown)電壓為 20 至 30V。

如此，保護元件 200 會在 20 至 30V 崩潰，且當施加該值以上的電壓時就為變成雙載子動作且發生電導調變。保護元件由於係在施加數百 V 靜電電壓時使之崩潰來使用，所以保護元件 200 之動作狀態係從初期狀態開始發生電導調變。

當進行更多該電導調變時，由於該部分崩潰後的突崩增倍就會變得更加激烈且更盛行電子—電洞之生成再結

合，所以電流會流入更多。

如此，藉由在保護元件 200 上形成第 2 電流路徑 I2，則可提高較深的區域及與相對向面 OS 相反側之第 $1n^+$ 型區域 201 之外側方向的電導調變效率。

又，由於為了設計第 2 電流路徑 I2 而將第 $1n^+$ 型區域 201 之寬度縮窄至 $5\mu m$ 以下，所以即使是在第 1 電流路徑 I1 混合第 $1n^+$ 型區域 201 附近之電子並互相反抗，由於與 a 構造相較作為主要載子之電子亦會通過更深的路徑，所以該部分亦會使第 1 電流路徑 I1 本身，比習知更接受較多的電導調變。

使用第 21 圖所示之曲線圖，求出相對於 b 構造之總電流的第 2 電流路徑 I2 之電流值的比率。此係將第 $1n^+$ 型區域 201 當作正側，且在假設以 $220pF$ 、 0Ω 施加約 $700V$ 之靜電並在深度 $1\mu m$ 處進行流入 $1A$ 之電流的模擬時，離開表面 $2\mu m$ 之深度的電子電流密度之 X 座標依存性曲線圖。

在離開表面 $2\mu m$ 之深度的電子電流密度中，以第 $1n^+$ 型區域 20 之 X 方向的寬度對相當於第 $1n^+$ 型區域 201 正下方的電子電流密度施以積分，且將該值當作第 1 電流路徑 I1 部分，而將以其外側部分之 X 方向的寬度對相當於第 $1n^+$ 型區域 201 之外側部分的電子電流密度施以積分的值當作第 2 電流路徑 I2 部分，進而計算第 2 電流路徑 I2 之電流值的比率。

其結果，可知相對於總電流值之第 2 電流路徑 I2 的比

率係 $0.48(2.89/(3.08+2.89))$ ，且與第 1 電流路徑 I1 同等的電流值。

再者，雖於後面詳細但是為 b 構造時的第 1 電流路徑 I1 本身係具有大於 a 構造之第 1 電流路徑 I1 的電流值。換句話說，在 b 構造中，由於第 2 電流路徑 I2 係與本身之第 1 電流路徑 I1 同等，所以總流入遠大於 a 構造的電流。

另外，作為副次效果有如上面所述，由於將第 1 電流路徑 I1 與第 2 電流路徑 I2 合而為一，並比 a 構造更大幅擴大電流路徑，所以結晶內之溫度會比習知更下降，該部分電子、電洞之移動率會提高，並可流入更多的該部分電流。

其結果，由於作為保護元件 200 整體的電流值會增加，所以可提高保護效果。

第 22 圖係顯示比較電子電流、電洞電流、再結合密度之擴大的表。此係就 a 構造之情況與 b 構造之情況進行模擬，其結果係在一定條件下比較與所得之第 16 至 18 圖同樣之密度分布的值者

在第 22 圖(A)中，y_2 係在各自之密度分布圖中從表面至 $2\mu\text{m}$ 之深度橫切於水平方向時的剖面，且以 μm 之單位表示各密度為 10^5cm^{-3} 時的 X 方向之寬度的數值。

X_0 係在第 15 圖所示之座標中以 μm 之單位表示各密度為 10^5cm^{-3} 時的表面深度的數值。

所謂乘法運算係 y_2 之值與 X_0 之值相乘後的值，且為用以虛擬比較描繪各密度之 10^5cm^{-3} 之點並予以連上時

所完成的圖形之面積的值。亦即所謂乘法運算係分別表示電子、電洞、再結合之各擴大的指標。

又，表中所謂 a 構造，係指第 $1n^+$ 型區域 201、第 $2n^+$ 型區域 202 均為 $51\mu m (= \alpha 1 = \alpha 2)$ 之寬度，且將第 $2n^+$ 型區域 202 當作正側，將第 $1n^+$ 型區域 201 當作負側，並設為深度 $1\mu m$ 的 a 構造，進而流入 $0.174A$ 的計算結果。

b 構造 - 1 係將第 $1n^+$ 型區域 201 之寬度 $\alpha 1$ 設為 $3\mu m$ ，將第 $2n^+$ 型區域 202 之寬度 $\alpha 2$ 設為 $51\mu m$ ，並將第 $2n^+$ 型區域 202 當作正側，將第 $1n^+$ 型區域 201 當作負側的 b 構造，進而在深度 $1\mu m$ 處流入 $0.174A$ 的計算結果。

b 構造 - 2 係將所施加的極性形成與 b 構造 - 1 相反，且將第 $1n^+$ 型區域 201 之寬度 $\alpha 1$ 設為 $3\mu m$ ，將第 $2n^+$ 型區域 202 之寬度 $\alpha 2$ 設為 $51\mu m$ ，並將第 $1n^+$ 型區域 201 當作正側，將第 $2n^+$ 型區域 202 當作負側的 b 構造，進而在深度 $1\mu m$ 處流入 $0.174A$ 的計算結果。

以上之 3 個各密度之全部的乘法運算係成為 b 構造 - 1、b 構造 - 2 均大於 a 構造的值。

此係表示即使第 $1n^+$ 型區域 201 為正側、第 $2n^+$ 型區域 202 為負側，在任一極性中 b 構造的電子電流、電洞電流、再結合之任一個皆比 a 構造者分布在較廣的範圍內，且表示該部分之電導調變效率變高。而且，電流流入較寬範圍內係顯示溫度降低之情形，且表示該部分之移動率會上升，且電流會增加。

在此，第 22 圖 (B) 中，b 構造 - 3 係在對第 $1n^+$ 型區域

201 施加正電壓時，顯示 1A 之情況的 b 構造之計算結果。第 22 圖(A)之 3 個計算雖係從計算能力之點開始均統一設為 0.174A 之電流並予以比較，但是實際之靜電的電流在靜電電壓 700V、220pF、 0Ω 的情況在深度 $1\mu\text{m}$ 處為 1A 左右。由於只有在利用模擬而對第 $1n^+$ 型區域 201 施加正電壓時才得到 1A 之計算所以顯示其結果。

與第 22 圖(A)之 b 構造－2 相比較，可知在 b 構造－3 中即使是相同極性當將電流從 0.174A 增加至 1A 時，各乘法運算之值就會增加 1 位數或 1 位數以上。

由此可知，如第 22 圖(C)所示，在利用保護元件 200 施加較高的靜電電壓，且流入比第 16 圖及作為其模式圖之第 19 圖(B)所示之電流更多的靜電電流時，若絕緣區域 203 足夠寬，則第 16 圖所示之 q1 區域(最高密度區域之 1 成左右的電流密度區域)就會更擴展於下方及與相對向面 OS 相反側之外側方向，亦即第 2 電流路徑 I2 會變寬。第 2 電流路徑 I2 變得越寬，則越可提高電導調變效率，且由於所通過的電流會增加並使 q1 區域朝下方擴展，所以第 2 電流路徑 I2 就會更擴大。藉此，由於基板之結晶溫度會降低，所以可使載子之移動率更加上升，且流入更多電流而更加提高保護效果。

換句話說，在 b 構造中，由於所施加的靜電電壓若越高，電導調變效率就越提高，且電流路徑變得越寬大，所以可自動調整電導調變效果。

又，第 1 電流路徑 I1 亦同，若靜電電壓變得越高，電

流就可流入更深處，且與第 2 電流路徑 I2 同樣可自動調整電導調變效果。

因而，雖於後面詳述，但是若充分確保可作為第 2 電流路徑 I2 的絕緣區域 203，則成為可以 220pF、 0Ω 從 2500V 之靜電中保護被保護元件不遭受破壞的構造。而且，由於幾乎不具有寄生電容，所以不會使被保護元件之高頻特性劣化。亦即，藉由在原來靜電破壞電壓 100V 左右之元件上連接寄生電容 20fF 的本保護元件，即可提高靜電破壞電壓 20 倍以上。

在此，使用第 23 圖說明 b 構造之 $\alpha 1$ 最好為 $5\mu\text{m}$ 以下的理由。第 23 圖係改變第 $1n^+$ 型區域 201 之寬度 $\alpha 1$ 而計算第 22 圖之 b 構造 - 2 中的電子電流密度者。

當將第 $1n^+$ 型區域 201 之寬度 $\alpha 1$ 設為 $5\mu\text{m}$ 以下時，第 2 電流路徑之比率就會急速上升。亦即，電流由於擴展於水平方向及深度方向，所以該部分之電導調變效率提高，且由於溫度降低會使載子之移動率增加，所以電流值會大幅增加，且大幅增加作為保護元件之保護效果。

在此，可知第 21 圖所示之 $\alpha 1=3\mu\text{m}$ 之第 2 電流路徑 I2 的比率為 0.48，相對於此，在上面之第 23 圖中相同的第 $1n^+$ 型區域上第 $1n^+$ 型區域寬度 $3\mu\text{m}$ 之點的 I2 比率只有 0.3，係因第 23 圖為 0.174A 而第 21 圖為 1A 之故，且至某一定電流值為止以電流較多者一方其第 2 電流路徑 I2 的比率較大。另外，雖係以模擬較大之裝置時的計算能力之界限用的 0.174A 來比較，但是若為相對比較則亦可以該電流

值進行充分比較。

其次，就第 $1n^+$ 型區域 201 之外側所應確保的絕緣區域 203 之寬度加以說明。如上所述，第 2 電流路徑 I2，由於在與第 $1n^+$ 型區域 201 之相對向面 OS 相反側的絕緣區域 203 上亦擴大第 2 電流路徑 I2，所以在此只要確保充分的寬度 β 之絕緣區域 203 即可。

參考第 24 圖就 b 構造之 β 與靜電破壞電壓加以說明。充分確保絕緣區域 203，係充分確保可成為第 2 電流路徑 I2 的區域，而關於保護效果高之方面如同前面所述般。換句話說如第 24 圖(A)之俯視圖所示，在與相對向面 OS 相反側上確保指定的絕緣區域寬度 β 。第 24 圖(B)係顯示使 β 之值產生變動並調查靜電破壞電壓的結果。

經測定的被保護元件係在閘極長度 $0.5\ \mu\text{m}$ 、閘極寬度 $600\ \mu\text{m}$ 之 GaAsMESFET 的閘極上串聯連接 $10\text{K}\Omega$ 之電阻的元件。保護元件 200 之連接前，源極或汲極電極與電阻端間之靜電破壞電壓係 100V 左右。於此間並聯連接 b 構造之保護元件 200 的第 $1n^+$ 型區域 201 與第 $2n^+$ 型區域 202 之兩端，且使 β 之值產生變化並測定靜電破壞電壓。第 $1n^+$ 型區域 201 與第 $2n^+$ 型區域 202 間之電容為 20fF。

如第 24 圖(B)所示，當將 β 加大至 $25\ \mu\text{m}$ 時靜電破壞電壓就會提高至 2500V。第 24 圖(A)所示之 β 為 $15\ \mu\text{m}$ 時的靜電破壞電壓為 700V。此係顯示在將靜電電壓從 700V 提昇至 2500V 時，在第 $1n^+$ 型區域 201 中，第 2 電流路徑 I2 會在與相對向面 OS 相反側之外側方向(β)延伸 $15\ \mu\text{m}$

以上。

靜電電壓變高，係指使第 2 電流路徑 I2 擴大之意。換句話說，在未充分確保絕緣區域 203 之情況下，雖然第 2 電流路徑 I2 之擴大會受到限制，但是藉由充分確保絕緣區域 203，即可充分擴大第 2 電流路徑 I2。

亦即，在 b 構造中，若將第 $1n^+$ 型區域 201 外側之絕緣區域 203 寬度 β 確保 $10\mu\text{m}$ 以上，最好確保在 $15\mu\text{m}$ 以上，則可更加擴大第 2 電流路徑 I2 並更加提昇電導調變效率。

在 a 構造中，於連接保護元件的情況下，雖只能將靜電破壞電壓提昇至 2 倍至 3 倍程度，但是在 b 構造中 β 為 $15\mu\text{m}$ 時，當靜電破壞電壓為 700V，而使 β 延伸至 $25\mu\text{m}$ 時就會變成 2500V，且可確認靜電破壞電壓提昇至 25 倍。亦即在 b 構造中若確保指定之 β ，則比起習知之保護元件可流入至少約 10 倍的電流。

如前所述般，流至第 1 電流路徑 I1 之電流與流入第 2 電流路徑 I2 之電流大致同等，且可流入流至習知保護元件之電流的至少 10 倍之電流，可知第 1 電流路徑 I1、第 2 電流路徑 I2 均流至各電流路徑的電流為習知之至少 5 倍。

如此， β 最好為 $10\mu\text{m}$ 以上，此係指在晶片上將保護元件 200 集成化時，在第 $1n^+$ 型區域 201 外側，確保寬度 β 之絕緣區域 203 並配置其他的構成要素或配線等之意。

同樣地，如第 25 圖所示，為了確保第 2 電流路徑 I2，最好亦在深度方向確保足夠的絕緣區域。第 25 圖(A)係剖

視圖，在第 $1n^+$ 型區域 201 及第 $2n^+$ 型區域 202 下方確保指定之深度 δ 的絕緣區域 203。

第 25 圖 (B) 係顯示將第 $1n^+$ 型區域 201 當作正側，並假想以 220pF、 0Ω 施加 700V 之靜電電壓來進行在 $1\mu m$ 之深度流入 1A 的模擬，且為座標 $X=0\mu m$ 中之 Y 方向剖面之電子電流密度的曲線圖。在該曲線圖中，當從表面使電子電流密度朝深度方向積分時，可得知至深度 (Y) $19\mu m$ 之積分 (剖面線部分) 為整體 $50\mu m$ 之積分的 90%。亦即，絕緣區域 203 之深度 δ 最好為 $20\mu m$ 以上。

以上，雖係就在保護元件 200 周邊應確保之絕緣區域 203 的尺寸 (β 或 δ)、及第 $1n^+$ 型區域 201 之寬度 ($\alpha 1$) 加以說明，但是依晶片上之配置，有無法確保充分的 β 或 δ 、或是相對向面 OS 間之距離的情況。

在該情況下，如第 26 圖之俯視圖所示，在使第 $1n^+$ 型區域 201 離開相對向面 OS 的方向設置延伸部 300，且在延伸部 300 與第 $2n^+$ 型區域間之絕緣區域 203 間確保指定之寬度 γ 的絕緣區域 203。然後，亦可在該絕緣區域 203 形成作為電導調變效率高的電子電流及電洞電流之路徑的第 3 電流路徑 I3。

第 3 電流路徑 I3 係可依延伸部 300 及第 $2n^+$ 型區域 202 間之絕緣區域 203 而確保較大的電流路徑。圖中雖以平面顯示但是由於亦可在與紙面垂直的方向 (裝置之深度方向) 形成第 3 電流路徑 I3，所以亦會增加深度方向之電流。另外，在相對向面 OS 之深度方向 (與紙面垂直方向)，形成有

第 1 電流路徑 I1 及第 2 電流路徑 I2，而保護元件之電流路徑係成為第 1、第 2、第 3 之電流路徑 I1 至 I3。

第 26 圖 (B) 係顯示實際測定 γ 與靜電破壞電壓之比較的值。被保護元件、保護元件 200 之連接方法係與在第 24 圖使 β 之值產生變動且測定靜電破壞電壓時相同。

如第 26 圖 (B) 所示，當將 γ 加大至 $30\ \mu\text{m}$ 時靜電破壞電壓會提高至 1200V 。 γ 為 $25\ \mu\text{m}$ 時之靜電破壞電壓係 700V 。此係顯示在將靜電電壓從 700V 提昇至 1200V 時，第 3 電流路徑 I3 在延伸部 300 與第 $2n^+$ 型區域間之上述絕緣區域會延伸至 $25\ \mu\text{m}$ 以上。

如此，即使在設置延伸部 300 的情況下，靜電之電壓變得越高，即可更擴大電流路徑 I3 並更提高電導調變效率。換句話說，可依所施加的靜電電壓而自動調整電導調變效果。藉此，由於可減低絕緣區域之溫度，且更提昇載子之移動率，所以會流入更多電流，且提高保護效果。

亦即，延伸部 300 最好亦在周圍確保充分的絕緣區域 203，且藉由充分確保 γ 即可確保充分擴大第 3 電流路徑 I3 的空間，進而可流入更多對應於靜電電壓的靜電電流。因此，寬度 γ 最好為 $10\ \mu\text{m}$ 以上，而更佳為 $20\ \mu\text{m}$ 以上。另外，若在延伸部 300 雙方之側面側確保 γ ，即可更提高效果。

另外，雖最好在確保 β 之後才確保 γ ，但是即使 β 不充分藉由確保 γ 亦可提高保護元件之效果。

第 27 圖係顯示第 $1n^+$ 型區域 201 及第 $2n^+$ 型區域 202

均為 $5\mu\text{m}$ 以下之情況(以下稱為 c 構造)的電流路徑之模式圖。

c 構造係將 b 構造之第 $2n^+$ 型區域 202 的寬度 $\alpha 2$ ，縮窄成與第 $1n^+$ 型區域 201 同等的構造，且互以 $4\mu\text{m}$ 左右之離開距離相對向配置，進而在周圍配置絕緣區域 203。在 c 構造中，形成有第 1 電流路徑 I1 及第 2 電流路徑 I2。

第 1 電流路徑 I1 係形成於從基板表面至第 $1n^+$ 型區域及第 $2n^+$ 型區域之相對面 OS 間及兩區域之底面附近間的絕緣區域 203 上，且作為電子電流及電洞電流之路徑。

第 2 電流路徑 I2 係迂迴比第 1 及第 $2n^+$ 型區域的區域更深，且互相到達與兩區域之相對向面 OS 相反側之側面所形成。亦即，第 $1n^+$ 型區域 201 及第 $2n^+$ 型區域 202，均可將與相對向面 OS 相反之外側的側面當作電流路徑來利用，且在比第 1 電流路徑 I1 更深的區域形成第 2 電流路徑 I2。

再者，第 $1n^+$ 型區域 201 係如第 28 圖所示，亦可在離開相對向面 OS 之方向設置延伸部 300a，且在延伸部 300a 與第 $2n^+$ 型區域 202 之絕緣區域，形成作為發生電導調變之電子電流及電洞電流之路徑的第 3 電流路徑 I3。

又，同樣地第 $2n^+$ 型區域 202 係在離開相對向面 OS 之方向設置延伸部 300b，且在延伸部 300b 與第 $1n^+$ 型區域 201 之絕緣區域，形成作為發生電導調變之電子電流及電洞電流之路徑的第 3 電流路徑 I3。

延伸部 300a、300b 可設於其中任一方，亦可設於兩區

域上。又，如圖所示，亦可將該等彎曲於離開相對向面 OS 之方向。藉此，如第 28 圖所示由於形成有電流路徑 I3，所以電流值會增加且保護效果會增大。

另外， β 、 γ 、 δ 之值雖最好為上述之值，但是即使為上述以下的值雖與 a 構造相比較可確保更大的電流路徑，但仍儘量以形成確保各值的圖案為佳。

亦即，在構成保護元件 200 之第 $1n^+$ 型區域 201(c 構造等之第 $2n^+$ 型區域 202 亦同)之周圍的絕緣區域 203 上，以不阻礙第 2 電流路徑 I2 或第 3 電流路徑 I3 的方式確保足夠的空間(β 、 γ)，而保護元件 200 所連接的被保護元件或其他的構成要素及配線等，只要從第 $1n^+$ 型區域 201 離開 $10\mu m$ 左右以上而配置在外側即可。又，由於晶片端部亦會阻礙電流路徑，所以在第 $1n^+$ 型區域 201 配置於晶片端部的模式下，只要將到達晶片端部之距離確保在 $10\mu m$ 左右以上即可。

有關保護元件 200 之圖案，係參考第 4 及 13 圖之開關電路裝置而加以說明。

在第 4 圖之開關電路裝置中，例如，在輸出端子鉅墊 O1 及輸出端子鉅墊 O2 連接有保護元件 200。如前面所述，在各鉅墊 70 之附近，配置有高濃度雜質區域 100b，而各鉅墊 70 之最下方的閘極金屬層 68 係與 GaAs 半絕緣性基板形成肖特基接合，而高濃度雜質區域 100b 與各鉅墊 70 係形成肖特基接合。

換句話說，在第 4 圖中，藉由將電阻 R3 及 R4 分別接

近配置於輸出端子 O1 及 O2，則構成電阻 R3、R4 之 N^+ 型區域與鉀墊周邊之高濃度雜質區域 100b 的離開距離會變成 $4\mu m$ ，且在周圍配置有絕緣區域 203 並成為保護元件 200。電阻 R3 及 R4 之一部分係第 $1n^+$ 型區域 201，而輸出端子鉀墊 O1、O2 周邊之高濃度雜質區域 100b 的一部分係第 $2n^+$ 型區域 202。另外，高濃度雜質區域 100b 係當作保護元件 200 而與輸出端子鉀墊 O1 相連接，即成為 $\alpha 2$ 之寬度較寬的 b 構造。亦即，在開關電路裝置之控制端子一輸出端子間並聯連接保護元件 200。

在該圖案中，電阻 R3 及 R4 之寬度為 $\alpha 1$ ，且將 X1 設為 $5\mu m$ 以下。

再者，將作為第 $1n^+$ 型區域 201 之電阻 R3、R4 外側的絕緣區域 203 之寬度 β 確保 $10\mu m$ 以上，並配置其他的構成要素。在該圖案之情況下， β 之端係晶片端且將從電阻 R3、R4 至晶片端的距離確保在 $10\mu m$ 以上。

然而在第 4 圖中，亦有 β 無法確保在 $10\mu m$ 以上的情況，且該部分流至電流路徑 I2 的電流會變少。作為其對策只要設置延伸於保護元件 200 之第 $1n^+$ 型區域 201 之局部的延伸部 300，且在延伸部 300 與第 $2n^+$ 型區域 202 間之絕緣區域 203 上，確保形成第 3 電流路徑 I3 的區域即可。

在第 4 圖之圖案中，藉由在電阻 R3 與高濃度雜質區域 100b 間之絕緣區域 203 上，於與各自之區域正交的方向確保寬度 $10\mu m$ 以上之 γ ，則電阻 R3 及 R4 與高濃度雜質區域 100b 間之絕緣區域 203 就會成為電流路徑 I3。亦即，

即使第 2 電流路徑 I2 之確保不夠充分，亦可形成第 3 電流路徑 I3 而從靜電中充分保護開關電路裝置之控制端子－輸出端子間的肖特基接合。

另一方面，第 13 圖之開關電路裝置亦與第 4 圖同樣，可在輸出端子鉅墊 O1 及輸出端子 O2 上連接保護元件 200。在第 13 圖之開關電路裝置中係於各電極鉅墊 70 之周邊上配置有與鉅墊形成肖特基接合的周邊 n^+ 型區域 160。

換句話說，在第 13 圖中，藉由將電阻 R3 及 R4 分別接近配置於輸出端子鉅墊 O1 及 O2，則構成電阻 R3、R4 之 N^+ 型區域與周邊 n^+ 型區域 160 之離開距離就會變成 $4\mu m$ ，且在周圍配置絕緣區域 203 並成為保護元件 200。電阻 R3 及 R4 之一部分係第 $1n^+$ 型區域 201，而輸出端子鉅墊 O1、O2 之周邊 n^+ 型區域 160 的一部分係第 $2n^+$ 型區域 202。亦即，在開關電路裝置之控制端子－輸出端子間並聯連接保護元件 200。

在該圖案中電阻 R3 及 R4 之寬度為 $\alpha 1$ ，並將 $\alpha 1$ 設為 $5\mu m$ 以下。另外，第 13 圖之圖案中，第 $2n^+$ 型區域 202 並非為鉅墊下方全面而只有周邊部而已。但是，如上所述在該圖案的情況下，由於與相對向面 OS 相反的側面不會被當作第 2 電流路徑 I2 來利用，所以該情況會變成 b 構造。

即使在該圖案中，亦將作為第 $1n^+$ 型區域 201 之電阻 R3、R4 外側的絕緣區域 203 之寬度 β 確保在 $10\mu m$ 以上，並配置其他的構成要素。在該圖案的情況下， β 之端係為

晶片端並將從電阻 R3、R4 至晶片端之距離 β 確保在 $10\mu\text{m}$ 以上。

又，在 β 無法確保在 $10\mu\text{m}$ 以上的情況下，例如只要在第 $1n^+$ 型區域 201 設置延伸部 300，且在延伸部 300 與第 $2n^+$ 型區域 202 間之絕緣區域 203 上形成第 3 電流路徑 I3 即可。

如此，本實施形態之保護元件 200，係將第 $1n^+$ 型區域 201 及第 $2n^+$ 型區域 202 之至少任一方的高濃度區域之寬度設為 $5\mu\text{m}$ 以下，且在周圍確保足夠的絕緣區域 (β 、 γ)，並配置於作為被保護元件之 2 端子間。

以上雖係列舉絕緣區域 203 為 GaAs 之情況為例加以說明，但是絕緣區域 203 係如上所述亦可為對基板植入擴散雜質並使之絕緣化的區域，該情況即使是矽基板亦可同樣實施。

(發明效果)

如以上詳細說明，根據本發明可獲得以下效果。

第 1、利用開關電路裝置之構成要素，且藉由對電阻之圖案下工夫即可連接保護元件。藉此，與保護元件連接前相比較就可將分流 FET 之閘極電極及源極電極間或閘極電極及汲極電極間之靜電破壞電壓提高 20V 以上，且可將作為開關電路裝置之靜電破壞電壓設在 200V 以上。

第 2、利用電極鉀墊之一部分作為保護元件所連接的金屬電極，且藉由在電極鉀墊與切割線之間配置保護元件，即可抑制因保護元件之連接而造成晶片內之面積的增

大。

第 3、為了提昇隔離，可將設於鉅墊周邊之高濃度區域當作保護元件之 1 個端子，且可實現隔離之提昇與靜電破壞電壓之提高。

第 4、保護元件由於係由高濃度區域—絕緣區域—高濃度區域所構成，且不具有 pn 接合，所以不會發生保護元件本身的寄生電容。可以與開關電路裝置相同的基板來製作保護元件，且幾乎不會隨著寄生電容之增加，而使高頻特性劣化，因而可防止開關電路裝置之分流 FET 的靜電破壞。

第 5、藉由接近與開關電路裝置之端子相連接的鉅墊而連接保護元件，即可在施加靜電能量後馬上放電，而可更有助於靜電破壞電壓之提高。

第 6、藉由在從開關電路裝置之端子至動作區域的路徑途中連接保護元件，即可最有效地從靜電破壞中保護動作區域之靜電破壞較弱的接合。

第 7、由於將靜電能量放電之面與成為水平面之保護二極體不同，且成為垂直面，所以保護元件幾乎不會導致晶片面積之增大，且可將該晶片集成化。

第 8、保護元件 200 係藉由將作為保護元件之端子的第 $1n^+$ 型區域 201 及第 $2n^+$ 型區域 202 之至少任一方的高濃度區域之寬度設為 $5\mu m$ 以下，即可在絕緣區域 203 上形成第 2 電流路徑 I2，且電子電流、電洞電流、再結合均可分布於較寬的範圍內，而使電導調變效率變高。

第 9、由於利用第 2 電流路徑 I2 可使電流在較寬的範圍內流動所以溫度會降低，而使載子之移動率提高，且電流增加。

第 10、利用第 2 電流路徑 I2，則由於所施加的靜電之電壓變得越高，電導調變效率就會越來越高，且電流路徑變得寬大，所以可自動調整電導調變效果。

第 11、藉由將作為保護元件之一方端子的高濃度區域之寬度設為 $5\mu\text{m}$ 以下，第 1 電流路徑 I1 就會依靜電之電壓變得越高而使電流流至更深處，且第 2 電流路徑 I2 可同樣地自動調整電導調變效果。

第 12、藉由充分確保可作為第 2 電流路徑 I2 之絕緣區域 203，即可使靜電破壞電壓提高 20 倍以上。

第 13、在 b 構造中，若將第 $1n^+$ 型區域 201 外側之絕緣區域 203 寬度 β 確保 $10\mu\text{m}$ 以上，則可更加擴大第 2 電流路徑 I2 並且更加提高電導調變效率。具體而言，若將 β 確保在 $25\mu\text{m}$ ，則可比 a 構造之保護元件流入至少約 10 倍之電流。

第 14、在無法依晶片上之配置，確保足夠之 β 或 δ 、或是相對向面 OS 間之距離的情況下，則在從相對向面 OS 離開第 $1n^+$ 型區域 201 的方向設置延伸部 300，且在延伸部 300 與其他的構成要素之間確保寬度 (γ) $10\mu\text{m}$ 以上之絕緣區域 203，進而在延伸部 300 與第 $2n^+$ 型區域 202 間形成作為電導調變效率高之電子電流及電洞電流之路徑的第 3 電流路徑 I3。

藉此，即可在延伸部 300 與第 $2n^+$ 型區域 202 之間確保更大的電流路徑。由於在裝置之深度方向亦形成有第 3 電流路徑 I3，所以深度方向之電流亦會增加。

【圖式簡單說明】

第 1 圖 (A) 及 (B) 係用以說明本發明的電路圖。

第 2 圖係用以說明本發明的概要圖。

第 3 圖 (A) 及 (B) 係用以說明本發明的剖視圖。

第 4 圖係用以說明本發明的俯視圖。

第 5 圖係用以說明本發明的剖視圖。

第 6 圖 (A) 至 (C) 係用以說明本發明的 (A) 剖視圖、(B) 電路概要圖。

第 7 圖係用以說明本發明的剖視圖。

第 8 圖係用以說明本發明的剖視圖。

第 9 圖 (A) 及 (B) 係用以說明本發明的剖視圖。

第 10 圖 (A) 至 (D) 係用以說明本發明的剖視圖。

第 11 圖 (A) 至 (C) 係用以說明本發明的剖視圖。

第 12 圖 (A) 至 (C) 係用以說明本發明的剖視圖。

第 13 圖係用以說明本發明的平視圖。

第 14 圖 (A) 至 (D) 係用以說明本發明的 (A) 剖視圖、(B) 剖視圖、(C) 電路概要圖。

第 15 圖係本發明之裝置模擬的剖面模型圖。

第 16 圖係本發明之電子電流密度分布圖。

第 17 圖係本發明之電洞電流密度分布圖。

第 18 圖係本發明之再結合密度分布圖。

第 19 圖係本發明之(A)a 構造的電流路徑概要圖、(B)b 構造之電流路徑概要圖。

第 20 圖係本發明之電流－電壓特性圖。

第 21 圖係本發明之模擬結果。

第 22 圖係本發明之(A)模擬結果、(B)模擬結果、(C)b 構造的電流路徑概要圖。

第 23 圖係本發明之模擬結果。

第 24 圖係本發明之(A)模擬結果、(B)平面概要圖。

第 25 圖係本發明之(A)剖面概要圖、(B)模擬結果。

第 26 圖係本發明之(A)平面概要圖、(B)模擬結果。

第 27 圖係本發明之 c 構造的電流路徑概要圖。

第 28 圖係本發明之平面概要圖。

第 29 圖係用以說明習知例的(A)電路圖、(B)俯視圖。

第 30 圖係用以說明習知例的(A)剖視圖、(B)電路概要圖。

第 31 圖(A)至(D)係用以說明習知例的剖視圖。

第 32 圖(A)至(C)係用以說明習知例的剖視圖。

44	通道區域	51	GaAs 基板
52	動作層	53	氮化膜
54	光阻	56	源極區域
57	汲極區域	58	光阻
62	配線	63	光阻
64	歐姆金屬層	65	第 1 源極電極

66	第 1 汲極電極	67	光阻
68	閘極金屬層	69	閘極電極
70	第 1 電極鉀墊	71	光阻
72	氮化膜	74	鉀墊金屬層
75	第 2 源極電極	76	第 2 汲極電極
77	第 2 電極鉀墊	100	高濃度雜質區域
100a	高濃度雜質區域	100b	高濃度雜質區域
100c	高濃度雜質區域	120	氧化膜 (P57)
130	對位標記	144	通道區域
151	GaAs 基板	152	動作層
153	氮化膜	154	光阻
156	源極區域	157	汲極區域
158	光阻	160	周邊 n^+ 型區域
161	周邊 n^+ 型區域	162	配線
163	光阻	164	歐姆金屬層
165	第 1 源極電極	166	第 1 汲極電極
167	光阻	168	閘極金屬層
169	閘極電極	170	第 1 電極鉀墊
171	光阻	172	氮化膜
174	鉀墊金屬層	175	第 2 源極電極
176	第 2 汲極電極	177	第 2 電極鉀墊
200	保護元件	201	第 1 n^+ 型區域
202	第 2 n^+ 型區域	203	絕緣區域
203a	半絕緣區域	203b	絕緣化區域

204	金屬電極	$\alpha 1$	第 1 n ⁺ 型區域寬度
$\alpha 2$	第 2 n ⁺ 型區域寬度	β	絕緣區域寬度
γ	絕緣區域寬度	δ	絕緣區域深度
I1	第 1 電流路徑	I2	第 2 電流路徑
I3	第 3 電流路徑	300	延伸部
300a	延伸部	300b	延伸部

伍、中文發明摘要：

習知技術中，5GHz 寬頻用之 GaAs 開關 IC，由於其為 2.4GHz 之 2 倍頻率，所以寄生電容會對隔離之惡化帶來很大的影響。因此必須具有設置分流(shunt)FET 以提昇隔離的機構。但是分流 FET 有閘極寬度小、靜電破壞電壓低的問題。

本發明提供一種開關電路裝置，其係在分流 FET 之 2 端子間並聯連接由第 1n⁺型區域、絕緣區域、第 2n⁺型區域所構成的保護元件。由於其可在接近的第 1、第 2n⁺型區域進行放電，所以不會增加寄生電容而可使到達分流 FET 之動作區域的靜電能量衰減。

陸、英文發明摘要：

For a conventional GaAs switch IC used in the broad band such as 5GHz, the aggravation of isolation is greatly influenced by the parasitic capacitance because the frequency for 5GHz is two times times of 2.4 GHz, thus the means of providing a shunt FET for promoting isolation is indispensable. However, the shunt FET has some drawbacks such as a narrow gate width as well as an electrostatic breakdown voltage.

The present invention provides a switch circuit device wherein a protection element consisting of a first 1 + type area, an insulation area and a second 2n + type area is parallely connnected between two terminals of the shunt FET. Since it is dischargeable between the neighboring first and second area, the electrostatic energy that reaches the active region of shunt FET can be attenuated without increasing the parasitic capacitance.

柒、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件代表符號簡單說明：

200	保護元件	201	第 $1n^+$ 型區域
202	第 $2n^+$ 型區域	203	絕緣區域

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種開關電路裝置，包含有：

基板上之絕緣區域；

第 1 及第 2FET，設有連接在設於上述基板之通道區域表面上的源極電極、閘極電極及汲極電極；

共通輸入端子，共通連接在上述第 1 及第 2FET 之源極電極或汲極電極上；

第 1 及第 2 輸出端子，分別連接在上述第 1 及第 2FET 之汲極電極或源極電極上；

第 1 及第 2 控制端子，分別連接在上述第 1 及第 2FET 之閘極電極中的任一個閘極電極上；

連接機構，用以連接上述兩控制端子與上述閘極電極；以及

第 3 及第 4FET，分別將其源極電極或汲極電極與上述第 1 及第 2 輸出端子相連接，將其汲極電極或源極電極與高頻 GND 端子相連接，且將其閘極電極分別與第 2 或第 1 控制端子相連接；其特徵為：

在上述第 3 及第 4FET 中之至少 1 個 FET 的上述閘極電極與源極電極間或上述閘極電極與汲極電極間，並聯連接有將上述絕緣區域配置於第 1 高濃度雜質區域與第 2 高濃度雜質區域間的保護元件，且利用上述保護元件使從外部施加至上述閘極電極與源極電極間或上述閘極電極與汲極電極間的靜電能量產生放電，進而將到達上述閘極電極與源極電極間或上述閘極電極與汲極

電極間的靜電能量衰減至不超過上述電極間之靜電破壞電壓的程度。

2. 如申請專利範圍第 1 項之開關電路裝置，其中，使上述至少 1 個 FET 之上述閘極電極及源極電極間或上述閘極電極及汲極電極間的靜電破壞電壓，與上述保護元件之連接前相比較提高 20V 以上。
3. 如申請專利範圍第 1 項之開關電路裝置，其中，將上述開關電路裝置之靜電破壞電壓設在 200V 以上。
4. 如申請專利範圍第 1 項之開關電路裝置，其中，上述保護元件係沿著上述至少 1 個輸出端子所連接的搭接鉀墊之至少一邊而配置。
5. 如申請專利範圍第 1 項之開關電路裝置，其中，上述第 1 高濃度雜質區域係與上述至少 1 個控制端子所連接的搭接鉀墊或連接在搭接鉀墊上的配線相連接。
6. 如申請專利範圍第 1 項之開關電路裝置，其中，上述第 1 高濃度雜質區域係用以連接上述至少 1 個控制端子所連接之搭接鉀墊與上述至少 1 個 FET 之上述閘極電極的電阻之一部分。
7. 如申請專利範圍第 1 項之開關電路裝置，其中，上述第 2 高濃度雜質區域係與上述至少 1 個輸出端子所連接的搭接鉀墊或連接在搭接鉀墊上的配線相連接。
8. 如申請專利範圍第 1 項之開關電路裝置，其中，上述第 2 高濃度雜質區域係上述至少 1 個輸出端子的搭接鉀墊或連接在搭接鉀墊上的配線之周邊、或是設於上述搭接

銲墊或上述配線之下方的第 3 高濃度雜質區域之一部分。

9. 如申請專利範圍第 1 項之開關電路裝置，其中，上述絕緣區域係設於基板上的雜質植入區域。

10. 如申請專利範圍第 1 項之開關電路裝置，其中，上述絕緣區域係半絕緣基板之一部分。

11. 如申請專利範圍第 1 項之開關電路裝置，其中，上述絕緣區域之雜質濃度係在 $1 \times 10^{14} \text{cm}^{-3}$ 以下。

12. 如申請專利範圍第 1 項之開關電路裝置，其中，上述保護元件之第 1 及第 2 高濃度雜質區域係以可通過靜電能量的距離而隔開。

13. 如申請專利範圍第 1 項之開關電路裝置，其中，上述第 1 及第 2 高濃度雜質區域之雜質濃度均為 $1 \times 10^{17} \text{cm}^{-3}$ 以上。

14. 如申請專利範圍第 1 項之開關電路裝置，其中，上述絕緣區域之電阻係數係在 $1 \times 10^3 \Omega \cdot \text{cm}$ 以上。

15. 如申請專利範圍第 1 項之開關電路裝置，其中，上述第 1 及第 2 高濃度雜質區域之至少一方係與金屬電極相連接，且上述金屬電極係與上述各端子所連接之搭接銲墊或連接在該搭接銲墊上的配線之至少 1 個相連接。

16. 如申請專利範圍第 15 項之開關電路裝置，其中，上述金屬電極係與上述第 1 及第 2 高濃度雜質區域之至少一方形成肖特基接合。

17. 如申請專利範圍第 15 項之開關電路裝置，其中，上述

金屬電極係在從第 1 及/或第 2 高濃度雜質區域端部離開 $0\ \mu\text{m}$ 至 $5\ \mu\text{m}$ 之外側與上述絕緣區域表面形成肖特基接合。

18.如申請專利範圍第 1 項之開關電路裝置，其中，上述 FET 係 MESFET、接合型 FET 或 HEMT。

19.如申請專利範圍第 1 項之開關電路裝置，其中上述保護元件，具備有：

具有 2 個側面的第 1 高濃度雜質區域；

第 2 高濃度雜質區域，相對向配置於上述第 1 高濃度雜質區域之 1 個側面上，且其寬度遠大寬於該第 1 高濃度雜質區域；

絕緣區域，配置於上述第 1 及第 2 高濃度雜質區域之周圍；

第 1 電流路徑，形成於上述第 1 及第 2 高濃度雜質區域之相對向面間及該兩區域之底面附近間的上述絕緣區域上，且作為電子電流及電洞電流之路徑；以及

第 2 電流路徑，從上述第 2 高濃度雜質區域迂迴至相較於上述第 1 及第 2 高濃度雜質區域更深的區域，並形成於到達上述第 1 高濃度雜質區域之另一側面的上述絕緣區域上，且作為電子電流及電洞電流之路徑。

20.如申請專利範圍第 19 項之開關電路裝置，其中，在上述第 1 高濃度雜質區域上設置延伸部，且在該延伸部與上述第 2 高濃度雜質區域間之上述絕緣區域上，形成作為電子電流及電洞電流之路徑的第 3 電流路徑。

21.如申請專利範圍第 1 項之開關電路裝置，其中，上述保護元件具備有：

具有 2 個側面的第 1 高濃度雜質區域；

第 2 高濃度雜質區域，具有 2 個側面，且以與上述第 1 高濃度雜質區域同等的寬度和該區域互為相對向配置 1 個側面；

絕緣區域，配置於上述第 1 及第 2 高濃度雜質區域之周圍；

第 1 電流路徑，形成於上述第 1 及第 2 高濃度雜質區域之對向面間及該兩區域之底面附近間的上述絕緣區域，且作為電子電流及電洞電流之路徑；以及

第 2 電流路徑，從上述第 2 高濃度雜質區域之另一側面迂迴至相較於上述第 1 及第 2 高濃度雜質區域更深的區域，並形成於到達上述第 1 高濃度雜質區域之另一側面的上述絕緣區域上，且作為電子電流及電洞電流之路徑。

22.如申請專利範圍第 21 項之開關電路裝置，其中，在上述第 1 高濃度雜質區域上設置延伸部，且在該延伸部與上述第 2 高濃度雜質區域間之上述絕緣區域上，形成作為電子電流及電洞電流之路徑的第 3 電流路徑。

23.如申請專利範圍第 21 項之開關電路裝置，其中，在上述第 2 高濃度雜質區域上設置延伸部，且在該延伸部與上述第 1 高濃度雜質區域間之上述絕緣區域上，形成作為電子電流及電洞電流之路徑的第 3 電流路徑。

- 24.如申請專利範圍第 19 或 21 項之開關電路裝置，其中，
上述第 1 高濃度雜質區域係 $5\mu\text{m}$ 以下之寬度。
- 25.如申請專利範圍第 19 或 21 項之開關電路裝置，其中，
上述第 2 電流路徑係具有遠高於上述第 1 電流路徑的電
導調變效率。
- 26.如申請專利範圍第 19 或 21 項之開關電路裝置，其中，
通過上述第 2 電流路徑之電流值係與通過上述第 1 電流
路徑之電流值同等以上。
- 27.如申請專利範圍第 19 或 21 項之開關電路裝置，其中，
上述第 2 電流路徑係從上述第 1 高濃度雜質區域之上述
另一側面確保 $10\mu\text{m}$ 以上之寬度所形成。
- 28.如申請專利範圍第 19 或 21 項之開關電路裝置，其中，
上述第 2 電流路徑係從上述第 1 及第 2 高濃度雜質區域
底部在深度方向確保 $20\mu\text{m}$ 以上之寬度所形成。
- 29.如申請專利範圍第 19 或 21 項之開關電路裝置，其中，
上述第 2 電流路徑係藉由按照上述靜電能量之增加而
大幅加寬電流路徑以提高電導調變效率。
- 30.如申請專利範圍第 19 或 21 項之開關電路裝置，其中，
上述第 1 高濃度雜質區域與第 2 高濃度雜質區域間之電
容係在 40pF 以下，且藉由連接上述第 1 及第 2 高濃度
雜質區域，以使靜電破壞電壓比連接前提高 10 倍以
上。
- 31.如申請專利範圍第 20、22 或 23 項中任一項之開關電路
裝置，其中上述第 3 電流路徑係具有遠高於上述第 1 電

流路徑之電導調變效率。

32.如申請專利範圍第 20、22 或 23 項中任一項之開關電路裝置，其中上述第 3 電流路徑係從上述延伸部之側面確保 $10\ \mu\text{m}$ 以上之寬度所形成。

33.如申請專利範圍第 20、22 或 23 項中任一項之開關電路裝置，其中上述第 3 電流路徑係藉由按照上述靜電能量之增加而大幅加寬電流路徑以提高電導調變效率。

34.如申請專利範圍第 1 項之開關電路裝置，其中，上述保護元件具備有：

第 1 高濃度雜質區域；

第 2 高濃度雜質區域；以及

絕緣區域，抵接配置於上述第 1 及第 2 高濃度雜質區域之周圍上；其中

在上述第 1 及第 2 高濃度雜質區域之至少一方，將與上述兩高濃度雜質區域相對向之面相反側的上述絕緣區域確保在 $10\ \mu\text{m}$ 以上。

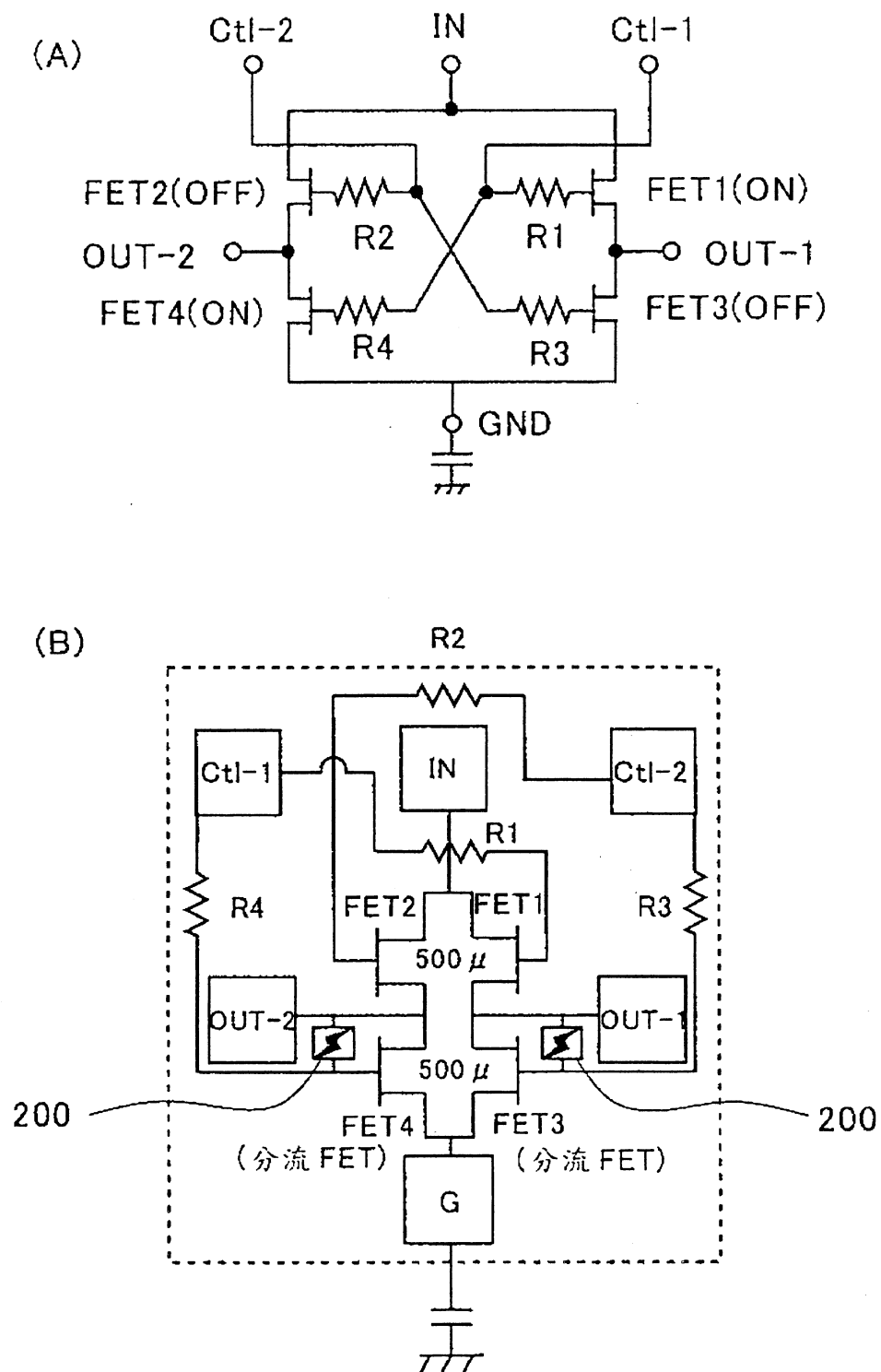
35.如申請專利範圍第 1 項之開關電路裝置，其中，上述保護元件具備有：

第 1 高濃度雜質區域；

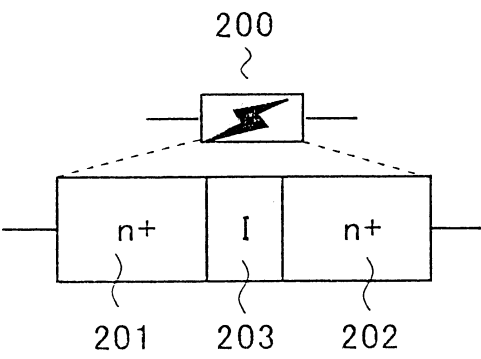
第 2 高濃度雜質區域；以及

絕緣區域，抵接配置於上述第 1 及第 2 高濃度雜質區域之周圍上；其中

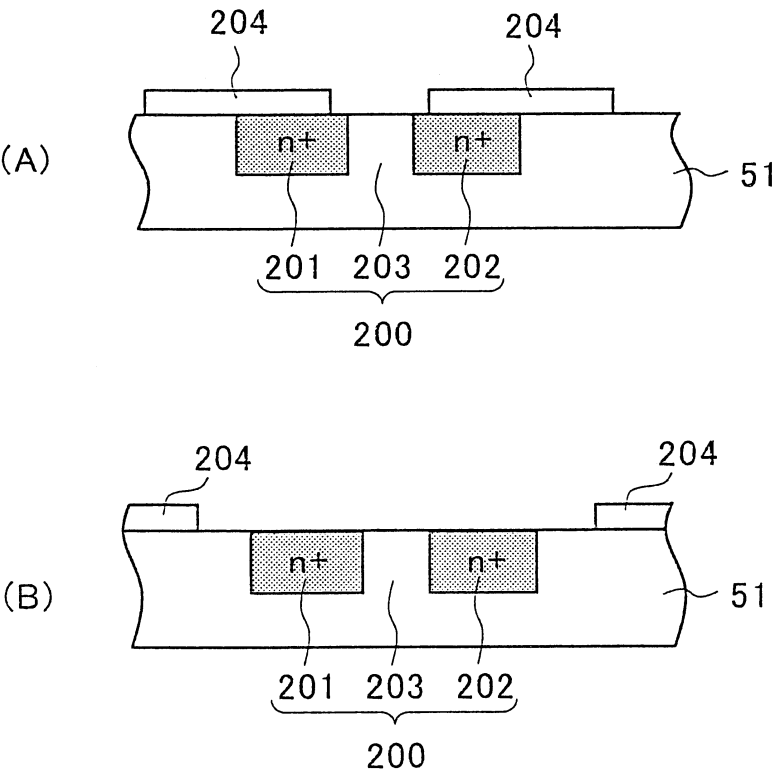
在上述第 1 及第 2 高濃度雜質區域相對向之面的延伸方向，將上述絕緣區域確保在 $10\ \mu\text{m}$ 以上。



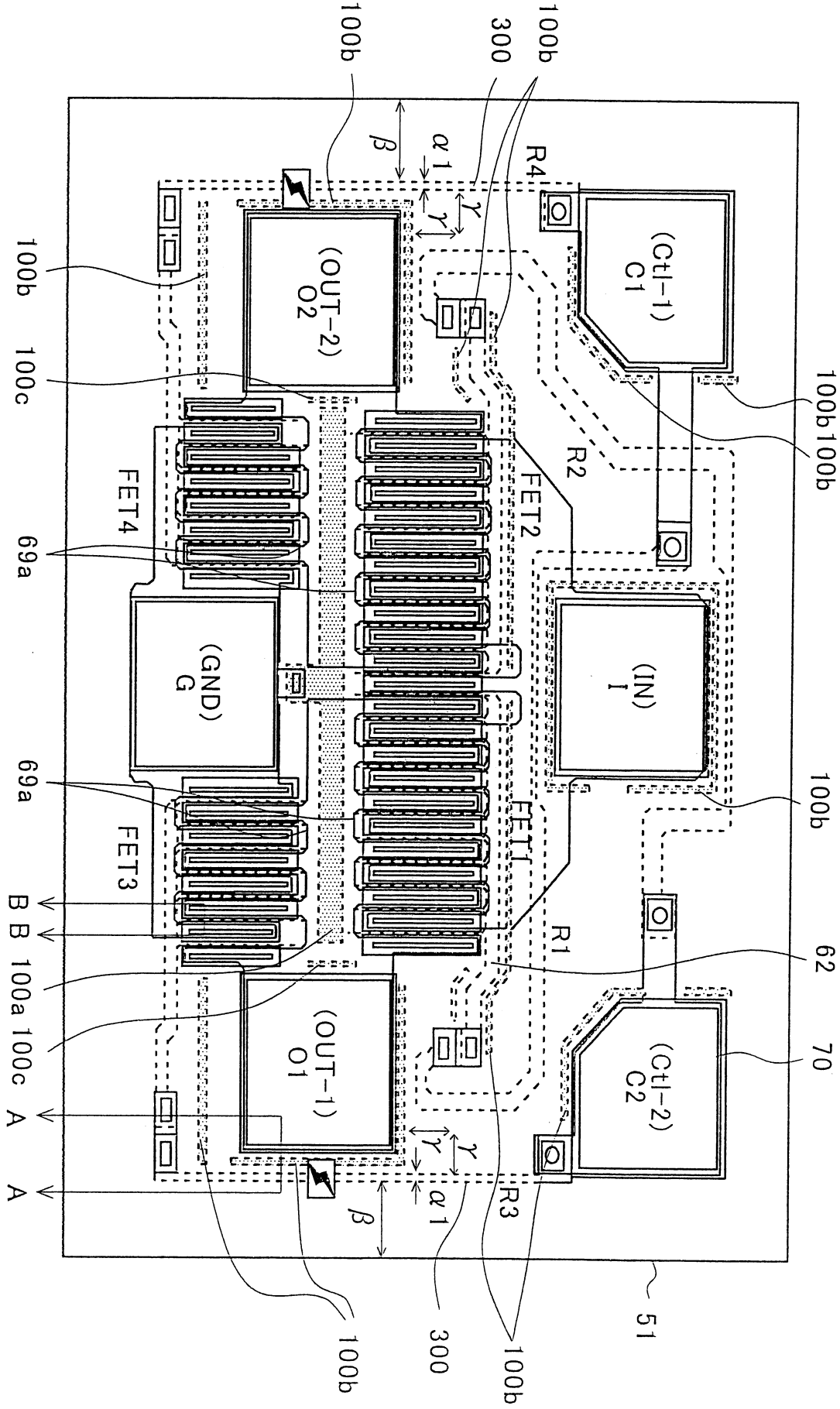
第1圖



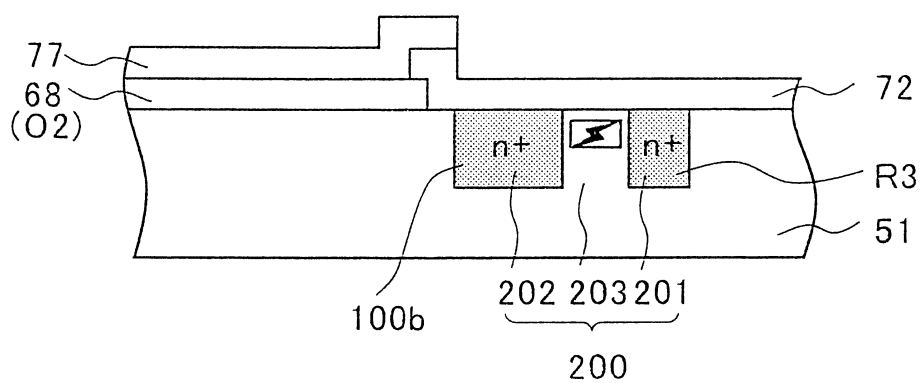
第 2 圖



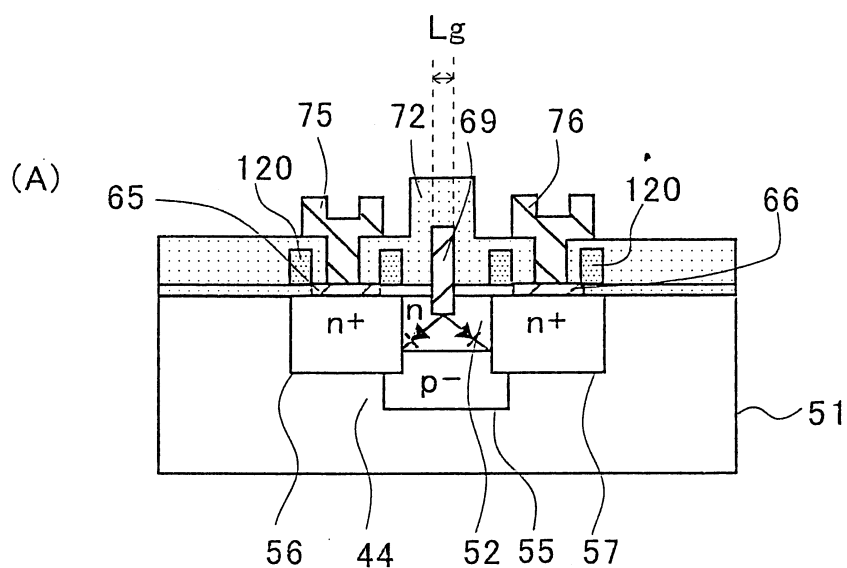
第 3 圖



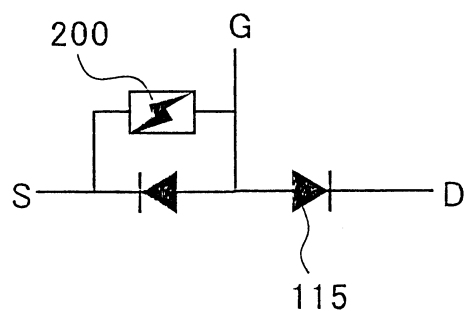
第 4 圖



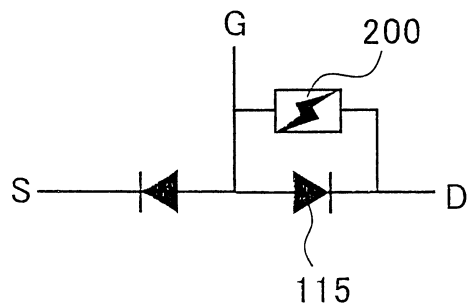
第 5 圖



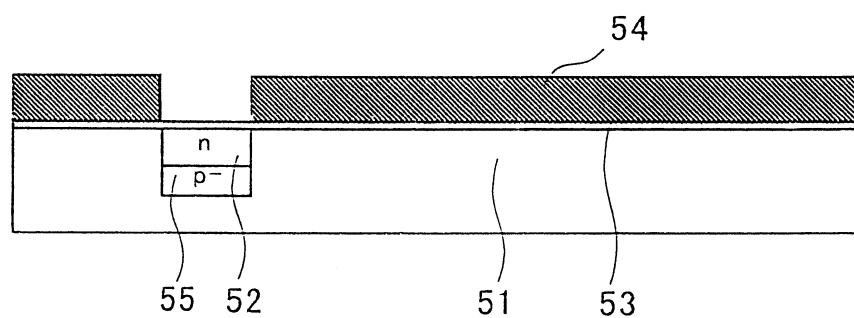
(B)



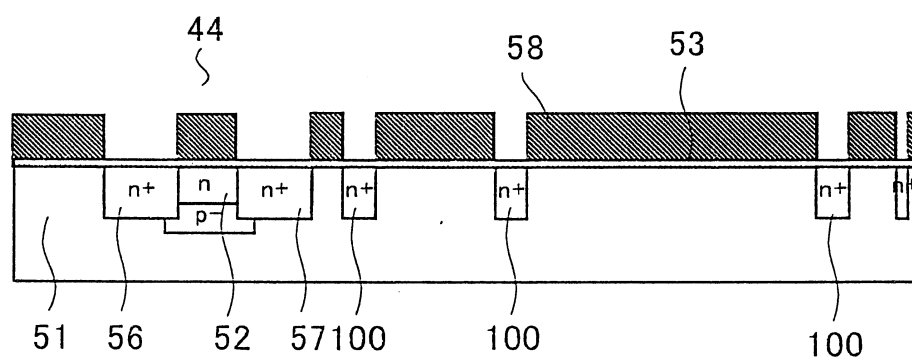
(C)



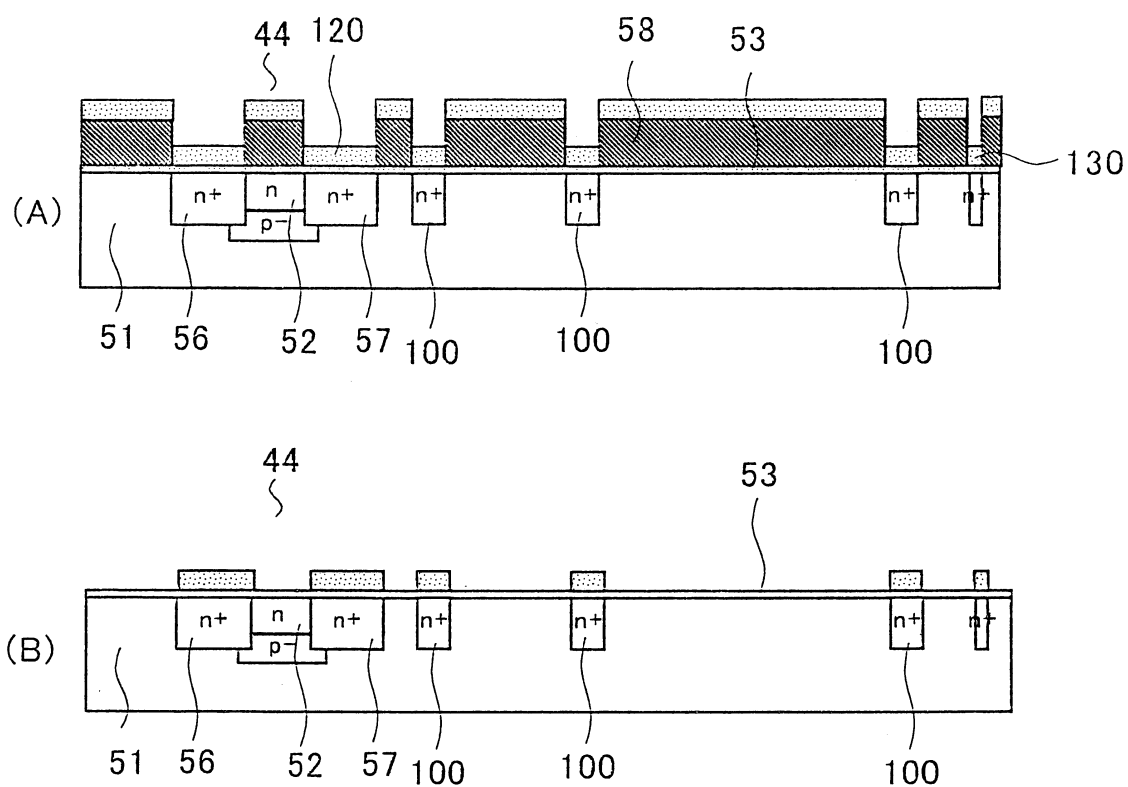
第 6 圖



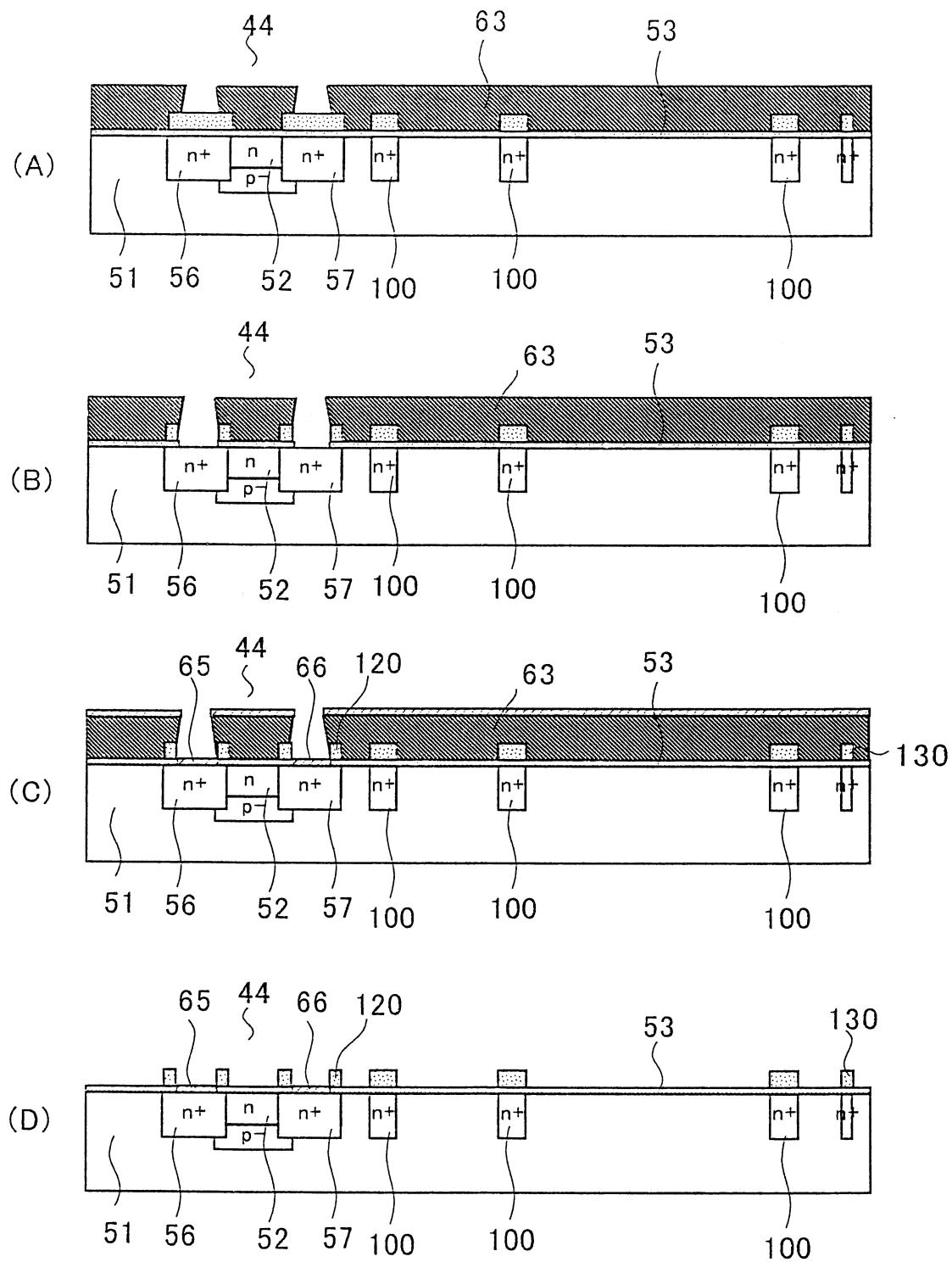
第 7 圖



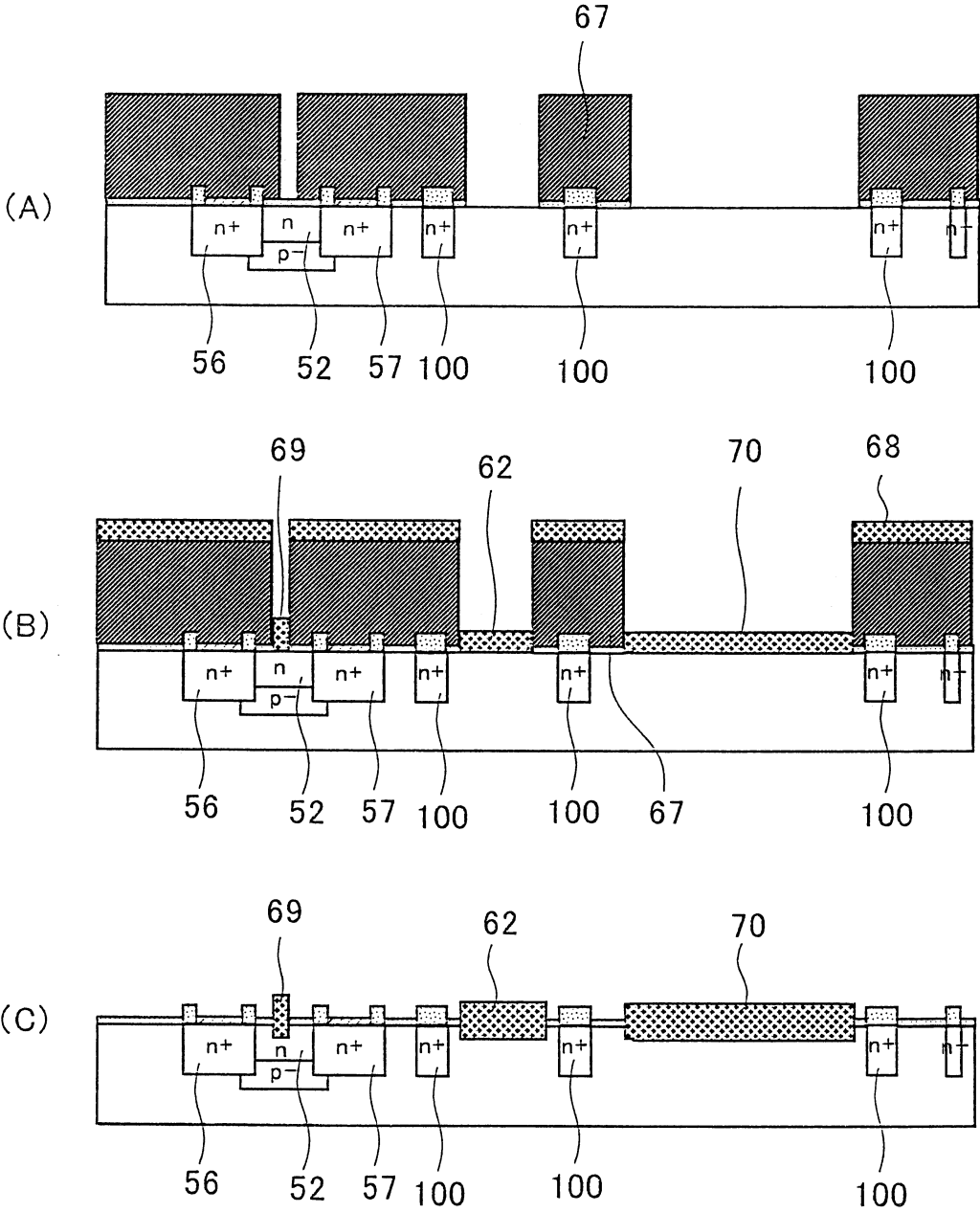
第 8 圖



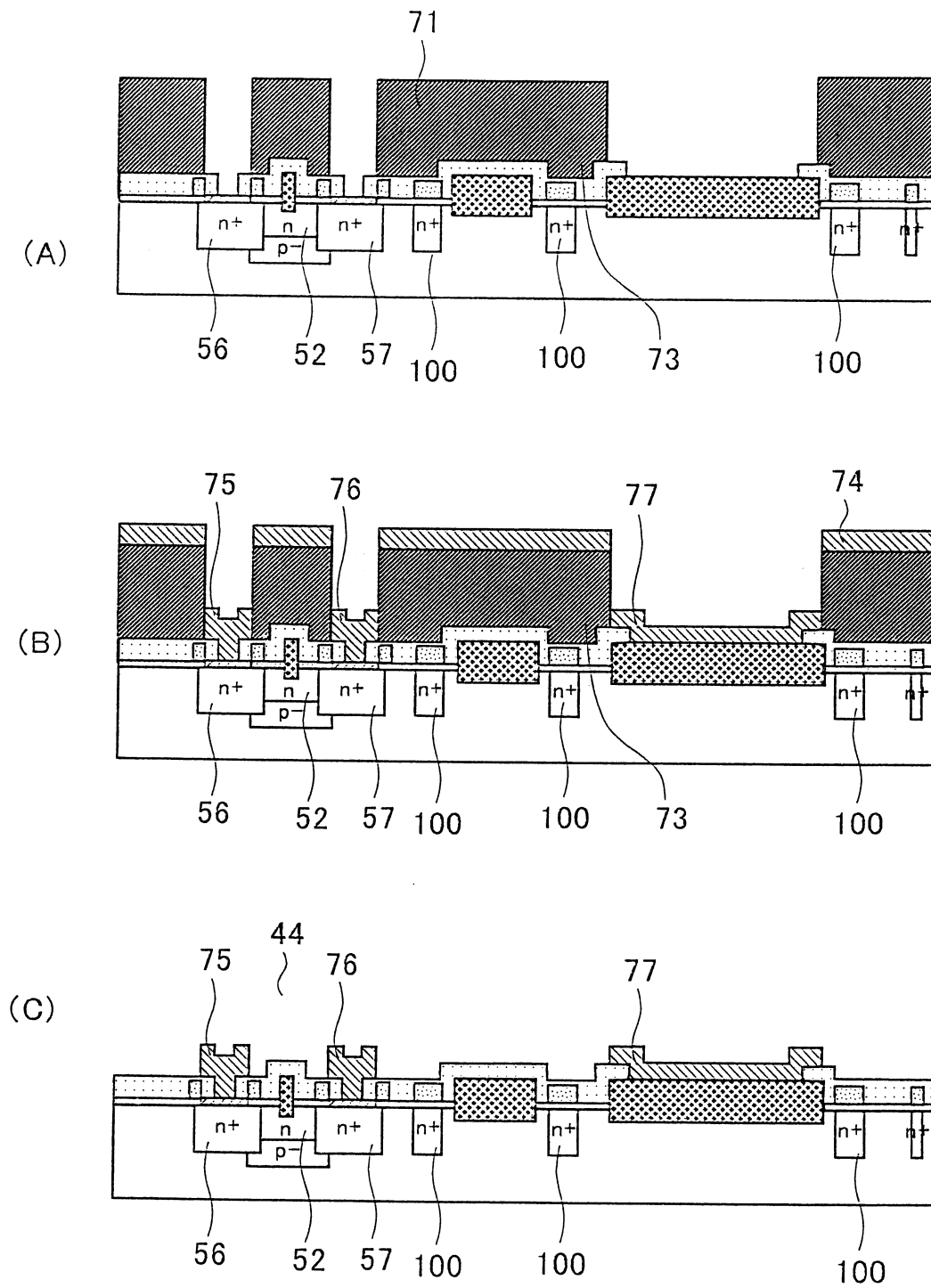
第 9 圖



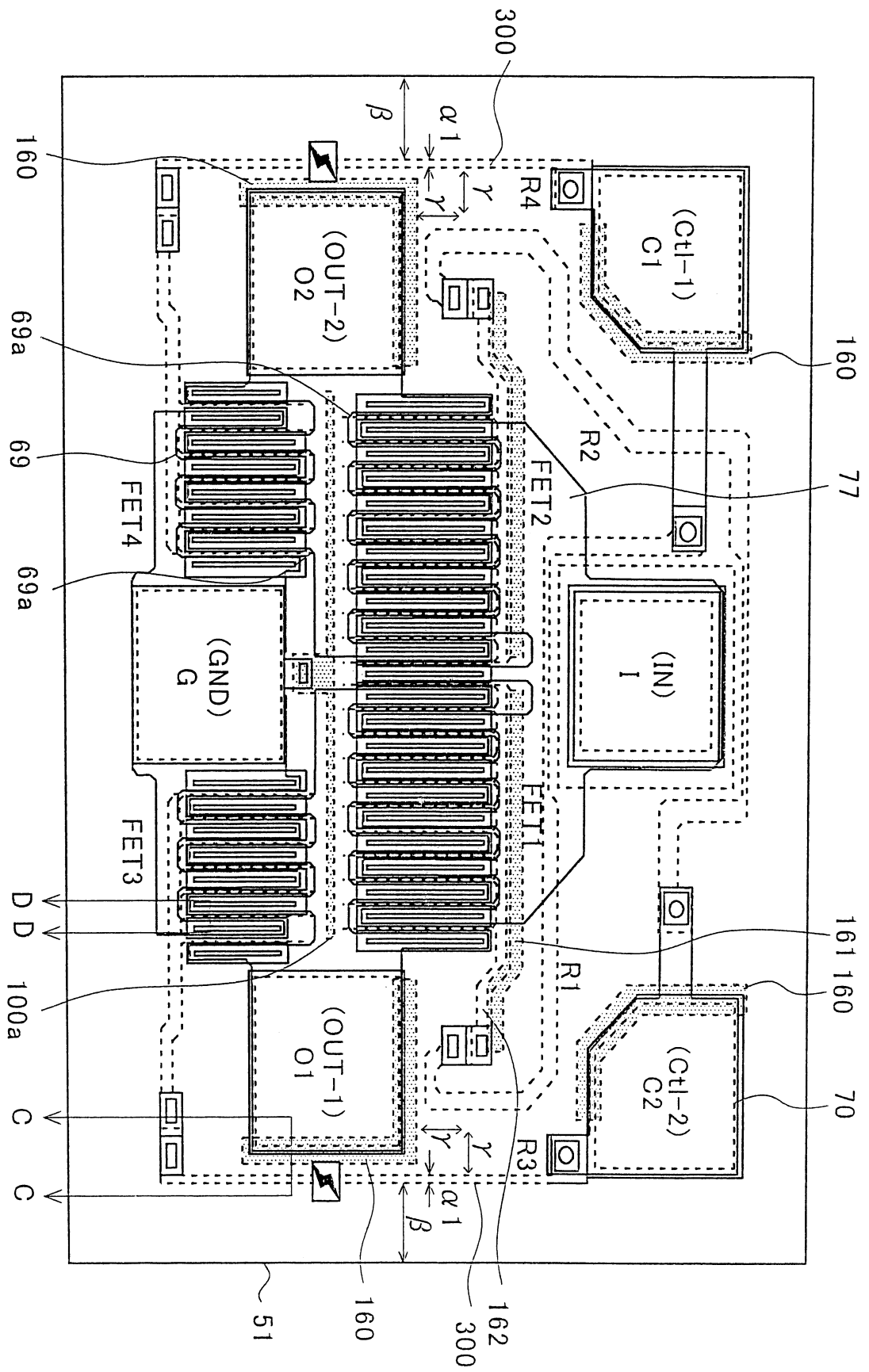
第10圖



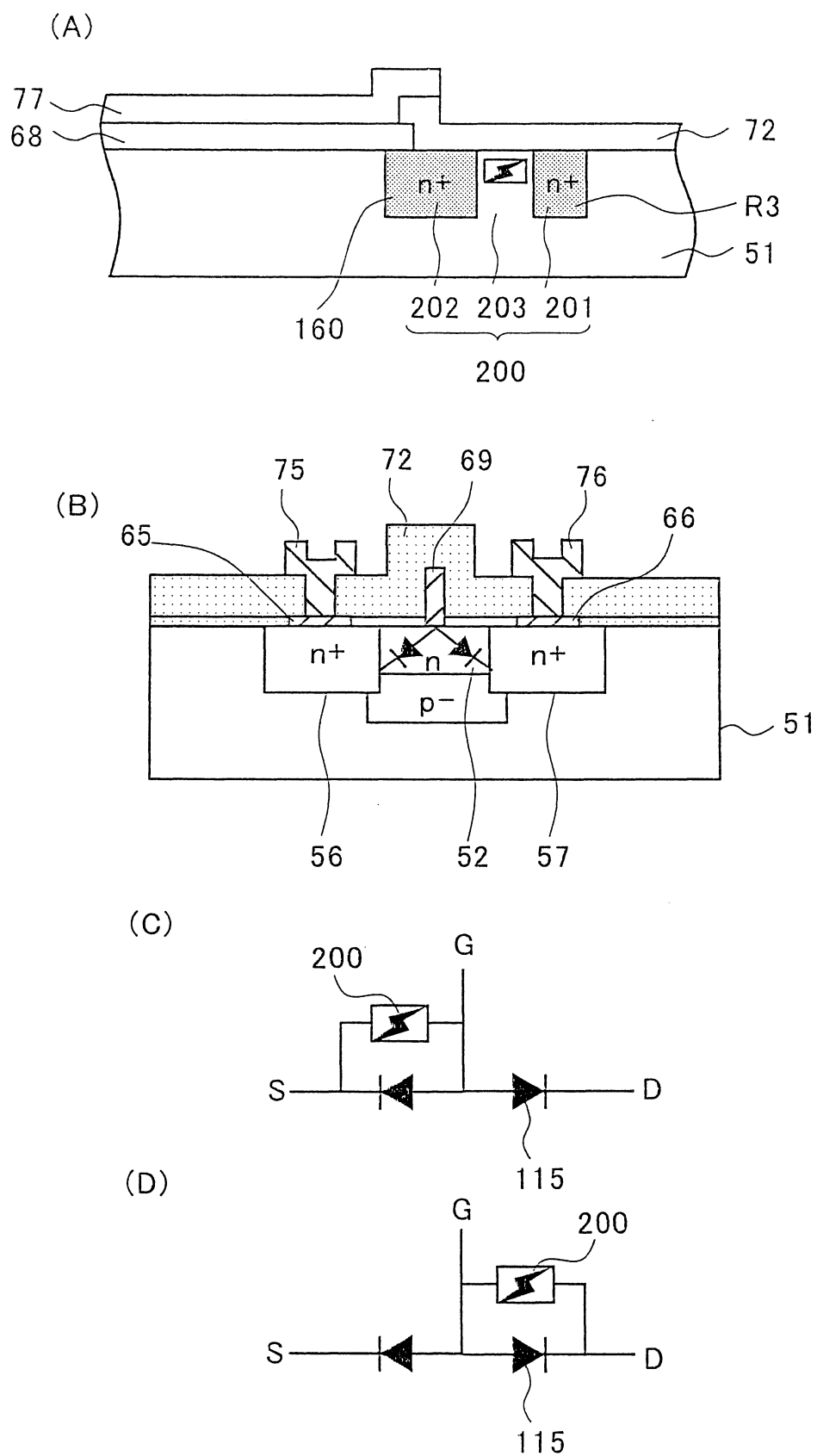
第11圖



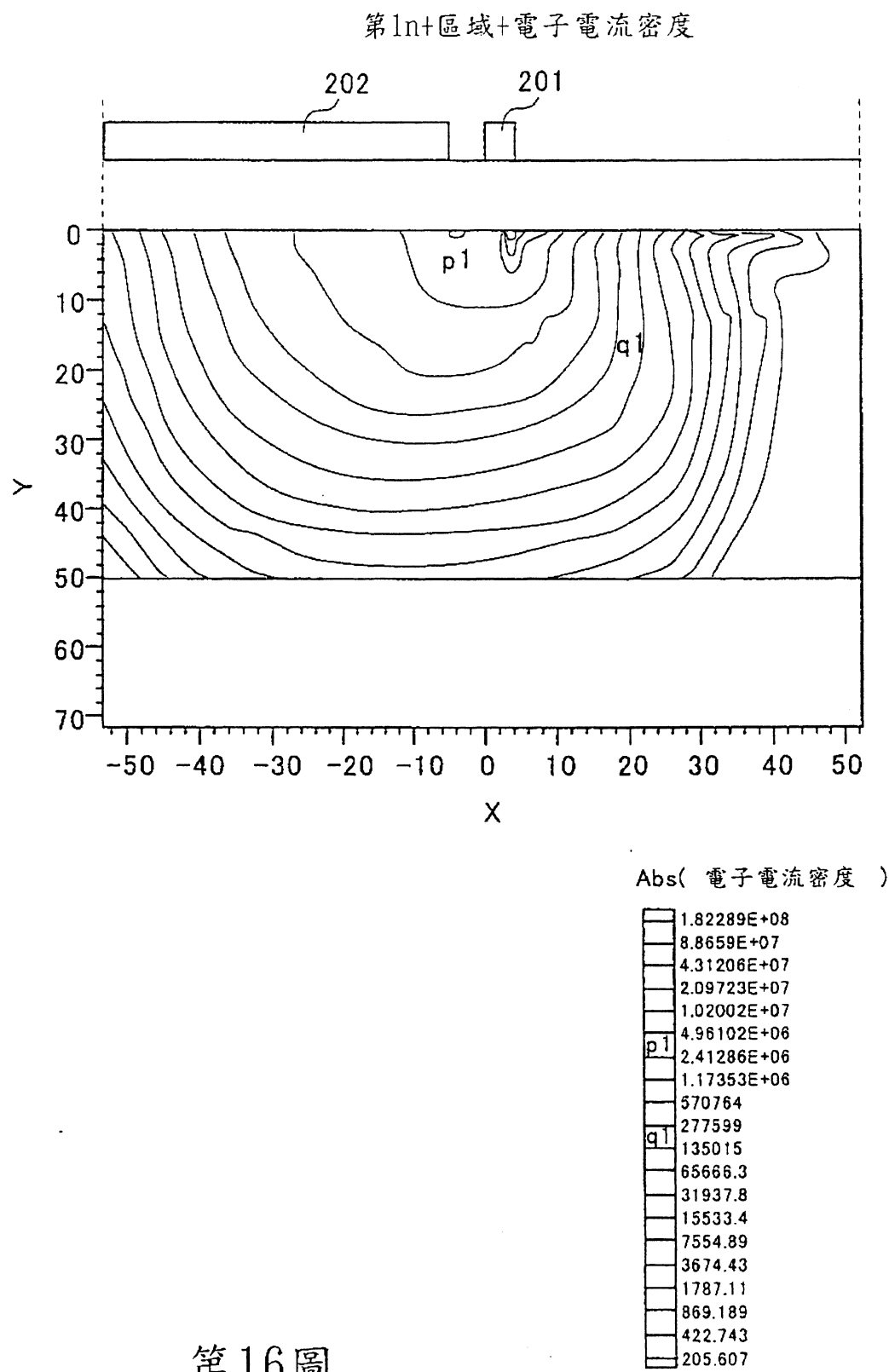
第12圖



第13圖

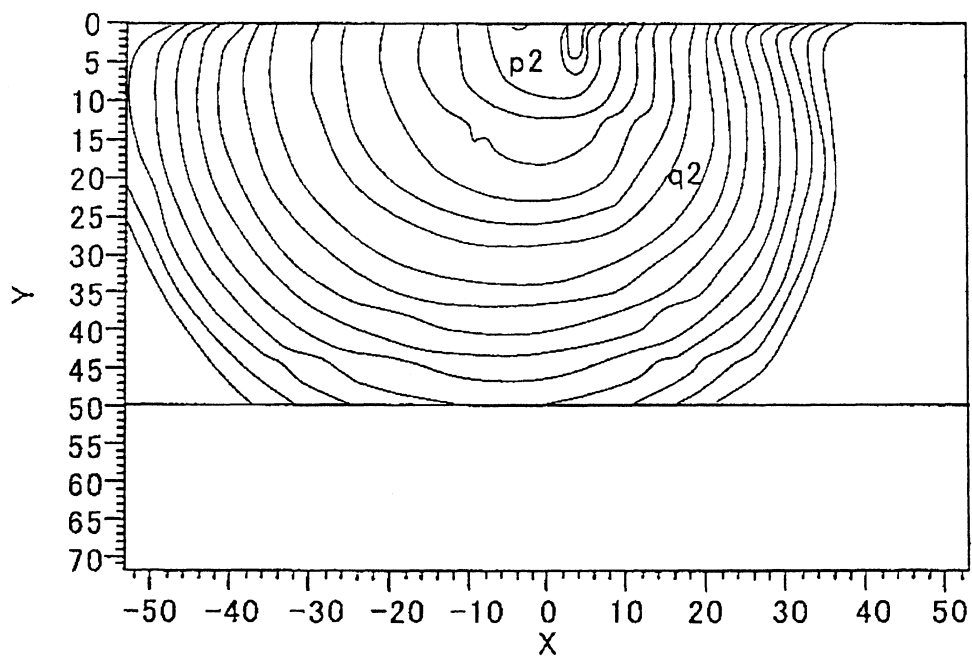


第14圖



第16圖

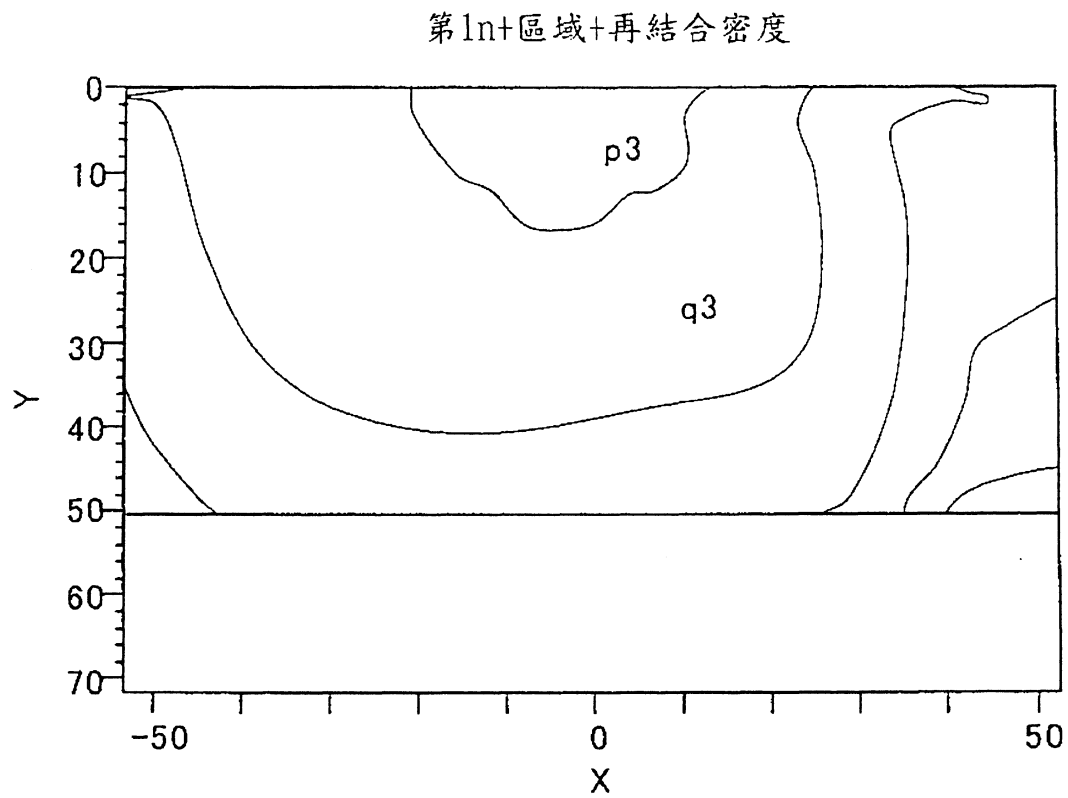
第1n+區域+電洞電流密度



Abs(電洞電流密度)

	2.65617E+07
	1.42247E+07
	7.61781E+06
	4.0769E+06
p2	2.18476E+06
	1.17002E+06
	626583
	335557
	179702
	96236.7
q2	51538
	27600.4
	14780.9
	7915.7
	4239.13
	2270.2
	1215.77
	651.086
	348.679
	186.729

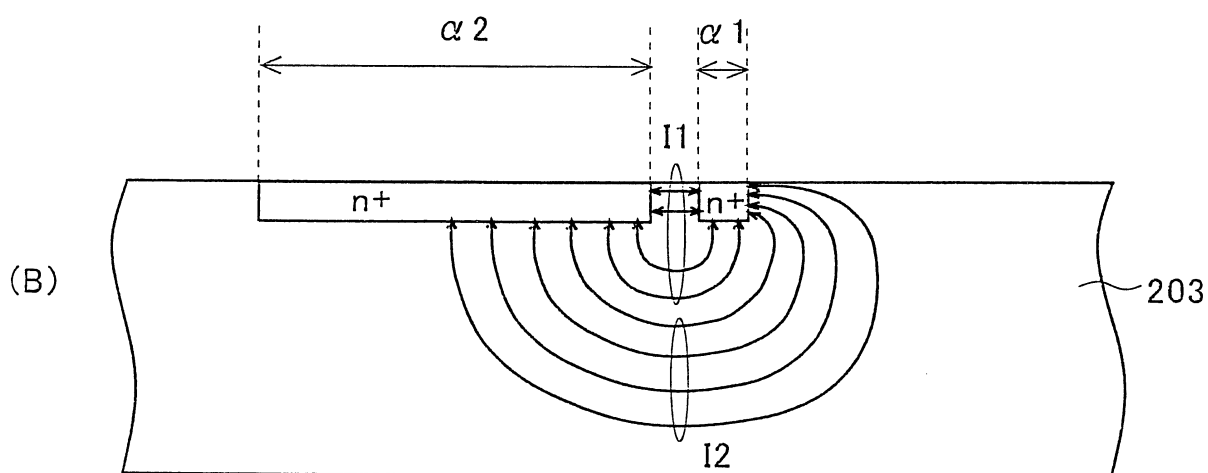
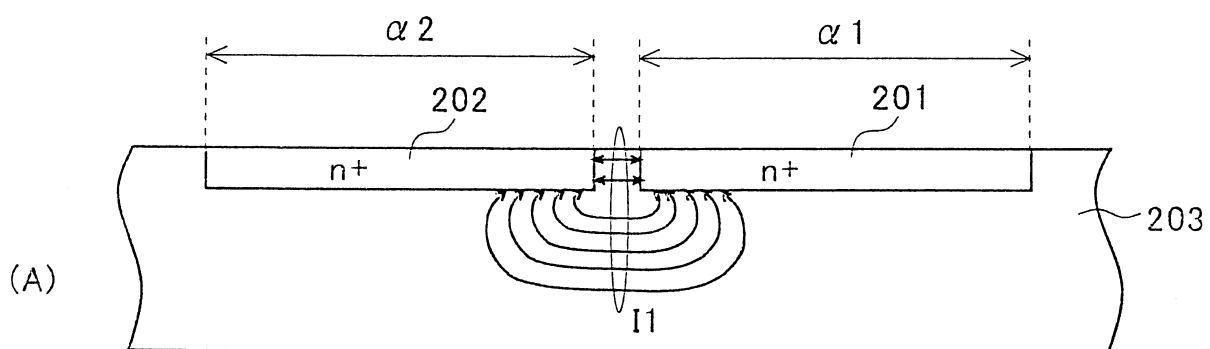
第17圖



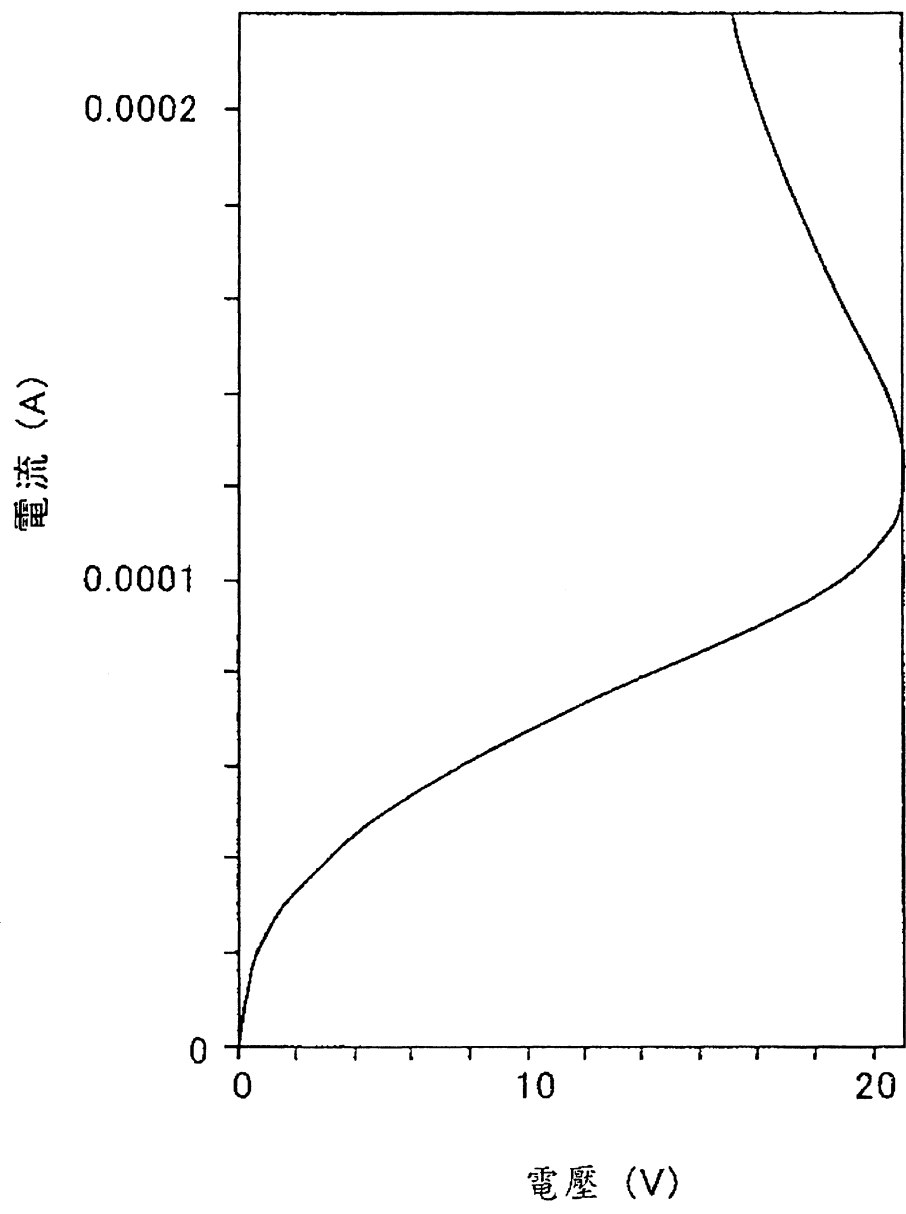
srh 再結合

	3.79523E+29
p3	1.5859E+28
q3	6.62696E+26
	2.76919E+25
	1.15715E+24
	4.83536E+22
	2.02054E+21
	8.44316E+19
	3.52812E+18
	1.47428E+17
	6.16055E+15
	2.57429E+14
	1.07571E+13
	4.49504E+11
	1.87833E+10
	7.84892E+08
	3.2798E+07
	1.37052E+06
	57269.6
	2393.11

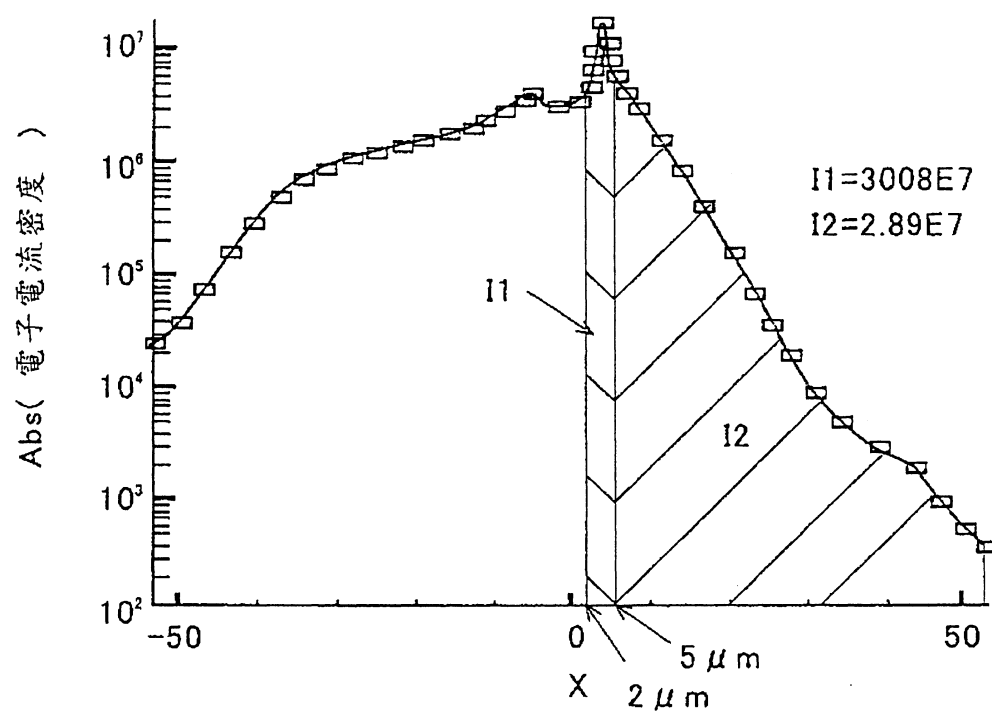
第18圖



第 19 圖



第20圖



第21圖

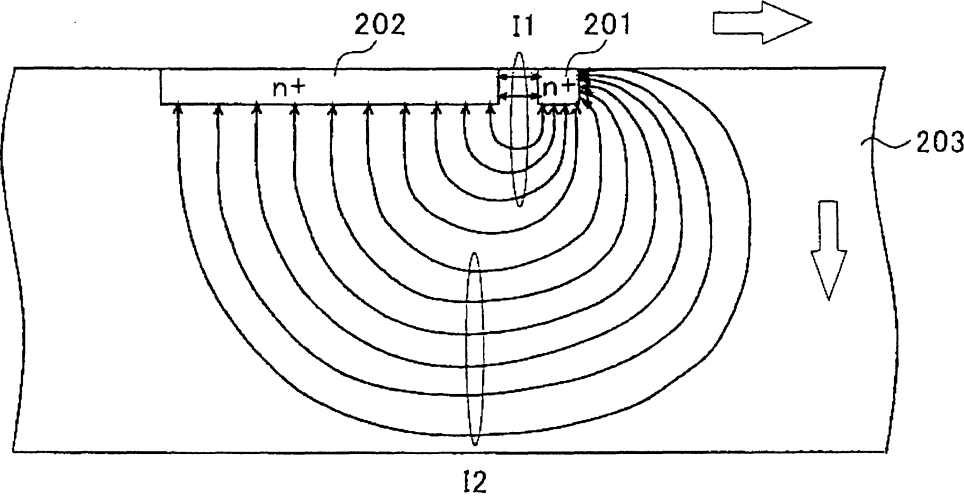
(A) 電流、再結合之擴大比較

	a構造			b構造-1			b構造-2		
電子電流密度	y__2	x__0	乘法運算	y__2	x__0	乘法運算	y__2	x__0	乘法運算
	21.9	10.5	230.0	26	15	390.0	23.8	11.3	268.9
電洞電流密度	y__2	x__0		y__2	x__0		y__2	x__0	
	13.7	6	82.2	23.9	12.5	298.8	12.7	7.4	94.0
再結合密度	y__2	x__0		y__2	x__0		y__2	x__0	
	29.7	14.8	439.6	33.1	20	662.0	33.9	15.5	525.5

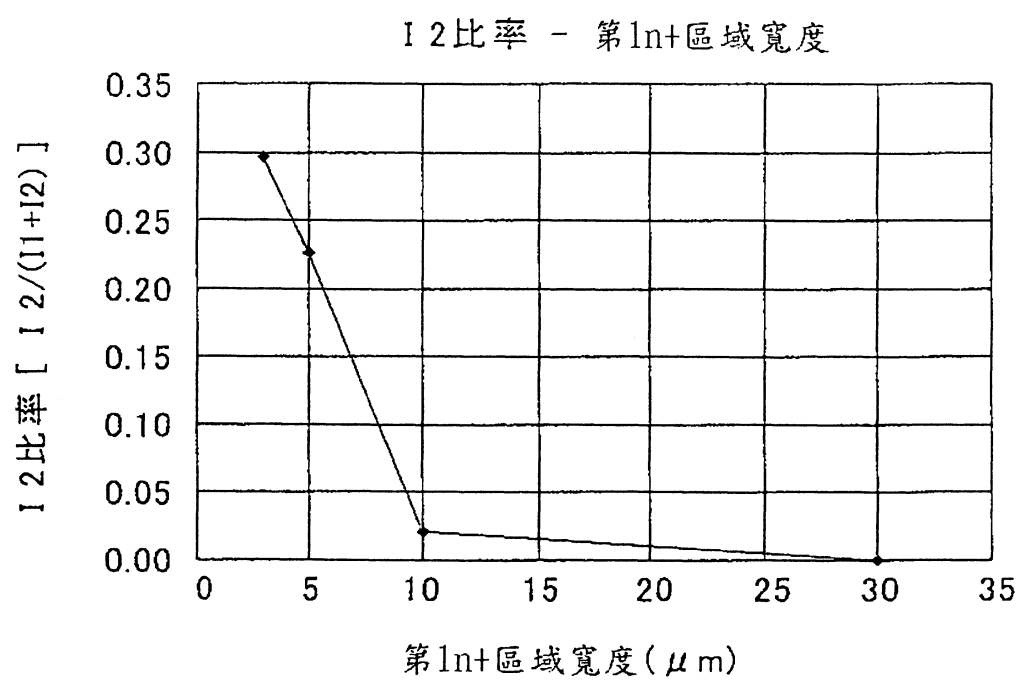
(B)

b構造-3		
y__2	x__0	乘法運算
69	36.1	2490.9
y__2	x__0	
47.9	29.1	1393.9
y__2	x__0	
80以上	43.9	3512以上

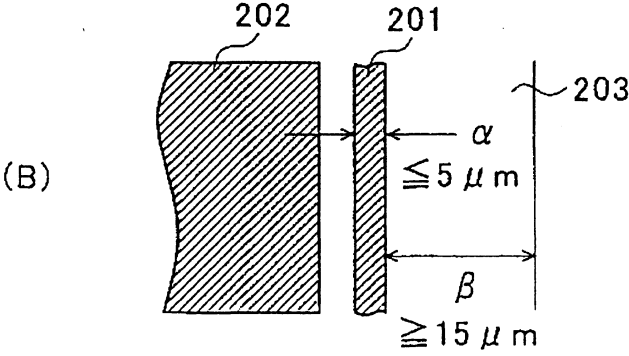
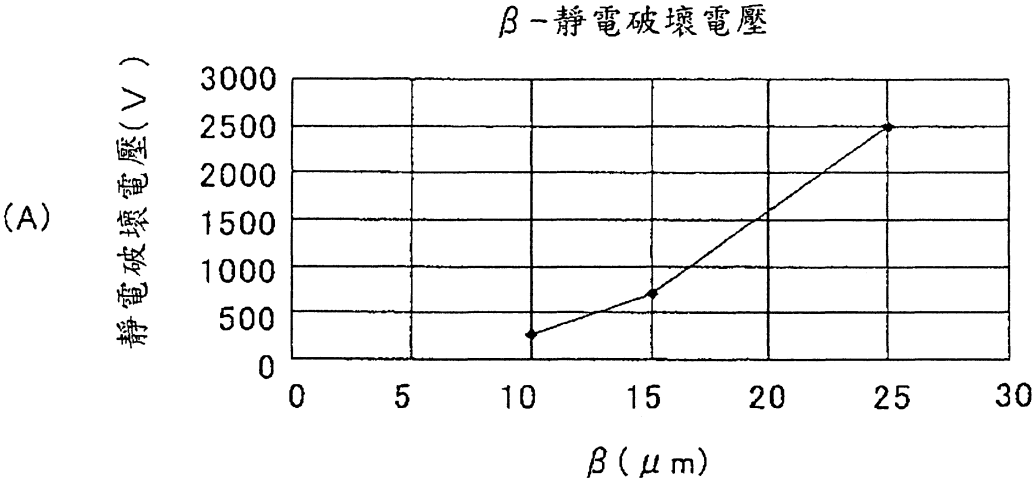
(C)



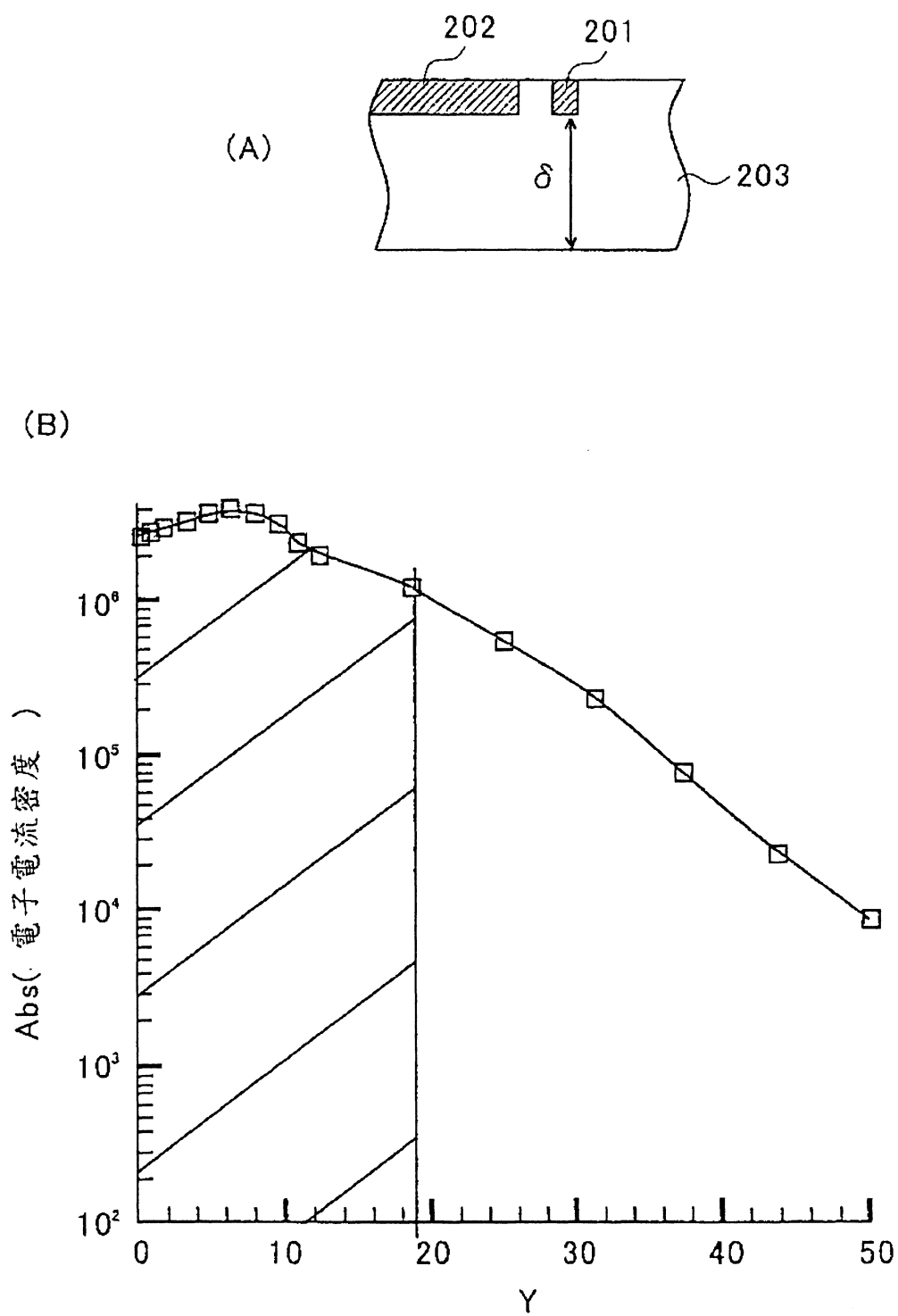
第22圖



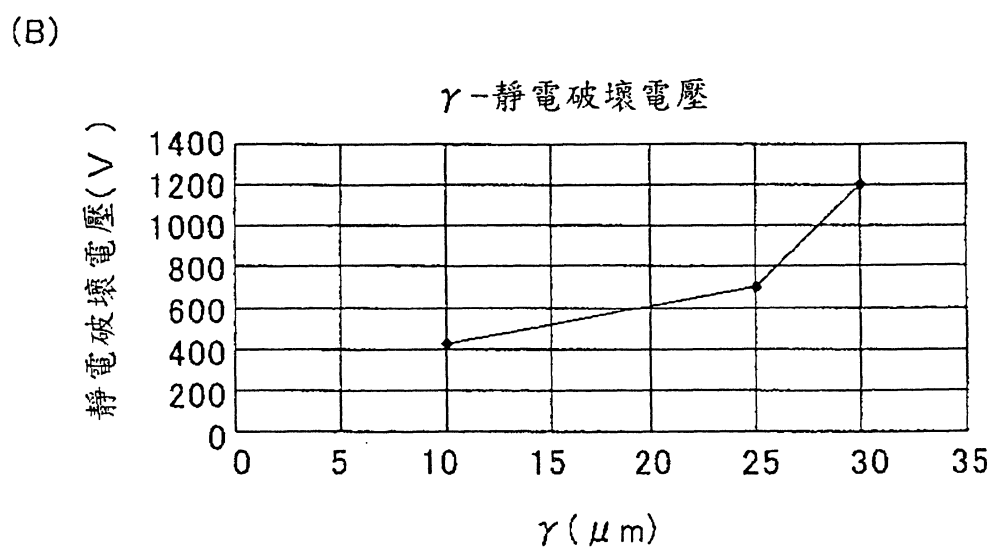
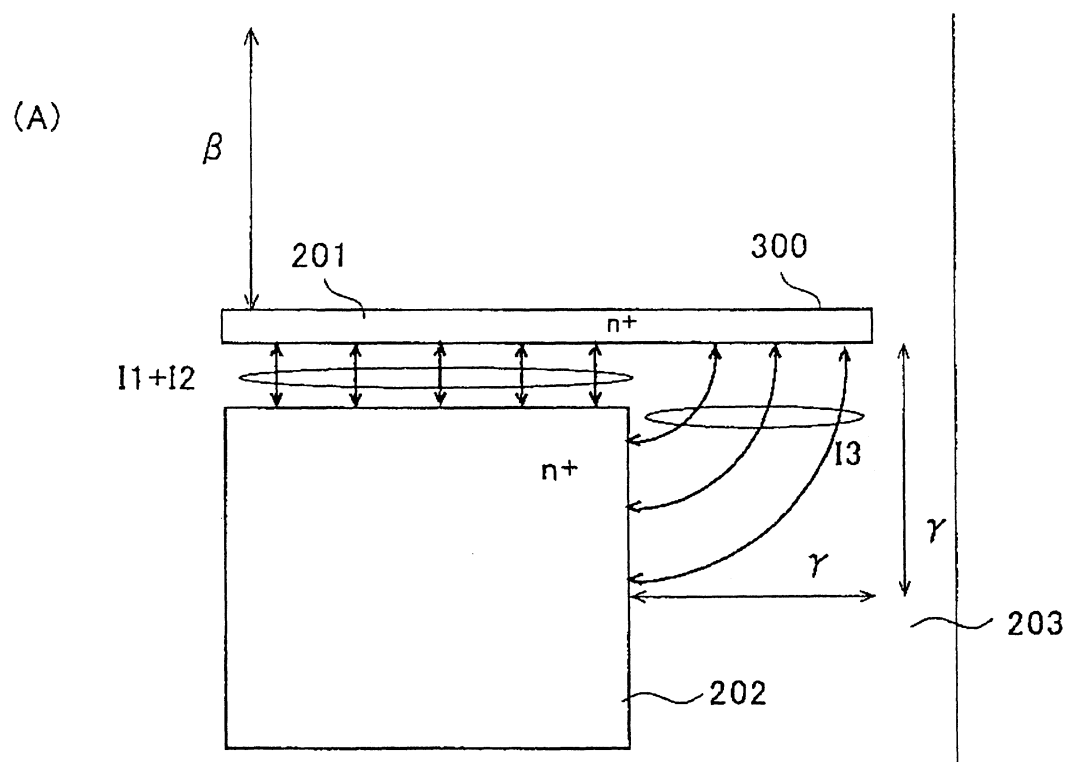
第23圖



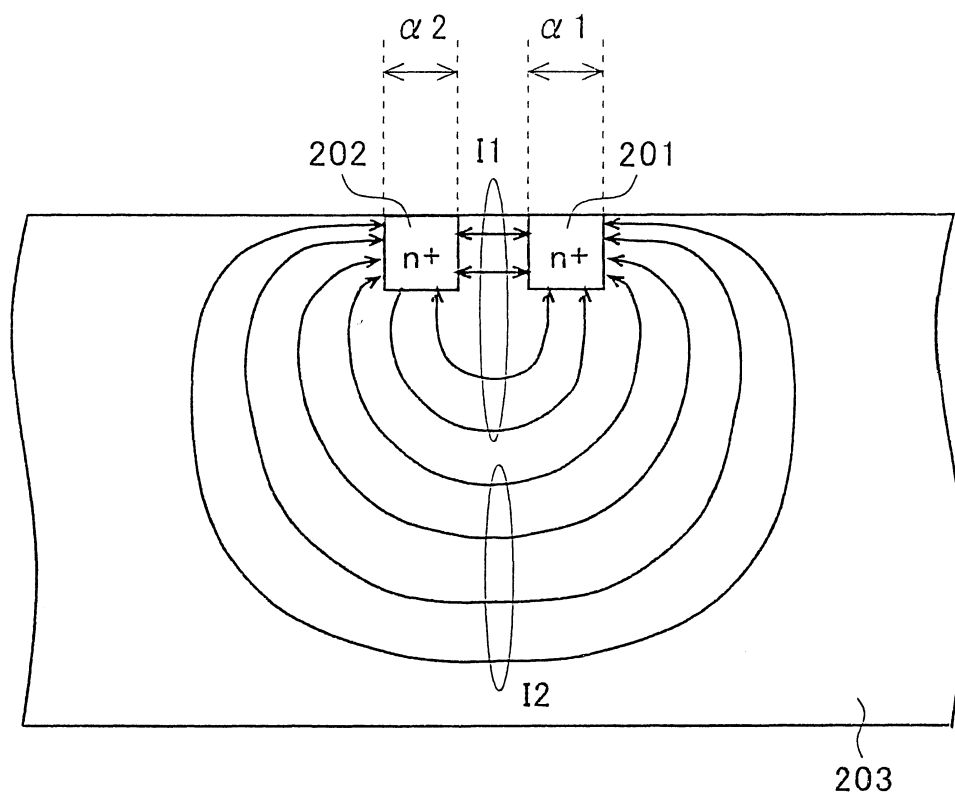
第24圖



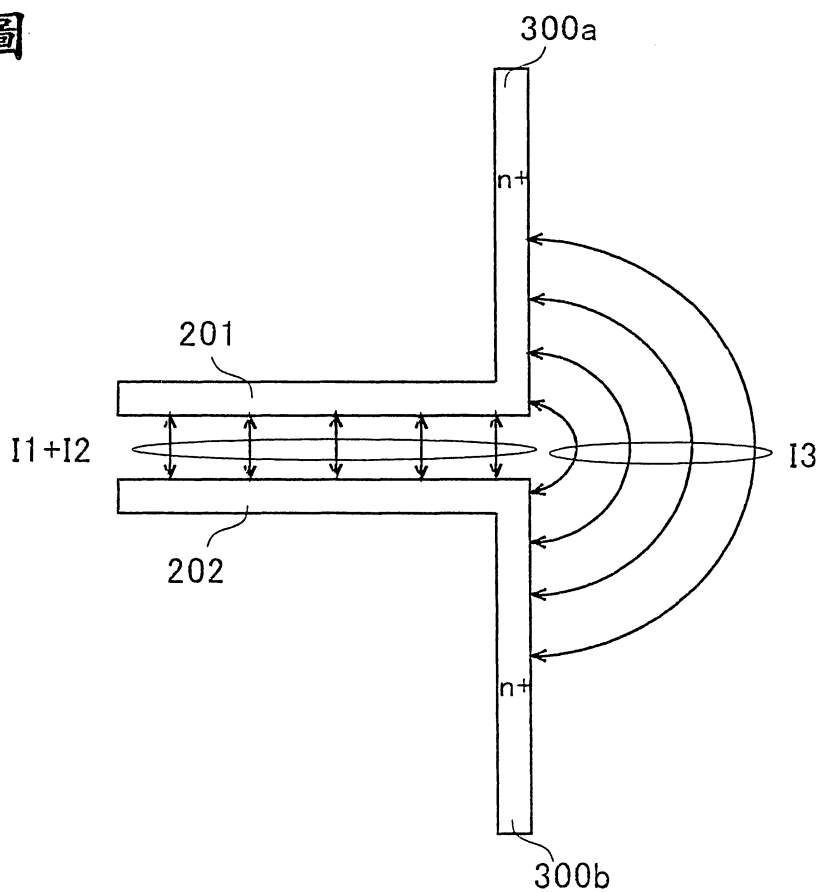
第25圖



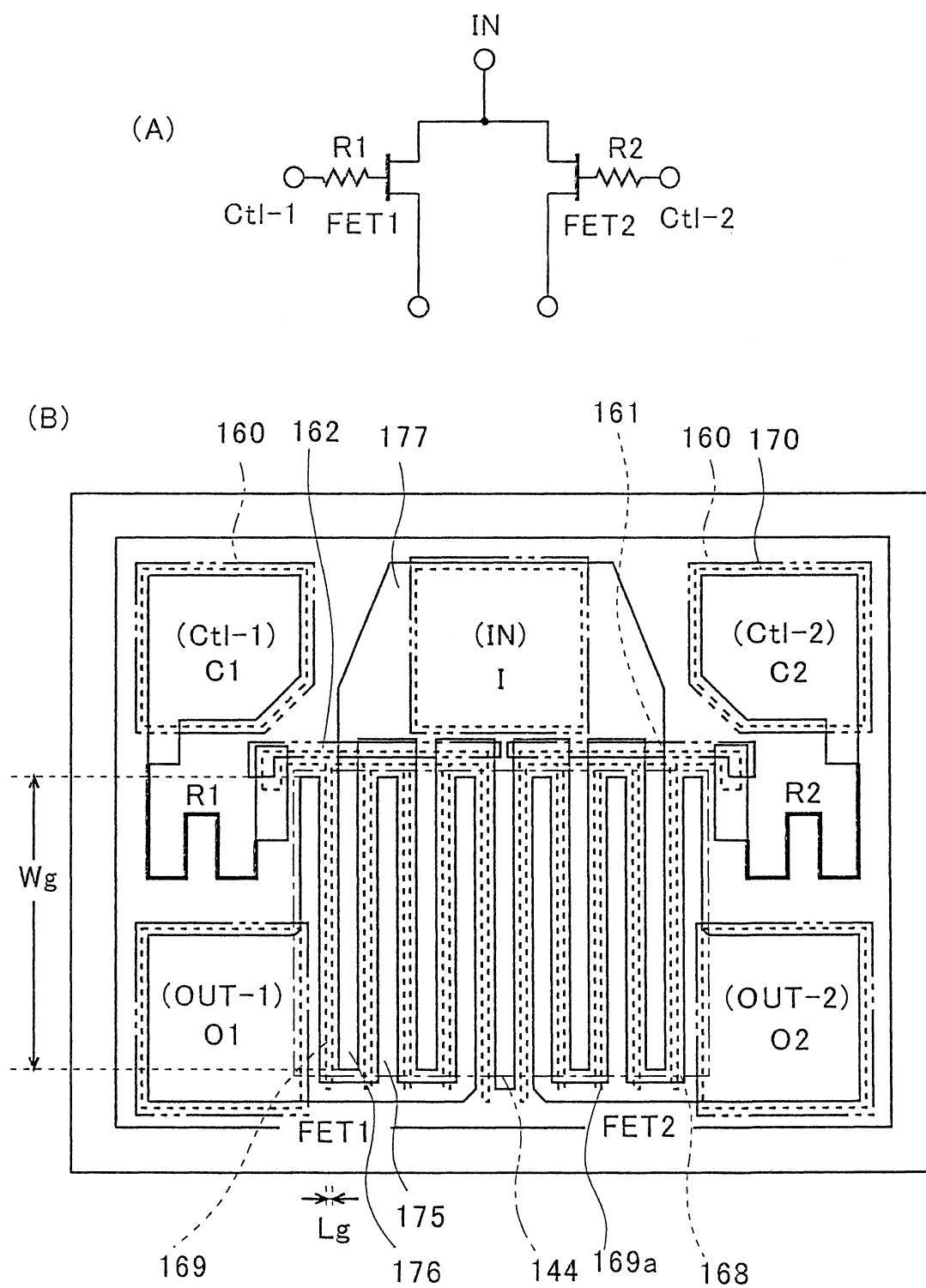
第26圖



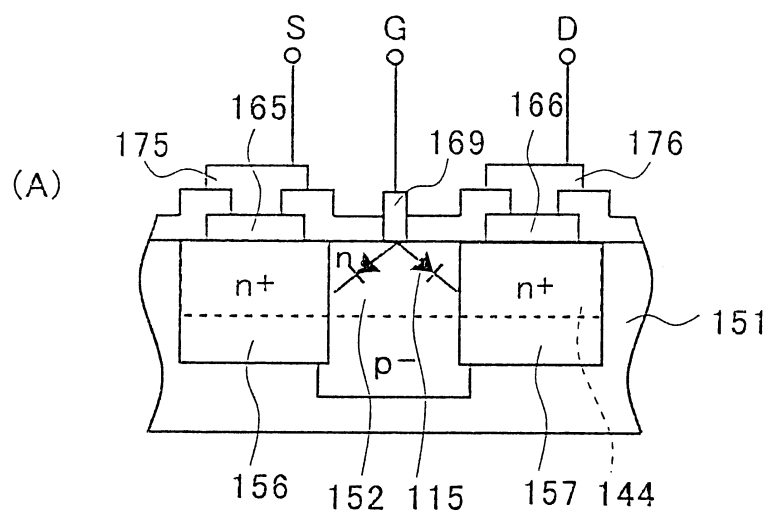
第27圖



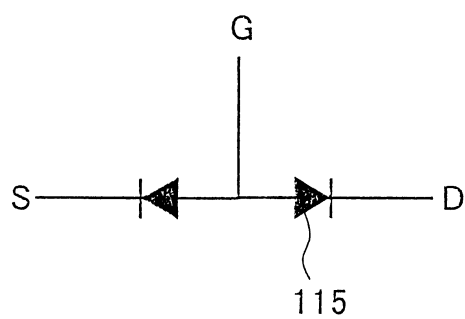
第28圖



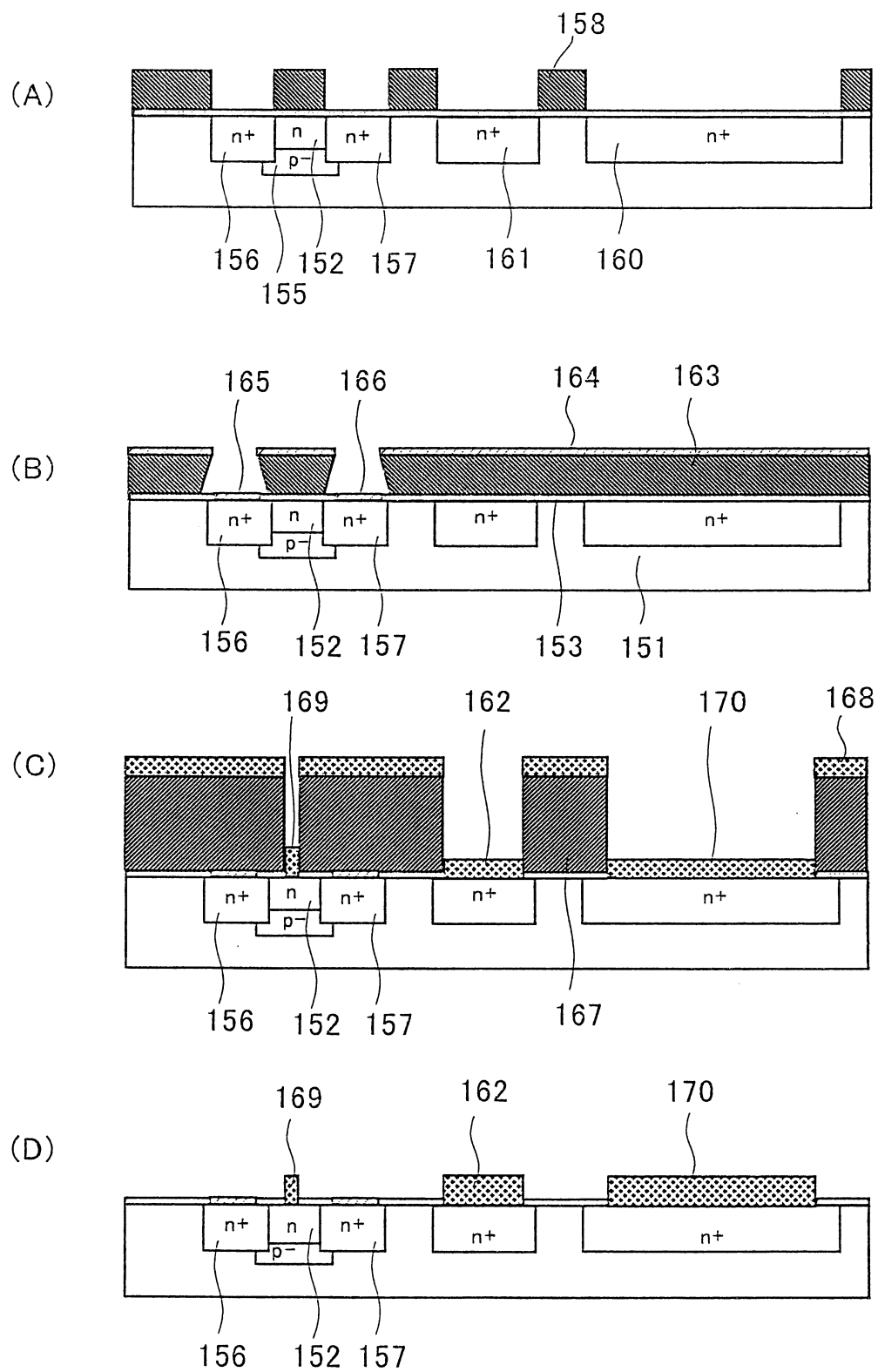
第29圖



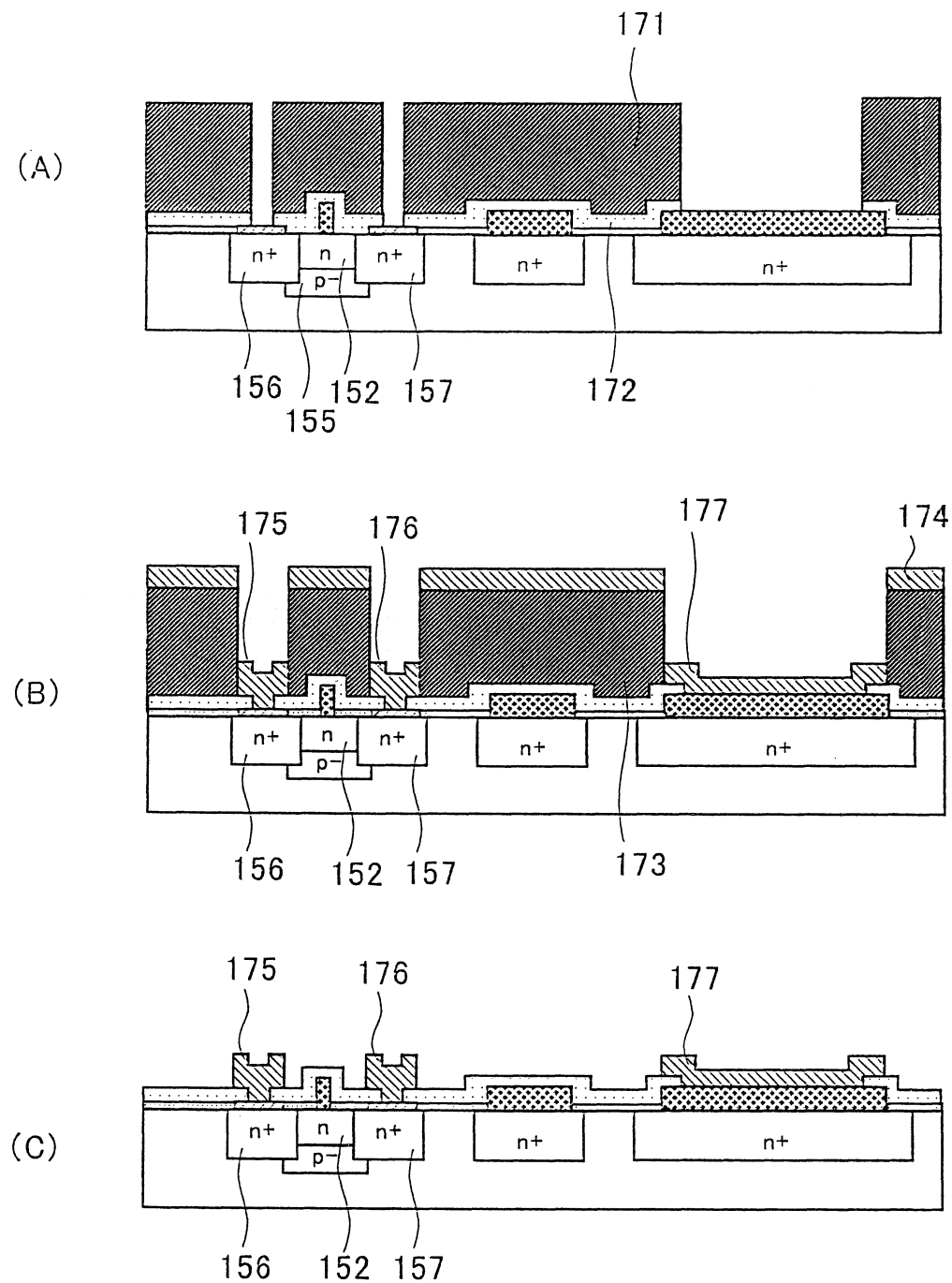
(B)



第30圖



第31圖



第32圖