

申請日期： 90 6.4

案號：90113457

類別：H01L 28/28 ; H01L 28/65

(以上各欄由本局填註)

發明專利說明書

490855

一、 發明名稱	中 文	半導體裝置及半導體裝置之製造方法
	英 文	SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME
二、 發明人	姓 名 (中文)	1. 黑井隆 2. 上野修一 3. 堀田勝之
	姓 名 (英文)	1. Takashi KUROI 2. Syuichi UENO 3. Katsuyuki HORITA
	國 籍	1. 日本 2. 日本 3. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內 2. 同1 3. 同1
三、 申請人	姓 名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓 名 (名稱) (英文)	1. 三菱電機株式會社
	國 籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓 名 (中文)	1. 谷口一郎
	代表人 姓 名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

2000/10/04 2000-304372

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明所屬之技術領域】

本發明係關於具有溝渠型元件分離構造之半導體裝置及其製造方法。

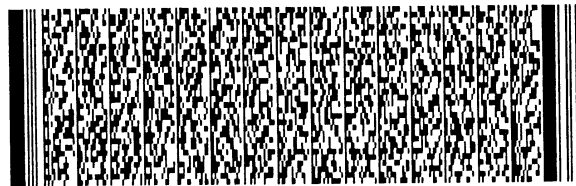
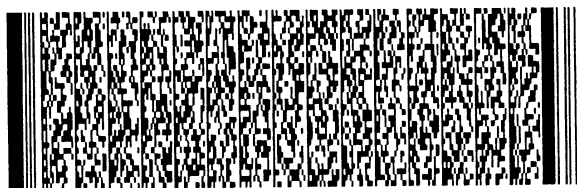
【習知技術】

在半導體積體電路中，為了在動作的時候能夠分別獨立控制每個個別的元件，需要使各元件間沒有電氣性干擾。因此，在半導體積體電路中採用具有元件分離領域的元件分離構造。此元件分離構造之一的溝渠分離法，廣泛的為人所熟悉，並有許多改良的提案。

溝渠分離法係藉由在基板表面朝向內部形成溝渠，在其內部填充電介質，而使各元件之間形成電氣性絕緣的方法。使用這種方法，在例如LOCOS法元件分離構造中常見的鳥嘴效應幾乎不會發生。因此，形成溝渠分離法所需要的基板表面上的面積，比LOCOS法更小即可，所以是有助於推進半導體積體電路細微化的適當方法。從而，溝渠分離法今後對於仍在進步中的半導體積體電路的細微化，可以說是不可或缺的元件分離法。

圖23是以模式表示半導體裝置101P的平面圖。而圖23中的AP-AP線和BP-BP線則分別以圖24、圖25表示。另外，圖25中的一部分放大圖則在圖26中表示。而圖24~26中所示的元件當中的一部分在圖23中則被省略。

如圖23~26所示，半導體裝置101P，具備有P型矽單結晶基板(以下簡稱「基板」)1P，從基板1P的主面1SP朝向基板1P內部，形成溝渠2P，溝渠2P形成元件分離領域AR2P。



五、發明說明 (2)

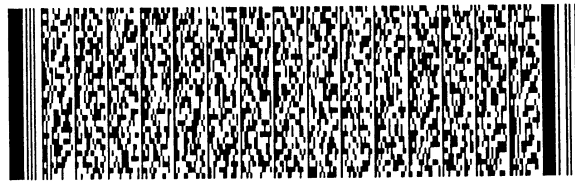
在溝渠2P的內面2SP上形成氧化矽膜9AP，氧化矽膜9AP上則形成氧化矽膜9BP。此時，溝渠2P內填充了氧化矽膜9AP和氧化矽膜9BP(以下總稱為「氧化矽膜9P」)。氧化矽膜9P即為所謂的溝渠元件分離。

先前技術的半導體裝置101P中，形成溝渠元件分離的氧化矽膜9P，沿著溝渠2P的開口端，具有比基板1P的主面1SP較為凹陷的形狀(以下成為「凹陷」)9RP。

此外，在半導體裝置101P的活性領域AR1P內形成有N通道型的NMOSFET電晶體。詳細說來，是在基板1P的主面1SP上，閘極絕緣膜4P橫越穿過活性領域AR1P而延伸的。在閘極絕緣膜4P上，以聚矽膜5AP以及矽化鎢膜5BP依序層積，此聚矽膜5AP和矽化鎢膜5BP即形成閘極5P。另外，如圖25和圖26所示，閘極5P也在氧化矽膜9P上橫越穿過該氧化矽膜9P而延伸，氧化矽膜9P的凹陷9RP內也配置有閘極5P。閘極絕緣膜4P上形成有連接閘極5P側面的側壁氧化膜41P。

而兩個源極、汲極層6P，在基板1的主面1SP內，經過閘極5P下方的MOSFET的通道領域而形成。源極、汲極層6P為由N⁺型層6BP和N⁻型層6AP所成，N⁻型層6AP的雜質濃度比N⁺型層6BP低而且形成在通道領域側。

另外，在基板1P的主面1SP內形成控制MOSFET的臨限值電壓的通道摻質層10P。通道摻質層10P是和基板1P形同的P型層所形成，雜質濃度比基板1P高。通道摻質層10P形成在比通道領域更深層的領域，通道摻質層10P整體形成為



五、發明說明 (3)

和主面1SP大致平行的平面狀。而通道摻質層10P和源極、汲極層6P分別有一部分在基板1P內弧形共有形成領域(相重複)，更具體的說通道摻質層10P是跨源極、汲極層6P的底部所形成。

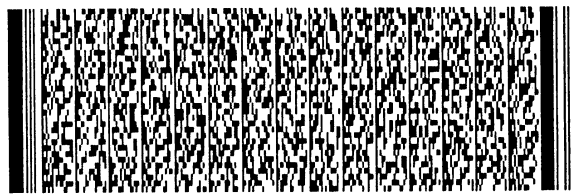
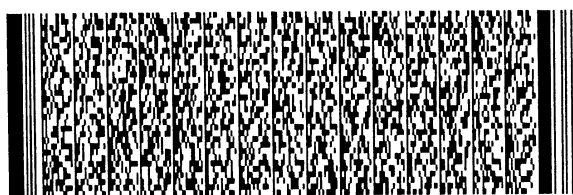
接著，在上述圖23~26的說明之外，另外參照圖27~31說明半導體裝置101P的製造方法。其中圖27~31和圖24同樣的是圖23中的AP-AP線的縱剖面圖。

首先，準備基板1P，使基板1P的主面1SP熱氧化形成氧化矽膜7P(參照圖27)。接下來在氧化矽膜7P上形成氮化矽膜8P(參照圖27)。

接著使用照相製版技術，在氮化矽膜8P上形成能覆蓋元件分離領域之外的領域的保護膜(未圖示)。之後，以該保護膜為遮蔽進行各向異性蝕刻，將氮化矽膜8P、氧化矽膜7P以及基板1P的一部分加以蝕刻。由此，如圖27所示，形成從氮化矽膜8P的露出表面到基板1P內部的溝渠2AP。而如圖28所示，將溝渠2AP的內面2SP熱氧化形成氧化矽膜9AaP，接著，用HDP(high density plasma)-CVD(chemical vapor deposition)法，在基板1P的主面1SP側整面覆蓋堆積氧化矽膜9BaP，以填滿溝渠2AP內。

其次，藉由以氮化矽膜8P為擋止膜的CMP(chemical mechanical polishing)法，研磨氧化矽膜9BaP直到氮化矽膜8P露出為止(參照圖29)。如此，在氧化矽膜9BaP內，溝渠2aP內的部分即可留下作為氧化矽膜9BbP。

而且，用熱磷酸將氮化矽膜8P除去，再用氟酸將氧化矽



五、發明說明 (4)

膜7P除去(參照圖30)。如此，溝渠2aP內基板1P內的部分的溝渠2P即可留下。而如圖30所示，在進行該氟酸處理的時候，在氧化矽膜9AaP、9BbP，沿著溝渠2P的開口端會形成上述的凹陷9RP。

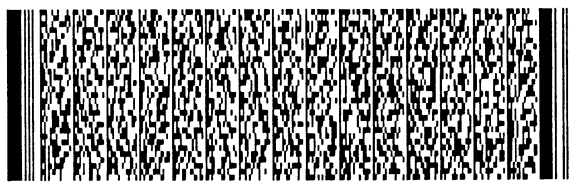
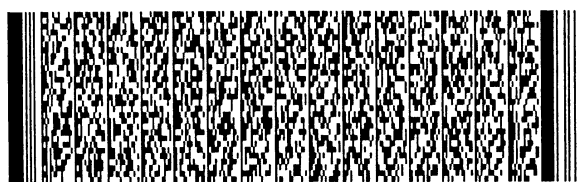
此後，將基板1P的主面1SP熱氧化，以再度形成氧化矽膜，而如圖31所示，用離子植入法形成通道摻質層10P。接著，用氟酸將上述氧化矽膜除去。此時，氧化矽膜9AaP、9BbP的一部分也被蝕刻，上述氧化矽膜9AP和氧化矽膜9BP所成的氧化矽膜9P即可形成，但在此氟酸處理時又形成上述的凹陷9RP並且更為加大。

其後，依序形成氧化矽膜、聚矽膜以及矽化鎢膜，藉由圖案佈局以形成閘極絕緣膜4P以及閘極5P（皆參照圖24和圖25）。接著依序植入形成N⁻型層6AP的離子，形成側壁氧化膜41P和形成N⁺型層6BP的離子，藉以完成如圖23~25所示的半導體裝置101P。

【發明所欲解決之課題】

如以上所述，先前技術的半導體裝置101P在形成溝渠型元件分離的氧化矽膜9P的開口端，都具有凹陷9RP。也就是先前技術的半導體裝置101P的製造方法，是在氧化矽膜7P和除去該氧化矽膜7P後再度形成的氧化矽膜，在用氟酸加以除去的時候，也會將氧化矽膜9AaP和氧化矽膜9BbP的一部分加以蝕刻(參照圖29~31)，就在氧化矽膜9P上形成了凹陷9RP。

如圖26所示，因為凹陷9RP形成得比基板1P的主面1SP更



五、發明說明 (5)

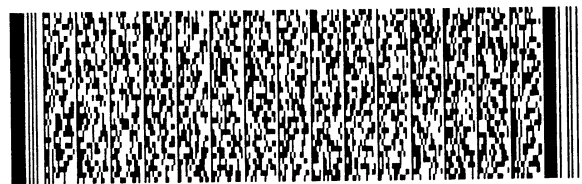
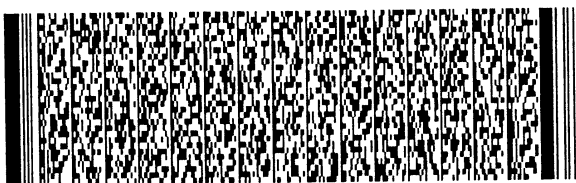
為低，所以在和沒有凹陷9RP的情形比較之下，在閘極5P內形成在凹陷9RP內的部分，就會比較接近溝渠2P的側面。因此，施加給閘極5P的電壓的電場，對於溝渠2P的側面以及活性領域AR1P所造成的電場E影響就更強。換言之，電場E集中在活性領域端。

因為如此的電場集中會導致活性領域端的電位低下，故使得MOSFET的活性領域端的臨限值電壓比通道領域（的中央部分）更低。也就是，在活性領域端形成具有比所期望（或者所設計）的電壓更低的臨限值電壓之寄生MOSFET（以至於寄生元件）。因此，在動作時寄生MOSFET先為ON，其後寄生MOSFET之外的部分才為ON。其結果，MOSFET的特性圖如圖32中的特性線 β 所示，在比所期望的臨限值電壓更低的電壓時，MOSFET的汲極電流就開始流動了。也就是在特性圖中可以觀測到高峰值。

而隨著裝置縮小減少通道的寬度的話，上述的寄生MOSFET的存在，在減少通道寬度的同時，也使得臨限值電壓降低而產生反狹窄通道效果。也就是，在MOSFET因為該反狹窄通道效果，而在比所期望臨限值電壓更低的電壓就造成電流開始流動的問題。

另外，即使在沒有凹陷9RP的狀況下，形成在元件分離領域AR2P內或者氧化矽膜9P上的各種配線等的電場，介由氧化矽膜9P或者介由溝渠2P的側面，對於活性領域端的電位造成影響，而可能形成上述寄生MOSFET。

起因於此寄生MOSFET的高峰值和反狹窄通道效果等，因



五、發明說明 (6)

為會招致MOSFET的off電流或者增加漏電流，所以造成半導體裝置101P良率降低的問題。

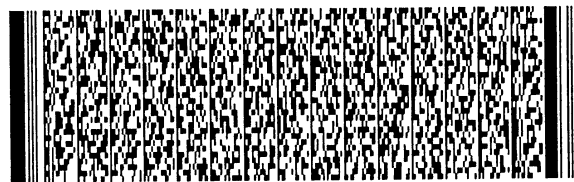
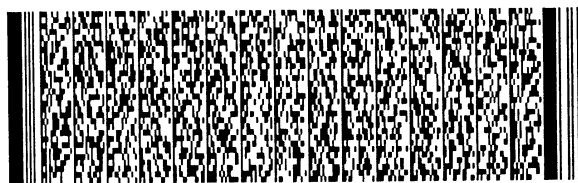
順言之，由於元件分離的形成方法不同，LOCOS雖然不會形成該種凹陷，但是為了要更加推進半導體裝置細微化，溝渠型元件分離構造已經是不可或缺的，此點前面已經敘述過。

本發明有鑒於該問題點，其主要目的為：提供能抑制活性領域端所形成的寄生元件，而能以所期望的特性進行動作的半導體裝置以及其製造方法。

【解決課題之手段】

(1)申請專利範圍第1項所記載的半導體裝置，其特徵為具備：包含有主面、有特定雜質濃度的特定導電型半導體材料的基板；從前述基板的前述主面朝向前述基板內側形成的溝渠；形成於前述溝渠內，形成溝渠型元分離的電介體；具有和前述基板的前述特定導電型相同導電型，並比前述基板的前述特定雜質濃度具有更高的雜質濃度，和前述基板的前述主面對面而延伸至前述基板內的第一摻質層；以及具有和前述基板的前述特定導電型相反的導電型，形成在前述基板的前述主面內一部分的第二摻質層，前述第一摻質層含有：第一部分；和連接於前述第一部分，從前述基板的前述主面延伸得比前述第一部分更深的第二部分，前述第一摻質層的前述第一部分的一部分形成在前述第二摻質層內。

(2)申請專利範圍第2項所記載的半導體裝置，如申請專



五、發明說明 (7)

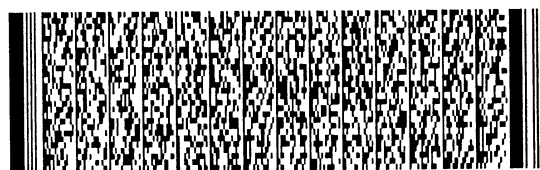
利範圍第1項之半導體裝置，其中前述第一摻質層的前述第一部分，係沿著前述溝渠側面而設。

(3)申請專利範圍第3項所記載的半導體裝置，如申請專利範圍第1項之半導體裝置，其中前述第一摻質層的前述第一部分，在前述基板內設於前述溝渠的開口端附近。

(4)申請專利範圍第4項所記載的半導體裝置，如申請專利範圍第1項之半導體裝置，其中具有和前述第二摻質層相同導電型，不接觸前述第二摻質層而形成於前述基板的前述主面內的另外一部分內，和前述一部分不同的另外一部分，形成於前述第三摻質層內，前述半導體裝置之特徵為：更具備前述第二摻質層和前述第三摻質層分別做為源極、汲極層，含有場效電晶體。

(5)申請專利範圍第5項所記載的半導體裝置，如申請專利範圍第4項之半導體裝置，其中前述場效電晶體，又包含：形成於前述基板的前述主面上的閘極絕緣膜；延伸於前述閘極絕緣膜上以及前述電介體上的閘極。

(6)申請專利範圍第6項所記載的半導體裝置的製造方法，其特徵為具備：(a)準備含有特定半導體材料並且具有特定導電型的基板的步驟；(b)在前述基板上形成包含前述特定半導體材料的氧化物的特定厚度的氧化膜的步驟；(c)在前述氧化膜上形成含有前述特定半導體材料的半導體膜的步驟；(d)將前述半導體膜、前述氧化膜、以及前述基板的一部分依序蝕刻，形成從前述半導體膜到前述基板內部的溝渠的步驟；(e)在前述基板以及前述半導



五、發明說明 (8)

體膜的前述溝渠內，將露出的各表面氧化，使得沿著前述氧化膜的前述溝渠的端部，比前述特定膜厚更厚的步驟；以及(f)在前述(e)步驟後，隔著前述氧化膜，將和前述特定導電型相同導電型的雜質，注入前述基板內的步驟。

(7)申請專利範圍第7項所記載的半導體裝置，如申請專利範圍第6項之半導體裝置之製造方法，其中前述(f)步驟中所注入的前述雜質，在前述氧化膜內，前述(e)步驟中變厚的前述端部和前述基板之間的界面附近具有高峰值，而分佈於前述基板的深度方向。

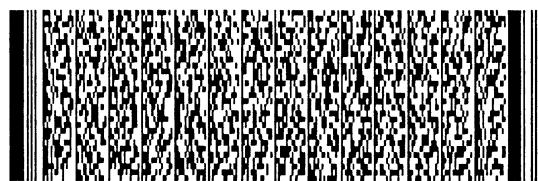
(8)申請專利範圍第8項所記載的半導體裝置，如申請專利範圍第6項之半導體裝置之製造方法，其中在前述(f)步驟之後，又具有(g)對前述基板施以急速加熱退火的步驟。

(9)申請專利範圍第9項所記載的半導體裝置，如申請專利範圍第6項之半導體裝置之製造方法，其中又具有(h)施以各向同性蝕刻將前述半導體膜除去之步驟。

【本發明之實施形態】

<實施形態1>

圖1以模式化的平面圖表示半導體裝置101。而圖1中的A1-A1線和A2-A2線的縱剖面圖分別以圖2和圖4表示，圖2中的一部分擴大圖則在圖3中表示。而圖1中的B1-B1線和B2-B2線的縱剖面圖分別以圖5和圖7表示，圖5中的一部分擴大圖則在圖6中表示。另外，在圖1中為了避免圖面太過複雜化，將在圖2~圖7中圖示的元件的一部分圖示省略，



五、發明說明 (9)

而且將後述的通道摻質層10以模式化圖示。

如圖2~圖7所示，半導體裝置101具備例如P型矽單結晶所成之半導體基板（以下簡稱「基板」）1。從基板1的主面1S朝向基板1的內部，形成特定深度的溝渠2，溝渠2規定主面1S上的元件分離領域AR2。

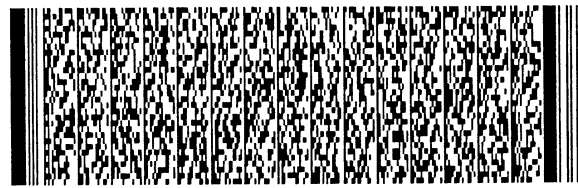
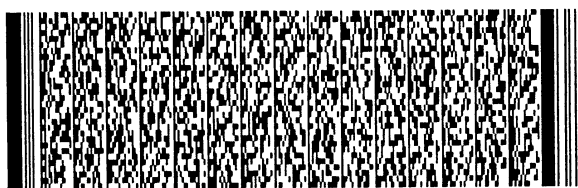
但是，元件分離領域AR2並不只是基板1的主面1S上的平面領域，也包括垂直於主面1S的方向的3次元領域，更具體的說是包含基板1的厚度方向以及主面1S上方的兩個領域。此時，基板1被劃分為以下兩個領域：元件分離領域AR2、和其外的3次元領域即活性領域AR1，活性領域AR1被元件分離領域AR2所包圍。

順帶言之，從基板1的主面1S到溝渠2的底部2b之間的距離，也就是溝渠2的深度為例如100nm~500nm左右。

如圖2~圖7所示，在溝渠2的內面（即側面2S以及底面）上沿著該內面形成氧化矽膜9A在氧化矽膜9A上形成氧化矽膜9B以掩埋溝渠2。如此，溝渠2內就被氧化矽膜9A、氧化矽膜9B（以下總稱「氧化矽膜（電介體）9」）填充了。氧化矽膜9即是所謂的溝渠型元件分離。氧化矽膜9設置在比基板1的主面1S以上的高水準，不會有比主面1S低的凹陷形狀。

而半導體裝置101則具備了形成在活性領域AR1內的N型通道型的電場效應電晶體（NMOSFET）。

詳細說來，是在基板1的主面1S上（參照圖1），閘極絕緣膜4橫越穿過活性領域AR1而延伸的。閘極絕緣膜4為例如



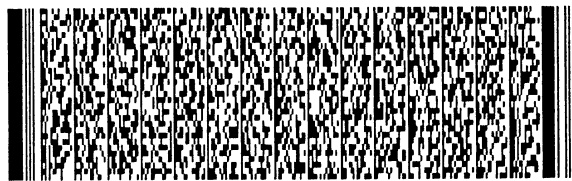
五、發明說明 (10)

厚度為3nm~7nm左右的氧化矽膜所成。又如圖5和圖6所示，閘極絕緣膜4的延伸方向上的各端部，連接在氧化矽膜9(或者9A)上，閘極絕緣膜4和氧化矽膜9互相結合成為一體。

在閘極絕緣膜4上，以厚度大約40nm~70nm的聚矽膜5A以及厚度大約50nm~100nm的矽化鎢膜5B依序層積，此聚矽膜5A和矽化鎢膜5B即形成閘極5。另外，如圖1和圖5所示，閘極5也在氧化矽膜9上橫越穿過該氧化矽膜9而延伸。而且，閘極絕緣膜4上形成有連接閘極5側面的側壁氧化膜41。

另外，在基板1的主面1的閘極絕緣膜4所劃分的各領域內，分別形成和基板1相反導電型的N型源極、汲極層(或者第2和第3摻質層)6。詳細來說，各源極、汲極層6分別連接溝渠2形成在基板1的主面1S內的一部分，2個源極、汲極層6互相不連接介由在閘極5下方的MOSFET的通道領域而配置。

更具體的說，兩個源極、汲極層6為分別由N型的N⁺型層6B和比該N⁺型層6B的雜質濃度更低的N⁻型層6A所成。此時，N⁺型層6B在基板1的主面1S，從閘極絕緣膜4的端部正下方附近延伸到和閘極絕緣膜4相反側，到氧化矽膜9A或者溝渠2為止。而N⁻型層6A分別在基板1的主面1S內連接N⁺型層6B，延伸到閘極5和側壁氧化膜41之間的邊界面下方附近。又，N⁺型層6B比N⁻型層6A形成在主面1S更深的地方。順帶言之，N⁻型層6A即為所謂的LDD (Lightly Doped



五、發明說明 (11)

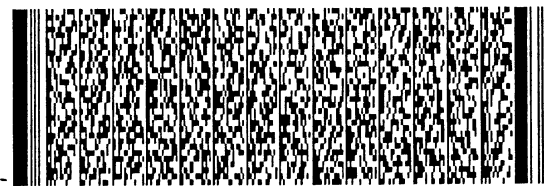
Drain) 層。

另外，在基板1的主面1S內形成控制MOSFET的臨限值電壓的通道摻質層（或者第1摻質層）10。通道摻質層10是和基板1形同的P型層所形成，雜質濃度比基板1高。如圖1~圖7所示，通道摻質層10整體形成在溝渠2的底部2B的深度和基板1的主面1S之間的深度。而通道摻質層10含有第一部分10A和第二部分10B，整體和基板1的主面1S相對面延伸。另外，通道摻質層10的端部或者周圍邊緣部分（相當於後述之第一部分10A）連接於溝渠2。而通道摻質層10和源極、汲極層6分別有一部分在基板1內互相共有形成領域（相重複）。

詳細而言，第一部分10A在通道摻質層10內連接溝渠2的側面2S相當於沿著該側面2S的部分。尤其是，第一部分10A在基板1內，形成在溝渠2的開口端附近或者主面1S附近，如圖4和圖7所示，各 N^+ 型層6B內（從而，在各源極、汲極層6內）分別設有第一部分10A的一部分。更具體的說，如後述之圖20所示，第一部分10A和源極、汲極層6的雜質濃度分佈的兩個高峰，設定在相對於基板1和源極、汲極層6結合面的同一側。

另外一方面，第二部分10B在通道摻質層10內為除了第一部分10A之外的部分或者中央部分。也就是，第二部分10B連續在第一部分10A而形成，和基板1的主面1S成大略平行的形成平面狀。

順帶而言，於此說明，半導體裝置101具有的MOSFET的



五、發明說明 (12)

臨限值電壓和先前技術的半導體裝置101P相同時的狀況。為此，配置在MOSFET的通道領域下方的通道摻質層10的第二部分10B，形成為和先前技術的半導體裝置101P（參照圖24和25）的通道摻質層10P相同程度的深度。

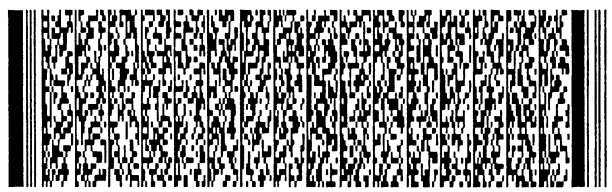
此時，在半導體裝置101中，通道摻質層10的第一部分10A形成在比第二部分10B更淺的地方。反過來說，第二部分10B由主面1S上比第一部分10A更深的地方形成。

附帶說明，雖然省略了圖示，基板1內的溝渠2的底部2B附近形成通道割斷摻質層，而在比該通道割斷摻質層和通道摻質層10更深的領域形成井摻質層。

接下來，在圖1~圖7之外，另外參照圖8~18說明半導體裝置101的製造方法。其中圖8~16和圖18，為和圖2相同的是圖1中的A1-A1線的縱剖面圖，而圖11為圖10的部分擴大圖。圖17為說明後述離子植入工程的植入條件的模式圖。

首先，準備基板1，將如圖8所示的基板1的主面1S整體熱氧化，形成大約5nm~30nm左右的氧化矽膜（或者氧化膜）7。接著，在氧化矽膜7露出的表面上，形成大約10nm~50nm左右的（用和基板1相同的半導體材料-矽所成的）矽膜（或者半導體膜）11。矽膜為例如聚矽、非晶矽等非單結晶所成。而矽膜11為被滲入或者不被滲入皆可的。而且，在矽膜11的露出表面上形成100nm~300nm左右的氮化矽膜8。

其次，用照相製版技術，在氮化矽膜8露出的表面上形成能覆蓋元件分離領域之外的領域的保護膜（未圖示）。之後，以該保護膜為遮蔽進行各向異性蝕刻，將氮化矽膜8



五、發明說明 (13)

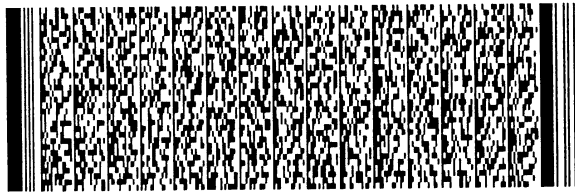
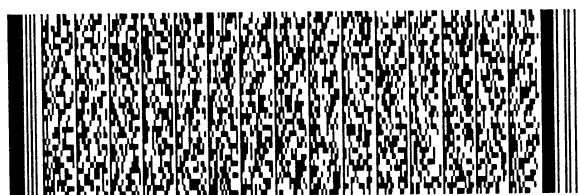
、矽膜11、氧化矽膜7以及基板1的一部分加以蝕刻（從主面1S為例如大約100nm~500nm左右的深度）。由此，如圖9所示，形成從氮化矽膜8的露出表面到基板1內部的溝渠2a（包含已敘述的圖2所示之溝渠2）。

接著，在溝渠2a的內面內，將基板1的露出表面（已敘的溝渠2的內面）以及矽膜11的露出表面11S，以熱氧化法或者等離子氧化法等方法使其氧化，如圖10和圖11所示形成氧化矽膜9Aa。而氧化矽膜9Aa為沿氧化矽膜7的溝渠2a和端部結合成為一體，在圖11中為將兩氧化矽膜9Aa、7的界線，用虛線BL1以模式化表示。

此時，如圖11所示，沿著在基板1的主面1S上形成的氧化矽膜7的溝渠2a的端部，變成和鳥嘴效應同樣的形狀，變得比剛剛形成的時候更厚。因此，在該氧化工程之後，氧化矽膜7，包含在基板1的主面1S上的（a）上述鳥嘴效應的鳥嘴部分的端部或較厚部分7A，以及（b）該較厚部分7A之外的部分或者較薄部分7B所成。較薄部分7B的膜厚度和剛剛形成的時候大約相同。而圖11中較厚部分7A和較薄部分7B之間的分界線是以BL2以模式化表示。

此後，而如圖12所示，用HDP（high density plasma）-CVD（chemical vapor deposition）法，在基板1的主面1S側整面覆蓋堆積氧化矽膜9Ba，以填滿溝渠2a內。氧化矽膜9Ba大約形成為例如200nm~700nm左右。

順帶而言，例如用矽氮氧化膜、PSG（phospho-silicate glass）膜、BPSG（boro-phospho silicate glass）膜、



五、發明說明 (14)

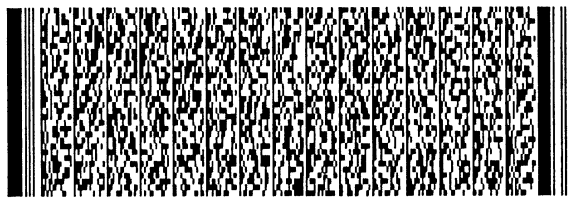
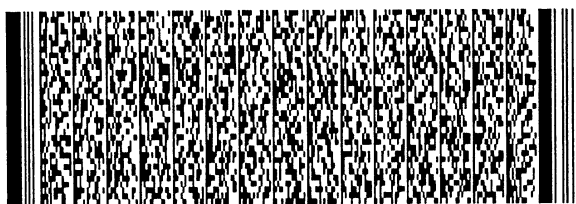
FSG (flourine doped silicon glass) 膜來代替氧化矽膜9Ba也是可以的。而且，用HDP-CVD法之外的成膜法來形成氧化矽膜9Ba亦可。而如果是上述HDP-CVD法之蝕刻（或者噴濺），同時和成膜一起進行的成膜方法的話，可以在溝渠2a內填充氧化矽膜9Ba而幾乎完全不產生間隙。

其次，如圖13所示，藉由以氮化矽膜8為擋止膜的CMP (chemical mechanical polishing) 法，將圖12所示的氧化矽膜9Ba的一部分除去。具體的說，是研磨氧化矽膜9Ba直到氮化矽膜8露出為止，在氧化矽膜9Ba內，留下溝渠2a內的部分作為氧化矽膜9Bb。

接著，用熱磷酸的溼式蝕刻（各向同性蝕刻）將氮化矽膜8除去（參照圖14），再用氨和過氧化氫水的混合液體的溼式蝕刻（各向同性蝕刻）將矽膜11除去（參照圖15）。

然後，隔著已露出的氧化矽膜7，用200keV~1MeV左右的加速能量，注入硼離子，以形成井摻質層（並未圖示）。另外，用100keV~300keV左右的加速能量，注入硼離子，以形成通道切割摻質層（並未圖示）。

而且，用10keV~100keV左右的加速能量，將硼離子注入基板1的主面1S內，以形成如圖16所示的通道摻質層10。此時，隔著氧化矽膜7的較厚部分7A，注入的雜質（硼）可比隔著較薄部分7B的淺。尤其是，如圖17的模式圖所示，設定注入條件，使得所注入的雜質的深度方向上的濃度分佈的峰值，在基板1和氧化矽膜7的較厚部分7A之間的分界面（為主面1S的一部分）附近形成。此後，將注入離子後



五、發明說明 (15)

的基板1急速加熱、退火，進行所謂的RTA (rapid thermal annealing)。該急速加熱退火為在700℃~1100℃左右的溫度範圍實施大約30秒~60秒。

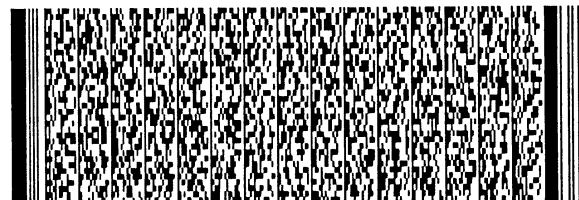
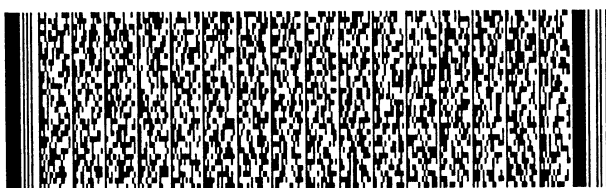
接著，用氟酸將氧化矽膜7做濕式蝕刻，使得基板1的主面1S露出（參照圖18）。此時，氧化矽膜9Aa、9Bb的一部分也被除去，留下溝渠2a內基板1內的部分的溝渠2，而已經敘述過的氧化矽膜9A、9B所成的氧化矽膜9留在溝渠2內。

其後，將基板1的露出的主面1S熱氧化，形成厚度大約3nm~7nm左右的氧化矽膜（此後即為閘極絕緣膜4）。而此氧化矽膜的各端部和氧化矽膜9（或者氧化矽膜9A）結合而成為一體。接著用CVD法依序堆積形成厚度大約40nm~70nm的聚矽膜以及厚度大約50nm~100nm的矽化鎢膜。接著，用照相製版技術以及各向異性蝕刻法，將上述聚矽膜和矽化鎢膜施以圖案佈局，藉以形成閘極5（參照圖2）。

接著，用離子注入法，將20keV~50keV左右的磷離子注入。然後，在閘極5的側面形成側壁氧化膜41（參照圖2）。而且再用離子注入法，將砷離子注入大約10keV~50keV左右。此後施以熱處理，形成上述只含有磷的N⁻型層6A，而形成上述含有砷的N⁺型層6B。也就是，形成源極、汲極層6。依照上述工程，圖1~圖7的半導體裝置101即可完成。

半導體裝置101以及其製造方法可以獲得下述效果：

因為用熱氧化法形成上述氧化矽膜9Aa（或者9A），所以可以在氧化矽膜7形成較厚部分7A。因此，和先前技術

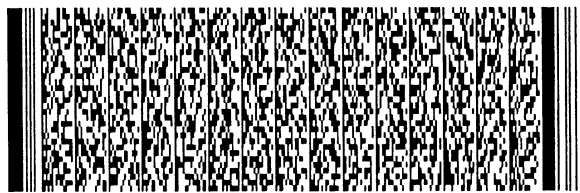
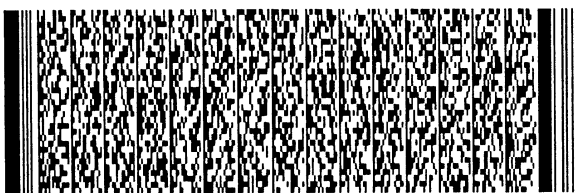


五、發明說明 (16)

的半導體裝置101P的製造方法不同，如圖16以及圖17所示，即使在以氟酸將氧化矽膜7蝕刻之際，較厚部分7A可以使得氧化矽膜9Bb、9Aa或者氧化矽膜9A、9B不會形成凹陷9RP(參照圖24)。從而，可以抑制因凹陷9RP所引起的寄生MOSFET(寄生元件)形成。如此，半導體裝置101的MOSFET，即可制止峰值或者相反的狹窄效應，而可減低漏電流。其結果，使得MOSFET以及半導體裝置更能以所期望(設計)的特性來動作。

但是，即使是在沒有凹陷9RP的情況，來自元件分離領域AR2內，或者氧化矽膜9上所形成的配線(包含閘極5)的電場，介由氧化矽膜9或者介由溝渠2的側面2S而對活性領域端的電位造成影響，而可能形成寄生MOSFET。但是，如果依照半導體裝置101的話，即可減低該寄生MOSFET的影響。

也就是，半導體裝置101中，通道摻質層10的第一部分10A形成在比第二部分10B(從而也比先前技術的通道摻質層10P)更淺的位置。尤其，第一部分10A是沿著溝渠2的側面2S形成的。因此，基板1中只有第一部分10A，溝渠2的開口端附近的雜質濃度比先前技術中的基板1P更高。從而，若依照半導體裝置101，通道摻質層10P整體，相較於形成在和第二部分10B相同的深度的先前技術的半導體裝置101P，可以使溝渠2的側面2S的寄生MOSFET比較不容易成為ON。換言之，即可抑制臨限值電壓較低的寄生MOSFET的形成。於此點，半導體裝置101也能減低高峰值和反狹



五、發明說明 (17)

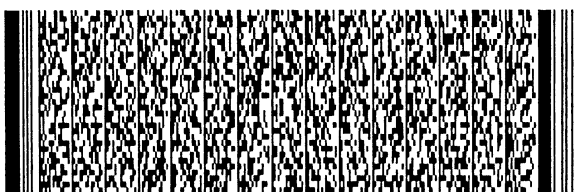
窄通道效應，而能以所期望的特性動作。

尤其，在半導體裝置101中，通道摻質層10的第一部分10A在溝渠2的開口端附近或者基板1的主面1S附近形成。此時，來自上述配線的電場，越接近該配線，亦即越接近溝渠的開口端，受到的影響就越強，有鑑於此，通道摻質層10的第一部分10A設在上述電場較強的部分，藉以使得上述效果能更確實獲得。

如同上述，在形成通道摻質層10之際，因為隔著具有較厚部分7A的氧化矽膜7而注入硼，所以能夠使得隔著較厚部分7A的地方所注入的雜質，比隔著較薄部分7B注入的雜質更淺。因此，在溝渠2附近或者活性領域端附近，基板1的主面1S側比通道摻質層10的第一部分10A更容易形成。亦即，因為使得硼的注入深度不同，所以形成保護膜就不需要另外施行個別的雜質注入步驟。

而且，在形成通道摻質層10之際，7a、和基板1之間的界面附近，設定注入條件，使得雜質濃度的高峰值在深度方向形成。因此，通道摻質層10的第一部分10A可以確實在溝渠2的開口端附近形成。

另外，上述的製造方法中，為了形成通道摻質層10而在離子注入後進行RTA。如此，因注入離子所發生的結晶的單點缺陷就可以退火消除。而且，在其後的熱處理過程中，TED (transient enhanced diffusion) 也可以加以抑制，而將形成通道摻質層10的硼保持在所希望的分佈上。從而，可以確實製造其通道摻質層10所獲得的上述效



五、發明說明 (18)

果得以發揮的半導體裝置101。

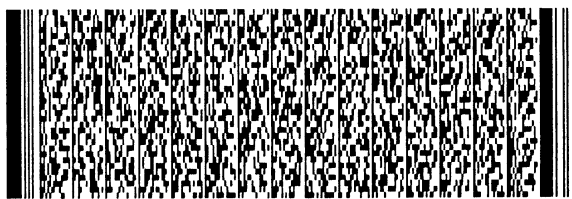
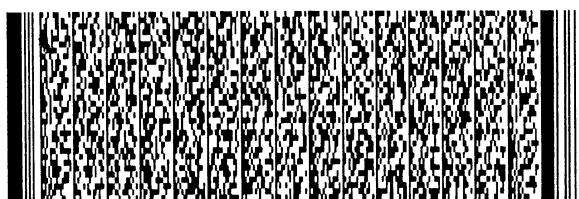
此外，在上述製造方法中，如圖14和圖15所示，使用氮和過氧化氫的混合液的濕式蝕刻（亦即各向同性蝕刻）來除去矽膜11，亦即，因為不使用乾式蝕刻（各向不同性蝕刻），而可以避免乾式蝕刻時所造成的離子損害現象。

而且，如果用濕式蝕刻，可以減少蝕刻殘留而可更容易將矽膜11整體輕易除去。關於此點將參照圖19所示的部分擴大剖面圖說明如下：

亦即，因為使用上述HDP-CVD法蝕刻和成膜同時進行的成膜法，以HDP-CVD法形成氧化矽膜9Ba的時候，氮化矽膜8的邊緣被蝕刻（或者噴濺）而在該邊緣部分形成斜面8ES（參照圖19）。其後，實施氧化矽膜9Ba的堆積和CMP步驟，在CMP後氧化矽膜9Ba上，可能會形成和斜面8ES相接的圓凸狀部或者懸垂部（overhang）9BH。而懸垂部9BH的大小，也視上述CMP時作為擋止膜的氮化矽膜8被研磨的程度而定。氧化矽膜9BP具有懸垂部9BH的狀況，將矽膜11用乾式蝕刻除去的話，懸垂部9BH下方就會發生蝕刻殘留部分。相對於此，如依照本半導體裝置101的製造方法，因為是用濕式蝕刻來除去矽膜11，所以不論是否有懸垂部9BH存在，都可以更輕易將矽膜11全部確實的除去。

如此，依照上述製造方法，就能夠以更好的良率製造具有所期望特性動作的半導體裝置101。

而且，如依照半導體裝置101，還能夠比先前技術的半導體裝置101P能快速動作。參照圖20和圖21說明此點。圖

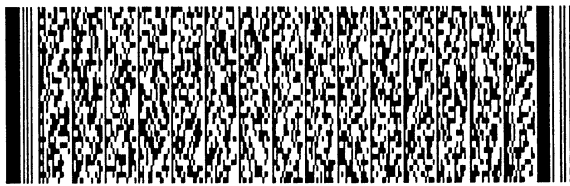
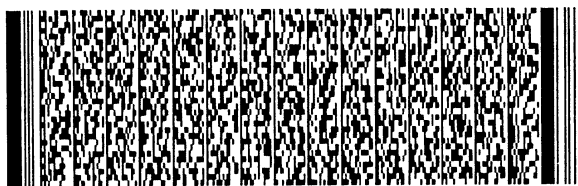


五、發明說明 (19)

20 和圖21 是說明活性領域端附近或者溝渠2 附近的N 型源極、汲極層（或者 N^+ 型層）和P 通道摻質層的濃度分佈的模式圖，圖20 是關於半導體裝置101 的圖，而圖21 是先前技術的半導體裝置101P 的圖。

如同以上所述，在半導體裝置101 中通道摻質層10 的第一部分10A 形成在比第二部分10B 更靠近基板1 的主面1S 側，第一部分10A 設在源極、汲極層6（詳細說是 N^+ 型層6B）內。更具體的說，如圖20 所示，第一部分10A 和源極、汲極層6 的雜質濃度分佈的兩個高峰值，設定在源極、汲極層6 和基板1 的接合面（兩層的分佈曲線的交叉點所賦予）的同側。因此，如圖20 所示，在活性領域端，通道摻質層10 的第一部分10A 和源極、汲極層6 層重疊的部分很大。換言之，源極、汲極層6 和第一部分10A 雙方的高濃度領域或者高峰值濃度領域相互重疊。相對於此，圖21 所示的，因為形成的深度不同，先前技術的通道摻質層10P 和源極、汲極層6P 的重疊部分就很小。

此時，導電型相反的雜質因為滲透作用而互相抵銷，有鑑於此，圖20 所示的半導體裝置101 中，上述接合面兩側的雜質濃度，比圖21 所示的原有半導體裝置101P 等同類都更低。因此，在活性領域端，半導體裝置101 方面在上述接合面的空缺層在基板1 深度方向更容易擴散，接合容量更小。從而，以活性領域整體來看，也是半導體裝置101 的接合容量較小，其結果，可使其動作更為快速化。順便言之，減低接合容量的快速化，是通道摻質層10 的第一部



五、發明說明 (20)

分10A的一部分設在源極、汲極層6內所獲得的結果，而不是基板1內的第一部分10A的形成位置。

<實施形態1的變形例1>

以上說明了基板1、氧化矽膜7和矽膜11等含有矽的狀況，但是上述含有矽以外的半導體材料的狀況，也能適用上述說明。

而在上述說明中，敘述了半導體裝置101為NMOSFET的狀況，基板1和各層（或者各膜）的導電型相逆轉，提供P型通道的MOSFET（PMOSFET）作為半導體裝置101也可以。另外，NMOSFET和PMOSFET相互組合，提供CMOSFET作為半導體裝置101也是可能的。

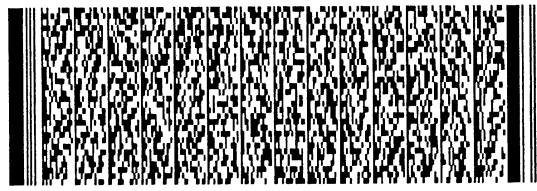
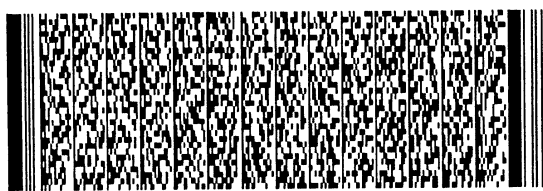
<實施形態1的變形例2>

此外，用氧化矽膜以外來做閘極絕緣膜4的狀況，亦即半導體裝置101為具備一般的MIS（metal-insulator-semiconductor）構造的FET的狀況，上述說明也是妥當的。

而用金屬膜和聚矽膜相組合，或者以其他層堆積構造成閘極5也沒有關係，而且，用矽化的聚矽膜形成也可以，或只用金屬膜形成也可以。

<實施形態2>

其次說明，實施形態2的半導體裝置102，應用已敘述的半導體裝置101所得的DRAM（dynamic random access memory）。圖22顯示半導體裝置102的縱剖面圖。而以下說明中，已經敘述過的相同元件，援用同樣的符號來說



五、發明說明 (21)

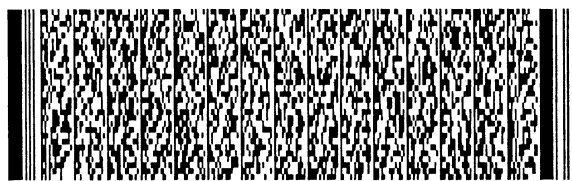
明。

如圖22所示，半導體裝置102具備形成有溝渠2的基板1，溝渠2內埋入形成溝渠型元件分離的氧化矽膜9。而圖22中雖然省略了圖示，其實氧化矽膜9是由氧化矽膜9A、9B所形成的。

而活性領域AR1(參照圖1)內形成兩個MOSFET。詳細來說，在基板1的主面1S上，只距離規定的距離形成閘極絕緣膜4，閘極絕緣膜4上分別形成閘極5和側壁氧化膜41。而閘極5是例如已述的聚矽膜5A和矽化鎢膜5B(參照圖2)所成。另外，圖22中在氧化矽膜9上也形成由閘極絕緣膜4、閘極5和側壁氧化膜41，不過此等構成要件(以下總稱閘極要件4、5、41)，形成在圖22中或者並未圖示的其他活性領域內，而且，是在和紙面相垂直的方向延長形成的。

此外，在基板1的主面1S內形成源極、汲極層(或者第2、第3摻質層)61、62。各源極、汲極層61、62相當於上述的源極、汲極層6(參照圖2)。圖22中雖然省略了詳細的圖示，但是各源極、汲極層61、62為 N^- 型層6A和 N^+ 型層6B所成。而源極、汲極層62為隔著上述兩個MOSFET而形成。亦即，源極、汲極層62相當於，各MOSFET二者分別的源極、汲極層6各在主面1S內成一體化的形態。

並且，和上述的半導體裝置101同樣的，活性領域AR1(參照圖1)內，和基板1的主面1S整體相對面形成通道摻質層10。亦即，通道摻質層10的第一部分10A在基板1內接



五、發明說明 (22)

於溝渠2的側面2S(參照圖2等),沿著該側面2S形成,另外又在溝渠2的開口端附近或者主面1S附近形成。而且,第一部分10A設在 N^+ 型層6B內,亦即設在源極、汲極層6內。通道摻質層10的第二部分10B形成在比第一部分10A更深的位置。

以上的構造也可以用實施形態1所說明的製造方法來形成。

甚且,在基板1的主面1S上,形成層間絕緣膜50A來覆蓋閘極要件4、5、41,從該層間絕緣膜50A的表面50AS到源極、汲極層62形成連接孔13。在層間絕緣膜50A的表面50AS上,介由接觸孔13形成連接於源極、汲極層62的位元線14。

又在層間絕緣膜50A的表面50AS上,形成層間絕緣膜50B來覆蓋位元線14,從該層間絕緣膜50B的表面50BS到源極、汲極層61形成連接孔15。在層間絕緣膜50B的表面50BS上,介由接觸孔15形成連接於源極、汲極層61儲存電極16。

然後覆蓋儲存電極16和層間絕緣膜50B的表面50BS,且沿著層間絕緣膜50B的表面50BS上的凹凸形成電容絕緣膜17和電路胞板(cell plate)電極18。

形成層間絕緣膜50C來全面覆蓋住電路胞板電極18,層間絕緣膜50C的表面CS上形成多個配線19。該配線19在圖22中未圖示的部分中,和閘極5等相連接。

若依據半導體裝置102,可獲取和半導體裝置101同樣的



五、發明說明 (23)

效果。此時，MOSFET的漏電流減低，藉此可抑制蓄積在儲存電極16內（亦即DRAM的電容器部）的電荷損失。

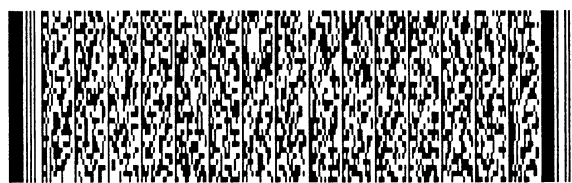
【發明之效果】

(1)依據本發明申請專利範圍第1項，在第二摻質層內第一摻質層的第一部分所配置的部分，可將第二摻質層的雜質濃度降低。因此，其附近第二摻質層和基板的接合面上所形成的空缺層就容易擴散，可使得接合容量減小。由此，因接合面整體的接合容量減小，故該接合容量太大所造成的延遲動作速度即可加以改善。

(2)依據本發明申請專利範圍第2項，第一摻質層的第一部分係沿著溝渠側面而設。來自配置在溝渠內的電介體上的配線等的電場，從溝渠的側面對基板的電位造成影響，有鑑於此，可以第一部分來補償溝渠附近的特性。如此，半導體裝置起因於上述電場的動作不良現象即可減低。

(3)依據本發明申請專利範圍第3項，第一摻質層的第一部分設於溝渠開口端附近。但是，來自上述電介體上的配線的電場，越接近該配線，亦即越接近溝渠開口端就越強。此時，第一摻質層的第一部分，因為設在比上述電場更強的部分，所以可減低起因於上述電場的動作不良現象。

(4)依據本發明申請專利範圍第4項，因為第二摻質層和（與第二摻質層同等的）第三摻質層，成為場效電晶體的源極、汲極層，故可使得場效電晶體的動作，也就是該半導體裝置的動作高速化。



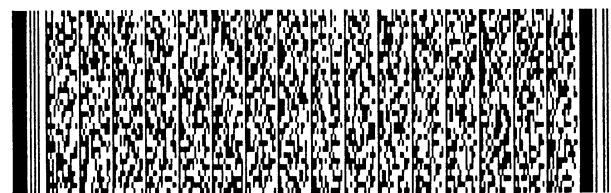
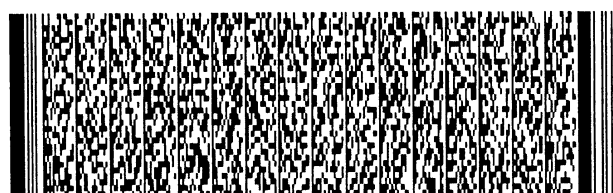
五、發明說明 (24)

(5) 依據本發明申請專利範圍第5項，可抑制場效電晶體的峰值和反狹窄通道效應、減低漏電流。其結果，場效電晶體可使得半導體裝置能以更符合所期望（設計）的特性來動作。而且，半導體裝置為含有該場效電晶體的DRAM（dynamic random access memory）的情形，藉由減低上述漏電流，更可抑制蓄積於DRAM的電容部的電荷的損失。

(6) 依據本發明申請專利範圍第6項，(e)步驟所進行的氧化處理，使得氧化膜的端部比剛剛形成((b)步驟)的膜厚更厚。因此，其後的步驟中即使在將氧化膜蝕刻露出基板之際，氧化膜的上述較厚部分（端部）仍能使得溝渠開口附近不會形成凹陷。從而，起因於該凹陷的寄生元件之形成也受到抑制，而能減低半導體裝置的動作不良現象。

而且，介由氧化膜的上述較厚部分（端部）注入的雜質，比介由有形成當初的膜厚的部分的雜質更淺。因此，在溝渠附近，相較於介由有形成當初的膜厚的部分的情形，基板的主面（和氧化膜接觸的表面）側更能注入雜質，所以，可使溝渠附近的雜質濃度比基板當初的濃度能更為增大。該高濃度領域可於溝渠附近補償特性，如此即可減低起因於來自配置在溝渠內的電介體上的配線的電場的半導體裝置的動作不良現象。

此外，(f)步驟在(e)之後隔著上述氧化膜注入雜質，如此即可輕易控制雜質注入的深度。亦即，為了不同的注入深度，而在形成保護膜時，用不同的步驟，分別注入不同的雜質的步驟就不需要了。



五、發明說明 (25)

其結果，即可以優良的良率製造能以所期望的特性動作的半導體裝置。

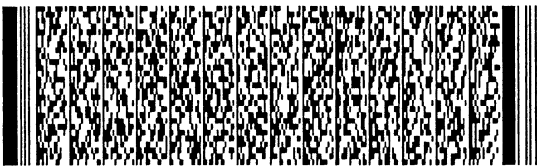
(7) 依據本發明申請專利範圍第7項，可使基板內上述雜質的濃度比開口端附近的濃度更高。從而，上述起因於電場的動作不良，即可更確實有效的減低。

(8) 依據本發明申請專利範圍第8項，注入雜質所發生的結晶點缺陷，可經由退火消除。而且，在其後的熱處理步驟中，也可抑制TED(transient enhanced diffusion)，保持所期望的雜質分佈。從而，可更確實製造能發揮上述(6)、(7)效果的半導體裝置。

(9) 依據本發明申請專利範圍第9項，各向不同性蝕刻，可避免蝕刻時的傷害。而且，蝕刻的殘留也更能減少，使得半導體膜整體更容易除去。

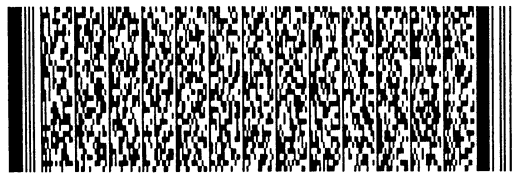
【 元件編號說明 】

1	基板
1S	主面
2、2a	溝渠
2S	側面
4	閘極絕緣膜
5	閘極
6、61、62	源極、汲極層(第2、第3摻質層)
6A	N ⁻ 型層
6B	N ⁺ 型層
7	氧化矽膜



五、發明說明 (26)

7A	較厚部分
7B	較薄部分
8	氮化矽膜
9	氧化矽膜(電介體)
9A、9Aa、9B、9Ba、9Bb	氧化矽膜
10	通道摻質層
10A	第一部分
10B	第二部分
11	矽膜
11S	表面
101、102、101P	半導體裝置
AR1	活性領域
AR2	元件分離領域
1P	基板
1SP	主面
2P	溝渠
2AP	溝渠
4P	閘極絕緣膜
5P	閘極
5BP	矽化鎢膜
6P	源極、汲極層
8P	氮化矽膜
9P	氧化矽膜
9AP	氧化矽膜



五、發明說明 (27)

- 9BP 氧化矽膜
- 9RP 凹陷
- 10P 通道摻質層
- 41 側壁氧化膜
- 41P 側壁氧化膜



圖式簡單說明

圖1為實施形態1相關半導體裝置以模式表示的平面圖。

圖2為實施形態1相關半導體裝置的剖面圖。

圖3為實施形態1相關半導體裝置的部分剖面圖。

圖4為實施形態1相關半導體裝置的剖面圖。

圖5為實施形態1相關半導體裝置的剖面圖。

圖6為實施形態1相關半導體裝置的部分剖面圖。

圖7為實施形態1相關半導體裝置的剖面圖。

圖8為說明實施形態1相關半導體裝置的製造方法的剖面圖。

圖9為說明實施形態1相關半導體裝置的製造方法的剖面圖。

圖10為說明實施形態1相關半導體裝置的製造方法的剖面圖。

圖11為說明實施形態1相關半導體裝置的製造方法的剖面圖。

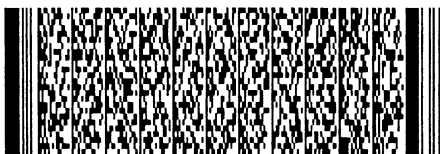
圖12為說明實施形態1相關半導體裝置的製造方法的剖面圖。

圖13為說明實施形態1相關半導體裝置的製造方法的剖面圖。

圖14為說明實施形態1相關半導體裝置的製造方法的剖面圖。

圖15為說明實施形態1相關半導體裝置的製造方法的剖面圖。

圖16為說明實施形態1相關半導體裝置的製造方法的剖面圖。



圖式簡單說明·

面圖。

圖17為說明實施形態1相關半導體裝置的製造方法的剖面圖。

圖18為說明實施形態1相關半導體裝置的製造方法的剖面圖。

圖19為說明實施形態1相關半導體裝置的製造方法的剖面圖。

圖20為說明實施形態1相關半導體裝置的雜質濃度分佈的模式圖。

圖21為說明先前技術的雜質濃度分佈的模式圖。

圖22為實施形態2相關半導體裝置的剖面圖。

圖23為先前技術相關半導體裝置以模式表示的平面圖。

圖24為先前半導體裝置的剖面圖。

圖25為先前半導體裝置的剖面圖。

圖26為先前半導體裝置的部分剖面圖。

圖27為說明先前半導體裝置的製造方法的剖面圖。

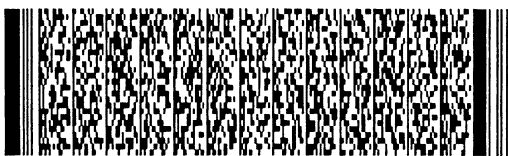
圖28為說明先前半導體裝置的製造方法的剖面圖。

圖29為說明先前半導體裝置的製造方法的剖面圖。

圖30為說明先前半導體裝置的製造方法的剖面圖。

圖31為說明先前半導體裝置的製造方法的剖面圖。

圖32為先前半導體裝置的動作特性圖。



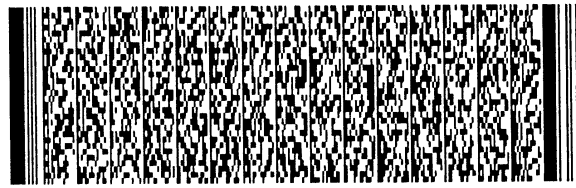
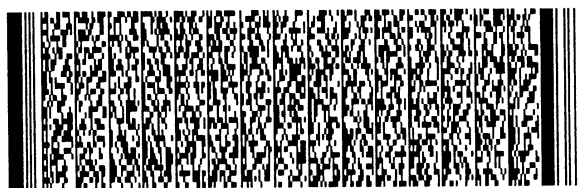
四、中文發明摘要 (發明之名稱：半導體裝置及半導體裝置之製造方法)

本發明之目的在於：抑制活性領域端的寄生MOSFET之形成，提供能以所期望的特性動作的半導體裝置。

本發明所採用的解決方法為：於基板1形成溝渠2，溝渠2內埋入氧化矽膜9成為溝渠型元件分離。氧化矽膜9不會有比基板1的主面1S更低陷的形狀。在基板1的主面1S形成控制MOSFET的臨限值電壓的通道摻質層10。通道摻質層10為由P型層所成，另一方面，雜質濃度也比基板1的主面1S內高。通道摻質層10的第一部分10A係在溝渠2的開口端附近沿著溝渠2的側面2S形成，設在源極、汲極層6內，更具體的說是設在N⁺型層6B內。通道摻質層10的第二部分10B形成在比第一部分10A更深層的位置。在基板1的主面1S上，形成閘極絕緣膜4和閘極5。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME)

A trench is formed in a substrate and a silicon oxide film which serves as a trench isolation is buried in the trench. The silicon oxide film has no shape sagging from a main surface of the substrate. A channel impurity layer to control a threshold voltage of a MOSFET is formed in the main surface of the substrate. The channel impurity layer is made of P-type layer, having an impurity concentration higher than that of the substrate. A first portion of the channel impurity



四、中文發明摘要 (發明之名稱：半導體裝置及半導體裝置之製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME)

layer is formed near an opening edge of the trench along a side surface of the trench in the source/drain layer, and more specifically, in the N^+ -type layer. A second portion of the channel impurity layer is formed deeper than the first portion. A gate insulating film and a gate electrode are formed on the main surface of the substrate.



六、申請專利範圍

1. 一種半導體裝置，其特徵為具備：包含有主面、有特定雜質濃度的特定導電型半導體材料的基板；

從前述基板的前述主面朝向前述基板內側形成的溝渠；

形成於前述溝渠內，形成溝渠型元分離的電介體；

具有和前述基板的前述特定導電型相同導電型，並比前述基板的前述特定雜質濃度具有更高的雜質濃度，和前述基板的前述主面相對面而延伸至前述基板內的第一摻質層；以及

具有和前述基板的前述特定導電型相反的導電型，形成在前述基板的前述主面內一部分的第二摻質層，

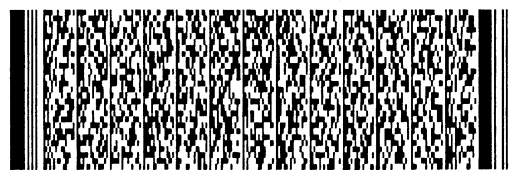
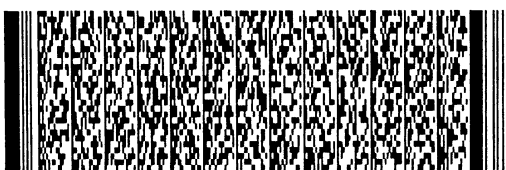
前述第一摻質層含有：第一部分；和連接於前述第一部分，從前述基板的前述主面延伸得比前述第一部分更深的第二部分，

前述第一摻質層的前述第一部分的一部分形成在前述第二摻質層內。

2. 如申請專利範圍第1項之半導體裝置，其中前述第一摻質層的前述第一部分，係沿著前述溝渠側面而設。

3. 如申請專利範圍第1項之半導體裝置，其中前述第一摻質層的前述第一部分，在前述基板內設於前述溝渠的開口端附近。

4. 如申請專利範圍第1項之半導體裝置，其中具有和前述第二摻質層相同導電型，不接觸前述第二摻質層而形成於前述基板的前述主面內的另外一部分內，和前述一部分不同的另外一部分，形成於前述第三摻質層內，



六、申請專利範圍

前述半導體裝置：

更具備前述第二摻質層和前述第三摻質層分別做為源極、汲極層，含有場效電晶體。

5. 如申請專利範圍第4項之半導體裝置，其中前述場效電晶體，又包含：

形成於前述基板的前述主面上的閘極絕緣膜；

延伸於前述閘極絕緣膜上以及前述電介體上的閘極。

6. 一種半導體裝置之製造方法，其特徵為具備：

(a) 準備含有特定半導體材料並且具有特定導電型的基板的步驟；

(b) 在前述基板上形成包含前述特定半導體材料的氧化物的特定厚度的氧化膜的步驟；

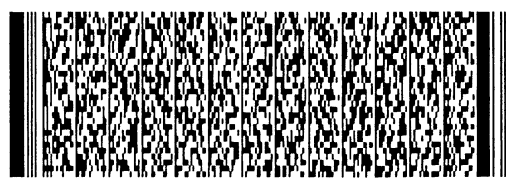
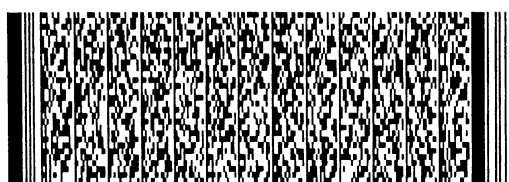
(c) 在前述氧化膜上形成含有前述特定半導體材料的半導體膜的步驟；

(d) 將前述半導體膜、前述氧化膜、以及前述基板的一部分依序蝕刻，形成從前述半導體膜到前述基板內部的溝渠的步驟；

(e) 在前述基板以及前述半導體膜的前述溝渠內，將露出的各表面氧化，使得沿著前述氧化膜的前述溝渠的端部，比前述特定膜厚更厚的步驟；以及

(f) 在前述(e)步驟後，隔著前述氧化膜，將和前述特定導電型相同導電型的雜質，注入前述基板內的步驟。

7. 如申請專利範圍第6項之半導體裝置之製造方法，其中前述(f)步驟中所注入的前述雜質，在前述氧化膜內，

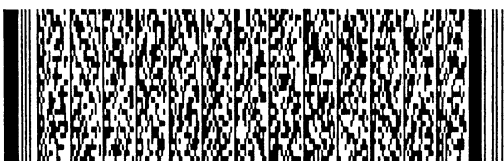


六、申請專利範圍

前述(e)步驟中變厚的前述端部和前述基板之間的界面附近具有高峰值，而分佈於前述基板的深度方向。

8. 如申請專利範圍第6項之半導體裝置之製造方法，其中在前述(f)步驟之後，又具有(g)對前述基板施以急速加熱退火的步驟。

9. 如申請專利範圍第6項之半導體裝置之製造方法，其中又具有(h)施以各向同性蝕刻將前述半導體膜去除的步驟。



9011745

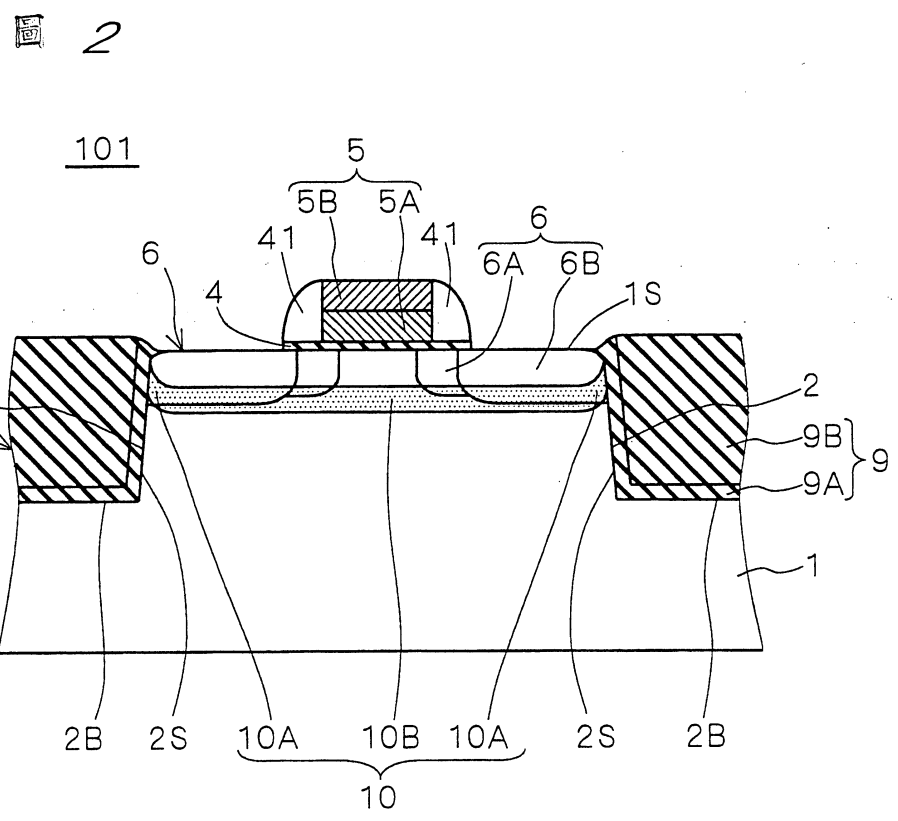
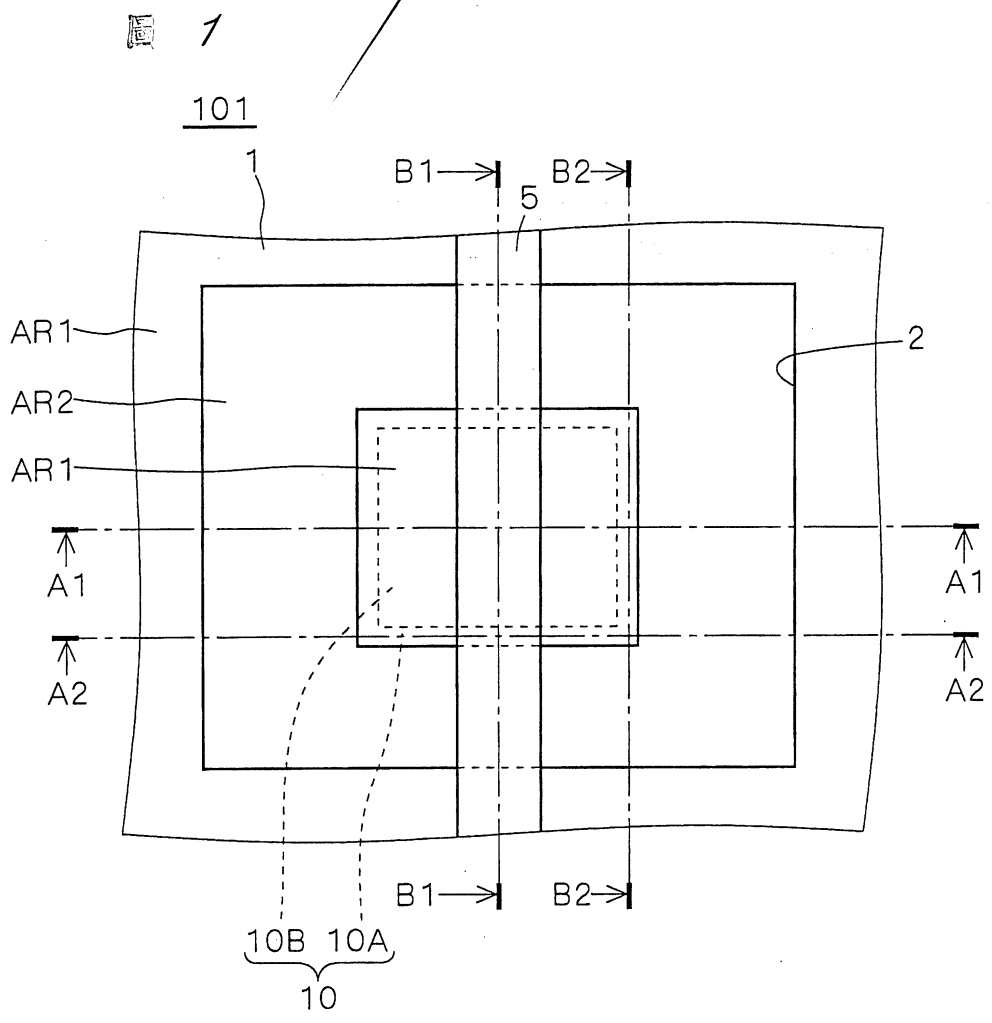


圖 3

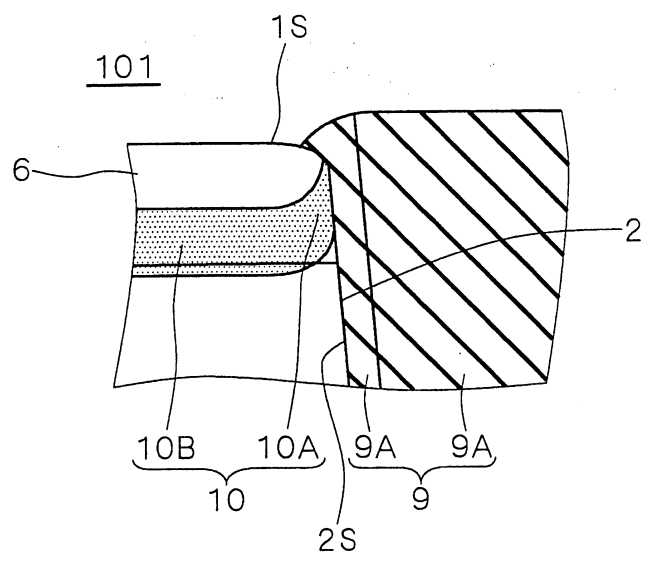


圖 4

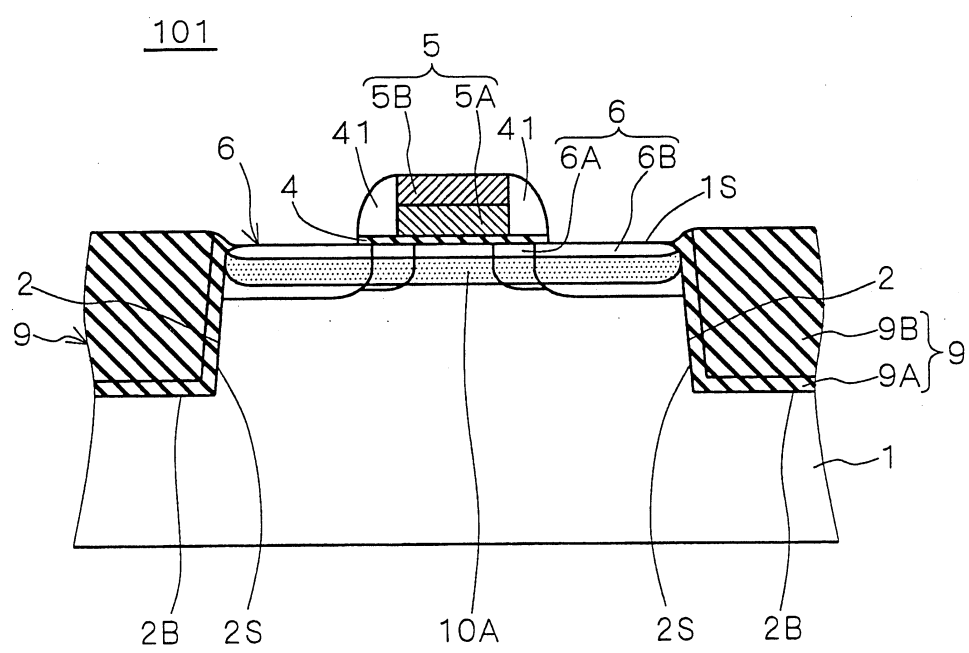


圖 5

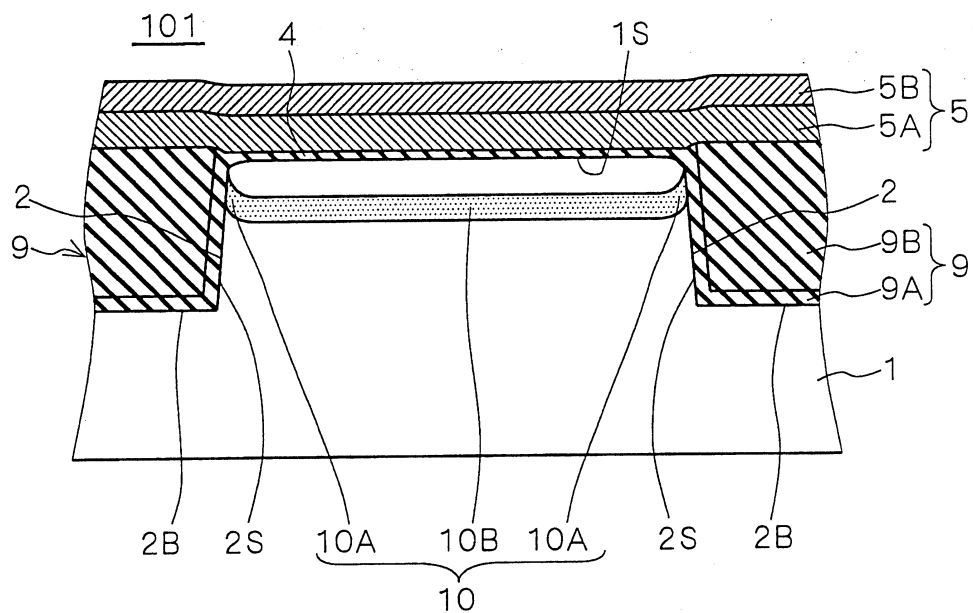


圖 6

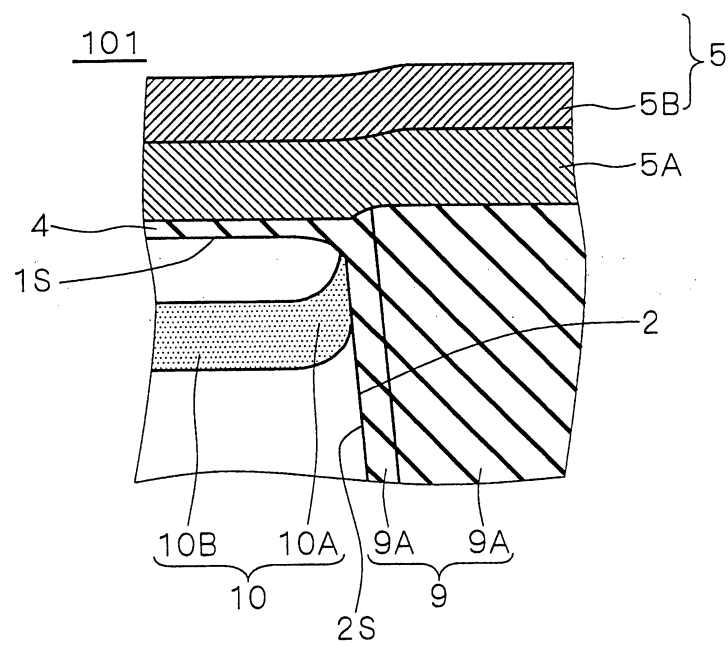


圖 7

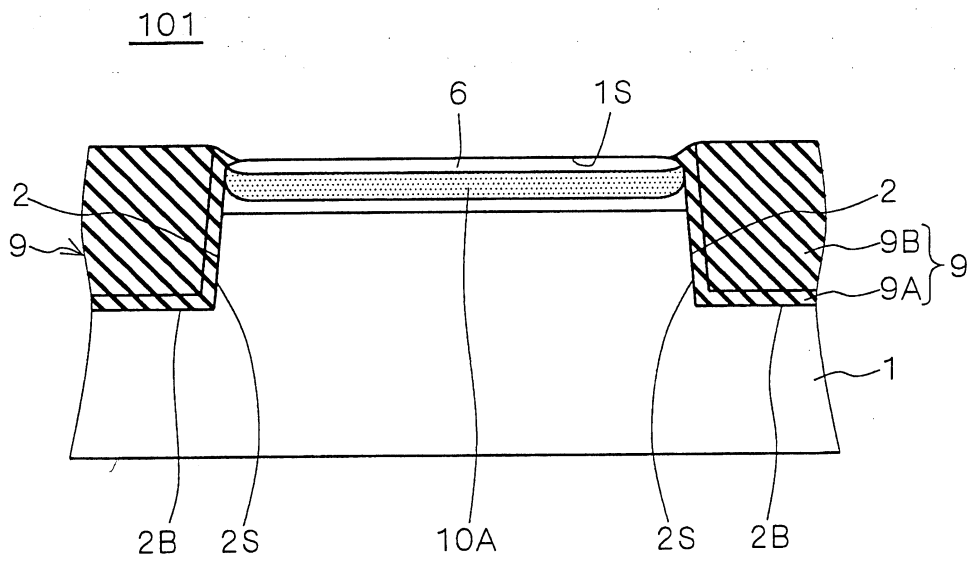


圖 8

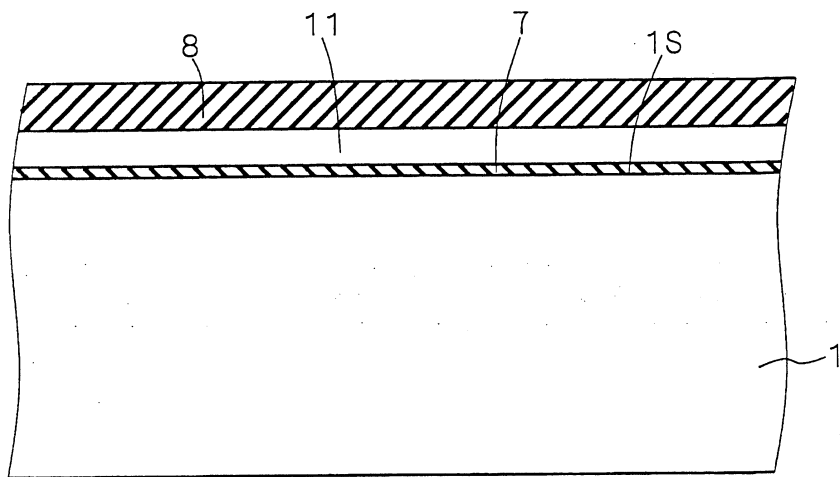


圖 9

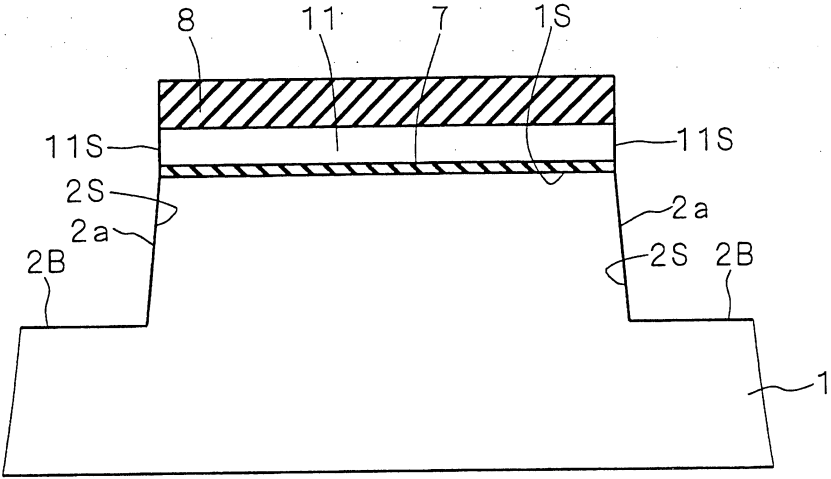


圖 10

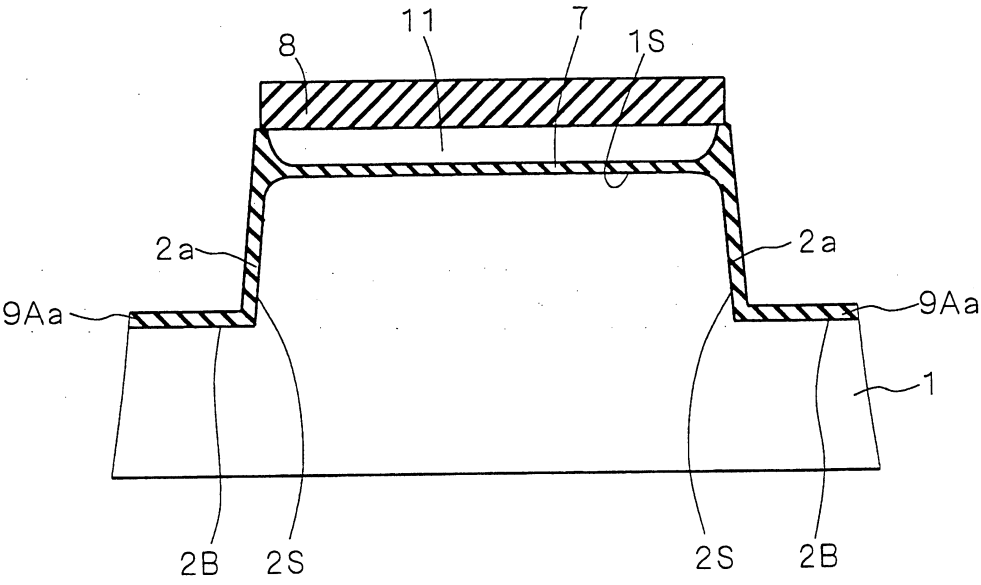


圖 1 1

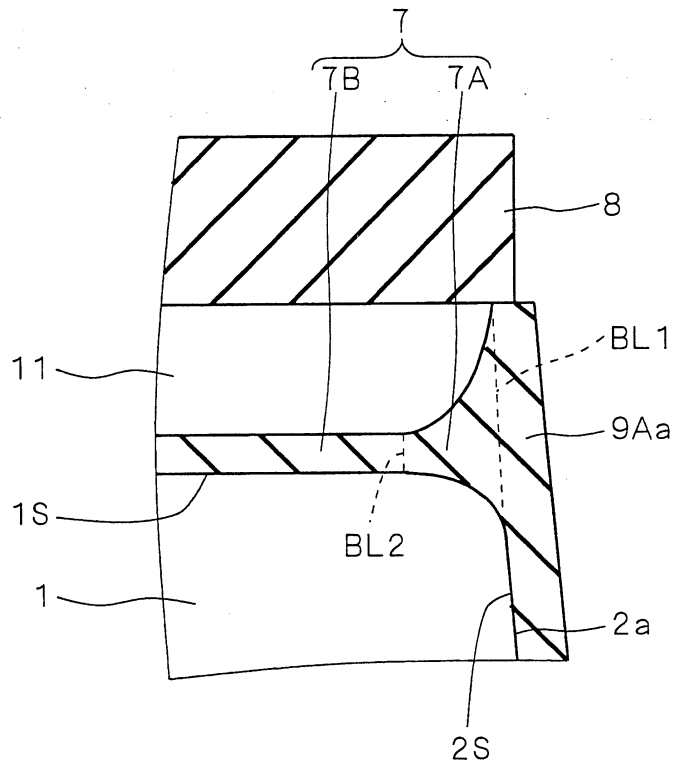
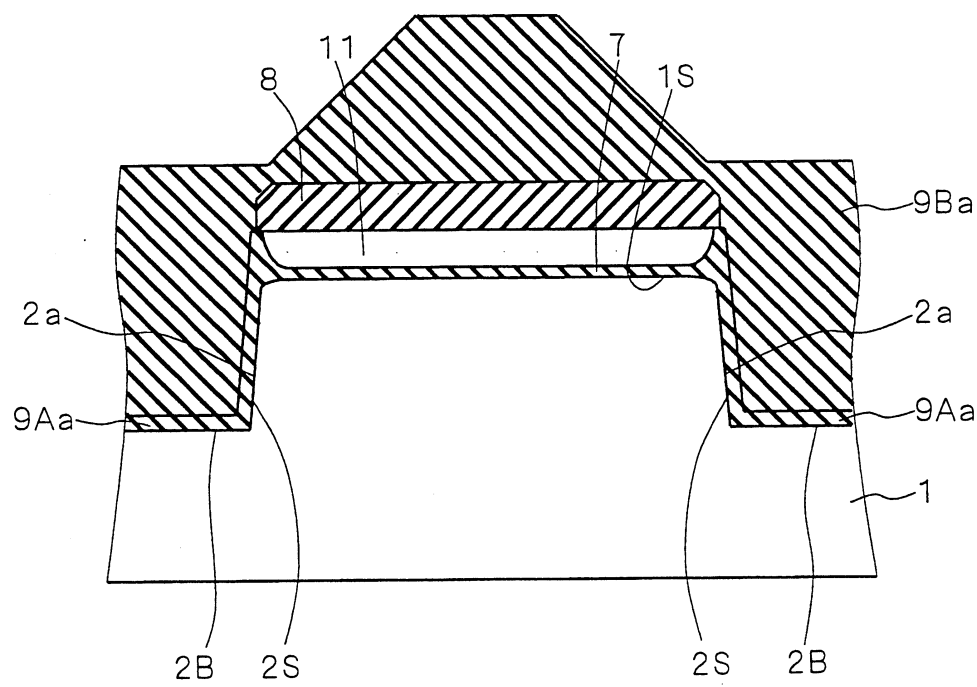
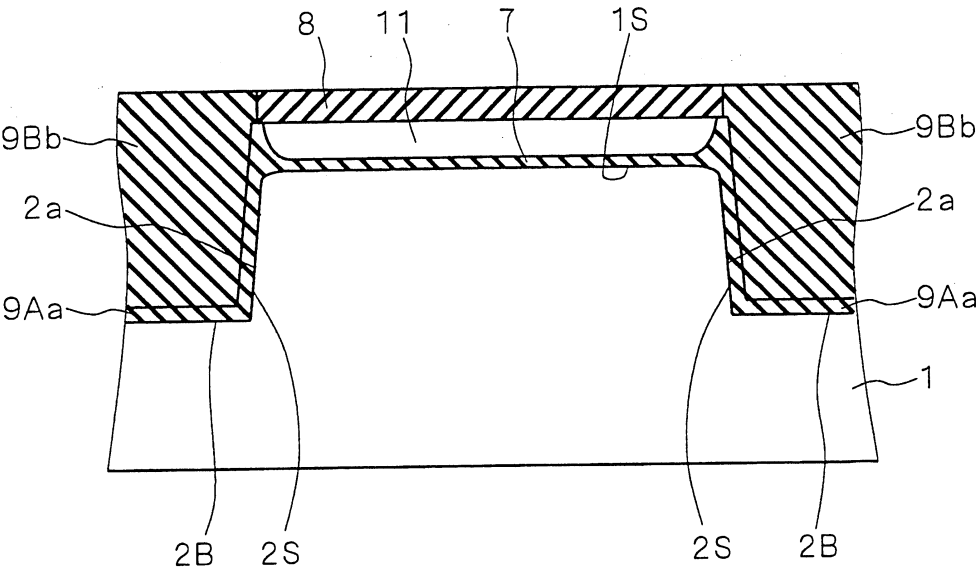


圖 1 2



13



14

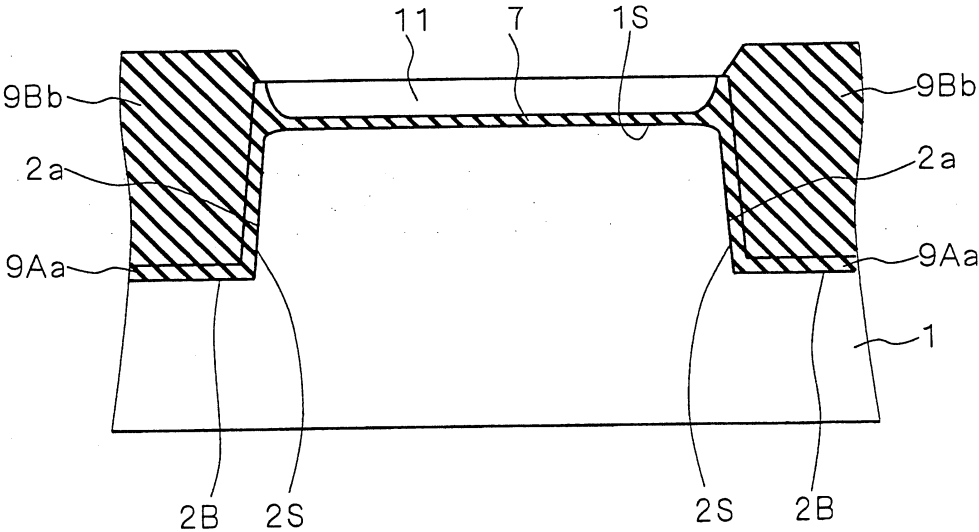


図 15

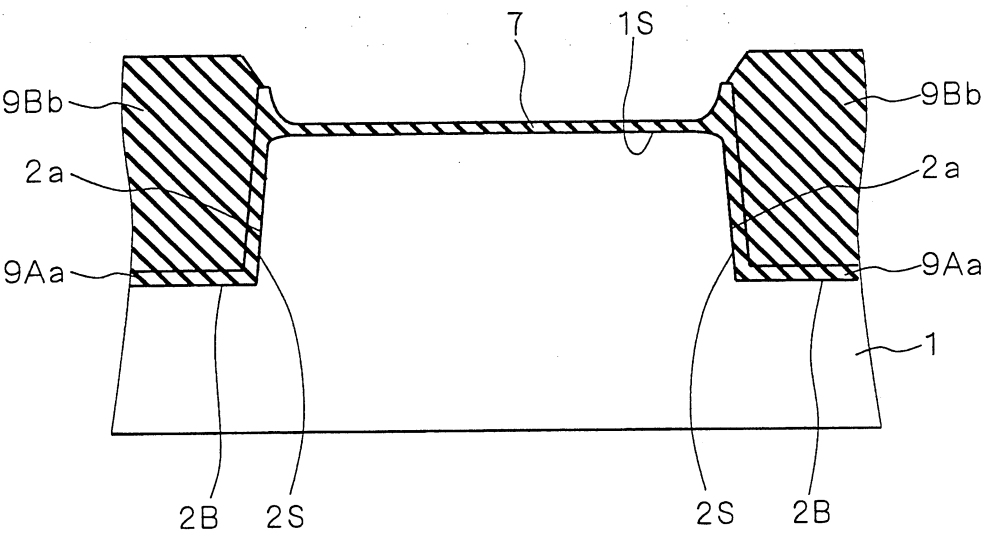


図 16

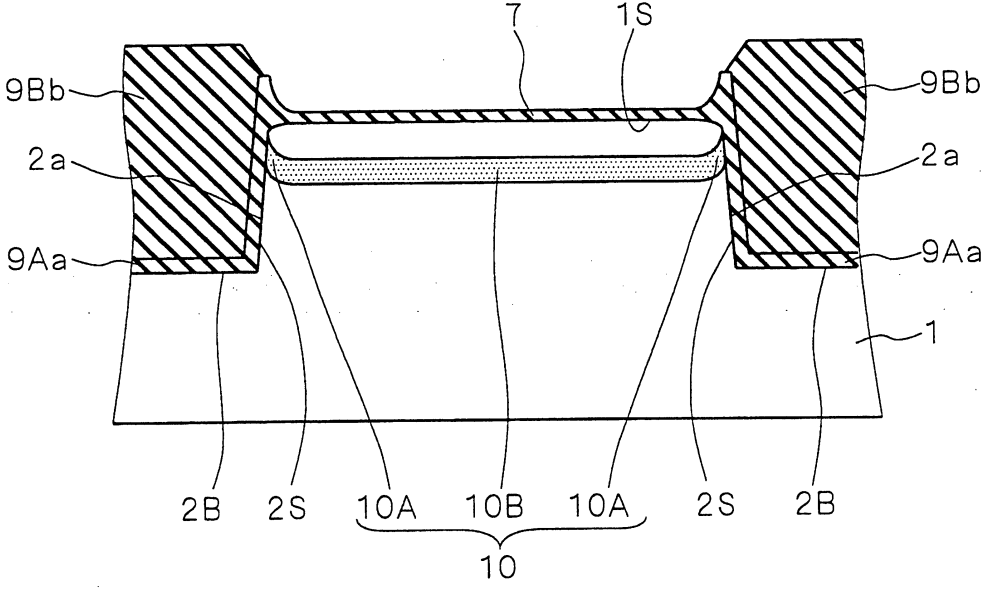


圖 17

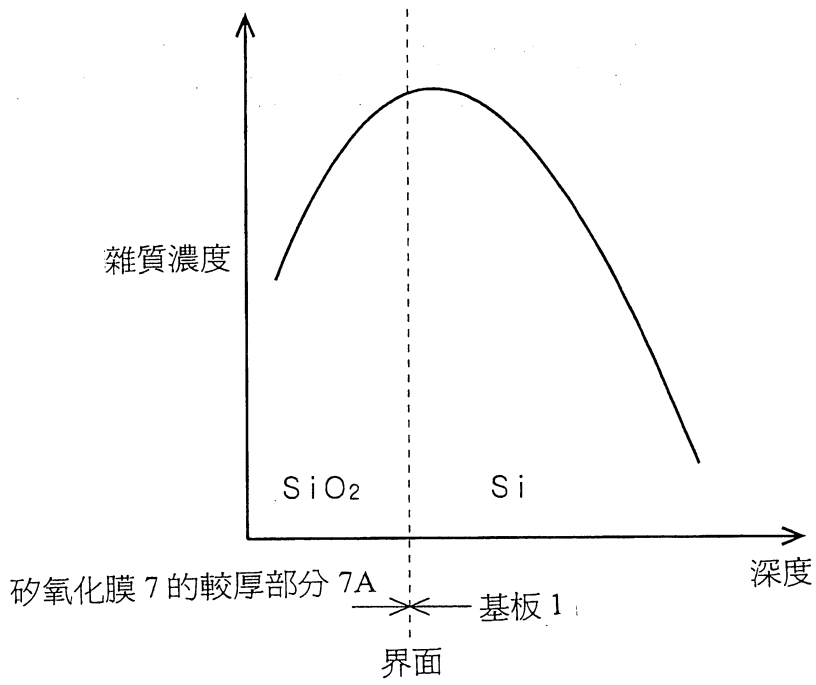


圖 18

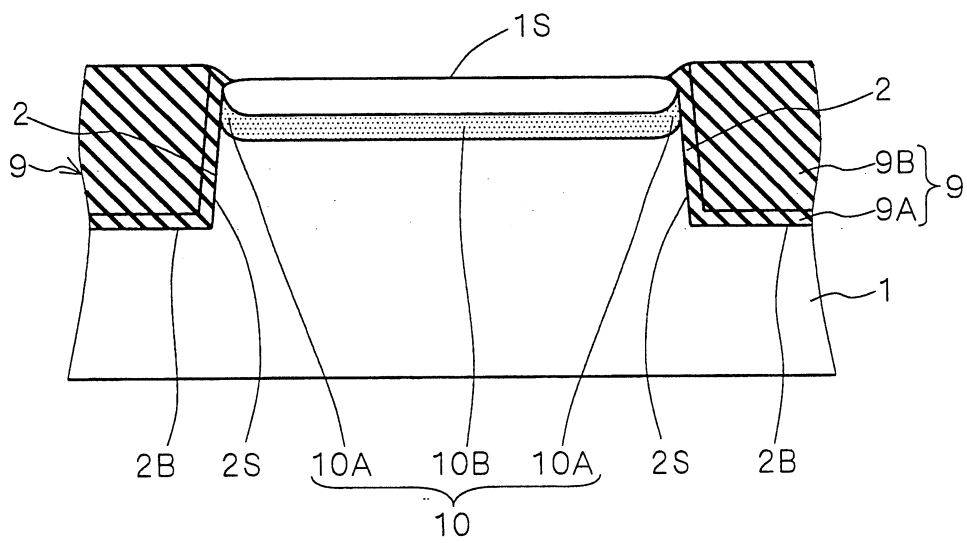


圖 19

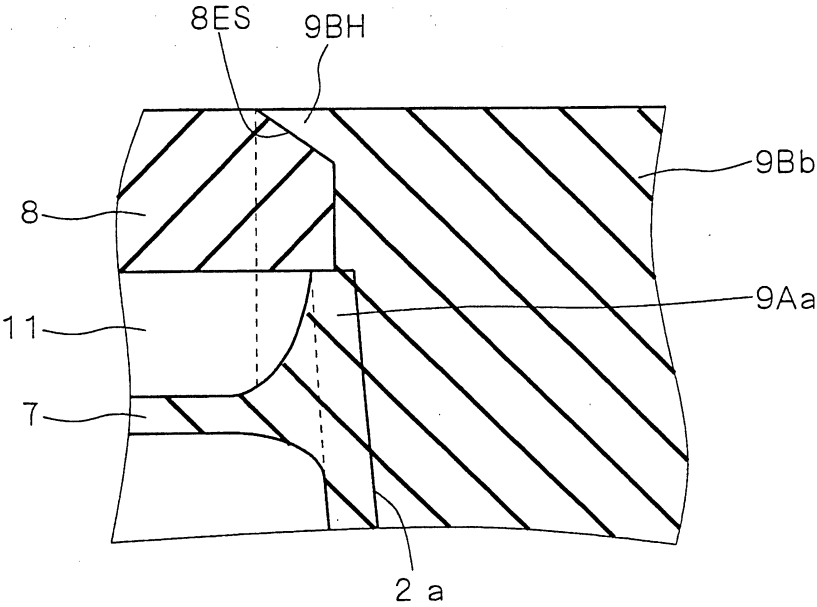


圖 20

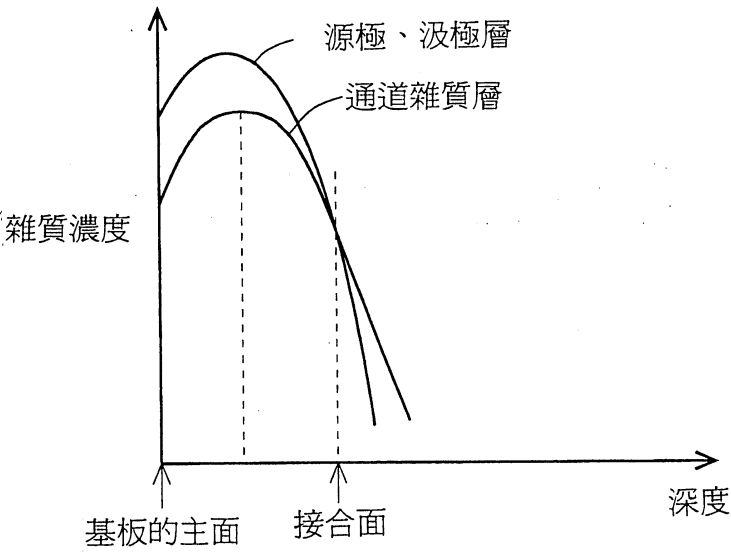


圖 21

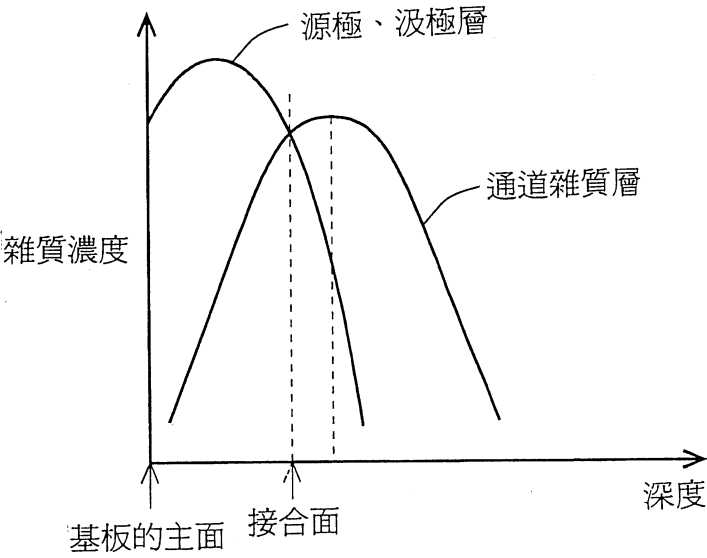
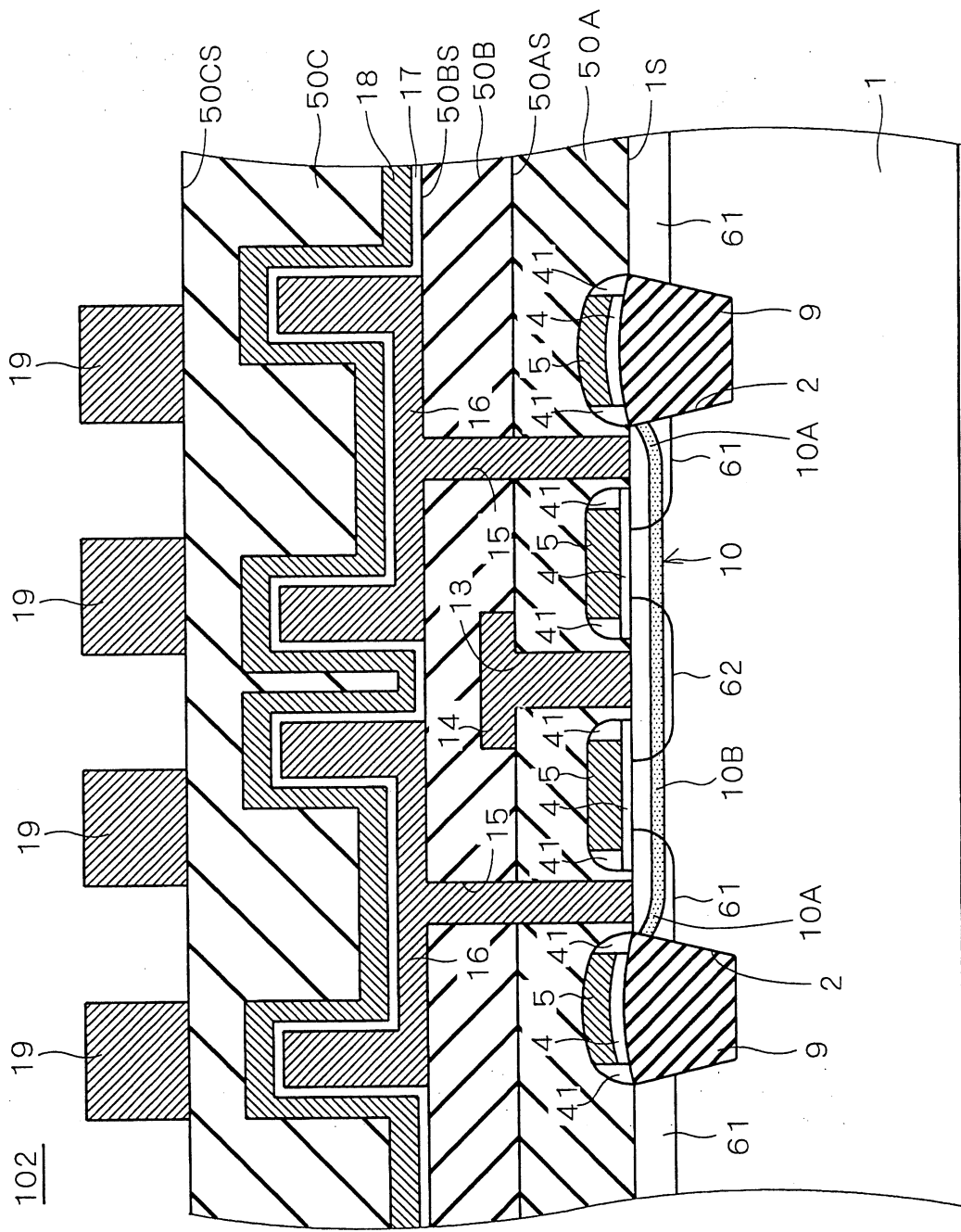
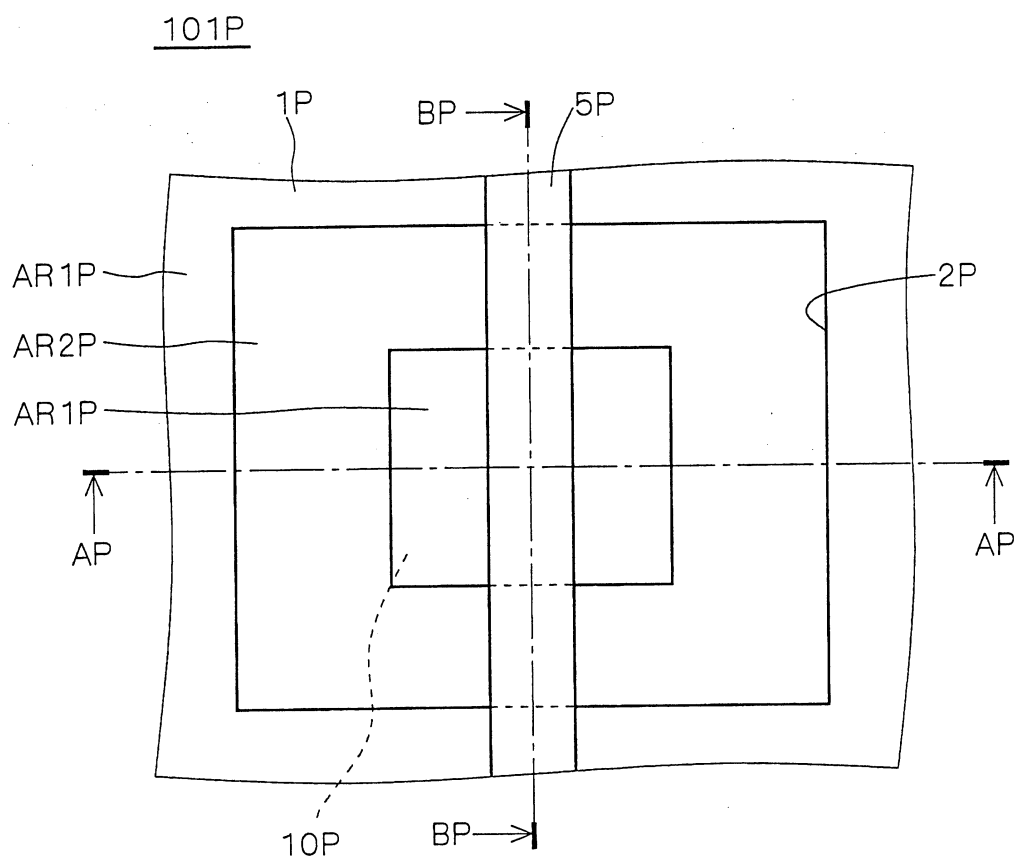


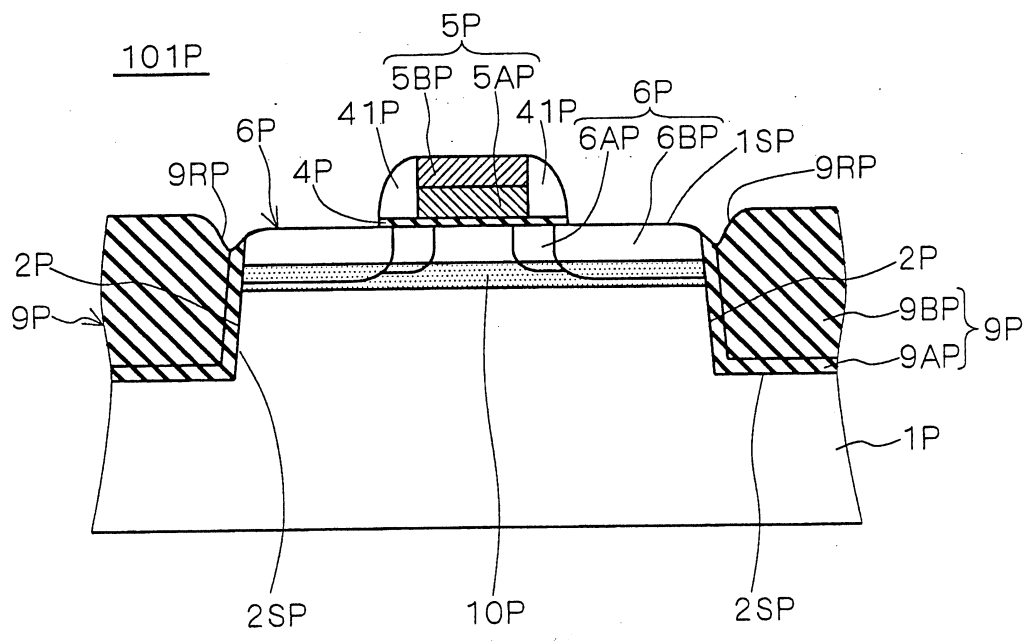
圖 22



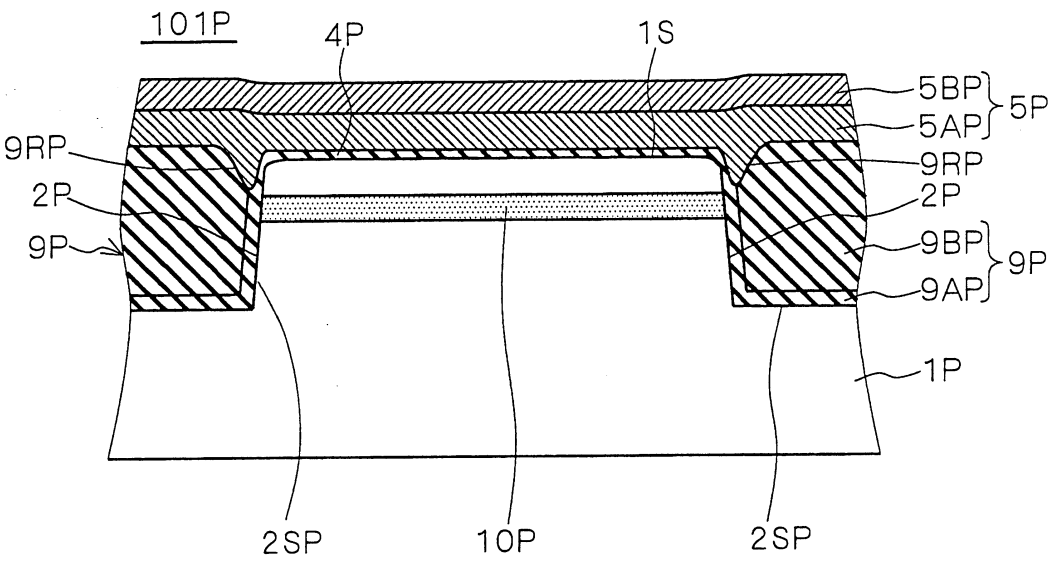
 23



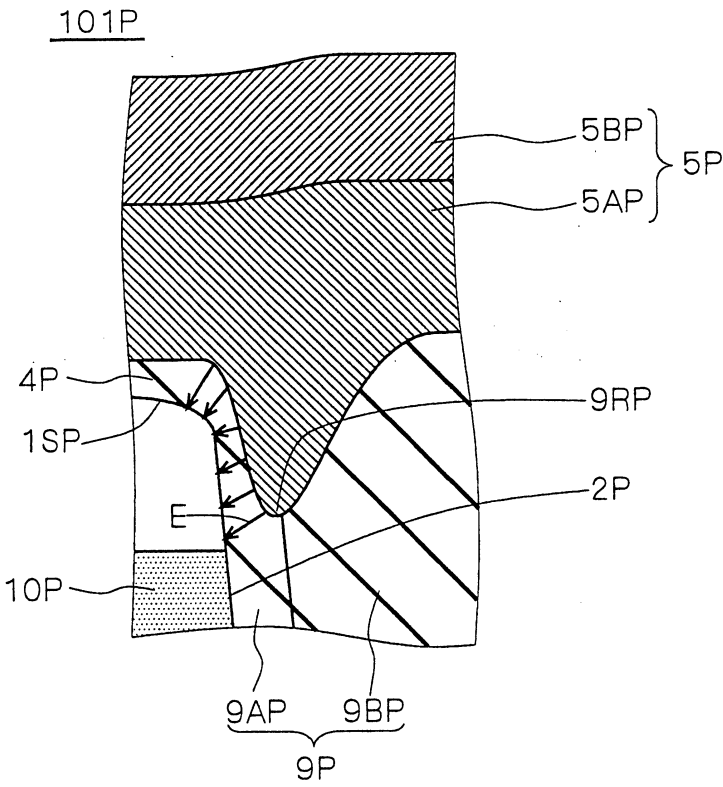
 24



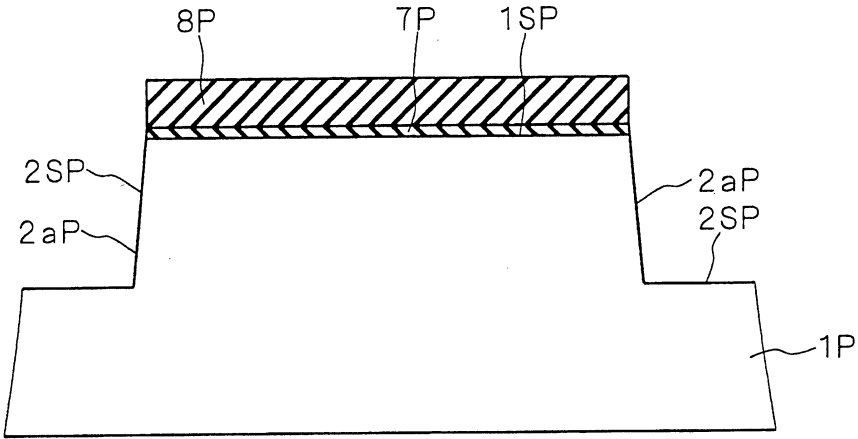
25



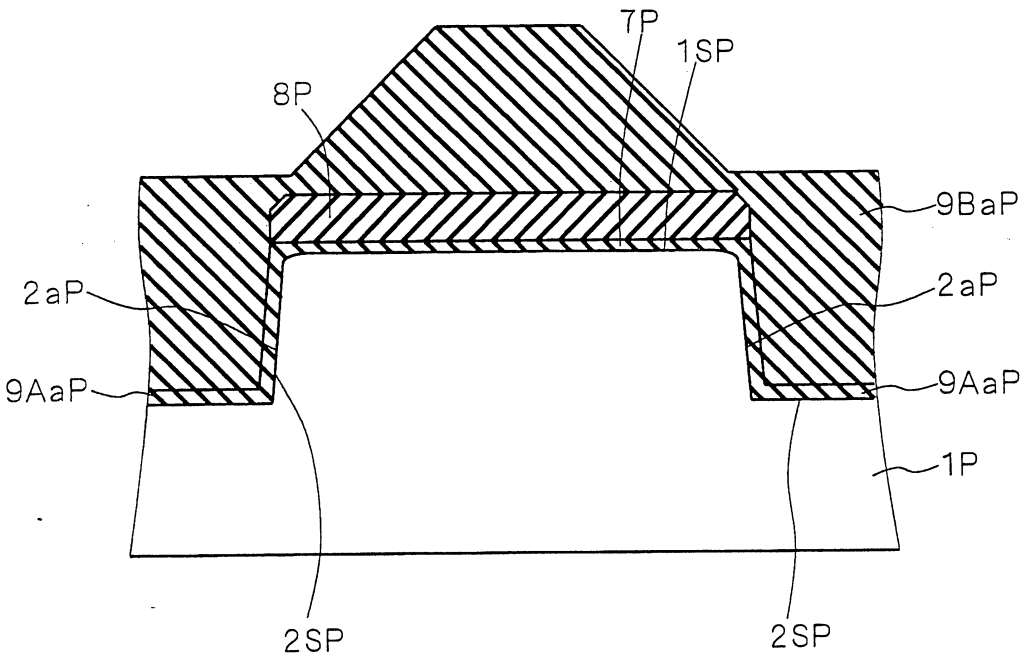
26



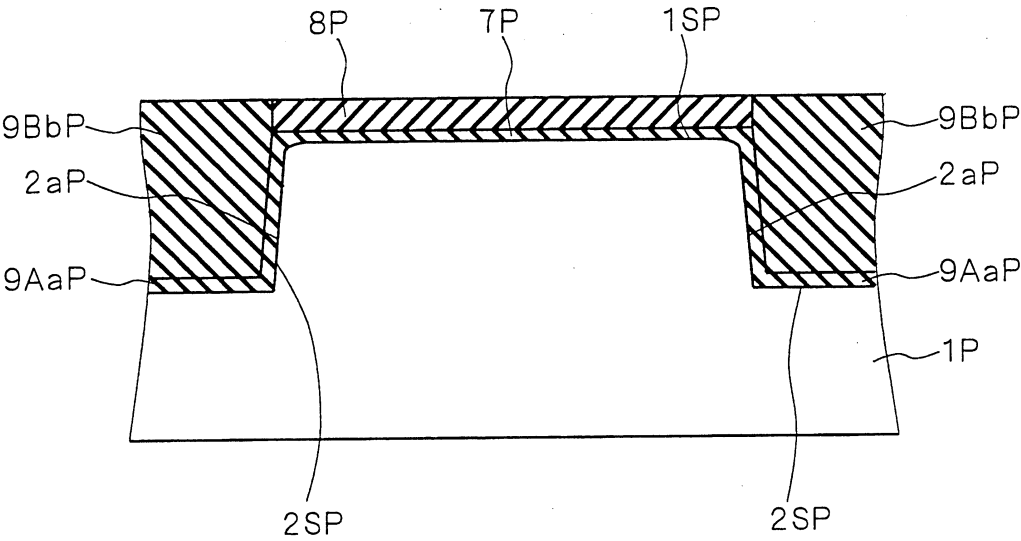
27



28



29



30

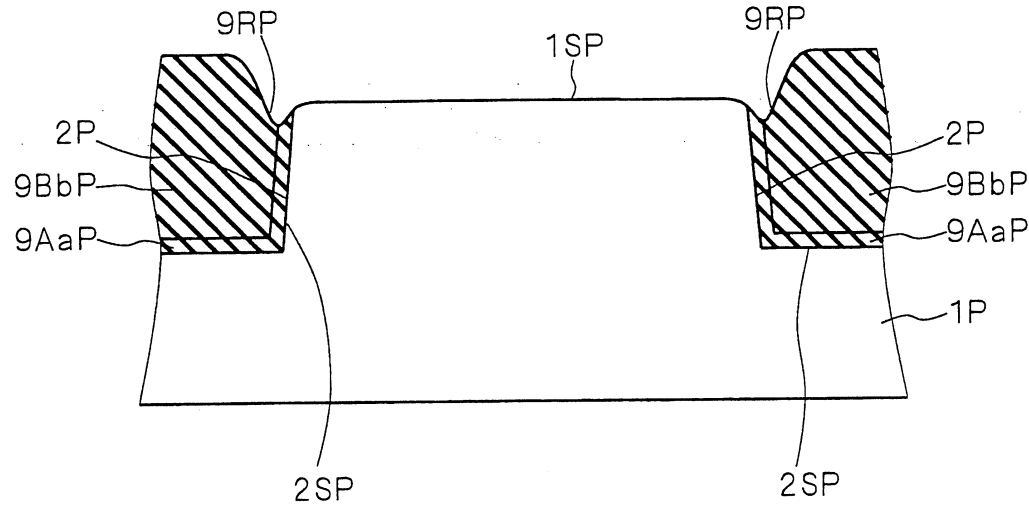


圖 31

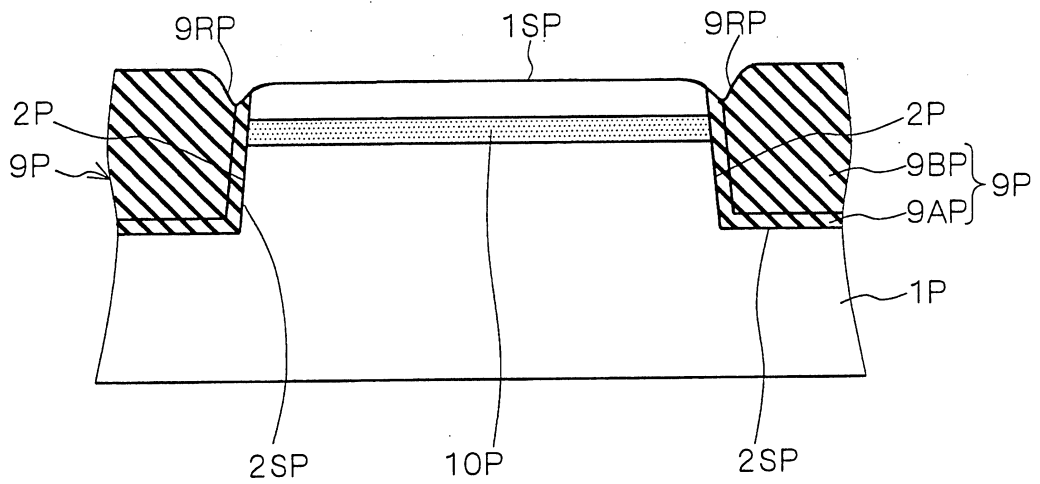


圖 32

