(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[8]
H01L 21/00 (2006.01)

(45) 공고일자 2006년02월28일
(11) 등록번호 10-0530677
(24) 등록일자 2005년11월17일

(21) 출원번호 10-1998-0011579
(22) 출원일자 1998년03월27일

(65) 공개번호 10-1998-0081004
(43) 공개일자 1998년11월25일

(30) 우선권주장 97-94607 1997년03월27일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 오누마 히데토
일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼(주)내

야마자키 순페이
일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼(주)내

나카지마 세츄오
일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼(주)내

오타니 히사시
일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼(주)내

(74) 대리인 정상구
이병호
신현문
이범래

심사관 : 김교홍

(54) 반도체장치를제조하는방법

요약

저온 처리의 이점을 유지하면서, 실리콘 포함 반도체막으로부터 촉매 원소를 제거한 반도체 장치를 제작하는 방법이 제공된다. 상기 방법은 촉매 원소를 사용해 결정화하도록 유리 기판상에 실리콘을 포함하는 비정질 반도체막을 형성하는 단계, 게터링 영역(gettering region)과 게터링될 영역을 형성하도록 15족에 속하는 불순물을 비정질 반도체막에 선택적으로 도입하는 단계 및 열처리에 의해 실리콘막에서 촉매 원소가 게터링 영역으로 이동하게 하는 단계를 구비한다. 게터링 처리를 통하여, 포함된 니켈의 농도가 충분히 감소된 결정질 실리콘막이 얻어질 수 있다.

대표도

도 2e

명세서

도면의 간단한 설명

도 1은 인의 도우즈(dose) 양과 니켈 농도 사이의 관계를 도시하는 그래프도.

도 2a 내지 도 2f는 게터링(gettering) 처리를 도시하는 설명도.

도 3a 내지 도 3f는 게터링 처리의 지속 시간 의존도를 도시하는 사진.

도 4는 160 x 200 μm의 패턴을 도시하는 사진의 개략도.

도 5는 게터링 기간과 분리 밀도 사이의 관계를 도시하는 그래프도.

도 6a 내지 도 6f는 게터링 처리의 온도 의존도를 도시하는 사진.

도 7은 게터링 온도와 분리 밀도 사이의 관계를 도시하는 그래프.

도 8a 내지 도 8f는 게터링 처리의 도우즈 조건 의존도를 도시하는 사진.

도 9a 및 도 9b는 P 및 B의 게터링 효과를 도시하는 사진.

도 10a 내지 도 10f는 게터링 처리 단계를 도시하는 설명도.

도 11a 내지 도 11e는 TFT의 제작 처리 단계를 도시하는 도면.

도 12a 및 도 12b는 TFT의 전기적인 특징을 도시하는 설명도.

도 13a 및 도 13b는 TFT의 전기적인 특징을 도시하는 설명도.

도 14는 링 발진기(ring oscillator)에 의해 측정된 결과를 도시하는 그래프.

도 15a 내지 도 15f는 TFT의 제작 처리 단계를 도시하는 도면.

도 16은 액정 디스플레이 장치의 단면 구조를 도시하는 도면.

도 17은 활성 매트릭스 기판의 구성을 도시하는 도면.

도 18a 내지 도 18f는 각각 본 발명이 적용될 수 있는 응용 제품의 예를 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명 *

201 : 유리 기판 203 : 비정질 실리콘막

204 : 니켈-포함층 205 : 결정질 실리콘-포함 반도체막

206 : 결정질 반도체막 207 : 레지스트 마스크(resist mask)

208, 209, 210 : 게터링된 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 박막을 사용해 반도체 장치를 제조하는 방법에 관한 것으로, 특히 실리콘을 포함하는 결정질 반도체막을 사용해 박막 트랜지스터(TFT)를 제조하는 방법에 관한 것이다.

부수적으로, 본 명세서에서 사용되는 "반도체 장치"란 말은 반도체를 사용함으로써 작동하는 모든 소자, 및 TFT와 같은 단일 소자 뿐만 아니라 전기 광학 장치도 포함하고, 이를 갖춘 응용 제품도 또한 반도체 장치의 범주내에 포함된다.

최근에는 유리 기판 등에 TFT를 형성함으로서 반도체 회로를 구성하는 기술이 신속하게 개발되었다. 이러한 반도체 회로로서는 활성 매트릭스형 액정 디스플레이 장치와 같은 전기 광학 소자가 전형적이다.

활성 매트릭스형 액정 디스플레이 장치는 같은 기판상에 픽셀 매트릭스 회로와 드라이버 회로가 제공되는 모놀리식 디스플레이 장치이다. 또한, 메모리 회로와 클럭 발생 회로와 같은 부가적인 내장형 논리 회로를 갖는 시스템 온 패널(system-on-panel)도 개발되었다.

이러한 드라이버 회로와 논리 회로는 고속으로 동작되도록 요구되므로, 비결정질 실리콘막(비정질 실리콘막)을 활성층으로 사용하는 것은 적절하지 않다. 그래서, 현재의 환경하에서는 결정질 실리콘막(폴리실리콘막)을 활성층으로 사용하는 TFT가 주로 사용된다.

본 발명자는 일본 특허 출원 공개 번호 평성 7-130652에서 유리 기판상에 결정질 실리콘막을 구하는 기술을 설명한다. 거기서 설명되는 기술에서는 결정화를 진행시키는 촉매 원소의 비정질막에 부가되고, 열처리를 실행함으로서 결정질 실리콘막이 형성된다.

이 기술은 촉매 원소의 작용에 의해 비정질 실리콘막의 결정화 온도를 50 내지 100℃ 만큼 더 낮출 수 있고, 결정화에 요구되는 시간도 1/5 내지 1/10으로 줄일 수 있다. 또한, 이 기술로 구해진 결정질 실리콘막이 뛰어난 결정성을 나타냄이 실험적으로 확인된다.

상술된 촉매 원소로는 니켈이나 코발트와 같은 금속 원소가 사용된다. 이러한 금속 원소는 캐리어를 포착하도록 실리콘막에서 깊은 레벨(deep level)을 형성하므로, 금속 원소가 TFT의 전기적인 특징 및 신뢰도에서 나쁜 영향을 갖게 되는 문제가 있다.

또한, TFT의 활성층에 남아있는 금속 원소는 불규칙적인 격리를 발생시키는 것으로 확인된다. 본 발명자는 이러한 분리된 영역이 약한 전류의 누설 경로를 형성하고, OFF 전류(즉, TFT가 OFF 상태일 때의 전류)의 갑작스런 증가를 일으킨다고 추정하였다.

따라서, 결정화 이후에, 촉매 원소는 신속히 제거되거나 전기적인 특성에 영향을 미치지 않는 저레벨로 감소되는 것이 바람직하다. 본 발명자는 이를 위한 수단으로 할로겐 원소의 게터링 효과가 사용되는 특허 출원을 이미 출원하였다.

그러나, 상기에 제안된 방법은 800℃ 이상의 고온에서 열 처리를 요구하므로, 낮은 열저항을 갖는 유리 기판이 사용될 수 없다. 즉, 촉매 원소를 사용해 저온 처리를 사용하는 이점이 효과적으로 사용될 수 없다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 환경하에서 제안된 것으로, 본 발명의 목적은 저온 처리의 특성을 사용하면서 결정질 실리콘 포함 반도체막으로부터 촉매 원소를 제거하거나 줄이는 기술을 제공하는 것이다.

본 발명의 한 특성에 따라, 반도체 장치를 제조하는 방법은:

절연 표면을 갖는 기판상에 실리콘을 포함하는 비정질 반도체막을 형성하는 제 1 단계와,

상기 비정질 반도체막의 결정화를 촉진하기 위하여 상기 비정질 반도체막에 촉매 원소를 주입하는 제 2 단계와,

열처리에 의해 상기 비정질 반도체막을 결정화하는 제 3 단계,

상기 제 3 단계에서 얻어진 실리콘 포함 반도체막에 15족에 속하는 불순물 원소를 선택적으로 주입하는 제 4 단계, 및

상기 불순물 원소가 도입된 영역에 열처리로 상기 촉매 원소를 게터링하는 제 5 단계를 구성하고, 이는:

상기 제 5 단계에서의 상기 열처리가 상기 기판의 유리 전이점을 넘지 않는 온도 범위에서 수행되는 것을 특징으로 한다.

본 발명의 또 다른 특성에 따라, 반도체 장치를 제조하는 방법은:

절연 표면을 갖는 기판상에 실리콘을 포함하는 비정질 반도체막을 형성하는 제 1 단계와,

상기 비정질 반도체막의 결정화를 촉진시키기 위하여 상기 비정질 반도체막에 촉매 원소를 선택적으로 주입하는 제 2 단계와,

열처리에 의해 상기 비정질 반도체막 중 적어도 일부를 결정화하는 제 3 단계와,

상기 제 3 단계에서 얻어진 실리콘 포함 반도체막에 15족에 속하는 불순물 원소를 선택적으로 주입하는 제 4 단계, 및

상기 불순물 원소가 도입된 영역에 열 처리로 상기 촉매 원소를 게터링하는 제 5 단계로 구성되고, 이는:

상기 제 5 단계에서의 상기 열 처리가 상기 기판의 유리 전이점을 넘지 않은 온도 범위에서 수행되는 것을 특징으로 한다.

부수적으로, 비정질 반도체막을 결정화하는 단계와 15족에 속하는 불순물 원소를 도입하는 단계 사이에는 반도체막에 레이저광 또는 강한 빛을 조사하는 단계가 제공될 수 있다.

본 발명의 주목적은 결정질 반도체막으로부터 실리콘을 포함하는 비정질 반도체막의 결정화에서 사용된 촉매 원소를 제거하는 것이고, 이는 15족에 속하는 것으로부터 선택된 성분의 게터링 효과를 사용함으로써 달성된다.

상기의 촉매 원소로 사용하기 위한 대표적인 원소로는 Ni(니켈), Co(코발트), Fe(철), Pd(팔라듐), Pt(백금), Cu(구리), 및 Au(금)이 포함된다. 본 발명자에 의해 행해진 실험에 따라, 니켈이 촉매 원소로 가장 적절한 것으로 발견되었다.

상술된 촉매 원소의 게터링에 사용되기 위한 15족에 속하는 원소로는 예로 N(질소), P(인), As(비소), Sb(안티몬), 및 Bi(창연)이 있다. 그러나, 이들 중 가장 효과적인 것은 인이다.

전형적인 예는 니켈이 촉매 원소로 사용되고 인이 게터 원소(15족에 속하는 원소)로 사용되는 경우이다. 이러한 경우에, 인과 니켈은 약 600℃에서 열처리가 가해질 때 안정된 결합 상태를 나타낸다. 이 경우에서의 가능한 결합 상태는 Ni_3P, Ni_5P_2, Ni_2P, Ni_3P_2, Ni_2P_3, NiP_2, 및 NiP_3이다.

상기에서 설명된 바와 같이, 니켈이 실리콘을 포함하는 비정질 반도체막의 결정화를 촉진하기 위한 촉매 원소로 사용되는 경우, 인, 즉 15족에 속하는 원소의 기능에 의해 니켈의 게터링이 가능하다. 그래서, 이 효과를 사용하여, 결정질 반도체막으로부터 촉매 원소를 제거하거나 줄이는 것이 가능하다.

일반적으로, 상기의 촉매 원소(금속 원소)는 입자 경계에서 안정된 상태를 갖기 때문에, 입자 경계에서 분리하기 쉽다. 예를 들면, 상기의 특징은 단일 결정질 실리콘으로부터 금속 원소를 게터링하는데 사용된다.

상기의 경우와 대조하여, 본 발명의 목적은 상기의 결정 경계를 갖는 결정질 반도체막으로부터 촉매 원소를 제거하는 것임을 주목하여야 한다. 이 개념은 종래 기술에서는 발견되지 않으므로, 본 발명의 특징적인 점이 된다.

발명의 구성 및 작용

본 발명은 도 2a 내지 도 2f와 다음의 실시예를 참고로 보다 상세히 설명된다.

먼저, 유리 기판상에는 실리콘을 포함하는 비정질 실리콘막(203)이 형성되고, 촉매 원소(니켈과 같은)를 사용하는 열처리로부터 결정질 실리콘-포함 반도체막(205)이 얻어진다. 이어서, 결정질 반도체막(205)에 레이저광을 조사함으로써, 개선된 결정성을 갖는 결정질 반도체막(206)이 얻어질 수 있다.

촉매 원소의 농도가 줄어드는 영역(즉, 게터링된 영역)은 레지스트 마스크(resist mask)(207)로 덮히고, 인(P) 주입의 도핑(doping) 단계는 도 2d에 도시된 바와 같이 실행된다. 그래서, 높은 농도로 인을 포함하는 영역(게터링된 영역)(208) 및 (209) 뿐만 아니라 게터링된 영역(210)이 형성된다.

게터링을 위한 열처리는 레지스트 마스크(207)를 제거한 이후에 수행되고, 게터링된 영역(210)에 존재하는 촉매 원소는 게터링 영역(208, 209)으로 이동하도록 허용된다.

마지막으로, 게터링된 영역(21)만이 선택적으로 남겨지도록 패턴화되어, 촉매 원소의 농도가 충분히 낮아진 결정질 반도체막(211)이 얻어진다.

실시예 1

본 실시예는 촉매 원소로서 니켈을 사용함으로써 결정화된 결정질 실리콘막(폴리실리콘막)으로부터 니켈을 게터링하기 위해 P(인)이 사용되는 수단 및 그 효과를 설명한다.

먼저 도 2a를 참고로, 유리 기판(201)상에는 플라스마 CVD(plasma CVD)를 통해 기본막인 200 nm 두께의 산화실리콘막(202)이 형성된다. 이어서, 저압의 열 CVD에 의해 (또는 플라스마 CVD에 의해) 50 nm 두께의 비정질 실리콘막(203)이 형성된다. 10 내지 75 nm(양호하게 15 내지 45 nm)의 두께로 형성된 비정질 실리콘막이 적절하다.

그렇지 않으면, Si_xGe_{1-x} (여기서, $0 < x < 1$)와 같이 실리콘을 포함하는 비정질 반도체가 비정질 실리콘막 대신에 사용될 수 있다.

비정질 실리콘막(203)의 결정화는 이후 실행된다. 처리 조건의 상세한 내용에 대해서는 일본 특허 출원 공개 번호 평성 8-130652에서 실시예 1의 설명을 참고할 수 있다.

산소 대기하에서 UV광을 조사함으로써 비정질 실리콘막(203)의 표면상에 매우 얇은 산화막(도시되지 않은)이 형성된다. 이 산화막의 기능은 그에 적용될 니켈을 포함하는 용액에 대해 비정질 실리콘막의 습기 흡수력을 개선시키는 것이다.

이어서, 10 ppm(무게로)의 니켈을 포함하는 니켈 아세테이트 용액이 결과로 주어진 구조에 적용된다. 스핀 코터(spin coater)를 이용해 과도하게 적용된 용액을 분출하여 제거함으로써, 매우 얇은 니켈 포함층(204)이 비정질 실리콘막(203)의 표면상에 형성된다.

일단 도 2a에 도시된 구조가 구해지면, 비정질 실리콘막(203)을 결정화하도록 기체 질소하에서 600℃의 열처리가 4시간 동안 실행된다. 이 결정화 단계는 결정질 실리콘막(205)을 제공한다(도 2b).

상술된 결정화 단계에 이어서 입자 경계를 갖는 다결정질 실리콘막(폴리실리콘막)이 이용가능하다. 그러나, 상술된 것과 다른 조건하에서 구해질 수 있는 미세결정질 실리콘막이 또한 수용가능하다.

상술된 열처리는 550 내지 700℃ (양호하게, 550 내지 650℃)의 온도 범위에서 전기 노(electric furnace)로 실행될 수 있다. 이 경우에, 가열 온도의 상부 제한치는 유리 기판의 열 저항을 고려하여 설정되어야 한다. 즉, 유리 기판의 유리 전이점보다 낮게 설정되어야 한다. 열 처리가 유리 전이점을 넘는 온도에서 실행되어야 하면, 유리 기판상에서는 뒤틀림, 오그라짐 등이 드러나게 발생된다.

상술된 열 처리는 노 어닐링(전기 노에서의 열처리)에 의해 실행된다. 그러나, 레이저 어닐링 또는 램프 어닐링과 같은 가열 수단을 사용하는 것이 또한 가능하다.

이와 같이 구해진 결정질 실리콘막(205)에 레이저광을 조사함으로서 개선된 결정성을 갖는 결정질 실리콘막(206)이 얻어진다. 본 실시예에서는 KrF 엑시머(excimer) 레이저(248 nm의 파장을 갖는)가 사용되지만, 예를 들면 XeCl 엑시머 레이저 또는 YAG 레이저가 또한 사용가능하다(도 2c).

본 실시예에서 사용되는 엑시머 레이저는 펄스 방사형이다. 그래서, 레이저가 조사되는 영역에서 용해와 응고가 동시에 반복적으로 발생된다. 즉, 엑시머 레이저의 조사에 의해 비평형 상태가 형성되고, 이는 니켈이 매우 이동가능하게 되는 상태를 실현한다.

도 2b를 참고로 결정화 단계에서 얻어진 결정질 실리콘막(205)은 불규칙적으로 남아있는 비정질 성분을 포함한다. 그러나, 레이저광을 조사하면, 이와 같이 남아있는 비정질 성분이 결정화된다. 그래서, 결정성이 상당히 개선될 수 있다. 또한, 레이저광을 조사하는 단계를 생략하는 것도 가능하다.

레이저광 조사가 완료되면, 결정질 실리콘막(206) 표면상의 산화막은 일단 제거되고, 얇은 산화막(도시되지 않은)이 다시 형성된다. 이 산화막은 기체 질소하에서 UV광을 조사함으로서 얻어질 수 있다. 결과로 주어진 구조상에는 레지스트 마스크(207)가 형성된다. 상술된 산화막은 레지스트 마스크(207)의 점착성을 증가시키는데 효과적이다.

이어서, P(인)를 도핑하는 단계가 플라스마 도핑(또는 이온 주입)에 의해 실행된다. 도핑은 RF 전력을 20 W로 설정하고, 5 내지 30 keV의 범위로 (대표적으로 10 keV) 전압을 가속시키고, 또한 인의 도우즈(dose)를 1 x 10^{13} ions/cm^2 이상으로 (양호하게, 5 x 10^{13} ions/cm^2 내지 5 x 10^{14} ions/cm^2의 범위로) 설정함으로서 이루어질 수 있다.

이후 설명되는 바와 같이, 도핑에 의해 인을 주입하는 최적 조건은 게터링의 나중 단계에서 실행되는 열 처리에 대한 조건에 따라 변한다. 그래서, 최적 조건은 처리 과정 및 경제적인 관찰시점으로부터 설정되어야 한다. 현재, 본 발명자는 가속 전압을 10 keV로 설정하고 도우즈를 1 x 10^{14} ions/cm^2 내지 5 x 10^{14} ions/cm^2의 범위로 설정하는 것이 유리하다고 믿는다.

본 발명에서, 인의 도핑 단계는 양호하게 인의 농도가 결정질 실리콘막(206)에 남아있는 니켈의 농도 보다 더 높은 수가 되도록 하는 조건을 설정함으로서 실행된다. 상술된 5 x 10^{14} ions/cm^2 의 도우즈는 약 4 x 10^{20} atoms/cm^3 의 농도에 대응한다.

본 발명자의 측정에 따라, 도 2b를 참고로 처리 단계의 완료시 결정질 실리콘막(206)에 남아있는 니켈의 최대 농도는 약 1 x 10^{19} atoms/cm^3 이다. 이 경우에, 도핑 조건은 인이 약 1 x 10^{20} atoms/cm^3 이상의 농도로 막에 남아있도록 설정될 수 있다.

인의 도핑은 도 2d에 도시된 영역(208, 209)(이후 "게터링 영역"이라 칭하여지는)에 이루어진다. 이 도핑 처리의 결과로, 게터링 영역(208, 209)은 인을 고농도로 포함하는 영역이 된다. 이들 영역은 그에 도핑되도록 가해진 이온의 임팩트에 의해 비정질이 된다.

영역(210)(이후 "게터링된 영역"이라 칭하여지는)은 레지스트 마스크(207)에 의해 보호되기 때문에 도핑되지 않게 유지된다. 그래서, 이는 막 형성시 얻어진 결정성을 유지하는 영역이 된다.

인의 도핑이 완료되면, 레지스트 마스크(207)를 제거한 이후에, 게터링을 위한 열처리가 실행된다. 그래서, 게터링된 영역(210) 내부에 남아있는 니켈은 게터링 영역(208, 209)으로 이동하도록 허용된다. 이와 같이, 니켈의 농도가 감소된 게터링된 영역(211)이 얻어질 수 있다(도 2e).

상술된 열처리는 불활성 대기, 기체 수소, 산화 대기, 또는 할로겐 원소를 포함하는 산화 대기하에 500℃ 이상의 온도 범위에서 (양호하게, 550 내지 650℃의 온도 범위에서) 이루어질 수 있다. 이 열 처리 지속 기간은 2시간 이상 (양호하게, 4 내지 12시간)이다.

이후 언급되는 바와 같이, 게터링 효과는 열처리의 온도 및 시간 길이에 따라 많이 변한다. 즉, 상술된 인의 도핑 조건과 유사하게, 최적 조건은 처리가 이루어지는 각 시간에 처리 및 경제적인 관찰시점으로부터 설정되어야 한다.

현재, 본 발명자는 대표적으로 약 8시간 동안 600℃의 온도에서 노 어닐링을 실행하는 것이 유리하다고 믿는다.

상술된 열처리 과정을 실행함으로서, 게터링된 영역(210) 내부에 남아있는 니켈은 게터링 영역(208, 209)으로 (화살표로 표시되는 방향으로) 전해진다. 이러한 니켈의 이동은 니켈을 동원시키는 상술된 레이저 효과 및 게터링 영역(208) 및 (209)이 비정질로 되는 효과에 의해 가속된다.

그래서, 게터링 영역(208, 209)을 패턴화로 제거함으로서 니켈 농도가 충분히 낮아진 아일랜드형 패턴(island-like pattern)(212)이 얻어진다. 도 2e에 도시된 게터링될 영역(211)에서, 게터링 영역(208, 209)과 접하는 주변 영역은 높은 농도로 니켈을 포함하기 때문에 양호하게 패턴화에서 제거된다(도 2f).

< 본 발명에 따른 실시예에서의 처리 조건 >

본 발명의 구성적인 요구는 (1) 촉매 원소(예를 들면, 니켈)를 사용해 실리콘을 포함하는 비정질 실리콘막을 결정화하는 단계; (2) 15족에 속하는 원소(인과 같은)를 선택적으로 도핑함으로서 게터링 영역을 형성하는 단계; 및 (3) 열처리를 실행함으로서 게터링된 영역에 남아있는 촉매 원소를 게터링 영역으로 이동시키는 단계이다.

상술된 요구 단계에서, 단계(2) 및 (3)은 특히 본 발명의 가장 큰 목적, 즉 "인을 사용한 촉매 원소의 게터링"과 연관된다. 이들 단계에서, 고려되는 대표적인 매개변수는 다음과 같은 4가지 점이다:

(a) 게터링을 실행하는 열 처리에 대한 처리 온도;

(b) 게터링을 실행하는 열 처리에 대한 처리 지속 기간;

(c) 주입 단계에서 인의 도우즈; 및

(d) 인의 주입에서 사용되는 가속 전압.

본 발명은 상술된 매개변수의 상호 관계에 의해 이루어져, 한 매개변수가 변하면, 나머지 파라미터에 대한 최적값도 또한 그에 따라 변한다. 그래서, 본 발명자에 의해 실행된 실험과 그로부터 얻어진 발견 내용이 이후 설명된다.

먼저, 도핑 단계가 30 keV의 가속 전압, 5 x 10^{14} ions/cm^2 의 도우즈, 및 2시간인 고정된 처리 지속 기간으로 수행되는 경우에 대해 파라미터의 온도 의존도가 설명된다. 도 6a 내지 도 6f의 사진은 각각 비어닐링 처리된 샘플에 대해 얻어진 실험 결과와, 각각 400℃, 450℃, 500℃, 550℃, 및 600℃에서 어닐링 처리된 샘플에 대해 얻어진 실험 결과를 도시한다.

실험에서는 게터링될 영역에 남아있는 니켈(니켈 규화물로 가정할 수 있는)을 선택적으로 제거한 이후에 발생된 홀(hole)의 수가 평가된다. 홀은 샘플이 실온에서 한 시간 동안 FPM(HF와 H_2O_2의 1:1 (몰의) 혼합)이라 칭하여지는 에천트(etchant)에 침전될 때 발생된다. 즉, 홀을 발생하는 정도가 높으면 높을수록, 남아있는 니켈의 농도는 더 높아진다.

본 실험에서는 사진의 좌측 중앙에 위치하는 160 x 200 μm 크기의 패턴(이후 "관찰 패턴"이라 칭하여지는)이 관찰된다. 이 사진은 도 4에 도시된 바와 같이 개략적으로 도시될 수 있다. 도 4에서는 게터링될 영역(401, 402)과 게터링 영역(403)이 도시된다. 관찰 패턴은 영역(401)에 대응한다.

도 6a 내지 도 6f의 사진을 참고로, 관찰 패턴내에서 홀의 수는 증가되는 온도에 따라 감소됨을 명백히 볼 수 있다. 이는 게터링 효율이 게터링에 대한 온도를 상승시킴에 따라 증가됨을 나타낸다.

상기에 설명된 경향은 도 7에서 요약된다. 도 7의 그래프에서, 가로 좌표는 처리 온도를 나타내고, 세로 좌표에서는 분리 밀도가 취해진다.

여기서 칭하여지는 분리 밀도는 단위 면적당 주어지는 홀의 수에 대응한다. 그러나, 게터링 효율은 그 경향이 게터링 영역의 형상에 따라 다르기 때문에 절대값이 아니다. 따라서, 분리 밀도는 간단하게 게터링 효율의 온도 의존도를 나타내는 인덱스로 사용된다.

도 7은 160 x 200 μm 크기의 패턴에 대해 얻어진 결과와, 참고로 20 x 100 μm 크기의 패턴에 대해 얻어진 결과를 도시한다. 두 결과 모두에서, 분리 밀도는 온도가 증가함에 따라 감소됨을 볼 수 있다. 특히, 20 x 100 μm 크기의 패턴에서, 분리 밀도는 160 x 200 μm 크기의 패턴에서 보다 더 급격히 감소되는 경향이 있음을 볼 수 있다.

그래서, 160 x 200 μm 크기의 패턴, 즉 본 실험에서 평가된 물체에서 얻어진 결과로부터, 도핑이 30 keV의 가속 전압, 5 x 10^{14} ions/cm^2, 및 2시간의 고정된 처리 기간으로 실행되는 경우에서 더 높은 처리 온도로 더 나은 결과가 얻어짐을 발견하였다. 특히, 600℃ 이상의 처리 온도가 바람직하다.

인을 사용하는 게터링 효과는 게터링 영역과 게터링된 영역 사이의 거리에 의존한다. 이는 게터링 현상이 막 평면과 평행한 방향으로 니켈을 이동시켜 진행된다는 사실에 기인한다.

160 x 200 μm 크기의 패턴의 경우에서, 더 짧은 모서리는 160 μm의 길이를 갖고, 패턴의 중심과 모서리 부분 사이의 거리는 게터링 영역과 게터링된 영역 사이의 거리에 대응한다. 이는 상술된 실험에서 얻어진 결과가 적어도 160 μm 이하의 거리에 적용가능함을 의미한다. 더욱이, 다른 패턴에서 관찰된 결과로부터, 본 실험에서 얻어진 것과 유사한 결과는 실제적으로 약 200 내지 250 μm의 거리에 대해 얻어질 수 있는 것으로 기대된다.

160 x 200 μm 크기의 활성층은 실질적으로 활성 매트릭스형 디스플레이 장치를 구성하는 TFT의 활성층 패턴에 속할 뿐만 아니라 특히 대형 크기의 TFT에 적절하다. 그래서, 실험 결과로부터 얻어지는 발견 내용은 실질적으로 활성 매트릭스형 디스플레이 장치를 구성하는 모든 TFT에 적용가능하다.

200 μm 이상의 짧은 모서리를 갖는 크기의 활성층은 드라이버 회로를 구성하는 TFT와 같이 제한된 사용에서만 사용된다. 그러나, 이러한 경우에는 예를 들면, 활성층을 다수의 부분으로 나눔으로서 불편함이 용이하게 회피될 수 있다. 더욱이, 도 7에서 20 x 100 μm 패턴에 대한 결과로부터 명백히 이해되는 바와 같이, 짧은 모서리의 길이를 감소시킴으로서 더 낮아지는 온도에서 더 명확한 게터링 효과가 이루어질 수 있다.

본 발명자는 유리 기판의 열-저항을 고려해 분리 밀도의 처리 지속 기간 의존도를 조사하기 위해 처리 온도의 상부 제한을 600℃로 설정한다. 이 실험에서, 처리 온도는 600℃로 고정되고, 또한 30 keV의 가속 전압과 5 x 10^{14} ions/cm^2의 도우즈로 도핑 조건이 고정된다.

도 3a 내지 도 3f의 사진은 각각 비어닐링 처리된 샘플로부터 얻어진 실험 결과와, 각각 1시간, 2시간, 4시간, 8시간, 및 24시간 동안 냉각 처리된 샘플로부터 얻어진 실험 결과를 도시한다. 관찰물은 온도 의존도를 조사하기 위한 실험에서 설명된 것과 유사한 패턴(160 x 200 μm 크기)으로, 홀이 관찰되고 평가에 대해 분리 밀도가 구해진다.

도 3a 내지 도 3f의 사진을 참고로, 게터링된 영역에서 발생되는 홀의 수는 처리 기간이 증가됨에 따라 감소됨을 명백히 볼 수 있다. 특히, 24시간의 처리 기간에서는 홀이 전혀 발생되지 않는다.

본 실험에서 본 발명자의 마지막 목적은 FPM 처리가 실행될 때 홀이 발생되지 않는 조건을 찾는 것이다. 그래서, 처리 기간이 24시간으로 설정된 경우만이 목표의 결정질 실리콘막을 얻을 수 있는 조건이다.

처리 지속 기간과 분리 밀도 사이의 관계는 도 3a 내지 도 3f에서 얻어진 결과를 근거로 도 5에 도시된다. 도 5에 도시된 그래프로부터 시간의 기간이 증가됨에 따라 분리 밀도가 감소되는 경향이 명백히 판독될 수 있다. 더욱이, 곡선 추정(curve fitting)에 의해, 10시간이 넘는 시간 기간에서는 홀이 발생되지 않는 것으로 기대될 수 있다. 짧은 모서리의 값이 작은 패턴, 즉 20 x 100 μm 크기의 패턴에서는 더 짧은 시간 기간이라도 처리하기에 충분한 것으로 확인되었다.

게터링 효율에서의 변화는 SIMS(secondary ion mass spectroscopy) 분석을 통해 연구된다. 그 결과로, 열 처리가 가해지지 않은 샘플에 대해 관찰된 약 7 x 10^{18} atoms/cm^3의 니켈 농도는 8시간 동안의 처리에 의해 약 3 x 10^{18} atoms/cm^3로 감소되는 것으로 확인된다. 더욱이, FPM 처리에 의한 에치 홀(etch hole)을 갖지 않고 24시간 동안 처리되는 샘플에 대해, 니켈의 농도는 검출 제한치(즉, 약 5 x 10^{17} atoms/cm^3 이하)로 감소되는 것으로 밝혀졌다.

여기서 얻어진 니켈 농도는 160 x 200 μm 크기의 패턴의 중앙 부분에서 지름이 30 μm인 영역에 대해 실행된 SIMS 분석으로부터의 결과이다. 측정된 값은 샘플의 깊이 방향으로 중앙 부분의 부근에서의 평균값(즉, 이 실험에서는 샘플 두께가 60 nm이기 때문에, 약 20 내지 30 nm의 깊이에서 취해진 평균값)으로 나타내진다.

그래서, 도 5에 도시된 160 x 200 μm 크기의 패턴에서 얻어진 결과로부터, 도핑이 30 keV의 가속 전압 및 5 x 10^{14} ions/cm^2의 도우즈에서 실행되는 경우에 10시간 이상의 처리 기간이 바람직하고, 게터링 처리는 600℃의 고정된 온도에서 실행되는 것으로 밝혀졌다.

그러나, 전체 제조 처리의 처리량을 고려하여, 너무 긴 처리 지속 기간은 바람직하지 않다. 그래서, 본 발명자는 유리 기판의 열 저항과 처리량을 고려하여 처리 지속 기간에 대한 상부 한계치를 10시간(양호하게, 8시간)으로 설정한다.

유리 기판의 열 저항과 전체 제조 처리의 처리량을 고려하여, 열 처리 조건은 600℃ 및 8시간의 기간으로 고정되고, 그에 의해 도핑 조건의 파라미터에 대한 의존도를 조사한다.

이 경우에, 도우즈를 1 x 10^{14} ions/cm^2에서 5 x 10^{14} ions/cm^2 및 2 x 10^{15} ions/cm^2 로 변화시키는 동안 가속 전압은 30 keV의 고정된 값으로 설정된다. 그에 대한 결과는 도 8a 내지 도 8c에 도시된다. 가속 전압은 고정된 값 10 keV로 설정되고, 도우즈는 1 x 10^{14} ions/cm^2에서 5 x 10^{14} ions/cm^2 및 2 x 10^{15} ions/cm^2 로 변화된다. 이와 같이 얻어진 결과는 도 8d 내지 도 8f에 도시된다. 게터링 효과는 상술된 것과 같은 방법으로 평가된다.

도 8a 내지 도 8c 및 도 8d 내지 도 8f를 참고로, 도우즈를 증가시킴에 따라 홀의 수가 감소하는 경향은 10 keV 및 30 keV의 경우 모두에서 관찰될 수 있다. 그러나, 2 x 10^{15} ions/cm^2 의 도우즈에서 발생되는 홀이 전혀 관찰되지 않는 30 keV의 가속 전압의 경우에 대조하여, 10 keV의 가속 전압이 적용되는 경우에서도 더 낮은 도우즈 5 x 10^{14} ions/cm^2 에서 같은 것이 얻어졌다.

또한, 홀 없이 얻어진 샘플에 SIMS 분석을 행함으로서, 니켈 농도가 검출 제한치로 감소되었음이 확인된다.

상기에서 얻어진 결과는 도 1의 그래프에서 요약된다. 도 1을 참고로, 가로 좌표는 인의 도우즈를 나타내는 반면, 세로 좌표는 샘플에 게터링 처리를 가한 이후에 게터링된 영역에 남아있는 잔여 니켈의 농도를 도시한다. 니켈의 농도는 상술된 방법에 의해 측정된다.

도 1에 도시된 바와 같이, 30 keV의 경우에는 인의 도우즈가 5 x 10^{15} ions/cm^2 로 설정되는 경우에서도 아직 약 3 x 10^{18} atoms/cm^3의 니켈이 남아있음을 볼 수 있다. 그러나, 니켈의 농도는 적어도 2 x 10^{15} ions/cm^2의 도우즈로 인을 부가함으로서 SIMS 분석의 검출 제한치로 감소될 수 있음이 확인된다.

실질적으로, 더 낮은 도우즈로 니켈 농도를 검출 제한치로 낮출 가능성이 있다. 이는 비록 도 1로부터 명백히 이해되지는 않지만, 본 발명자는 니켈 농도가 도우즈와 상관될 수 있는 것으로 믿는다. 상관관계가 있으면, 예를 들어 실리콘막에서 니켈과 인에 대한 확산 비율은 도우즈 및 니켈 농도와 상관관계가 있다.

한편, 현재에는 적어도 5 x 10^{14} ions/cm^2의 도우즈로 인을 부가함으로써 니켈 농도가 SIMS 분석의 검출 제한치로 줄어들 수 있는 것으로 확인된다. 그러나, 실제적인 경우, 니켈 농도는 더 낮은 도우즈의 양에 의해 SIMS 분석의 검출치로 줄어들 가능성이 있다.

SIMS 분석에 의해, 10 keV의 가속 전압이 사용되는 경우와 30 keV가 사용되는 경우 사이의 명확한 차이에 대한 이유는 인 이온을 도핑시킬 때 결과로 주어지는 이온 프로파일(ion profile)에서의 차이로 인한 것이 확인된다. 특히, 10 keV의 가속 전압에서 샘플로 부가되는 인의 농도는 실질적으로 30 keV의 가속 전압에서 보다 더 높다. 이는 게터링에서 구성되는 인이 전자의 경우에서 더 많이 이용가능함을 의미한다.

상기에서 얻어진 결과로부터, 게터링을 위한 열 처리가 600℃에서 8시간 동안 실행되는 경우에, 원하는 결정질 실리콘막(FPM 처리가 가해질 때 홀이 없는 막)은 양호하게 30 keV의 가속 전압과 2 x 10^{15} ions/cm^2 이상의 도우즈, 또는 10 keV의 가속 전압과 5 x 10^{14} ions/cm^2 이상의 도우즈으로 얻어질 수 있음을 볼 수 있다.

그러나, 실질적인 관찰시점으로부터, 가속 전압이 증가될 때는 도핑 장치에 대한 부하가 증가되고, 도우즈가 증가될 때는 그의 처리량이 손상될 것으로 기대된다. 따라서, 현재 가장 바람직한 조건은 10 keV의 가속 전압과 5 x 10^{14} ions/cm^2 이상의 도우즈를 사용하는 것이다.

부수적으로, 상술된 바와 같이, 10 keV의 가속 전압인 경우에, 도우즈가 5 x 10^{14} ions/cm^2 이상이면 니켈 농도가 검출 제한치로 얻어짐이 확인된다. 그러나, 실제로는 아직 더 낮은 도우즈가 니켈 농도의 더 낮은 검출 제한치를 얻는데 충분하다.

니켈 농도를 TFT 특징에 영향을 주지 않는 레벨로, 즉 1 x 10^{18} atoms/cm^3 이하의 농도로 낮추기 위해, 본 발명자는 이것이 아직 더 낮은 도우즈으로 인의 도핑을 실행함으로써 이루어질 수 있는 것으로 기대한다.

본 발명자는 인 대신에 그룹 13에 속하는 전형적인 원소, 즉 B(붕소)를 사용하는 경우의 효과를 조사하기 위해 비교 실험을 실행하였다. 그 결과는 도 9a 및 도 9b에 도시된다. 도 9a는 게터링을 위한 불순물로 인이 사용된 경우에 대한 사진이고, 도 9b는 붕소가 사용된 경우에 대한 사진이다.

도핑은 30 keV의 가속 전압 및 5 x 10^{14} ions/cm^2의 도우즈하에서 실행되고, 게터링을 위한 열 처리는 600℃의 온도로 8시간 동안 실행된다. 게터링의 효과는 에칭된 홀을 관찰하도록 FPM 처리를 사용한 방법에 의해 평가된다.

도 9a에 도시된 바와 같이 인으로 도핑된 샘플을 참고로, 160 x 200 μm 크기의 패턴에서 홀이 관찰되지 않아, 니켈은 완전히 게터링된 것으로 발견된다. 상기와 대조하여, 도 9b에 도시된 바와 같이 붕소로 도핑된 샘플에서는 전체적인 표면에 걸쳐 홀이 균일하게 관찰된다. 이러한 경향은 그룹 13에 속하는 다른 원소에 대해서도 동일하다.

상술된 바와 같이, 게터링 효과는 15족에 속하는 원소(특히, 인)에 특이하고, 그 효과는 그룹 13에 속하는 원소에 의해서는 얻어질 수 없는 것으로 확인된다.

결과적으로, 본 발명자에 의해 얻어진 실험 결과는 다음과 같다. 인을 사용한 니켈의 게터링 처리에서, 게터링을 위한 열 처리는 2개의 중요한 파라미터, 즉 처리 온도 및 처리 시간에 의해 지배되는 반면, 인의 도핑 단계에서는 가속 전압과 도우즈가 중요한 요소이다.

본 발명자의 실험에 따라, 더 높은 온도가 더 나은 결과를 산출한다는 결과가 얻어진다. 그러나, 본 발명의 목적을 고려하여, 즉 저온 처리의 이점을 고려하여, 유리 기판의 열 저항에 대해 온도의 상단 제한치는 양호하게 700℃(보다 양호하게, 550℃ 내지 650℃의 온도 범위에서, 대표적으로 600℃)로 설정된다.

비록 더 긴 처리 지속 기간이 더 나은 결과를 산출하는 것으로 나타나지만, 유리 기판의 열 저항과 제조 처리의 처리량을 고려하여, 그의 상단 제한치는 양호하게 24시간(보다 양호하게, 4 내지 12시간, 대표적으로 8 시간)으로 설정된다.

또한, 인에 대한 도핑 조건은 열 처리 조건을 600℃의 온도에 8시간 동안으로 설정함으로서 실험적으로 조사된다. 한 결과로, 니켈의 농도는 가속 전압을 10 keV로 설정하고 도우즈를 5 x 10^{14} atoms/cm^3으로 설정함으로서 검출 제한치로 낮추어질 수 있음이 발견된다.

니켈 농도를 1 x 10^{18} atoms/cm^3 이하로 낮춤으로서 요구가 충분히 이루어지면, 1 x 10^{13} ions/cm^2 이상의 도우즈(양호하게, 5 x 10^{13} atoms/cm^3 내지 5 x 10^{14} atoms/cm^3의 도우즈)에서 만족스러운 결과가 얻어질 수 있다.

실시예 2

본 실시예는 도 10a 내지 도 10f를 참고로 실시예 1과 다른 방법으로 비정질 반도체막을 결정화하는 예를 설명한다. 이 결정화 수단의 상세한 내용은 일본 특허 출원 공개 No. Hei 7-130652에서 설명되는 실시예 2를 참고한다.

도 10a를 참고로, 참고 번호(301)는 유리 기판을 나타내고, 그위에는 기본막(302)과 50 nm 두께의 비정질 실리콘막(303)이 형성된다. 이어서, 마스크 절연막(304)으로서 산화실리콘막이 형성되고, 거기에는 촉매 원소(본 실시예에서도 다시 니켈이 사용된다)를 선택적으로 부가하도록 개구 부분(305)이 제공된다.

이어서, 산소 대기하에서 UV광을 조사함으로서 비정질 실리콘막(303)의 노출 부분 표면상에는 매우 얇은 산화막(도시되지 않은)이 형성된다. 이 산화막은 비정질 실리콘막의 습기 흡수력을 개선하는 기능을 한다. 이어서, 결과로 주어진 구조에는 비정질 실리콘막(303)의 표면상에 매우 얇은 니켈 포함층(306)을 형성하도록 100 ppm(무게로)의 니켈을 포함하는 니켈 아세테이트 용액이 스핀 코드에 의해 적용된다(도 10a).

일단 도 10a에 도시된 구조가 얻어지면, 비정질 실리콘막(303)을 결정화하도록 기체 질소하에서 600℃의 열 처리가 8시간 동안 실행된다. 비정질 실리콘막(303)의 결정화는 니켈이 부가되는 영역으로부터 막 표면에 평행한 방향(측면 방향)으로 진행된다(도 10b).

이 결정화 단계에 따라 바늘이나 기둥형 결정의 집합체를 포함하는 다결정질 실리콘막(폴리실리콘막)이 형성됨을 주목하여야 한다. 본 발명자는 이 결정화된 영역을 "측면 성장 영역"이라 칭한다.

또한, 이와 같이 결정화로 얻어진 막은 3개 영역으로 분류될 수 있다: (1) 니켈 부가 영역(307)(결정질 실리콘막); (2) 측면 성장 영역(308)(결정질 실리콘막); 및 (3) 측면 성장되지 않은 영역(309)(비정질 실리콘막). 이후의 설명에서, 최종적으로 요구되는 영역은 측면 성장 영역(308)이기 때문에, 측면 성장 영역(308) 이외의 영역은 참고하지 않는다.

이어서, 이와 같이 얻어진 결정질 실리콘막에는 레이저 조사가 실행된다. 그 결과로, 측면 성장 영역(308)으로부터 결정화가 상당히 개선된 결정질 실리콘막(310)이 얻어진다. 본 실시예에서는 KrF 엑사이머 레이저가 사용된다(도 10c).

레이저 조사가 완료되면, P(인)를 도핑하는 단계를 실행하도록 결과의 구조에는 레지스트 마스트(311)가 형성된다. 도핑은 실시예 1에 따른 조건을 적절히 설정함으로서 실행된다. 조건은 이후의 게터링 단계를 위한 열 처리 조건을 고려하여 결정되는 것이 바람직하다(도 10d).

그래서, 본 실시예에서는 도핑이 인의 도우즈를 5×10^{14} ions/cm^3 으로 설정하는 동안에 RF 전력을 20 W로 설정하고 가속 전압을 10 keV로 설정함으로서 실행된다. 이러한 인의 도핑 단계가 완료되면, 게터링 영역(312) 및 (313)과 게터링될 영역(314)이 형성된다.

인의 도핑이 완료되면, 레지스트 마스크(311)는 게터링을 위한 열 처리를 실행하도록 제거된다. 그래서, 게터링된 영역(314) 내부에 남아있는 니켈은 게터링 영역(312) 및 (313)으로 이동하도록(화살표로 표시된 방향으로) 허용된다. 이와 같이, 니켈의 농도가 감소된 게터링된 영역(315)이 얻어진다(도 10e).

상술된 열 처리 조건은 요구에 의존하여 실시예 1에 따라 적절히 결정된다. 그러나, 앞서 언급된 바와 같이, 처리 시간 및 처리 온도에 대한 상단 제한치는 유리 기판의 열 저항을 고려해 설정되어야 한다.

이어서, 패턴에 의해 게터링 영역(312) 및 (313)을 제거함으로서 니켈 농도가 충분히 낮아진 아일랜드(island)형의 패턴(316)이 얻어진다. 게터링 영역(312) 및 (313)과 접하는 주변 부분은 양호하게 패턴화에서 제거된다(도 10f).

본 실시예에 따른 결정화 수단이 사용되는 경우에서, 도 10b에 도시된 결정화 단계 이후에 얻어진 측면 성장 영역(308)은 니켈 농도가 니켈을 직접 부가했던 영역 보다 더 낮은 특성을 갖는다.

즉, 초기에는 게터링될 영역의 니켈 농도가 낮기 때문에, 본 실시예에 따른 결정화 수단은 실시예 1에서 설명된 수단과 비교해 처리 허용도면에서 더 유리하다. 특히, 게터링에서의 처리 온도가 더 낮게 설정되거나 처리 지속 기간이 단축될 수 있다.

실시예 3

본 실시예는 상보적인 구조로 제공되는 N 채널형 TFT와 P 채널형 TFT를 갖는 CMOS 회로를 제작하는 처리를 설명한다.

도 11a를 참고로, 참고 번호(11)는 유리 기판을 나타내고, (12)는 기본막, (13)은 N 채널형 TFT의 활성층, 또한 (14)는 P 채널형의 활성층을 나타낸다. 활성층(13) 및 (14)는 예를 들면, 도 2f에 도시된 아일랜드형의 패턴(212)을 사용해 형성될 수 있다.

이어서, 게이트 절연막(15)을 구하도록 플라스마 CVD나 저압의 열적 CVD에 의해 150 nm 두께의 산화 실리콘막이 형성된다(도 11a).

이후, 기본적인 성분으로 알루미늄을 포함하는 금속막이 형성되고, 이는 나중 단계에서 사용되는 게이트 전극을 위한 프로토타입(prototype)을 제공하도록 패턴화된다. 이때에는 일본 특허 출원 공개 번호 평성 7-135318에서 본 발명자에 의해 설명된 기술이 적용된다. 상술된 특허 출원에서 설명된 기술을 사용함으로써, 통기성 양극 산화막(16) 및 (17) 뿐만 아니라 조밀성 양극 산화막(18) 및 (19)과, 게이트 전극(20) 및 (21)이 형성된다.

게이트 절연막(15)은 게이트 전극(20) 및 (21)과 통기성 양극 산화막(16) 및 (17)을 마스크로 사용하여 에칭된다. 그래서, 절연막(22) 및 (23)이 얻어진다. 이어서, 통기성 양극 산화막(16) 및 (17)은 제거된다. 이와 같이, 게이터 절연막(22) 및 (23)의 노출된 모서리 부분을 포함하는 구조가 얻어진다(도 11b).

이어서, N 형 전도성을 첨가하는 불순물 이온이 이온 주입이나 플라스마 도핑에 의해 두 번 부가된다. 본 실시예에서, 불순물의 제 1 부가는 n- 영역을 형성하도록 높은 가속 전압으로 실행된다.

이 경우에는 가속 전압이 높으므로, 불순물 이온이 활성층의 노출면 뿐만이 아니라 이와 같이 노출된 게이트 절연막 중 모서리 부분하의 더 낮은 부분에도 부가된다. n- 영역의 도우즈는 n- 영역이 나중에 LDD(lightly doped drain) 영역(약 1 x 10^{18} atoms/cm^3 내지 1 x 10^{19} atoms/cm^3의 범위의 농도로 불순물을 포함하는)이 되도록 설정된다.

불순물의 제 2 부가는 n+ 영역을 형성하도록 낮은 가속 전압으로 실행된다. 이 경우에는 가속 전압이 낮기 때문에, 게이트 절연막이 마스크 기능을 한다. 또한, n+ 영역이 나중에 소스/드레인 영역으로 동작하기 때문에, 이는 양호하게 면저항이 500Ω 이하(양호하게, 300Ω 이하)의 값을 산출하도록 제어된다.

그래서, N 채널형 TFT에 대해 소스 영역(24), 드레인 영역(25), 저농도 불순물 영역(26), 및 채널 형성 영역(17)이 얻어진다. 이 상태에서, P 채널형 TFT의 활성층에 대해 같은 구조가 얻어진다(도 11c).

이어서, N 채널형 TFT를 덮은 방법으로 레지스트 마스크(28)가 제공되고, P 형 전도성을 첨가하기 위한 불순물 이온이 부가된다. 이 단계는 또한 상술된 불순물 부가 단계에서와 같이 두 번으로 나누어 실행된다. 그러나, 전도성 종류가 N 형에서 P 형으로 반전되어야 하므로, 불순물 이온은 N 채널형 TFT를 형성하는 단계에서 사용되는 것 보다 약 2 내지 3배 더 많은 양으로 부가되어야 함을 주목한다.

그래서, P 채널형 TFT에 대해 소스 영역(29), 드레인 영역(30), 저농도 불순물 영역(31), 및 채널 형성 영역(32)이 얻어진다(도 11d).

일단 상술된 바와 같이 활성층이 완료되면, 이온 부가 동안에 발생된 손상을 회복하고 불순물 이온을 활성화시키도록 노어닐링, 레이저 어닐링, 또는 램프 어닐링이 실행된다.

이어서, 중간층 절연막(33)이 500 nm의 두께로 형성된다. 중간층 절연막(33)으로는 산화실리콘막, 질화실리콘막, 질산화실리콘막, 유기 합성수지막, 또는 적층막의 그룹으로부터 선택된 적어도 하나가 사용된다.

도 11e에 도시된 상태는 이후에 접촉홀을 형성하고 소스 라인(34) 및 (35)과 드레인 라인(36)을 형성함으로서 얻어진다. 최종적으로, 전체 구조의 수소화를 이루도록 수소 대기하에서 열처리를 적용함으로서 CMOS 회로가 얻어진다.

본 예에서 설명되는 CMOS 회로는 또한 인버터 회로로 공지되어 있고, 반도체 회로를 구성하는 기본적인 회로이다. 이러한 인버터 회로를 조합함으로서, NAND 회로나 NOR 회로와 같은 기본적인 논리 회로가 얻어질 수 있고, 그로부터 더 복잡한 논리 회로가 구성될 수 있다.

상기에서 얻어진 TFT는 채널 형성 영역(27) 및 (32)이나 두 끝부분에서의 접합부에 니켈과 같은 촉매 원소를 거의 포함하지 않는다. 그래서, 전기적인 특징이 이러한 촉매 원소에 의해 손상되지 않고 유지됨을 알 수 있다. 따라서, 본 발명에 따른 처리에 의해 매우 확실한 TFT, CMOS 회로, 또는 반도체 회로가 구성될 수 있다.

다음의 설명에서는 본 발명에 따라 얻어진 TFT의 전기적인 특징(즉, TFT 특징)이 본 발명의 기술을 사용하지 않고 제작된 TFT와 비교해 설명된다. 특히, 여기서 칭하여지는 TFT 특징은 가로 좌표에 게이트 전압(Vg)을 취하고 세로 좌표에 드레인 전류(Id)를 취하여 도시된 그래프에서 나타내진다. 그래서, 이것은 Id-Vg 특징(Id-Vg 곡선)이라 칭하여진다.

도 12a 및 도 12b는 각각 N 채널형 TFT에 대한 TFT 특징을 도시하는 것으로, 도 12a는 게터링 처리가 행해진 TFT이고, 도 12b는 게터링 처리를 적용하지 않고 구해진 TFT이다. 도 12a 및 도 12b에서의 곡선은 각각 임의로 선택된 30 TFT 장치에 대한 TFT 특징을 측정하고 얻어진 결과를 중첩시킴으로써 얻어진다.

또한, 도 12a 및 도 12b는 각각 2개의 곡선을 포함한다. 더 높은 값을 산출하는 곡선은 14V의 드레인 전압(Vd)에 대해 얻어진 데이터를 도시하고, 다른 곡선은 1V의 드레인 전압에 대해 얻어진 데이터를 도시한다. 게이트 전압은 -20V 내지 20V의 범위에서 연속적으로 변하고, 대응하는 드레인 전류값은 데이터 세트를 구하도록 판독된다.

도 12a는 N-채널형 TFT에 대한 데이터를 도시한다. 먼저, 도 12a를 참고로, TFT는 약 -20V 내지 0V의 범위에서 오프 상태에 있지만, (81)(Vd = 14V의 경우) 및 82(Vd=1V의 경우)의 약한 오프 전류가 관찰된다. 이 오프 전류가 작아질수록, TFT 특징은 더 나아진다.

게이트 전압이 0V에 접근하면, 드레인 전류에서는 갑작스러운 변화가 관찰된다. 이는 TFT가 ON 상태로 스위칭되는 것을 의미하고, 그 변화가 빠를수록, 스위칭 실행도는 더 높아진다.

0 내지 20V 범위의 게이트 전압에서, TFT는 ON 상태에 있고, 83(Vd=14V의 경우) 및 84(Vd=1V의 경우)의 ON 전류가 관찰된다. ON 전류 83 및 84는 대략 일정한 값을 산출하도록 점차적으로 포화상태로 된다.

도 12b를 참고로, 유사하게, 오프 전류 85(Vd=14V의 경우) 및 86(Vd=1V)와, ON 전류 87(Vd=14V의 경우) 및 88(Vd=1V의 경우)가 관찰된다. 오프 전류는 도 12a에 도시된 오프 전류와 비교해 다르게 동작함을 주목하여야 한다.

다른 말로 하면, 도 12a에서의 오프 전류 81 및 82는 모두 비교적 균일한 값을 나타내는 반면, 도 12b에서의 오프 전류, 특히 오프 전류 85는 상당한 변동을 나타낸다.

본 발명자의 생각에 따라, TFT의 활성층에 남아있는 니켈과 같은 촉매 원소는 전류 누설 경로를 형성하도록 분리된다. 그래서, TFT의 오프 전류에서의 상술된 변동은 전류 누설 경로를 갖는 활성층이 TFT를 형성할 때 발생되는 것으로 믿어진다.

도 12b에 도시된 TFT의 전기적인 특징은 확실하게 이러한 상태를 도시하고, 오프 전류에서의 변동은 활성층에 남아있는 촉매 원소의 존재로 인한 것으로 가정될 수 있다. 그러나, 본 발명을 사용해 활성층에 남아있는 촉매 원소에 게터링이 행해지는 경우, 도 12a로부터 오프 전류에서의 변동은 확실히 방지되는 것으로 이해될 수 있다.

비록 N 채널 TFT에 대해 도 12a 및 도 12b를 참고로 설명이 이루어졌지만, P 채널 TFT에 대해서도 유사한 결과가 또한 얻어진다.

도 13a 및 도 13b는 도 12a 및 도 12b의 전기적인 특성에서의 변동을 수적으로 변환된 형태로 도시한다. 도 13a의 그래프는 이동성(전계 효과 이동성) 값의 정규 확률 분포를 도시하고, 도 13b는 오프 전류에 대한 분포를 도시하며, 이들은 모두 540개 TFT에 대한 데이터 세트로부터 얻어진다.

상술된 그래프는 TFT 특징에서 변동을 평가하는데 효과적이다. 도 13b를 참고로, 예를 들면, 게터링 처리가 행해진 TFT에 대한 오프 전류값은 수 pA(pico ampers) 내지 수십 pA의 범위내에 드는 전류값에서의 변동을 나타내는 반면, 게터링 처리를 적용하지 않은 TFT에 대한 값은 수 pA 내지 수 nA(nano amperes)의 넓은 범위에 걸친 변동을 도시한다.

즉, 데이터 그룹이 직선으로 보여지면, 기울기가 클수록 변동이 더 작아지고, 데이터는 정규 분표(가우시언(Gaussian) 분포)에 따라 분포된 것으로 고려될 수 있다. 한편, 기울기가 작아질수록 변동이 더 커져, 데이터 분포는 정규 분포와 거리가 멀어진다.

그래서, 도 13b에서, 게터링 처리가 행해진 TFT에서 얻어진 데이터는 정규 분포에 따라 분포되는 반면, 게터링 처리가 행해지지 않은 TFT에서 얻어진 것은 정규 분포에서 벗어난다. 특히, 게터링 처리가 적용되지 않는 경우, 540 장치의 TFT 중 약 80%(즉, 430 장치)는 약 10 pA인 TFT 특징에서의 변동에 들지만, 나머지, 즉 약 110 장치는 1 내지 2 디지트 만큼 다른 것과 같은 큰 변동을 산출한다.

상술된 결과는 결정화를 가속시키는 촉매 원소의 분리로 인한 누설 경로의 형성이 게터링 처리를 적용함으로서 상당히 방지됨을 명백히 나타낸다.

도 13a에 도시된 이동성 값에 대한 데이터 그룹을 참고로, 게터링 처리가 행해진 TFT에서 얻어진 데이터에 대한 변동이 더 작음을 명백히 이해할 수 있다. 비록 이동성에 대한 최대값은 게터링 처리에 독립적으로 유지되지만, 게터링 처리의 부족은 매우 작은 이동성 값을 갖는 TFT를 만들게 됨을 이해할 수 있다.

상술된 사실은 게터링 처리가 행해지지 않은 TFT의 활성층에(특히, 채널 형성 영역에) 반송자의 이동을 방해하는 고에너지 장벽이 있다고 가정하여 제안한다.

본 발명자는 상술된 사실이 다음과 같이 설명될 수 있는 것으로 믿는다. 일반적으로, 결정질 입자간 결합에서의 정합은 폴리실리콘 등에 포함되는 입자 경계에서 부족하므로, 고에너지 장벽이 형성된다. 이 에너지 장벽은 TFT의 동작 동안 반송자의 이동을 방해하는 방해물로 동작되고, 그에 의해 이동성이 낮아진다.

실시예 1에서 설명된 처리에서, 니켈의 촉매 효과는 니켈이 결정질 실리콘막의 입자 경계에서 분리되는 것으로 가정되도록 의도적으로 사용된다. 입자 경계에서, 실리콘의 댕글링(dangling) 결합은 Si-Ni-Si와 같은 결합을 형성함으로서 규화물을 형성하도록 니켈과 결합된다.

비록 해결될 기계의 상세한 내용이 아직 남아있지만, 본 발명자는 입자 경계에서의 에너지 장벽이 니켈을 제거하는 처리 과정 동안 일부 원인으로 인해 낮아지는 것으로 생각한다. 예를 들어, 규화물이 상술된 방법으로 형성된 상태에서 게터링 처리가 실행되면, 니켈과 실리콘 사이의 결합은 절단되어 인접한 실리콘 원자의 댕글링 결합 사이에 재조합을 새롭게 형성하게 되는 모델이 수용될 수 있다.

따라서, 도 13b에 도시된 결과를 고려하여, 본 발명에 따른 게터링 처리는 간단히 불순물 원소를 제거하도록 설계된 종래의 게터링 처리와 다르다. 즉, 본 발명의 게터링 처리는 촉매 원소를 제거할 뿐만 아니라 결정질 반도체의 결정성, 특히 입자 경계의 정합을 개선하는 효과를 갖는 점에서 완전히 새로운 것이다.

본 발명자는 링 발진기를 형성하도록 도 11e에 도시된 홀수개의 CMOS 회로(인버터 회로)를 직렬로 연결시켰다. 도 14에서 주어진 측정 결과로부터 명백히 관찰되는 바와 같이, 프로토타입 링 발진기는 0 내지 16V의 소스 전압 범위에서 작동하고, 약 100 MHz의 동작 주파수를 얻는다. 또한, 본 발명을 사용하는 링 발진기는 더 높은 동작 주파수를 이룬다.

상술된 결과로부터, 본 발명은 반도체 회로의 특징과 TFT 특징에 부정적인 효과를 갖지 않음을 알 수 있다.

실시예 4

본 실시예는 실시예 3에서 설명된 것과 다른 구조를 갖는 TFT를 제조하기 위한 처리를 설명한다. 특히, 이는 역스태거형(reversed stagger type) TFT, 즉 전형적인 예로 하단 게이트형 TFT를 제조하는 경우를 설명한다.

도 15a는 유리 기판(41), 기본막(42), 전기적인 전도물로 구성된 게이트 전극(43), 게이트 절연막(44), 비정질 실리콘막(45), 및 실시예 1에서와 같은 방법으로 형성된 니켈 포함층(46)을 구비하는 구조를 도시한다.

게터링은 나중 단계에서 500 내지 700℃의 온도 범위에서 노 어닐링에 의해 실행됨을 기억하여야 한다. 그래서, 게이트 전극(43)으로는 상술된 온도에 잘 견디는 물질을 사용할 것이 요구된다.

결정화를 위한 열 처리가 실행되어 결정질 실리콘막(47)이 형성된다. 열 처리에서는 실시예 1에서 사용된 것과 같은 조건이 사용될 수 있다(도 15b).

이어서, 레지스트 마스크(48)를 제공한 이후에, 니켈의 게터링을 위한 원소(본 실시예에서는 다시 인이 사용된다)가 부가된다. 이 단계에서는 게터링 영역(49) 및 (50)과, 게터링된 영역(51)이 형성된다(도 15c).

이후에는 게터링을 위한 열 처리가 실행된다. 그래서, 게터링된 영역(51)내에 남아있는 니켈은 화살표로 표시된 방향으로 게터링 영역(49) 및 (50)으로 이동하도록 허용된다. 이와 같이, 니켈의 농도가 줄어든 결정질 실리콘막(게터링된 영역)(52)이 얻어진다(도 15d).

상술된 게터링 단계로 얻어진 게터링된 영역(52)은 활성층(53)을 형성하도록 패턴화된다. 활성층(53)에는 질화실리콘막을 패턴화함으로써 채널 종결기(channel stopper)(그렇지 않으면, 에칭 종결기라 칭하여지는)가 제공된다(도 15e).

일단 도 15e에 도시된 상태가 얻어지면, N형 전도성을 갖는 결정질 실리콘막이 형성되고 패턴화되어 소스 영역(55)과 드레인 영역(56)을 형성한다. 이어서, 소스 라인(57)과 드레인 라인(58)이 형성된다. 마지막으로, 결과의 구조에 수소화를 행함으로서 도 15f에 도시된 역스태거형 TFT가 얻어진다.

실시예 5

실시예 3에서 설명된 바와 같이, 본 발명은 오프 전류에서의 변동을 감소시키는데 큰 효과를 갖는다. 이는 TFT를 이용한 액정 디스플레이 장치와 같은 전기 광학 소자를 제조하는 경우에 특히 가치있는 효과이다.

오프 전류의 변동 문제에 대한 해결책으로 종래에 제안된 것은 다중 게이트의 구조이다. 다중 게이트 구조는 단락 회로를 형성하는 다수의 게이트 전극을 단일 활성층상에 놓는 것을 포함한다. 그래서, 이러한 구조는 실질적으로 다수의 TFT가 직렬로 연결되어 구성된다.

상술된 구조에서는 단일 TFT가 비정상 오프 전류를 나타내는 경우에도, 나머지 TFT가 정상적으로 동작하면, 회로의 전체 동작은 정상적으로 동작하는 TFT에 의해 비율 제어된다. 즉, 전체적으로 오프 전류에서의 변동이 억제될 수 있다. 게이트의 수를 증가시킴으로서 더 높은 효과가 이루어질 수 있지만, 결과의 TFT의 크기가 증가되는 불편한 점이 있다.

한편, 액정 디스플레이 장치의 이미지 디스플레이 영역을 제공하는 픽셀(pixel) 매트릭스 회로는 오프 전류에서의 변동이 가능한한 가장 최소화되도록 요구된다. 이러한 요구를 만족시키도록, 현재 널리 사용되는 것은 다중 게이트 구조이다. 그러나, 전송형 액정 디스플레이 장치의 픽셀 매트릭스 회로에 대해 높은 개구 비율을 갖출 것이 또한 요구된다.

그래서, 종래의 다중 게이트 구조에서는 높은 개구 비율의 요구를 만족시키기 어렵다.

그러나, 본 발명에 따른 TFT는 오프 전류에서 매우 작은 변동을 나타내므로, 단일 게이트 구조를 갖는 TFT에서 충분히 사용될 수 있다. 당연하게, 게이트의 수를 줄이도록 다중 게이트 구조에서 사용될 수 있다.

따라서, 그 크기가 최소화되긴 하지만, 본 발명에 따른 TFT를 사용함으로써 오프 전류에서 상당히 작은 전기 특징이 얻어질 수 있다. 이는 특히 픽셀 매트릭스 회로의 개구 비율을 증가시키는데 효과적이다.

실시예 6

본 실시예는 본 발명에 따른 TFT를 사용한 전기 광학 소자를 구성하는 경우에 관한 것이다. 이후의 설명에서는 이것이 활성 매트릭스형의 액정 디스플레이 장치에 적용되는 경우를 참고한다. 그러나, 이는 예를 들면, 활성 매트릭스형의 EC 디스플레이 장치나 EL 디스플레이 장치에 적용될 수 있다.

도 16은 활성 매트릭스형 액정 장치의 단면도를 구조적으로 도시한다. 드라이버 회로와 논리 회로를 구성하는 영역에는 CMOS 회로가 도시되고, 픽셀 매트릭스 회로를 구성하는 영역에는 픽셀 TFT가 도시된다.

실시예 3에서의 CMOS 회로의 구조(TFT 구조)에 대한 설명이 이루어진다. 그래서, 본 실시예에서는 필요한 부분만이 설명된다.

먼저, 도 16의 좌측에 도시된 CMOS 회로는 실시예 3에서 설명된 CMOS 회로를 제조하는 처리에 따라 완료된다. 이 경우에, 픽셀 TFT의 구조는 기본적으로 CMOS 회로를 구성하는 TFT와 같다. 당연히 요구에 따라, 픽셀 TFT가 홀로 다중 게이트 구조에 형성되거나, LDD 영역의 길이가 변할 수 있다. CMOS 회로상에는 유기 합성수지막으로 구성된 층간 절연막(61)이 제공되고, 그위에는 블랙 마스크(black mask)(62)가 놓인다. 본 실시예에서, 블랙 마스크(62)는 픽셀 매트릭스 회로의 상부에만 제공되지만, CMOS 회로의 상부에 놓일 수도 있다.

블랙 마스크(62)상에는 다시 또 다른 층간 절연막(63)이 형성되고, 접촉홀을 제공함으로서 픽셀 전극(64)이 위치한다. 반사형 디스플레이 장치의 경우에는 알루미늄막과 같은 반사막을 사용하여 픽셀 전극(64)이 제공되고, 전송형 디스플레이 장치의 경우에는 ITO 막과 같이 투명한 전기적 전도막이 픽셀 전극(64)으로 사용된다. 최상단 층에는 활성 매트릭스 기판의 구성을 얻도록 방위막(65)이 제공된다. 활성 매트릭스 기판은 그 위에 TFT가 형성된 기판이다.

상기 구조는 또한 반대 기판(66), 투명한 전기적 전도막으로 구성된 반대 전극(67), 및 반대측상의 방위막(68)을 포함한다. 그래서, 도 16에 도시된 활성 매트릭스형 액정 디스플레이 장치는 활성 매트릭스 기판과 반대 기판 사이에 액정층(69)을 삽입함으로서 완료될 수 있다.

도 17은 유리 기판(71), 기본막(72), 픽셀 매트릭스 회로(73), 소스 드라이버 회로(74), 게이트 드라이버 회로(75), 및 논리 회로(76)를 포함하는 활성 매트릭스형 액정 장치의 외형을 도시한다.

넓은 의미에서의 논리 회로(76)는 TFT로 구성된 모든 논리 회로를 포함하지만, 본 실시예에서는 식별을 위해 픽셀 매트릭스 회로 및 드라이버 회로 이외의 회로를 말한다.

실시예 7

본 발명은 도 18a 내지 도 18f를 참고로 본 발명에 따라 제작된 전기 광학 소자를 사용하는 응용 제품(전기 장치)의 예를 도시한다. 본 발명을 사용하는 응용 제품은 비디오 카메라, 정지 카메라, 프로젝터, 헤드 마운트 디스플레이(head mount display), 차량 네비게이션 시스템, 개인용 컴퓨터, 및 개인용 이동 정보 터미널(즉, 휴대용 컴퓨터, 개인용 휴대폰 등)을 포함한다.

도 18a는 본체(2001), 카메라 유닛(2002), 이미지 수신 유닛(2003), 동작 스위치(2004), 및 디스플레이 장치(2005)를 포함하는 휴대용 컴퓨터를 도시한다. 본 발명은 디스플레이 장치(2005)에 적용된다.

도 18b는 본체(2101), 디스플레이 장치(2102), 및 밴드 유닛(2103)(band unit)을 포함하는 헤드 마운트 디스플레이를 도시한다. 본 발명은 디스플레이 장치(2102)에 적용된다.

도 18c는 본체(2201), 광원(2202), 디스플레이 장치(2203), 광학 시스템(2204), 및 스크린(2205)을 포함하는 전방형 프로젝터(projector)를 도시한다. 본 발명은 디스플레이 장치(2203)에 적용된다.

도 18d는 본체(2301), 음성 출력 유닛(2302), 음성 입력 유닛(2303), 디스플레이 장치(2304), 동작 스위치(2305), 및 안테나(2306)를 포함하는 개인용 휴대폰을 도시한다. 본 발명은 디스플레이 장치(2304)에 적용된다.

도 18e는 본체(2401), 디스플레이 장치(2402), 음성 입력 유닛(2403), 동작 스위치(2404), 배터리(2405), 및 이미지 수신 유닛(2406)을 포함하는 비디오 카메라를 도시한다. 본 발명은 디스플레이 장치(2402)에 적용된다.

도 18f는 본체(2501), 광원(2502), 디스플레이 장치(2503), 편광빔 스플릿터(polarization beam splitter)(2504), 리플렉터(2505)과 (2506), 및 스크린(2507)을 포함하는 후방형 프로젝터를 도시한다. 본 발명은 디스플레이 장치(2503)에 적용된다.

발명의 효과

상술된 바와 같이, 본 발명의 응용 분야는 매우 넓어서, 본 발명은 임의의 분야의 디스플레이 매체에 응용가능하다. 특히, 액정 장치가 프로젝터와 같은 투사형 디스플레이 장치에 사용되는 경우, 매우 높은 해상도가 요구된다. 본 발명은 특히 이러한 경우에 효과적이다.

본 발명에 따른 기술을 사용함으로서, 반도체의 결정화를 진행하도록 촉매 원소를 사용해 얻어진 결정질 반도체막으로부터 촉매 원소를 효과적으로 제거하거나 그의 농도를 낮출 수 있다. 또한, 본 발명에 따른 게터링 처리는 유리 기판의 열 저항(유리 전이) 온도 보다 더 높지 않은 온도에서 실행되기 때문에, 종래의 저온 처리가 효과적으로 사용될 수 있다.

본 발명을 사용해 얻어진 결정질 반도체막은 특히 촉매 원소의 효과에 의해 결정성이 개선되고, 사용된 촉매 원소의 농도는 게터링 처리를 실행함으로써 충분히 낮은 농도로 낮추어진다. 그래서, 반도체 장치의 활성층으로 사용될 때, 본 발명에 따른 결정질 반도체막은 뛰어난 전기 특성과 높은 신뢰도을 갖는 반도체 장치를 제공한다.

(57) 청구의 범위

청구항 1.

적어도 박막 트랜지스터를 포함하는 반도체 장치를 제조하는 방법에 있어서,

절연 표면을 갖는 기판 위에 실리콘을 포함하는 비정질 반도체막을 형성하는 단계와,

상기 비정질 반도체막을 패터닝하지 않고 상기 비정질 반도체막의 결정화를 촉진하는 촉매 원소를 상기 비정질 반도체막에 제공하는 단계와,

결정질 반도체막을 형성하도록 제 1 열처리에 의해 상기 비정질 반도체막을 결정화하는 단계와,

15족에 속하는 불순물 원소를 상기 결정질 반도체막의 제 1 부분에 도입하는 단계로서, 상기 결정질 반도체막의 제 2 부분에는 상기 불순물 원소가 제공되지 않으며, 상기 결정질 반도체막의 상기 제 1 및 제 2 부분들은 상기 기판 위의 상기 절연 표면과 접촉하는, 상기 도입 단계와,

상기 제 2 부분에 포함된 원소가 상기 절연 표면에 평행한 방향으로 상기 제 1 부부으로 이동되도록 제 2 열처리 수행하는 단계와,

상기 제 2 부분에 결정질 반도체 아일랜드(crystalline semiconductor island)를 형성하도록 상기 결정질 반도체막을 패터닝하여, 상기 결정질 반도체막의 상기 제 1 부분을 제거하는 단계와,

상기 결정질 반도체 아일랜드를 사용하여 상기 박막 트랜지스터의 활성층을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 2.

적어도 박막 트랜지스터를 포함하는 반도체 장치를 제조하는 방법에 있어서,

절연 표면을 갖는 기판 위에 실리콘을 포함하는 비정질 반도체막을 형성하는 단계와,

상기 비정질 반도체막의 결정화를 촉진하는 원소를 상기 비정질 반도체막의 제 1 부분에 선택적으로 제공하는 단계와,

결정질 반도체막을 형성하기 위해 제 1 열처리에 의해 상기 비정질 반도체막을 결정화하는 단계로서, 결정화가 상기 절연 표면에 측면 방향으로 상기 제 1 부분으로부터 진행하는, 상기 결정화 단계와,

15족에 속하는 불순물 원소를 상기 결정질 반도체막의 제 2 부분에 도입하는 단계로서, 상기 결정질 반도체막의 제 3 부분에는 상기 불순물 원소가 제공되지 않으며, 상기 결정질 반도체막의 상기 제 2 및 제 3 부분들은 상기 기판 위의 상기 절연 표면과 접촉하는, 상기 도입 단계와,

상기 제 3 부분에 포함된 원소가 상기 절연 표면에 측면 방향으로 상기 제 2 부분으로 이동되도록 제 2 열처리를 수행하는 단계와,

상기 제 3 부분에 결정질 반도체 아일랜드를 형성하도록 상기 결정질 반도체막을 패터닝하여, 상기 결정질 반도체막의 상기 제 2 부분을 제거하는 단계와,

상기 결정질 반도체 아일랜드를 사용하여 상기 박막 트랜지스터의 활성층을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 3.

적어도 박막 트랜지스터를 포함하는 반도체 장치를 제조하는 방법에 있어서,

절연 표면을 갖는 기판 위에 실리콘을 포함하는 비정질 반도체막을 형성하는 단계와,

상기 비정질 반도체막의 결정화를 촉진하는 원소를 상기 비정질 반도체막에 제공하는 단계와,

결정질 반도체막을 형성하도록 제 1 열처리에 의해 상기 비정질 반도체막을 결정화하는 단계와,

15족에 속하는 불순물 원소를 상기 15족에 속하는 불순물 원소의 농도가 상기 결정질 실리콘막에 잔존하는 결정화를 촉진하는 원소의 농도보다 높도록 상기 결정질 반도체막의 제 1 부분에 도입하는 단계로서, 상기 결정질 반도체막의 제 2 부분에는 상기 불순물 원소가 제공되지 않으며, 상기 결정질 반도체막의 상기 제 1 및 제 2 부분들은 상기 기판 위의 상기 절연 표면과 접촉하는, 상기 도입 단계와,

상기 제 2 부분에 포함된 원소가 상기 절연 표면에 평행한 방향으로 상기 제 1 부분으로 이동되도록 제 2 열처리를 수행하는 단계와,

상기 제 2 부분에 결정질 반도체 아일랜드를 형성하도록 상기 결정질 반도체막을 패터닝하여 상기 결정질 반도체막의 상기 제 1 부분을 제거하는 단계와,

상기 결정질 반도체 아일랜드를 사용하여 상기 박막 트랜지스터의 활성층을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 4.

적어도 박막 트랜지스터를 포함하는 반도체 장치를 제조하는 방법에 있어서,

절연 표면을 갖는 기판 위에 게이트 전극을 형성하는 단계와,

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 위에 실리콘을 포함하는 비정질 반도체막을 형성하는 단계와,

상기 비정질 반도체막의 결정화를 촉진하는 원소를 상기 비정질 반도체막에 제공하는 단계와,

결정질 반도체막을 형성하기 위해 제 1 열처리에 의해 상기 비정질 반도체막을 결정화하는 단계와,

15족에 속하는 불순물 원소를 상기 결정질 반도체막의 제 1 부분에 도입하는 단계로서, 상기 결정질 반도체막의 제 2 부분에는 상기 불순물 원소가 도입되지 않으며, 상기 결정질 반도체막의 상기 제 1 및 제 2 부분들은 상기 기판 위의 상기 절연 표면과 접촉하는, 상기 도입 단계와,

상기 제 2 부분에 포함된 원소가 상기 절연 표면에 평행한 방향으로 상기 제 1 부분으로 이동되도록 제 2 열처리를 수행하는 단계와,

상기 제 2 부분에 결정질 반도체 아일랜드를 형성하도록 상기 결정질 반도체막을 패터닝하여, 상기 결정질 반도체막의 상기 제 1 부분을 제거하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 5.

제 1, 2, 3, 또는 4 항 중 어느 한 항에 있어서,

상기 결정질 반도체막은 입자 경계들(grain boundaries)을 갖는, 반도체 장치 제조 방법.

청구항 6.

제 1, 2, 3, 또는 4 항 중 어느 한 항에 있어서,

상기 제 2 열처리는 500℃ 내지 700℃의 온도 범위에서 수행되는, 반도체 장치 제조 방법.

청구항 7.

제 1, 2, 3, 또는 4 항 중 어느 한 항에 있어서,

상기 기판은 유리 기판인, 반도체 장치 제조 방법.

청구항 8.

제 1, 2, 3, 또는 4 항 중 어느 한 항에 있어서,

상기 제 2 열처리는 노 어닐링(furnace annealing)인, 반도체 장치 제조 방법.

청구항 9.

제 1, 2, 3, 또는 4 항 중 어느 한 항에 있어서,

상기 비정질 반도체막은 게르마늄을 포함하는, 반도체 장치 제조 방법.

청구항 10.

제 1, 2, 3, 또는 4 항 중 어느 한 항에 있어서,

상기 제 2 열처리 후의 상기 결정질 반도체 아일랜드에서 상기 결정화를 촉진하는 원소는 $1x10^{18}$ atoms/cm^3 이하의 범위의 농도를 갖는, 반도체 장치 제조 방법.

청구항 11.

제 1, 2, 3, 또는 4 항 중 어느 한 항에 있어서,

상기 결정화를 촉진하는 원소는 Ni, Co, Fe, Pd, Pt, Cu, 및 Au로 구성된 원소들의 그룹으로부터 선택된 적어도 하나의 원소인, 반도체 장치 제조 방법.

청구항 12.

제 1, 2, 3, 또는 4 항 중 어느 한 항에 있어서,

15족에 속하는 상기 불순물 원소는 P, N, As, Sb, 및 Bi로 구성된 원소들의 그룹으로부터 선택된 적어도 하나의 원소인, 반도체 장치 제조 방법.

청구항 13.

제 1, 2, 3, 또는 4 항 중 어느 한 항에 있어서,

15족에 속하는 상기 불순물 원소를 도입하는 상기 단계는 플라스마 도핑(plasma doping)에 의해 수행되는, 반도체 장치 제조 방법.

청구항 14.

제 12 항에 있어서,

상기 인의 도즈(dose)는 1×10^{13} ions/cm^2 내지 5×10^{4}ions/cm^2 의 범위로 설정되는, 반도체 장치 제조 방법.

청구항 15.

제 12 항에 있어서,

상기 인의 농도는 상기 결정화를 촉진하는 원소의 농도보다 한 자릿수 높은, 반도체 장치 제조 방법.

청구항 16.

제 1, 2, 3, 또는 4 항 중 어느 한 항에 있어서,

상기 제 2 열처리는 상기 기판의 유리 전이점(glass transtion point)을 초과하지 않는 온도 범위에서 수행되는, 반도체 장치 제조 방법.

청구항 17.

제 1, 2, 3, 또는 4 항 중 어느 한 항에 있어서,

상기 결정성 반도체막에 레이저광 또는 강한 광을 조사하는 단계를 더 포함하는, 반도체 장치 제조 방법.

청구항 18.

제 1, 3, 또는 4 항 중 어느 한 항에 있어서,

상기 결정성 반도체 아일랜드 위에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 위에 금속을 포함하는 적어도 하나의 게이트 전극을 형성하는 단계와, 약하게 도핑된 드레인 영역을 형성하기 위해 상기 결정성 반도체 아일랜드의 적어도 제 2 부분으로 불순물 원소를 도핑하는 단계와, 상기 결정성 반도체 아일랜드의 제 3 부분들에 불순물 원소를 도핑하여 적어도 소스 영역 및 드레이니 영역을 형성하는 단계를 더 포함하는, 반도체 장치 제조 방법.

청구항 19.

제 18 항에 있어서,

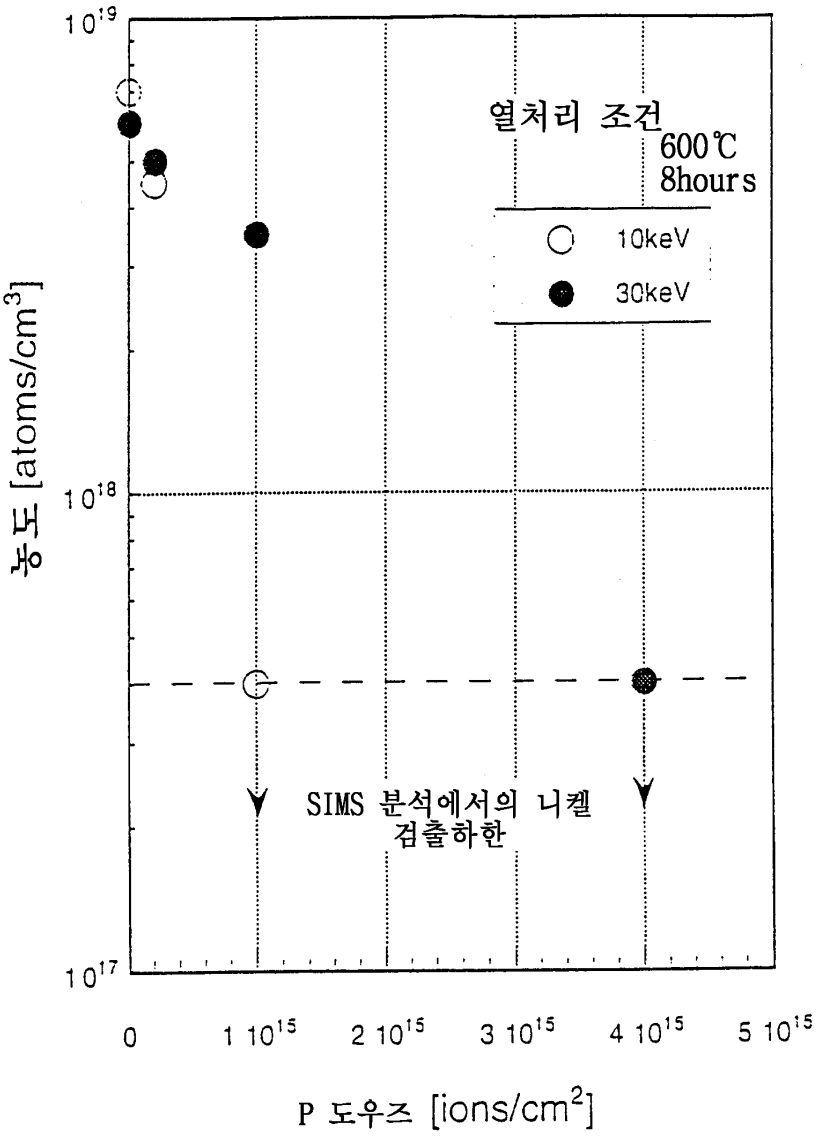
상기 게이트 전극 위에 실리콘을 포함하는 제 1 절연막을 형성하는 단계와,

상기 층간 절연막 위에 유기 수지막을 포함하는 제 2 절연막을 형성하는 단계와,

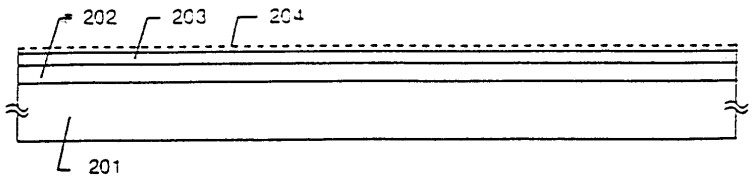
상기 층간막 위에 접촉 홀을 통해 상기 소스 영역 또는 드레인 영역에 전기적으로 접속되는 픽셀 전극을 형성하는 단계를 더 포함하는, 반도체 장치 제조 방법.

도면

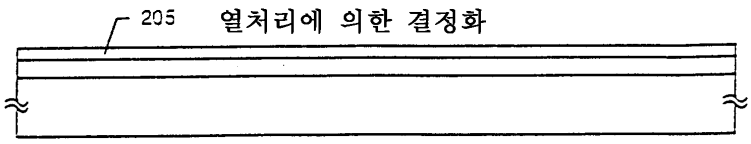
도면1



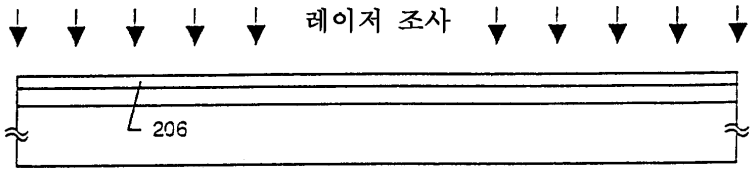
도면2a



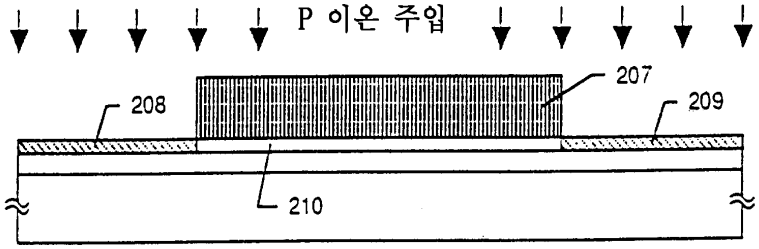
도면2b



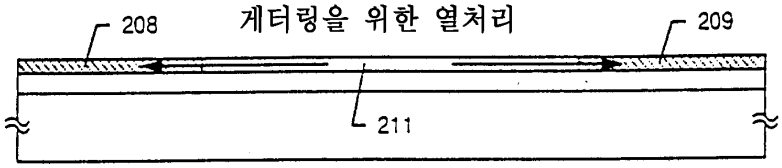
도면2c



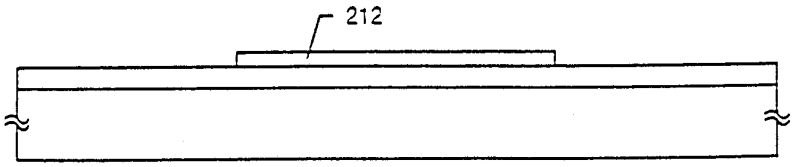
도면2d



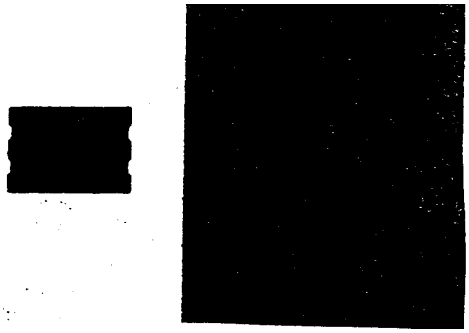
도면2e



도면2f



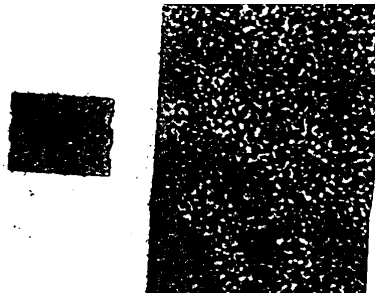
도면3a



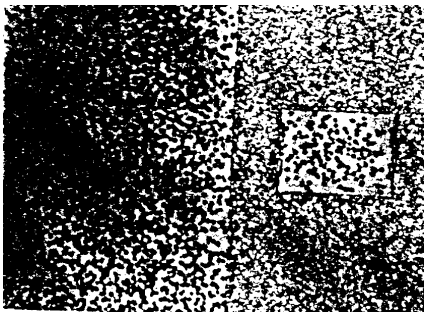
도면3b



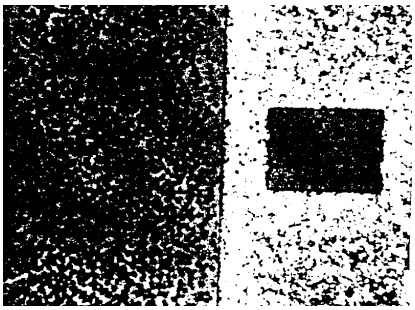
도면3c



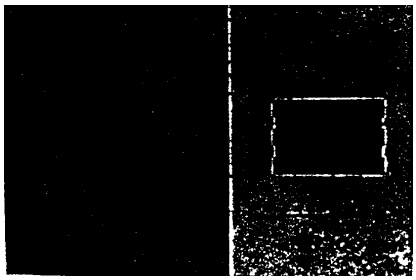
도면3d



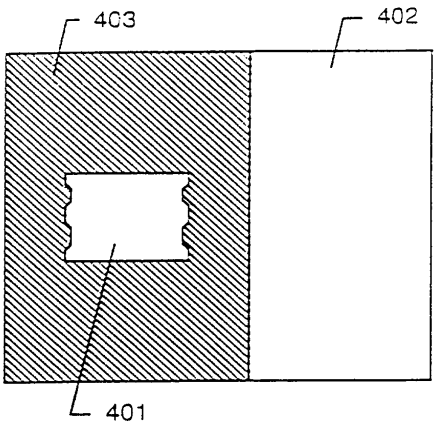
도면3e



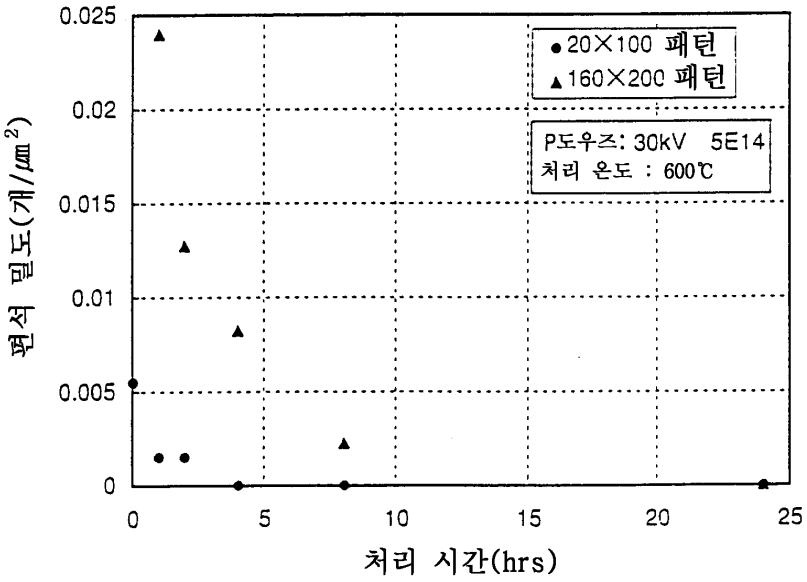
도면3f



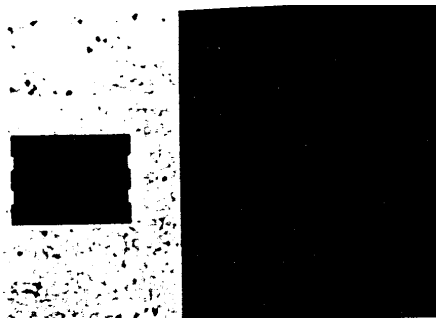
도면4


403
402
401

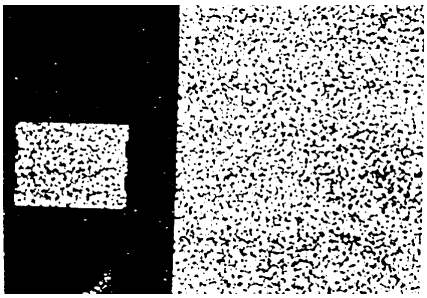
도면5


0.025
0.02
0.015
0.01
0.005
0
0
5
10
15
20
25
편석 밀도(개/㎛²)
처리 시간(hrs)
●20×100 패턴
▲160×200 패턴
P도우즈: 30kV 5E14
처리 온도 : 600℃

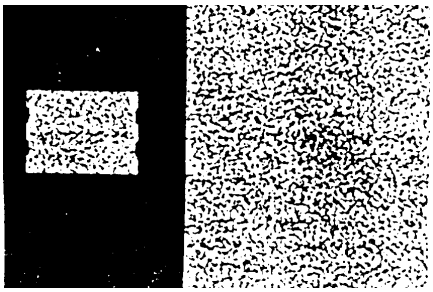
도면6a



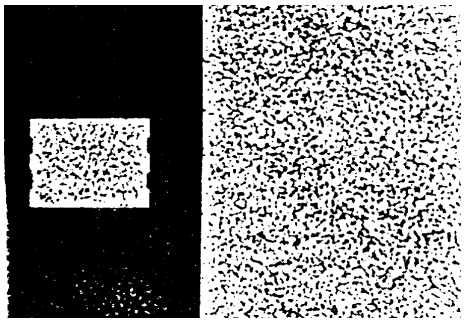
도면6b



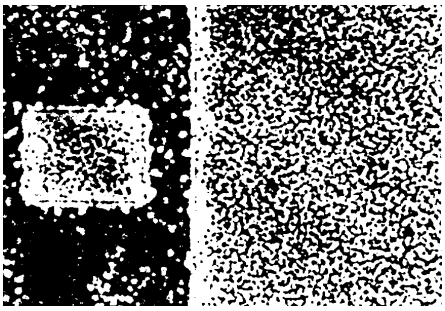
도면6c



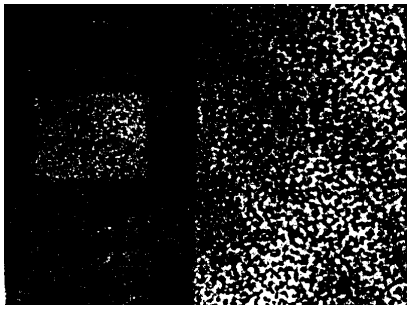
도면6d



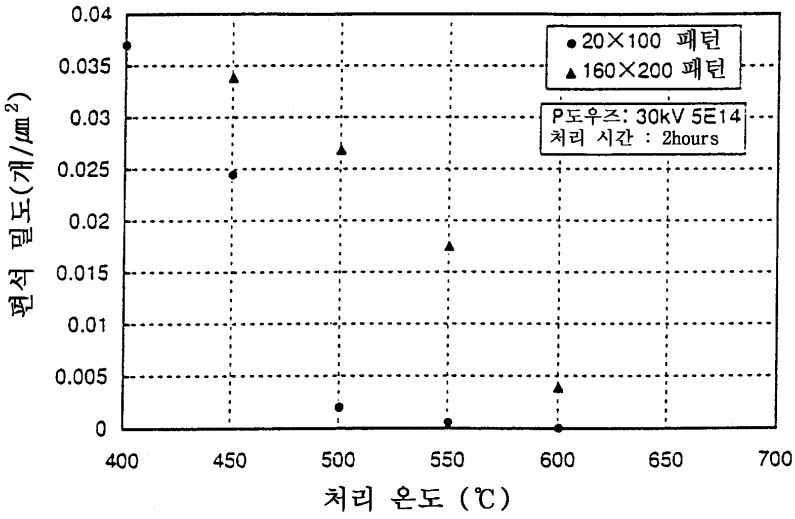
도면6e



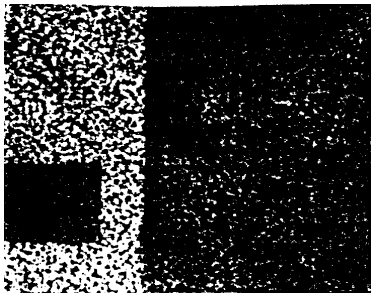
도면6f



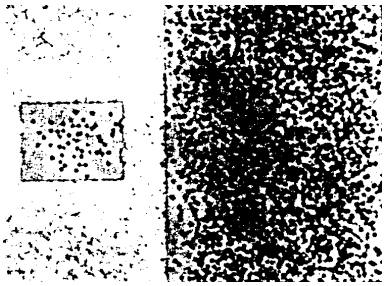
도면7



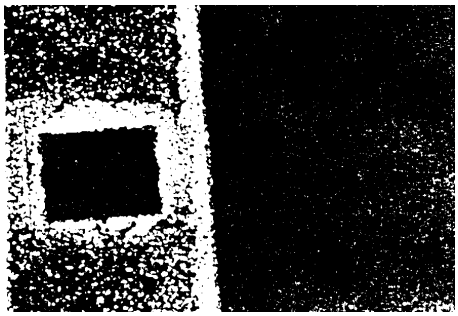
도면8a



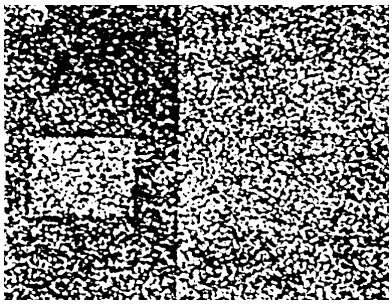
도면8b



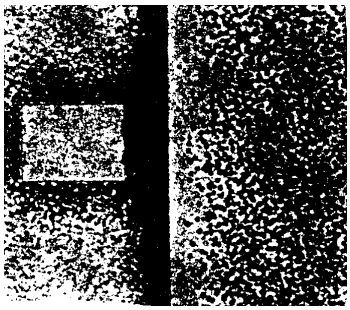
도면8c



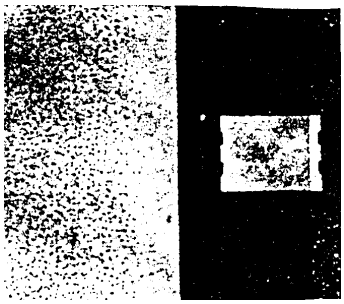
도면8d



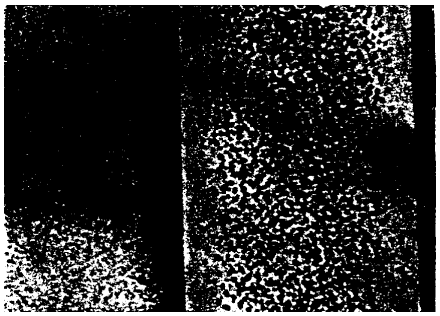
도면8e



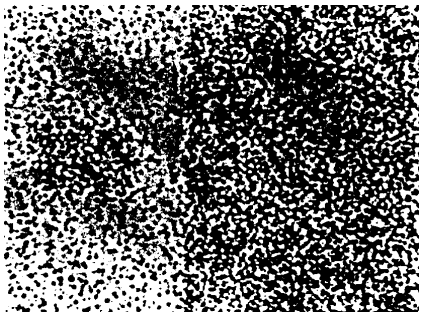
도면8f



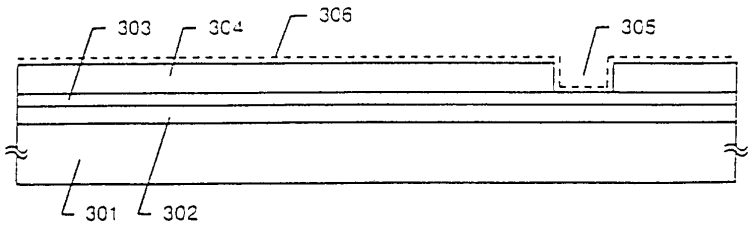
도면9a



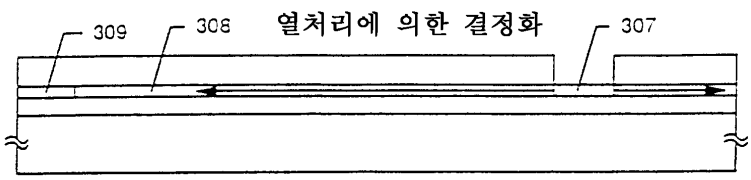
도면9b



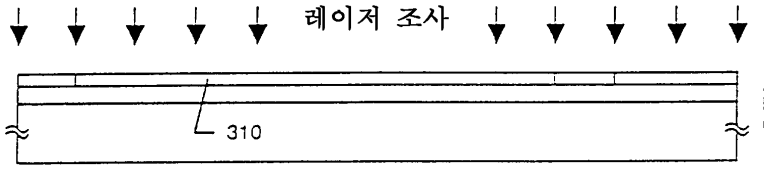
도면10a



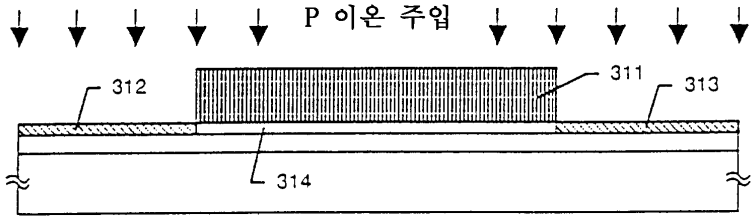
도면10b



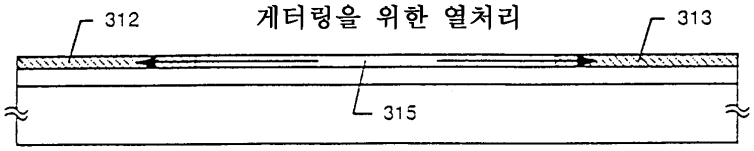
도면10c



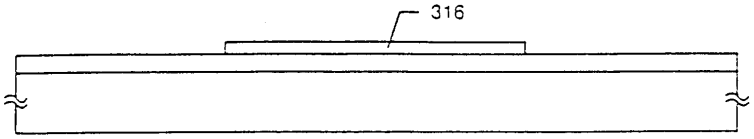
도면10d



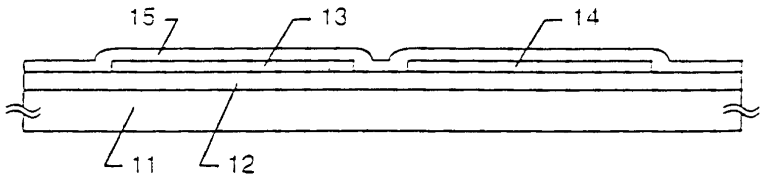
도면10e



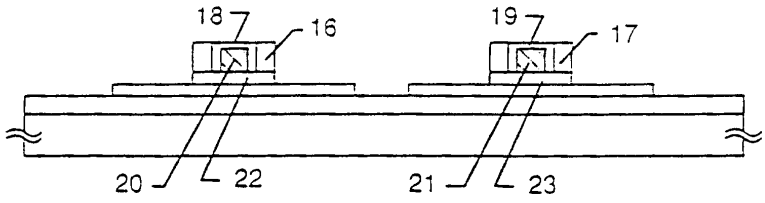
도면10f



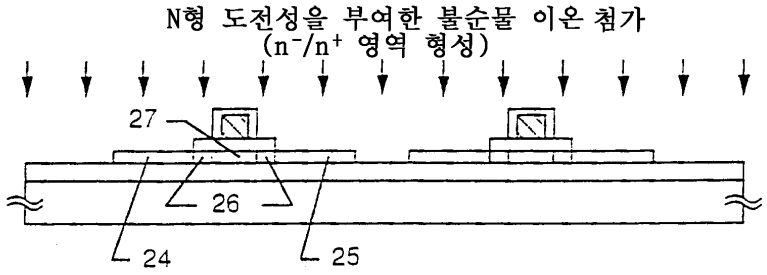
도면11a



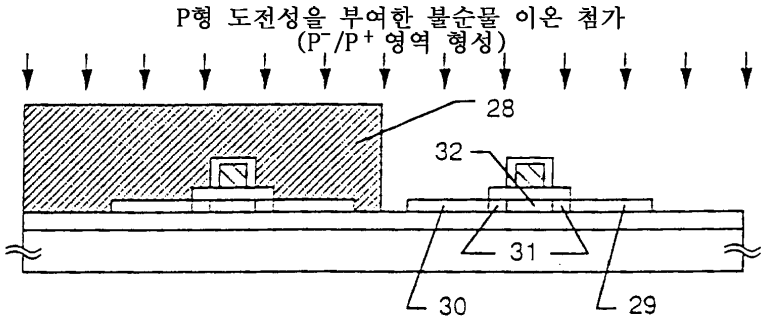
도면11b



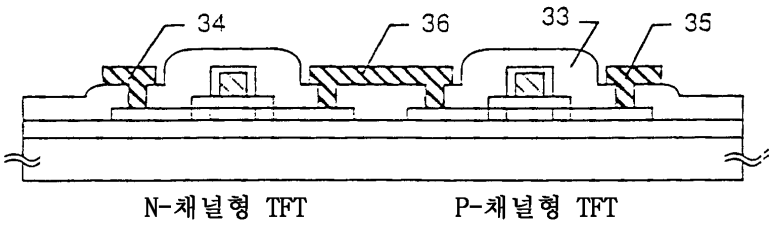
도면11c



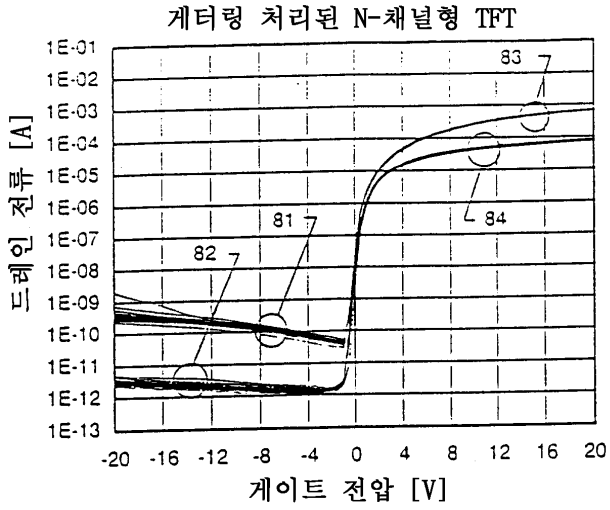
도면11d



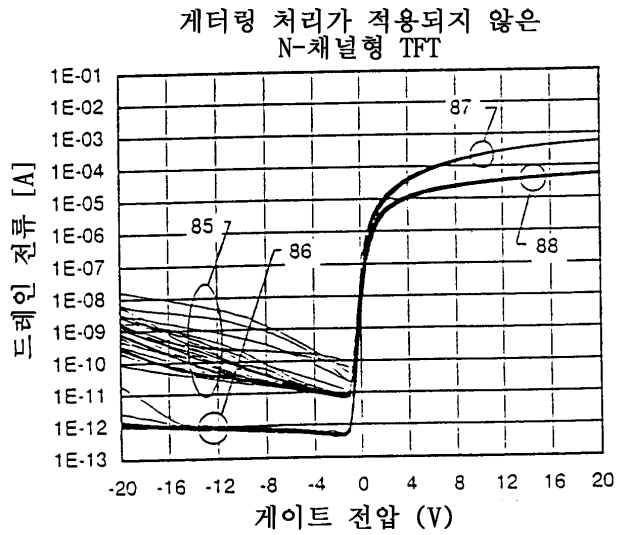
도면11e



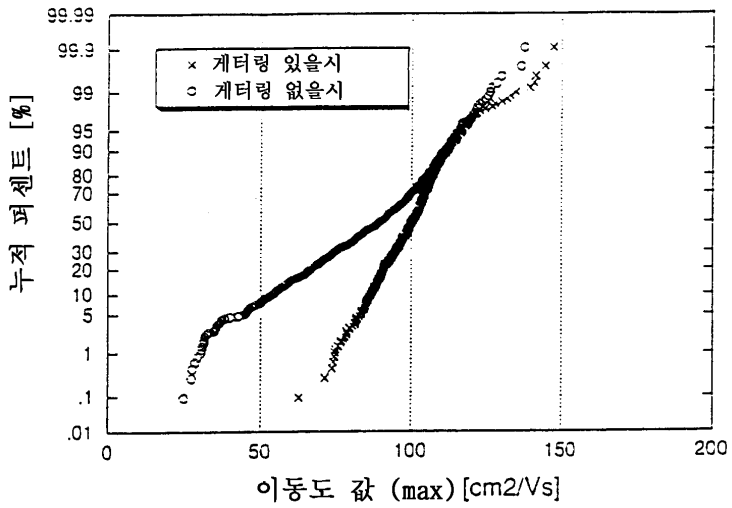
도면12a



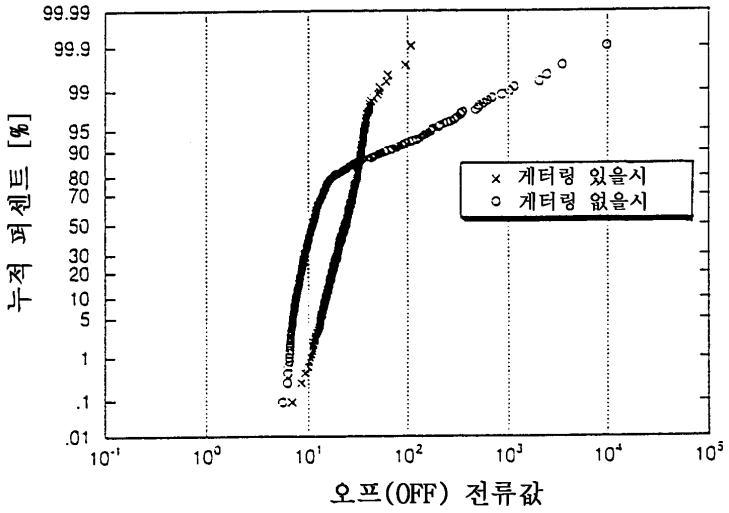
도면12b



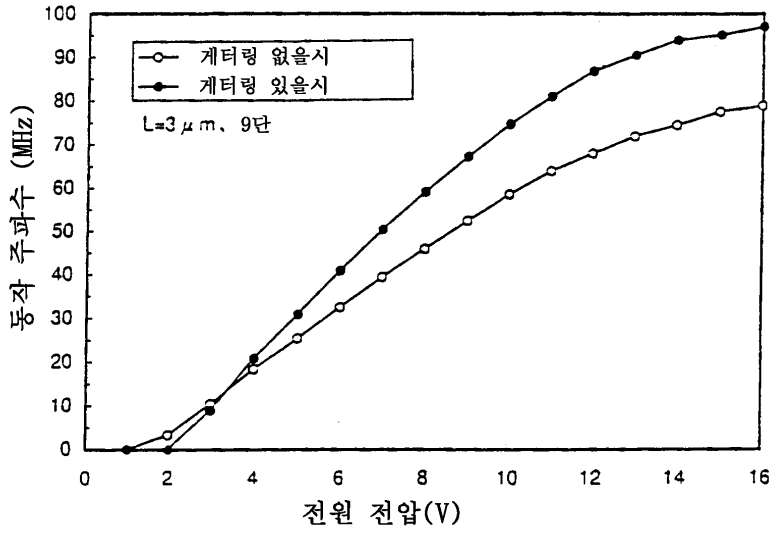
도면13a



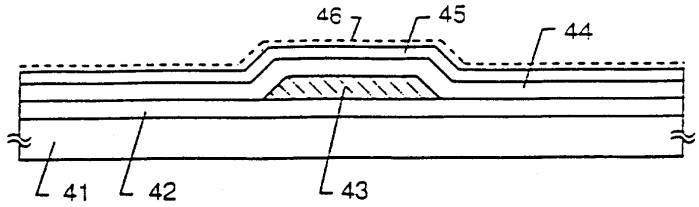
도면13b



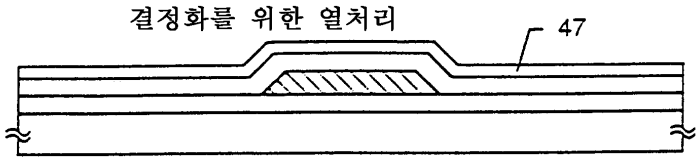
도면14



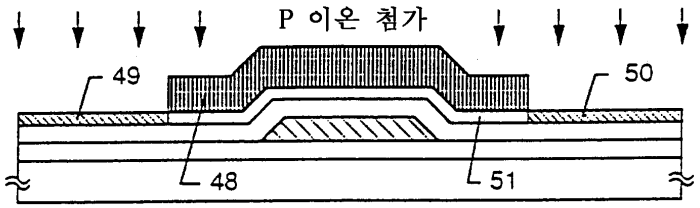
도면15a



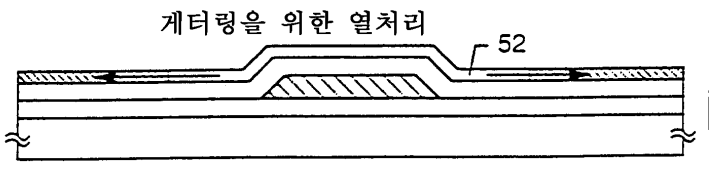
도면15b



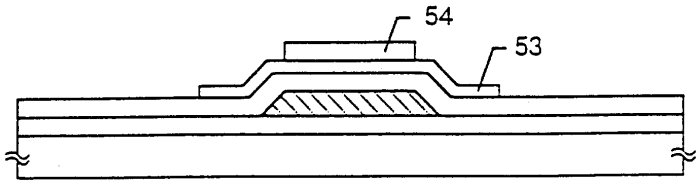
도면15c



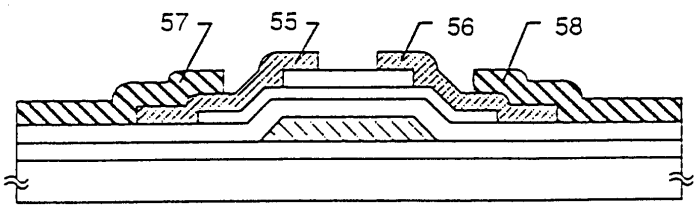
도면15d



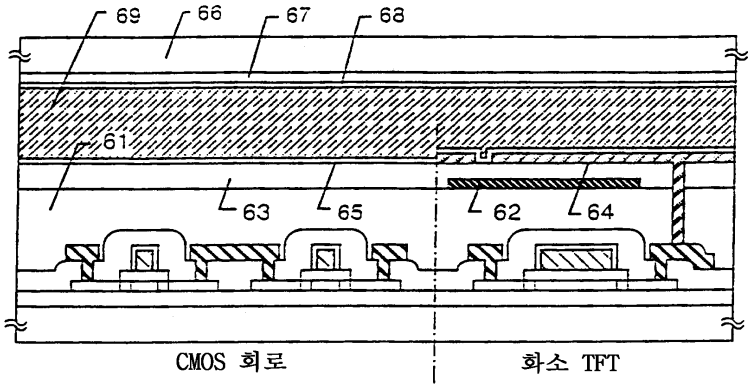
도면15e



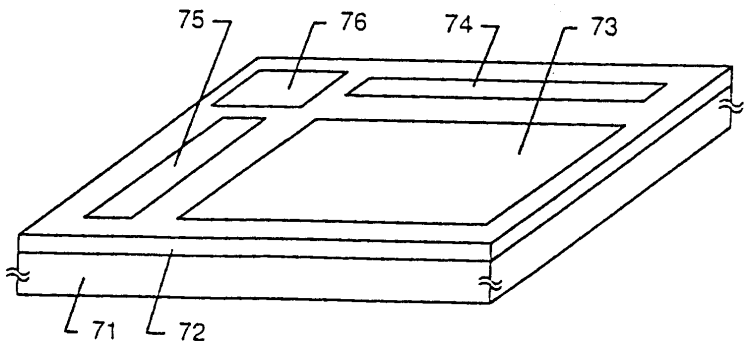
도면15f



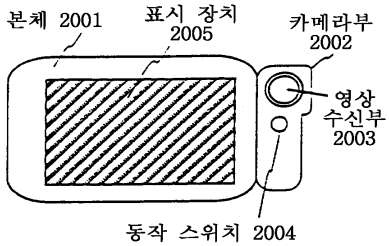
도면16



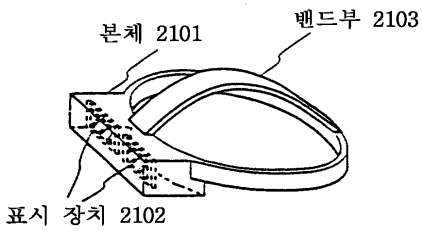
도면17



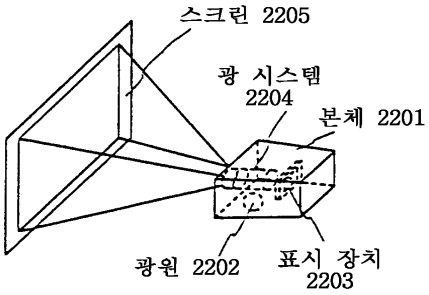
도면18a



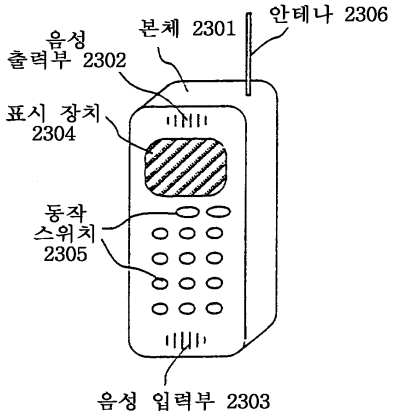
도면18b



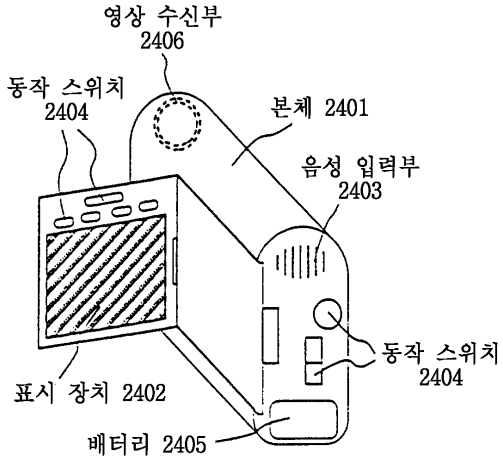
도면18c



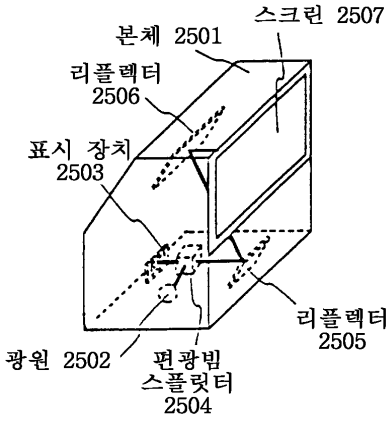
도면18d



도면18e



도면18f


스크린 2507
본체 2501
리플렉터 2506
표시 장치 2503
리플렉터 2505
광원 2502
편광빔 스플릿터 2504