

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5224735号  
(P5224735)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月22日(2013.3.22)

(51) Int. Cl.	F 1
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611A
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 611E
	G09G 3/20 621B
	G09G 3/20 623D
	請求項の数 3 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2007-171634 (P2007-171634)  
 (22) 出願日 平成19年6月29日(2007.6.29)  
 (65) 公開番号 特開2008-33298 (P2008-33298A)  
 (43) 公開日 平成20年2月14日(2008.2.14)  
 審査請求日 平成21年12月24日(2009.12.24)  
 (31) 優先権主張番号 特願2006-183051 (P2006-183051)  
 (32) 優先日 平成18年7月3日(2006.7.3)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 598172398  
 株式会社ジャパンディスプレイウエスト  
 愛知県知多郡東浦町大字緒川字上舟木50番地  
 (74) 代理人 100092152  
 弁理士 服部 毅巖  
 (72) 発明者 藤田 伸  
 長野県安曇野市豊科田沢6925 エプソンイメージングデバイス株式会社内  
 (72) 発明者 加藤 友敏  
 長野県安曇野市豊科田沢6925 エプソンイメージングデバイス株式会社内  
 (72) 発明者 白神 謙吾  
 長野県安曇野市豊科田沢6925 エプソンイメージングデバイス株式会社内  
 最終頁に続く

(54) 【発明の名称】 液晶装置、および電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の走査線、前記走査線に交差する複数のデータ線、前記走査線に並行する複数の共通線及び前記複数の走査線と前記複数のデータ線との交差に対応して設けられた画素トランジスタを有する第1基板と、

液晶を挟んで前記第1基板に対向配置された第2基板と、

前記複数の走査線及び前記複数の共通線に接続され、第1電圧と、当該第1電圧よりも電位の高い第2電圧と、を交互に前記共通線に供給する制御回路と、

水平走査期間ごとに前記複数の走査線から順次選択した前記走査線に対し、前記画素トランジスタをオンする0V以上の第1の選択電圧を供給するとともに、当該水平走査期間の終了時に前記画素トランジスタをオフする0V以上の第2の選択電圧を供給する走査線駆動回路と、

前記画素トランジスタがオンされた際に、前記共通線を介して共通電極に前記第1電圧が供給されていたときは、前記第1電圧よりも電位の高い正極性の画像信号をオンされた前記画素トランジスタに対応する前記データ線に供給し、前記共通電極に前記第2電圧が供給されていたときは、前記第2電圧よりも電位の低い負極性の画像信号を当該データ線に供給するデータ線駆動回路と、を備え、

前記制御回路は、前記共通線それぞれに対応する単位制御回路で構成され、前記単位制御回路は、

前記共通線に対応する前記走査線と隣接する走査線に接続し、前記隣接する走査線に前

記第 1 の選択電圧が検出されたときは、前記第 1 電圧または前記第 2 電圧のどちらを出力するかを決める極性制御信号を反転させ、前記隣接する走査線に前記第 1 の選択電圧が検出されないときは、前記極性制御信号を保持するラッチ回路と、

前記極性制御信号に応じて、前記第 1 電圧または前記第 2 電圧のいずれかを前記共通線に出力する選択回路と、

を有し、前記走査線に前記第 1 の選択電圧が供給されたことを検出すると、次の水平走査期間に選択される前記走査線に対応する前記共通線に対して供給する電圧を反転させ、前記第 1 電圧が供給されていたときは前記第 2 電圧を、前記第 2 電圧が供給されていたときは前記第 1 電圧を供給する、

液晶装置。

10

【請求項 2】

0 V 以上の電圧を発生する正電源回路を備え、前記走査線駆動回路は、前記正電源回路のみで、前記第 1 および第 2 の選択電圧を供給する、請求項 1 に記載の液晶装置。

【請求項 3】

請求項 1 または 2 に記載の液晶装置を備える、電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶装置、および電子機器に関する。

【背景技術】

20

【0002】

従来より、表示装置として液晶装置が知られている。この液晶装置は、例えば、液晶パネルと、この液晶パネルに光を供給するバックライトと、を備える。

【0003】

液晶パネルは、素子基板と、この素子基板に対向配置された対向基板と、素子基板と対向基板との間に設けられた液晶と、を備える。

【0004】

素子基板は、所定間隔おきに交互に設けられた複数の走査線および複数の容量線と、これら複数の走査線および複数の容量線に交差し所定間隔おきに設けられた複数のデータ線と、複数の走査線に接続された走査線駆動回路と、複数のデータ線に接続されたデータ線駆動回路と、複数の容量線に接続された容量線駆動回路と、を有する。

30

【0005】

各走査線と各データ線との交差部分には、画素が設けられている。画素は、画素電極および共通電極からなる画素容量と、スイッチング素子としての薄膜トランジスタ（以降、TFT（Thin Film Transistor）と呼ぶ）と、一方の電極が容量線に接続され他方の電極が画素電極に接続された蓄積容量と、を備える。この画素は、マトリクス状に複数配列されて表示領域を形成する。

【0006】

TFT のゲートには、走査線が接続され、TFT のソースには、データ線が接続され、TFT のドレインには、画素電極および蓄積容量の他方の電極が接続されている。

40

【0007】

容量線駆動回路は、所定の電圧を各容量線に供給する。

【0008】

走査線駆動回路は、走査線を選択する選択電圧（第 1 の選択電圧）を所定の順番で各走査線に供給する。走査線に第 1 の選択電圧が供給されると、この走査線に接続された TFT が全てオン状態となる。

【0009】

データ線駆動回路は、画像信号を各データ線に供給し、オン状態の TFT を介して、この画像信号に基づく画像電圧を画素電極に書き込む。

【0010】

50

ここで、データ線駆動回路は、共通電極の電圧よりも電位の高い電圧（以降、正極性と呼ぶ）の画像信号をデータ線に供給して、この正極性の画像信号に基づく画像電圧を画素電極に書き込む正極性書込と、共通電極の電圧よりも電位の低い電圧（以降、負極性と呼ぶ）の画像信号をデータ線に供給して、この負極性の画像信号に基づく画像電圧を画素電極に書き込む負極性書込と、を交互に行う。

【 0 0 1 1 】

対向基板は、各画素に対応して、R（赤）、G（緑）、B（青）といったカラーフィルタを有する。

【 0 0 1 2 】

以上の液晶装置は、以下のように動作する。

10

【 0 0 1 3 】

すなわち、走査線に第1の選択電圧を順次供給することで、ある走査線に接続されたTFTを全てオン状態にして、この走査線に係る画素を全て選択する。そして、これら画素の選択に同期して、データ線に画像信号を供給する。すると、選択した全ての画素に、オン状態のTFTを介して画像信号が供給され、この画像信号に基づく画像電圧が画素電極に書き込まれる。

【 0 0 1 4 】

画素電極に画像電圧が書き込まれると、画素電極と共通電極との電位差により、液晶に駆動電圧が印加される。液晶に駆動電圧が印加されると、液晶の配向や秩序が変化して、液晶を透過するバックライトからの光が変化する。この変化した光がカラーフィルタを透過することで、階調表示が行われる。

20

【 0 0 1 5 】

なお、液晶に印加される駆動電圧は、蓄積容量により、画像電圧が書き込まれる期間よりも3桁も長い期間に亘って保持される。

【 0 0 1 6 】

ところで、以上のような液晶装置は、例えば、携帯機器に用いられるが、この携帯機器では、近年、消費電力の低減が要請されている。そこで、画像電圧を画素電極に書き込んだ後に、TFTをオフ状態にするとともに容量線の電圧を変動させることで、消費電力を低減できる液晶装置が提案されている（例えば、特許文献1参照）。

【 0 0 1 7 】

特許文献1のような容量線の電圧を変動させる液晶装置の動作について、図12、図13を用いて説明する。

30

【 0 0 1 8 】

図12は、従来例に係る液晶装置の正極性書込時のタイミングチャートである。図13は、従来例に係る液晶装置の負極性書込時のタイミングチャートである。

【 0 0 1 9 】

ここで、例えば、従来例に係る液晶装置は、320行の走査線および容量線と、240列のデータ線と、を有するものとする。

【 0 0 2 0 】

図12、図13において、GATE(m)は、320行の走査線のうちm行目(mは、 $1 \leq m \leq 320$ を満たす整数)の走査線の電圧であり、VST(m)は、320行の容量線のうちm行目の容量線の電圧である。また、SOURCE(n)は、240列のデータ線のうちn列目(nは、 $1 \leq n \leq 240$ を満たす整数)のデータ線の電圧である。また、PIX(m, n)は、m行目の走査線と、n列目のデータ線と、の交差に対応して設けられたm行n列目の画素が備える画素電極の電圧であり、VCOM(m)は、m行n列目の画素が備える共通電極の電圧である。

40

【 0 0 2 1 】

まず、従来例に係る液晶装置の正極性書込時について、図12を用いて説明する。

【 0 0 2 2 】

時刻t51において、走査線駆動回路により、m行目の走査線に第1の選択電圧を供給

50

する。すると、 $m$ 行目の走査線の電圧  $GATE(m)$  は、上昇して、時刻  $t_{52}$  では、電圧  $V_{GH}$  となる。これにより、 $m$ 行目の走査線に接続された  $TFT$  が全てオン状態となる。

【0023】

時刻  $t_{53}$  において、データ線駆動回路により、 $n$ 列目のデータ線に正極性の画像信号を供給する。すると、 $n$ 列目のデータ線の電圧  $SOURCE(n)$  は、徐々に上昇して、時刻  $t_{54}$  では、電圧  $V_{P8}$  となる。

【0024】

$n$ 列目のデータ線の電圧  $SOURCE(n)$  は、正極性の画像信号に基づく画像電圧として、 $m$ 行目の走査線に接続されたオン状態の  $TFT_{51}$  を介して、 $m$ 行 $n$ 列目の画素が備える画素電極に書き込まれる。このため、 $m$ 行 $n$ 列目の画素が備える画素電極の電圧  $PIX(m, n)$  は、徐々に上昇して、時刻  $t_{54}$  では、 $n$ 列目のデータ線の電圧  $SOURCE(n)$  と同電位である電圧  $V_{P8}$  となる。

10

【0025】

時刻  $t_{55}$  において、走査線駆動回路により、 $m$ 行目の走査線に第1の選択電圧を供給するのを停止する。すると、 $m$ 行目の走査線の電圧  $GATE(m)$  は、低下して、時刻  $t_{56}$  では、電圧  $V_{GL}$  となる。これにより、 $m$ 行目の走査線に接続された  $TFT_{51}$  が全てオフ状態となる。

【0026】

同時に、容量線駆動回路により、容量線の電圧を上昇させる電圧を  $m$ 行目の容量線に供給する。すると、 $m$ 行目の容量線の電圧  $VST(m)$  は、徐々に上昇して、時刻  $t_{57}$  では、電圧  $V_{STH}$  となる。

20

【0027】

$m$ 行目の容量線の電圧  $VST(m)$  が上昇すると、 $m$ 行目の容量線に係る全ての画素では、この上昇した分に相当する電荷が蓄積容量と画素容量との間で分配される。このため、 $m$ 行 $n$ 列目の画素が備える画素電極の電圧  $PIX(m, n)$  は、徐々に上昇して、時刻  $t_{57}$  では、電圧  $V_{P9}$  となる。

【0028】

次に、従来例に係る液晶装置の負極性書込時について、図13を用いて説明する。

【0029】

時刻  $t_{61}$  において、走査線駆動回路により、 $m$ 行目の走査線に第1の選択電圧を供給する。すると、 $m$ 行目の走査線の電圧  $GATE(m)$  は、上昇して、時刻  $t_{62}$  では、電圧  $V_{GH}$  となる。これにより、 $m$ 行目の走査線に接続された  $TFT$  が全てオン状態となる。

30

【0030】

時刻  $t_{63}$  において、データ線駆動回路により、 $n$ 列目のデータ線に負極性の画像信号を供給する。すると、 $n$ 列目のデータ線の電圧  $SOURCE(n)$  は、徐々に低下して、時刻  $t_{64}$  では、電圧  $V_{P11}$  となる。

【0031】

$n$ 列目のデータ線の電圧  $SOURCE(n)$  は、負極性の画像信号に基づく画像電圧として、 $m$ 行目の走査線に接続されたオン状態の  $TFT$  を介して、 $m$ 行 $n$ 列目の画素が備える画素電極に書き込まれる。このため、 $m$ 行 $n$ 列目の画素が備える画素電極の電圧  $PIX(m, n)$  は、徐々に低下して、時刻  $t_{64}$  では、 $n$ 列目のデータ線の電圧  $SOURCE(n)$  と同電位である電圧  $V_{P11}$  となる。

40

【0032】

時刻  $t_{65}$  において、走査線駆動回路により、 $m$ 行目の走査線に第1の選択電圧を供給するのを停止する。すると、 $m$ 行目の走査線の電圧  $GATE(m)$  は、低下して、時刻  $t_{66}$  では、電圧  $V_{GL}$  となる。これにより、 $m$ 行目の走査線に接続された  $TFT$  が全てオフ状態となる。

【0033】

50

同時に、容量線駆動回路により、容量線の電圧を低下させる電圧を  $m$  行目の容量線に供給する。すると、 $m$  行目の容量線の電圧  $V_{ST}(m)$  は、徐々に低下して、時刻  $t_{67}$  では、電圧  $V_{STL}$  となる。

【0034】

$m$  行目の容量線の電圧  $V_{ST}(m)$  が低下すると、 $m$  行目の容量線に係る全ての画素では、この低下した分に相当する電荷が蓄積容量と画素容量との間で分配される。このため、 $m$  行  $n$  列目の画素が備える画素電極の電圧  $P_{IX}(m, n)$  は、徐々に低下して、時刻  $t_{67}$  では、電圧  $V_{P10}$  となる。

【0035】

以上のように、従来例に係る液晶装置では、正極性書込時において、正極性の画像電圧を画素電極に書き込んだ後に、容量線の電圧を上昇させる。このため、画素電極の電圧は、正極性の画像電圧により上昇した電圧と、容量線の電圧を上昇させた分に相当する電荷により上昇した電圧と、を合わせた分だけ上昇する。

10

【0036】

また、従来例に係る液晶装置では、負極性書込において、負極性の画像電圧を画素電極に書き込んだ後に、容量線の電圧を低下させる。このため、画素電極の電圧は、負極性の画像電圧により低下した電圧と、容量線の電圧を低下させた分に相当する電荷により低下した電圧と、を合わせた分だけ低下する。

【0037】

したがって、容量線の電圧を変動させることで、共通電極の電圧を基準として画素電極の電圧を変動させて、液晶に印加される駆動電圧の振幅を大きくできる。よって、画像電圧の振幅を小さくしても、液晶に印加される駆動電圧の振幅を確保できるので、画像電圧の振幅を小さくして、消費電力を低減できる。

20

【0038】

【特許文献1】特開2002-196358号公報

【発明の開示】

【発明が解決しようとする課題】

【0039】

上述の従来例に係る液晶装置では、容量線の電圧を変動させて、蓄積容量と画素容量との間で電荷を移動させることで、画素電極の電圧を変動させる。このため、蓄積容量に特性ばらつきが発生すると、蓄積容量と画素容量との間で移動する電荷に影響を及ぼすので、画素電極に同一の画像電圧を書き込んでも、画素電極の電圧にばらつきが生じ、表示品位が低下する場合があった。

30

【0040】

また、液晶を挟持する一对の基板のうち一方の基板に、画素容量を構成する画素電極および共通電極を備えるIPS(In-Plane Switching)やFFS(Fringe Field Switching)といった液晶装置では、画素容量と蓄積容量とを一体に形成する。ところが、上述の従来例に係る液晶装置では、容量線の電圧を、画素電極や共通電極とは異なる電圧で変動させるので、容量線に接続された蓄積容量の一方の電極を、画素電極や共通電極とは別個に形成する必要がある。このため、画素容量と蓄積容量とは別個に形成する必要がある。

40

【0041】

そこで、本発明は、上述の課題に鑑みてなされたものであり、液晶を挟持する一对の基板のうち一方の基板に、画素容量を構成する画素電極および共通電極を備える液晶装置において、表示品位の低下を抑制でき、更には、回路面積の削減や低消費電力化が可能な液晶装置、および液晶装置を備える電子機器を提供することを目的とする。

【課題を解決するための手段】

【0042】

本発明に係る液晶装置は、複数の走査線、走査線に交差する複数のデータ線、走査線に

50

並行する複数の共通線及び複数の走査線と複数のデータ線との交差に対応して設けられた画素トランジスタを有する第1基板と、液晶を挟んで第1基板に対向配置された第2基板と、複数の走査線及び複数の共通線に接続され、第1電圧と、当該第1電圧よりも電位の高い第2電圧と、を交互に共通線に供給する制御回路と、水平走査期間ごとに複数の走査線から順次選択した走査線に対し、画素トランジスタをオンする0V以上の第1の選択電圧を供給するとともに、当該水平走査期間の終了時に画素トランジスタをオフする0V以上の第2の選択電圧を供給する走査線駆動回路と、画素トランジスタがオンされた際に、共通線を介して共通電極に第1電圧が供給されていたときは、第1電圧よりも電位の高い正極性の画像信号をオンされた画素トランジスタに対応するデータ線に供給し、共通電極に第2電圧が供給されていたときは、第2電圧よりも電位の低い負極性の画像信号を当該データ線に供給するデータ線駆動回路と、を備え、制御回路は、共通線それぞれに対応する単位制御回路で構成され、単位制御回路は、共通線に対応する走査線と隣接する走査線に接続し、隣接する走査線に第1の選択電圧が検出されたときは、第1電圧または第2電圧のどちらを出力するかを決める極性制御信号を反転させ、隣接する走査線に第1の選択電圧が検出されないときは、極性制御信号を保持するラッチ回路と、極性制御信号に応じて、第1電圧または第2電圧のいずれかを共通線に出力する選択回路と、を有し、走査線に第1の選択電圧が供給されたことを検出すると、次の水平走査期間に選択される走査線に対応する共通線に対して供給する電圧を反転させ、第1電圧が供給されていたときは第2電圧を、第2電圧が供給されていたときは第1電圧を供給する。

10

20

## 【0043】

このような液晶装置によれば、画素トランジスタをオフさせる駆動電圧を0V以上とする構成としているため、画素電極からデータ線への電流リークが起こるが、リークが発生する期間が1垂直期間中の1水平走査期間（1本の走査線をオン選択する期間）と短い。このため、表示に対する影響が小さく、無視できる程度なので、負電源回路を削除して、正電源回路のみでの走査線の駆動を行うことができる。よって、負電源回路に必要な回路面積や負電源用ICを削減することができる。更には、負電源回路が無いことにより、低消費電力化も実現することができる。

## 【0046】

また、本発明に係る電子機器は、上述の液晶装置を備える。

30

## 【発明を実施するための最良の形態】

## 【0048】

以下、本発明の実施形態を図面に基づいて説明する。なお、以下の実施形態および変形例の説明にあたって、同一構成要件については同一符号を付し、その説明を省略もしくは簡略化する。

## 【0049】

<第1実施形態>

図1は、本発明の第1実施形態に係るCOM分割駆動を採用した横電界方式の液晶装置1のブロック図である。

## 【0050】

液晶装置1は、液晶パネルAAと、液晶パネルAAに対向配置されて光を出射するバックライト41と、を備える。この液晶装置1は、バックライト41からの光を利用して、透過型の表示を行う。

40

## 【0051】

液晶パネルAAは、複数の画素50を有する表示領域Aと、この表示領域Aの周辺に設けられて画素50を駆動する走査線駆動回路10、前記走査線駆動回路10にグランド（以下、GNDと略称する）レベル（基準電位であり0V）から8Vを供給する正電源回路15、データ線駆動回路20、および制御回路30を備える。

## 【0052】

バックライト41は、液晶パネルAAの裏面に設けられ、例えば、冷陰極蛍光管（CC

50

FL)やLED(発光ダイオード)、あるいはエレクトロルミネッセンス(EL)で構成されて、液晶パネルAAの画素50に光を供給する。

【0053】

以下、液晶パネルAAの構成について詳述する。

【0054】

液晶パネルAAは、所定間隔おきに交互に設けられた320行の走査線Y(Y1~Y320)および320行の共通線Z(Z1~Z320)と、これら走査線Y(Y1~Y320)および共通線Z(Z1~Z320)に交差するように設けられた240列のデータ線X(X1~X240)と、を備える。各走査線Yおよび各データ線Xの交差部分には、画素50が設けられている。

10

【0055】

画素50は、TFT51、画素電極55、この画素電極55に対向して設けられた共通電極56、および、一方の電極(補助容量電極57)が共通線Zに接続され他方の電極が画素電極55に接続された補助容量としての蓄積容量53で構成される。画素電極55および共通電極56は、画素容量54を構成する。

【0056】

共通電極56は、走査線Yに対応して、1水平ラインごとに分割されている。1水平ラインごとに分割された複数の共通電極56は、それぞれ、対応する共通線Zに接続されている。

【0057】

TFT51のゲートには、走査線Yが接続され、TFT51のソースには、データ線Xが接続され、TFT51のドレインには、画素電極55および蓄積容量53の他方の電極が接続されている。したがって、このTFT51は、走査線Yから画素トランジスタをオンする第1の選択電圧が印加されるとオン状態となり、データ線Xと画素電極55および蓄積容量53の他方の電極とを導通状態とする。

20

【0058】

図2は、画素50の拡大平面図である。図3は、図2に示す画素50のA-A断面図である。

【0059】

図3に示すように、液晶パネルAAは、複数の画素電極55を有する第1基板としての素子基板60と、この素子基板60に対向配置された第2基板としての対向基板70と、素子基板60と対向基板70との間に設けられた液晶と、を備える。

30

【0060】

図2に示すように、素子基板60において、各画素50は、互いに隣り合う2本の導電材料からなる走査線Yと、互いに隣り合う2本の導電材料からなるデータ線Xと、で囲まれた領域となっている。つまり、各画素50は、走査線Yとデータ線Xとで区画されている。

【0061】

本実施形態では、TFT51は、逆スタガ型の低温ポリシリコンTFTであり、走査線Yとデータ線Xとの交差部の近傍には、このTFT51が形成される領域50C(図2中破線で囲まれた部分)が設けられている。

40

【0062】

まず、素子基板60について説明する。

【0063】

素子基板60は、ガラス基板68を有し、このガラス基板68の上には、ガラス基板68の表面荒れや汚れによるTFT51の特性の変化を防止するために、素子基板60の全面に亘って下地絶縁膜(図示省略)が形成されている。

【0064】

下地絶縁膜の上には、導電材料からなる走査線Yが形成されている。

【0065】

50

走査線 Y は、隣接する画素 5 0 の境界に沿って設けられ、データ線 X との交差部の近傍において、T F T 5 1 のゲート電極 5 1 1 を構成する。

【 0 0 6 6 】

走査線 Y、ゲート電極 5 1 1、および下地絶縁膜の上には、素子基板 6 0 の全面に亘って、ゲート絶縁膜 6 2 が形成されている。

【 0 0 6 7 】

ゲート絶縁膜 6 2 の上の T F T 5 1 が形成される領域 5 0 C には、ゲート電極 5 1 1 に対向して、低温ポリシリコンからなる半導体層（図示省略）、N + 低温ポリシリコンからなるオーミックコンタクト層（図示省略）が積層されている。このオーミックコンタクト層には、ソース電極 5 1 2 およびドレイン電極 5 1 3 が積層されて、これにより、低温ポリシリコン T F T が形成されている。

10

【 0 0 6 8 】

ソース電極 5 1 2 は、データ線 X と同一の導電材料で形成されている。すなわち、データ線 X からソース電極 5 1 2 が突出する構成となっている。データ線 X は、走査線 Y および共通線 Z に対して交差するように設けられている。

【 0 0 6 9 】

上述のように、走査線 Y の上には、ゲート絶縁膜 6 2 が形成され、このゲート絶縁膜 6 2 の上には、データ線 X が形成されている。このため、データ線 X は、走査線 Y とはゲート絶縁膜 6 2 により絶縁されている。

【 0 0 7 0 】

20

データ線 X、ソース電極 5 1 2、ドレイン電極 5 1 3、およびゲート絶縁膜 6 2 の上には、素子基板 6 0 の全面に亘って、第 1 絶縁膜 6 3 が形成されている。

【 0 0 7 1 】

第 1 絶縁膜 6 3 の上には、I T O ( Indium Tin Oxide ) とした透明導電材料からなる共通線 Z が形成されている。共通線 Z は、走査線 Y に沿って設けられており、この共通線 Z は、1 水平ラインごとに分割された共通電極 5 6 と一体に形成されている。

【 0 0 7 2 】

共通線 Z、共通電極 5 6、および第 1 絶縁膜 6 3 の上には、素子基板 6 0 の全面に亘って、第 2 絶縁膜 6 4 が形成されている。

【 0 0 7 3 】

30

第 2 絶縁膜 6 4 の上には、共通電極 5 6 に対向する領域に、I T O ( Indium Tin Oxide ) とした透明導電材料からなる画素電極 5 5 が形成されている。画素電極 5 5 は、上述の第 1 絶縁膜 6 3 および第 2 絶縁膜 6 4 に形成されたコンタクトホール（図示省略）を介して、ドレイン電極 5 1 3 に接続されている。

【 0 0 7 4 】

この画素電極 5 5 には、自身と共通電極 5 6 との間で、フリンジフィールド（電界 E）を発生させるための複数のスリット 5 5 A が所定間隔おきに設けられている。すなわち、液晶装置 1 の液晶は、F F S モードで動作する。

【 0 0 7 5 】

画素電極 5 5 および第 2 絶縁膜 6 4 の上には、素子基板 6 0 の全面に亘って、ポリイミド膜などの有機膜からなる配向膜（図示省略）が形成されている。

40

【 0 0 7 6 】

次に、対向基板 7 0 について説明する。

【 0 0 7 7 】

対向基板 7 0 は、ガラス基板 7 4 を有し、このガラス基板 7 4 の上のうち走査線 Y に対向する位置には、ブラックマトリクスとしての遮光膜 7 1 が形成されている。また、ガラス基板 7 4 の上のうち遮光膜 7 1 が形成されている領域を除く領域には、カラーフィルタ 7 2 が形成されている。

【 0 0 7 8 】

遮光膜 7 1 およびカラーフィルタ 7 2 の上には、対向基板 7 0 の全面に亘って、配向膜

50

(図示省略)が形成されている。

【0079】

図1に戻って、走査線駆動回路10は、正電源回路15からの電源供給を受けて、TFT51のオフ時には、TFT51をオフさせるための第2の選択電圧として0Vを供給する。また、TFT51をオン状態にするために、第1の選択電圧として8Vを前記複数の走査線Yに順次供給する。第1の選択電圧は、1水平期間毎に1本ずつ順次走査線に供給される。例えば、ある1水平期間にある走査線Yに第1の選択電圧を供給すると、この走査線Yに接続されたTFT51が全てオン状態となり、この走査線Yに係る画素50が全て選択される。

【0080】

データ線駆動回路20は、画像信号をデータ線Xに供給し、オン状態のTFT51を介して、この画像信号に基づく画像電圧を画素電極55に書き込む。

【0081】

ここで、データ線駆動回路20は、共通電極56の電圧よりも電位の高い正極性の画像信号をデータ線Xに供給して、この正極性の画像信号に基づく画像電圧を画素電極55に書き込む正極性書込と、共通電極56の電圧よりも電位の低い負極性の画像信号をデータ線Xに供給して、この負極性の画像信号に基づく画像電圧を画素電極55に書き込む負極性書込と、を1水平ラインごとに交互に行う。

【0082】

尚、本実施形態において、正極性の画像信号は、0Vから4Vの電圧幅を有する信号であり、負極性の画像信号は、前記正極性の画像信号と逆極性となる4Vから0Vの電圧幅を有する信号である。

【0083】

制御回路30は、第1電圧としての電圧VCOMLと、この電圧VCOMLよりも電位の高い第2電圧としての電圧VCOMHと、を交互に共通線Zに供給する。本実施形態において、電圧VCOMLは0V、電圧VCOMHは4Vである。

【0084】

尚、上記走査線駆動回路10、データ線駆動回路20および制御回路30などを構成するトランジスタなどの回路素子は、SOG(システム・オン・ガラス)技術を用いて、前記表示領域Aの周辺領域(額縁領域)に形成されている。

【0085】

以上の液晶装置1は、以下のように動作する。

【0086】

すなわち、まず、制御回路30から共通線Zに電圧VCOMLまたは電圧VCOMHのいずれかを選択的に供給する。

【0087】

具体的には、各共通線Zには、1フレーム期間ごとに、電圧VCOMLと電圧VCOMHとを交互に供給する。例えば、ある1フレーム期間において、p行目の共通線Zp(pは、1≦p≦320を満たす整数)に電圧VCOMLを供給した場合、次の1フレーム期間では、共通線Zpに電圧VCOMHを供給する。一方、ある1フレーム期間において、共通線Zpに電圧VCOMHを供給した場合、次の1フレーム期間では、共通線Zpに電圧VCOMLを供給する。

【0088】

また、隣接する共通線Zには、互いに異なる電圧を供給する。例えば、ある1フレーム期間において、共通線Zpに電圧VCOMLを供給した場合、同一の1フレーム期間において、(p-1)行目の共通線Z(p-1)と、(p+1)行目の共通線Z(p+1)と、に電圧VCOMHを供給する。一方、ある1フレーム期間において、共通線Zpに電圧VCOMHを供給した場合、同一の1フレーム期間において、共通線Z(p-1)と共通線Z(p+1)とに電圧VCOMLを供給する。

【0089】

10

20

30

40

50

次に、走査線駆動回路10から320行の走査線Y(Y1~Y320)に第1の選択電圧を1水平走査期間毎に順次供給することで、各走査線Yに接続された全てのTFT51を1水平走査期間毎に順次オン状態にして、各走査線Yに係る全ての画素50を順次選択する。

【0090】

次に、これら画素50の選択に同期して、共通電極56の電圧に応じて、データ線駆動回路20からデータ線Xに、正極性の画像信号と、負極性の画像信号と、1水平ラインごとに交互に供給する。

【0091】

具体的には、320行の共通線Z(Z1~Z320)のうち、選択した画素50に係る共通線Zpに電圧VCOMLを供給した場合には、正極性の画像信号をデータ線Xに供給する。一方、320行の共通線Z(Z1~Z320)のうち、選択した画素50に係る共通線Zpに電圧VCOMHを供給した場合には、負極性の画像信号をデータ線Xに供給する。

10

【0092】

すると、走査線駆動回路10で選択した全ての画素50に、データ線駆動回路20からデータ線Xおよびオン状態のTFT51を介して画像信号が供給されて、この画像信号に基づく画像電圧が画素電極55に書き込まれる。これにより、画素電極55と共通電極56との間に電位差が生じて、駆動電圧が液晶に印加される。

【0093】

液晶に駆動電圧が印加されると、液晶の配向や秩序が変化して、液晶を透過するバックライト41からの光が変化する。この変化した光がカラーフィルタを透過することで、階調表示が行われる。

20

【0094】

なお、液晶に印加される駆動電圧は、蓄積容量53により、画像電圧が書き込まれる期間よりも3桁も長い期間に亘って保持される。

【0095】

図4は、制御回路30のブロック図である。

【0096】

制御回路30は、320行の走査線Y(Y1~Y320)に対応して、320個の単位制御回路P(P1~P320)を備える。各単位制御回路Pには、電圧VCOMLと、電圧VCOMHと、電圧VCOMLまたは電圧VCOMHのいずれかを選択する極性制御信号POLと、が供給される。

30

【0097】

単位制御回路Pは、極性制御信号POLを保持するラッチ回路Qと、極性制御信号POLに応じて電圧VCOMLまたは電圧VCOMHのいずれかを選択的に出力する選択回路Rと、を備える。ラッチ回路Qは、極性制御信号POLを保持する方法から、2つに大別できる。1つは、1行目の走査線Y1に対応して設けられたラッチ回路Q1と、320行目の走査線Y320に対応して設けられたラッチ回路Q320と、である。もう1つは、上述のラッチ回路Q1, Q320を除くラッチ回路Q2~Q319である。

40

【0098】

まず、ラッチ回路Q2~Q319について、以下に説明する。

【0099】

q行目(qは、2 q 319を満たす整数)の走査線Yqに対応して設けられたラッチ回路Qqは、否定論理和演算回路(以降、NOR回路と呼ぶ)31と、第1のインバータ32と、第2のインバータ33と、第1のクロックドインバータ34と、第2のクロックドインバータ35と、を備える。

【0100】

NOR回路31の2つの入力端子には、それぞれ、(q-1)行目の走査線Y(q-1)と、(q+1)行目の走査線Y(q+1)と、が接続されている。NOR回路31の出

50

力端子には、第1のインバータ32の入力端子と、第1のクロックドインバータ34の反転入力制御端子と、第2のクロックドインバータ35の非反転入力制御端子と、が接続されている。

【0101】

第1のインバータ32の出力端子には、第1のクロックドインバータ34の非反転入力制御端子と、第2のクロックドインバータ35の反転入力制御端子と、が接続されている。

【0102】

第1のクロックドインバータ34の入力端子からは、極性制御信号POLが入力される。第1のクロックドインバータ34の出力端子には、第2のインバータ33の入力端子が接続されている。

10

【0103】

第2のクロックドインバータ35の入力端子には、第2のインバータ33の出力端子が接続され、第2のクロックドインバータ35の出力端子には、第2のインバータ33の入力端子が接続されている。

【0104】

以上のラッチ回路Qqは、以下のように動作する。

【0105】

すなわち、走査線Y(q-1)と走査線Y(p+1)とのうち少なくともいずれかに第1の選択電圧が供給されると、ラッチ回路Qqが備えるNOR回路31は、Lレベルの信号を出力する。このLレベルの信号は、第1のクロックドインバータ34の反転入力制御端子に入力されるとともに、第1のインバータ32で反転され、Hレベルの信号として第1のクロックドインバータ34の非反転入力端子に入力される。このため、第1のクロックドインバータ34は、オン状態となり、極性制御信号POLを反転して出力する。この第1のクロックドインバータ34から反転して出力された極性制御信号POLは、第2のインバータ33により反転されて選択回路Rに出力される。

20

【0106】

以上のように、走査線駆動回路により走査線Y(q-1)と走査線Y(q+1)とのうち少なくともいずれかに第1の選択電圧が供給されると、ラッチ回路Qpは、極性制御信号POLを取り込む。

30

【0107】

一方、走査線Y(q-1)と走査線Y(p+1)との両方に第1の選択電圧が供給されないと、ラッチ回路Qqが備えるNOR回路31は、Hレベルの信号を出力する。このHレベルの信号は、第2のクロックドインバータ35の非反転入力制御端子に入力されるとともに、第1のインバータ32で反転され、Lレベルの信号として第2のクロックドインバータ35の反転入力端子に入力される。このため、第2のクロックドインバータ35は、オン状態となり、第2のインバータ33から出力された極性制御信号POLを反転して出力する。この第2のクロックドインバータ35から反転して出力された極性制御信号POLは、再度、第2のインバータ33により入力される。

【0108】

以上のように、走査線駆動回路により走査線Y(q-1)と走査線Y(p+1)との両方に第1の選択電圧が供給されないと、ラッチ回路Qpは、既に取り込んでいる極性制御信号POLを第2のインバータ33および第2のクロックドインバータ35により保持する。

40

【0109】

次に、ラッチ回路Q1, Q320について、以下に説明する。

【0110】

ラッチ回路Q1, Q320は、上述のラッチ回路Qqと比べて、NOR回路31の代わりに、Lレベルの信号を出力する電圧VLLの低電位電源を備える。その他の構成は、上述のラッチ回路Qqと同様である。

50

## 【 0 1 1 1 】

これらラッチ回路 Q 1 , Q 3 2 0 は、以下のように動作する。

## 【 0 1 1 2 】

すなわち、電圧 V L L の低電位電源からは、常に L レベルの信号が出力される。この L レベルの信号は、第 1 のクロックインバータ 3 4 の反転入力制御端子に入力されるとともに、第 1 のインバータ 3 2 で反転され、H レベルの信号として第 1 のクロックインバータ 3 4 の非反転入力制御端子に入力される。このため、第 1 のクロックインバータ 3 4 は、常にオン状態となり、常に極性制御信号 P O L を反転して出力する。この第 1 のクロックインバータ 3 4 から反転して出力された極性制御信号 P O L は、第 2 のインバータ 3 3 により反転されて選択回路 R に出力される。

10

## 【 0 1 1 3 】

以上のように、ラッチ回路 Q 1 , Q 3 2 0 は、常に極性制御信号 P O L を取り込む。

## 【 0 1 1 4 】

選択回路 R は、インバータ 3 6 と、C M O S トランジスタからなる第 1 のトランスファゲート 3 7 と、C M O S トランジスタからなる第 2 のトランスファゲート 3 8 と、を備える。

## 【 0 1 1 5 】

インバータ 3 6 の入力端子には、ラッチ回路 Q が備える第 2 のインバータ 3 3 の出力端子が接続され極性制御信号 P O L が入力される。インバータ 3 6 の出力端子には、第 1 のトランスファゲート 3 7 の非反転入力制御端子と、第 2 のトランスファゲート 3 8 の反転入力制御端子と、が接続されている。

20

## 【 0 1 1 6 】

第 1 のトランスファゲート 3 7 の反転入力制御端子（ゲート端子）には、ラッチ回路 Q が備える第 2 のインバータ 3 3 の出力端子が接続され極性制御信号 P O L が入力される。第 1 のトランスファゲート 3 7 の出力端子（ドレイン端子）には、共通線 Z が接続されている。

## 【 0 1 1 7 】

また、奇数行目の走査線 Y に対応して設けられた選択回路 R が備える第 1 のトランスファゲート 3 7 の入力端子（ソース端子）からは、電圧 V C O M H が入力される。一方、偶数行目の走査線 Y に対応して設けられた選択回路 R が備える第 1 のトランスファゲート 3 7 の入力端子からは、電圧 V C O M L が入力される。

30

## 【 0 1 1 8 】

第 2 のトランスファゲート 3 8 の非反転入力制御端子には、ラッチ回路 Q が備える第 2 のインバータ 3 3 の出力端子が接続され極性制御信号 P O L が入力される。第 2 のトランスファゲート 3 8 の出力端子には、共通線 Z が接続されている。

## 【 0 1 1 9 】

また、奇数行目の走査線 Y に対応して設けられた選択回路 R が備える第 2 のトランスファゲート 3 8 の入力端子からは、電圧 V C O M L が入力される。一方、偶数行目の走査線 Y に対応して設けられた選択回路 R が備える第 2 のトランスファゲート 3 8 の入力端子からは、電圧 V C O M H が入力される。

40

## 【 0 1 2 0 】

以上の選択回路 R は、以下のように動作する。

## 【 0 1 2 1 】

すなわち、ラッチ回路 Q が備える第 2 のインバータ 3 3 から L レベルの極性制御信号 P O L が出力されると、この L レベルの極性制御信号 P O L は、第 1 のトランスファゲート 3 7 の反転入力制御端子に入力されるとともに、インバータ 3 6 で反転され、H レベルの極性制御信号 P O L として第 1 のトランスファゲート 3 7 の非反転入力制御端子に入力される。このため、第 1 のトランスファゲート 3 7 は、オン状態となる。

## 【 0 1 2 2 】

オン状態となった第 1 のトランスファゲート 3 7 が、奇数行目の走査線 Y に対応して設

50

けられた選択回路 R が備えるものであれば、電圧 VCOMH を共通線 Z に出力する。一方、オン状態となった第 1 のトランスファゲート 37 が、偶数行目の走査線 Y に対応して設けられた選択回路 R が備えるものであれば、電圧 VCOML を共通線 Z に出力する。

【0123】

一方、ラッチ回路 Q が備える第 2 のインバータ 33 から H レベルの極性制御信号 POL が出力されると、この H レベルの極性制御信号 POL は、第 2 のトランスファゲート 38 の非反転入力制御端子に入力されるとともに、インバータ 36 で反転され、L レベルの極性制御信号 POL として第 2 のトランスファゲート 38 の反転入力制御端子に入力される。このため、第 2 のトランスファゲート 38 は、オン状態となる。

【0124】

オン状態となった第 2 のトランスファゲート 38 が、奇数行目の走査線 Y に対応して設けられた選択回路 R が備えるものであれば、電圧 VCOML を共通線 Z に出力する。一方、オン状態となった第 2 のトランスファゲート 38 が、偶数行目の走査線 Y に対応して設けられた選択回路 R が備えるものであれば、電圧 VCOMH を共通線 Z に出力する。

【0125】

< 第 1 実施形態の選択回路 R の変形例 >

図 5 は、前記選択回路 R の変形例である選択回路 RA のブロック図であり、トランスファゲートに用いるスイッチング素子として単チャンネルのスイッチングトランジスタを使用した例を示している。

【0126】

選択回路 RA は、Pch のスイッチングトランジスタからなる Pch トランスファゲート RP と、Nch のスイッチングトランジスタからなる Nch トランスファゲート RN と、を備える。

【0127】

Pch トランスファゲート RP の入力端子（ソース端子）には、電圧 VCOMH が接続され、Pch トランスファゲート RP の制御端子（ゲート端子）には、ラッチ回路 Q の出力端子が接続され極性制御信号 POL が入力される。Pch トランスファゲート RP の出力端子（ドレイン端子）には、共通線 Z が接続されている。

【0128】

Pch トランスファゲート RP の入力端子に電圧 VCOMH を接続することで、Nch トランスファゲート RN の入力端子に電圧 VCOMH を接続する場合よりもゲート - ソース間の電圧 VGS を大きくすることができるため、動作良好で、更に、低オン抵抗化とオフリークの低減も実現することができる。

【0129】

Nch トランスファゲート RN の入力端子（ソース端子）には、電圧 VCOML が接続され、Nch トランスファゲート RN の制御端子（ゲート端子）には、ラッチ回路 Q の出力端子が接続され極性制御信号 POL が入力される。Nch トランスファゲート RN の出力端子（ドレイン端子）には、共通線 Z が接続されている。

【0130】

Nch トランスファゲート RN の入力端子に電圧 VCOML を接続することで、Pch トランスファゲート RP を用いる場合よりもゲート - ソース間の電圧 VGS を大きくすることができるため、動作良好で、更に、低オン抵抗化とオフリークの低減も実現することができる。

【0131】

尚、選択回路 RA を用いる場合には、偶数行目の走査線 Y に対応して設けられたラッチ回路 Q において、第 2 のインバータ 33 を削除して、第 1 のクロックインバータ 34 から反転して出力された極性制御信号 POL をそのままに出力するように構成することで、共通線 Z に電圧 VCOMH と電圧 VCOML を交互に出力することができる。

【0132】

以上の選択回路 RA は、以下のように動作する。

10

20

30

40

50

## 【 0 1 3 3 】

すなわち、ラッチ回路QからLレベルの極性制御信号POLが出力されると、このLレベルの極性制御信号POLは、PchトランスファゲートRPの制御端子に入力される。このため、PchトランスファゲートRPは、オン状態となる。オン状態となったPchトランスファゲートRPは、電圧VCOMHを共通線Zに出力する。

## 【 0 1 3 4 】

一方、ラッチ回路QからHレベルの極性制御信号POLが出力されると、このHレベルの極性制御信号POLは、NchトランスファゲートRNの制御端子に入力される。このため、NchトランスファゲートRNは、オン状態となる。オン状態となったNchトランスファゲートRNは、電圧VCOMLを共通線Zに出力する。

10

## 【 0 1 3 5 】

このように選択回路RAでは、トランスファゲートに用いるスイッチング素子を単チャンネル化することにより、前記選択回路Rに用いられているようなCMOSスイッチング素子を用いる場合に比べて回路面積を小さくすることができる。また、高電位の電圧VCOMHにPchのスイッチング素子を接続し、低電位の電圧VCOMLにNchのスイッチング素子を接続する構成とし、夫々を排他的にオンするように構成したことにより、選択回路RAは1本の制御信号のみでの駆動が可能となり、前記選択回路Rのようにインバータ36を用いた反転信号を形成する必要が無いため、インバータ36を削減できる。従って、一層の回路面積の削減を実現することができる。

## 【 0 1 3 6 】

尚、電圧VCOMHと電圧VCOMLと、スイッチング素子のゲート電位としてゲート端子に印加する極性制御信号POLの電位関係は、ゲートHigh電圧(極性制御信号POLの高電位) > 電圧VCOMH > 電圧VCOML > =ゲートLow電圧(極性制御信号POLの低電位)、の関係を満たすように構成する。

20

## 【 0 1 3 7 】

このように構成することにより、トランスファゲートに用いるスイッチング素子を単チャンネル化しても効率的な低オン抵抗化とスイッチング素子のオフリーク低減を実現することが出来る。

## 【 0 1 3 8 】

更に好ましくは、電圧VCOMHと電圧VCOMLと、スイッチング素子のゲート電位としてゲート端子に印加する極性制御信号POLの電位関係を、ゲートHigh電圧 > 電圧VCOMH - |Pchのトランスファゲートの閾値| > 電圧VCOML + |Nchのトランスファゲートの閾値| > =ゲートLow電圧、を満たすように構成することで、各スイッチング素子は閾値以下でオフできるため、オフリークを確実に防止することができる。

30

## 【 0 1 3 9 】

尚、各電圧の設定は、例えば、ゲートHigh電圧は後述する電圧VGHと同じ8V、ゲートLow電圧は後述する電圧VGLと同じ0V、電圧VCOMHは4V、電圧VCOMLは0Vに設定される。

## 【 0 1 4 0 】

以上のラッチ回路Qおよび選択回路R(又は選択回路RA)を備えた制御回路30の動作について、図5を用いて説明する。

40

## 【 0 1 4 1 】

図6は、走査線駆動回路10および制御回路30のタイミングチャートである。

## 【 0 1 4 2 】

時刻t1, t2, ...は、それぞれ1水平期間を示している。

## 【 0 1 4 3 】

まず、時刻t1において、極性制御信号POLを電圧VLLとして、極性制御信号POLをLレベルとする。すると、単位制御回路P1, P320は、常に極性制御信号POLを取り込むラッチ回路Q1, Q320により、Lレベルの極性制御信号POL(選択回路

50

RAを用いる場合は、ラッチ回路Q320により、Hレベルの極性制御信号POL)を取り込んで、選択回路R1, R320により、電圧VCOMHおよび電圧VCOMLをそれぞれ出力する。このため、単位制御回路P1に接続された共通線Z1は、電圧VCOMHとなり、単位制御回路P320に接続された共通線Z320は、電圧VCOMLとなる。

【0144】

また、電圧VGHは、第1の選択電圧と同じ8Vであり、電圧VGLは、第2の選択電圧と同じ0Vである。

【0145】

次に、時刻t2において、走査線駆動回路10から1行目の走査線Y1に第1の選択電圧を供給して、走査線Y1の電圧を電圧VGHとする。すると、走査線Y1に隣接する走査線Y2に対応して設けられた単位制御回路P2は、ラッチ回路Q2により、Lレベルの極性制御信号POL(選択回路RAを用いる場合は、ラッチ回路Q2により、Hレベルの極性制御信号POL)を取り込んで、選択回路R2により、電圧VCOMLを出力する。このため、単位制御回路P2に接続された共通線Z2は、電圧VCOMHから電圧VCOMLに変化する。共通線Z2が4Vから0Vに変化すると、対応する画素電極55の電位は、0Vから-4Vに変化する。このときTFT51のゲートは電圧VGL(0V)であるため、TFT51のドレインからソース、すなわち、画素電極55からデータ線Xにリーク電流が流れてしまう。次に、時刻t3において、走査線駆動回路10から走査線Y1に第1の選択電圧を供給するのを停止して、走査線Y1の電圧を電圧VGLとする。

【0146】

同時に、走査線駆動回路10から2行目の走査線Y2に第1の選択電圧を供給して、走査線Y2の電圧を電圧VGHとする。走査線Y2の電位が電圧VGHになることで、データ線駆動回路20から正極性の画像信号が画素電極55に供給される。

【0147】

時刻t3で、走査線Y2の電圧が電圧VGHになると、走査線Y2に隣接する走査線Y3に対応して設けられた単位制御回路P3は、ラッチ回路Q3により、Lレベルの極性制御信号POLを取り込んで、選択回路R3により、電圧VCOMHを出力する。このため、単位制御回路P3に接続された共通線Z3は、電圧VCOMHとなる。

【0148】

次に、時刻t4において、走査線駆動回路10から走査線Y2に第1の選択電圧を供給するのを停止して、走査線Y2の電圧を電圧VGLとして、対応するTFT51のゲートを0Vとする。このとき画素電極55は正極性の画像信号(0V-4Vの信号)の書き込みにより、例えば、4Vの電位になっているため、画素電極55からデータ線Xへのリーク電流は発生しない。

【0149】

走査線Y2の電圧を電圧VGLにするのと同時に、走査線駆動回路10から3行目の走査線Y3に第1の選択電圧を供給して、走査線Y3の電圧を電圧VGHとする。すると、走査線Y3に隣接する走査線Y4に対応して設けられた単位制御回路P4は、ラッチ回路Q4により、Lレベルの極性制御信号POL(選択回路RAを用いる場合は、ラッチ回路Q4により、Hレベルの極性制御信号POL)を取り込んで、選択回路R4により、電圧VCOMLを出力する。このため、単位制御回路P4に接続された共通線Z4は、電圧VCOMLとなる。

【0150】

また、走査線Y3に隣接する走査線Y2に対応して設けられた単位制御回路P2は、ラッチ回路Q2により、Lレベルの極性制御信号POLを取り込んで、選択回路R2により、電圧VCOMLを出力する。このため、単位制御回路P2に接続された共通線Z2は、電圧VCOMLとなる。

【0151】

次に、時刻t5において、走査線駆動回路10から走査線Y3に第1の選択電圧を供給するのを停止して、走査線Y3の電圧を電圧VGLとする。

10

20

30

40

50

## 【 0 1 5 2 】

同時に、走査線駆動回路 1 0 から 4 行目の走査線 Y 4 に第 1 の選択電圧を供給して、走査線 Y 4 の電圧を電圧 V G H とする。すると、走査線 Y 4 に隣接する走査線 Y 5 に対応して設けられた単位制御回路 P 5 は、ラッチ回路 Q 5 により、L レベルの極性制御信号 P O L を取り込んで、選択回路 R 5 により、電圧 V C O M H を出力する。このため、単位制御回路 P 5 に接続された共通線 Z 5 は、電圧 V C O M H となる。

## 【 0 1 5 3 】

また、走査線 Y 4 に隣接する走査線 Y 3 に対応して設けられた単位制御回路 P 3 は、ラッチ回路 Q 3 により、L レベルの極性制御信号 P O L を取り込んで、選択回路 R 3 により、電圧 V C O M H を出力する。このため、単位制御回路 P 3 に接続された共通線 Z 3 は、電圧 V C O M H となる。

10

## 【 0 1 5 4 】

以降、走査線駆動回路 1 0 から奇数行目の走査線 Y (ただし、1 行目の走査線 Y 1 を除く) に第 1 の選択電圧を供給すると、時刻 t 4 のように動作し、偶数行目の走査線 Y (ただし、3 2 0 行目の走査線 Y 3 2 0 を除く) に第 1 の選択電圧を供給すると、時刻 t 5 のように動作する。

## 【 0 1 5 5 】

次に、時刻 t 7 において、走査線駆動回路 1 0 から 3 2 0 行目の走査線 Y 3 2 0 に第 1 の選択電圧を供給するのを停止して、走査線 Y 3 2 0 の電圧を電圧 V G L とする。

## 【 0 1 5 6 】

同時に、極性制御信号 P O L を電圧 V H H として、極性制御信号 P O L を H レベルとする。すると、単位制御回路 P 1 , P 3 2 0 は、常に極性制御信号 P O L を取り込むラッチ回路 Q 1 , Q 3 2 0 により、H レベルの極性制御信号 P O L (選択回路 R A を用いる場合は、ラッチ回路 Q 3 2 0 により、L レベルの極性制御信号 P O L ) を取り込んで、選択回路 R 1 , R 3 2 0 により、電圧 V C O M L および電圧 V C O M H をそれぞれ出力する。このため、単位制御回路 P 1 に接続された共通線 Z 1 は、電圧 V C O M L となり、単位制御回路 P 3 2 0 に接続された共通線 Z 3 2 0 は、電圧 V C O M H となる。

20

## 【 0 1 5 7 】

次に、時刻 t 8 において、時刻 t 2 と同様に、走査線駆動回路 1 0 から走査線 Y 1 に第 1 の選択電圧を供給して、走査線 Y 1 の電圧を電圧 V G H とする。すると、単位制御回路 P 2 は、電圧 V C O M H を出力するので、この単位制御回路 P 2 に接続された共通線 Z 2 は、電圧 V C O M H となる。

30

## 【 0 1 5 8 】

次に、時刻 t 9 において、時刻 t 3 と同様に、走査線駆動回路 1 0 から走査線 Y 1 に第 1 の選択電圧を供給するのを停止して、走査線 Y 1 の電圧を電圧 V G L とする。

## 【 0 1 5 9 】

同時に、時刻 t 3 と同様に、走査線駆動回路 1 0 から走査線 Y 2 に第 1 の選択電圧を供給して、走査線 Y 2 の電圧を電圧 V G H とする。すると、単位制御回路 P 3 は、電圧 V C O M L を出力するので、この単位制御回路 P 3 に接続された共通線 Z 3 は、電圧 V C O M L となる。

40

## 【 0 1 6 0 】

次に、時刻 t 1 0 において、時刻 t 4 と同様に、走査線駆動回路 1 0 から走査線 Y 2 に第 1 の選択電圧を供給するのを停止して、走査線 Y 2 の電圧を電圧 V G L とする。

## 【 0 1 6 1 】

同時に、時刻 t 4 と同様に、走査線駆動回路 1 0 から走査線 Y 3 に第 1 の選択電圧を供給して、走査線 Y 3 の電圧を電圧 V G H とする。すると、単位制御回路 P 4 は、電圧 V C O M H を出力するので、この単位制御回路 P 4 に接続された共通線 Z 4 は、電圧 V C O M H となる。

## 【 0 1 6 2 】

また、時刻 t 4 と同様に、単位制御回路 P 2 は、電圧 V C O M H を出力するので、この

50

単位制御回路 P 2 に接続された共通線 Z 2 は、電圧 V C O M H となる。

【 0 1 6 3 】

次に、時刻 t 1 1 において、時刻 t 5 と同様に、走査線駆動回路 1 0 から走査線 Y 3 に第 1 の選択電圧を供給するのを停止して、走査線 Y 3 の電圧を電圧 V G L とする。

【 0 1 6 4 】

同時に、時刻 t 5 と同様に、走査線駆動回路 1 0 から走査線 Y 4 に第 1 の選択電圧を供給して、走査線 Y 4 の電圧を電圧 V G H とする。すると、単位制御回路 P 5 は、電圧 V C O M L を出力するので、この単位制御回路 P 5 に接続された共通線 Z 5 は、電圧 V C O M L となる。

【 0 1 6 5 】

また、時刻 t 5 と同様に、単位制御回路 P 3 は、電圧 V C O M L を出力するので、この単位制御回路 P 3 に接続された共通線 Z 3 は、電圧 V C O M L となる。

【 0 1 6 6 】

以降、走査線駆動回路 1 0 から奇数行目の走査線 Y (ただし、走査線 Y 1 を除く) に第 1 の選択電圧を供給すると、時刻 t 1 0 のように動作し、偶数行目の走査線 Y (ただし、走査線 Y 3 2 0 を除く) に第 1 の選択電圧を供給すると、時刻 t 1 1 のように動作する。

【 0 1 6 7 】

尚、本実施形態では、負電源回路を備えず、走査線 Y に供給される第 2 の選択電圧が 0 V であるため、共通線 Z が電圧 V C O M H ( 4 V ) から電圧 V C O M L ( 0 V ) に変位した際に、それに連動して、当該共通線 Z に接続された共通電極 5 6 と対になった画素電極 5 5 の電位が 0 V から - 4 V に変化すると、当該画素電極 5 5 が接続された T F T 5 1 のゲート電位は、0 V であるため、画素電極 5 5 からソースにリーク電流が流れてしまうことになる。

【 0 1 6 8 】

しかし、1 水平期間後には、当該 T F T 5 1 のゲートに接続された走査線に第 1 の選択電圧が 1 水平期間供給され、正極性の画像信号 ( 0 から 4 V の電圧 ) が、データ線駆動回路 2 0 から画素電極 5 5 に供給される。その後、T F T 5 1 このように、リーク電流が流れるのは 1 水平期間のみであるため、リーク電流による影響が小さい。よって、負電源回路を省略し、正電源回路のみで駆動することができ、回路面積削減または I C の削減や、低消費電力化に貢献することができる。

【 0 1 6 9 】

以上の制御回路 3 0 を備えた液晶装置 1 の動作について、図 7、図 8 を用いて説明する。

【 0 1 7 0 】

図 7 は、液晶装置 1 の正極性書込時のタイミングチャートである。図 8 は、液晶装置 1 の負極性書込時のタイミングチャートである。

【 0 1 7 1 】

図 7、8 において、G A T E ( r ) は、3 2 0 行の走査線 Y のうち r 行目 ( r は、1 r 3 2 0 を満たす整数 ) の走査線 Y r の電圧であり、S O U R C E ( s ) は、2 4 0 列のデータ線 X のうち s 列目 ( s は、1 s 2 4 0 を満たす整数 ) のデータ線 X s の電圧である。また、P I X ( r , s ) は、r 行目の走査線 Y r と、s 列目のデータ線 X s と、の交差に対応して設けられた r 行 s 列目の画素 5 0 が備える画素電極 5 5 の電圧である。また、V C O M ( r ) は、r 行目の共通線 Z r に接続された共通電極 5 6 の電圧である。

【 0 1 7 2 】

まず、液晶装置 1 の正極性書込時について、図 7 を用いて説明する。

【 0 1 7 3 】

時刻 t 2 1 において、制御回路 3 0 により、共通線 Z r に電圧 V C O M L ( 0 V ) を供給する。すると、共通線 Z r に接続された共通電極 5 6 の電圧 V C O M ( r ) は、電圧 V C O M H ( 4 V ) から徐々に低下して、時刻 t 2 2 では、電圧 V C O M L ( 0 V ) となる。

10

20

30

40

50

## 【0174】

共通線 $Z_r$ に接続された共通電極56の電圧 $V_{COM}(r)$ が低下すると、 $r$ 行 $s$ 列目の画素50が備える画素電極55の電圧 $P_{IX}(r, s)$ は、前記電圧 $V_{COM}(r)$ の低下分(-4V)に応じて電圧 $V_{COM}(r)$ と電圧 $P_{IX}(r, s)$ との電位差を保つように低下する。このため、 $r$ 行 $s$ 列目の画素50が備える画素電極55の電圧 $P_{IX}(r, s)$ は、電圧 $V_{P2}$ から徐々に低下して、時刻 $t_{22}$ では、電圧 $V_{P1}((V_{P2} - 4)V)$ となる。よって、この時点で、TFT51のドレインは、画素電極55の負電位、ゲートは、第2の選択電圧の0V、ソースは、電圧 $V_{P2}$ になるため、TFT51のドレインからソースにリーク電流が流れてしまう。

## 【0175】

しかし、時刻 $t_{23}$ において、走査線駆動回路10により、走査線 $Y_r$ に第1の選択電圧が供給される。すると、走査線 $Y_r$ の電圧 $G_{ATE}(r)$ は、上昇して、時刻 $t_{24}$ では、電圧 $V_{GH}(8V)$ となる。これにより、走査線 $Y_r$ に接続されたTFT51が全てオン状態となる。したがって、前記リーク電流は流れなくなる。

## 【0176】

時刻 $t_{25}$ において、データ線駆動回路20により、データ線 $X_s$ に正極性の画像信号(0Vから4Vの信号)を供給する。すると、データ線 $X_s$ の電圧 $S_{OURCE}(s)$ は、徐々に上昇して、時刻 $t_{26}$ では、0V以上の電圧 $V_{P3}$ となる。

## 【0177】

データ線 $X_s$ の電圧 $S_{OURCE}(s)$ は、正極性の画像信号に基づく画像電圧として、走査線 $Y_r$ に接続されたオン状態のTFT51を介して、 $r$ 行 $s$ 列目の画素50が備える画素電極55に書き込まれる。このため、 $r$ 行 $s$ 列目の画素50が備える画素電極55の電圧 $P_{IX}(r, s)$ は、徐々に上昇して、時刻 $t_{26}$ では、データ線 $X_s$ の電圧 $S_{OURCE}(s)$ と同電位である電圧 $V_{P3}$ となる。

## 【0178】

時刻 $t_{27}$ において、走査線駆動回路10により、走査線 $Y_r$ に第1の選択電圧を供給するのを停止する。すると、走査線 $Y_r$ の電圧 $G_{ATE}(r)$ は、低下して、時刻 $t_{28}$ では、電圧 $V_{GL}(0V)$ となる。これにより、走査線 $Y_r$ に接続されたTFT51が全てオフ状態となる。

## 【0179】

このとき、走査線 $Y_r$ の電圧 $G_{ATE}(r) <$ 画素電極55の電圧 $V_{P3}$ であるためドレインからソースへリーク電流は流れない。

## 【0180】

次に、液晶装置1の負極性書込時について、図8を用いて説明する。

## 【0181】

時刻 $t_{31}$ において、制御回路30により、共通線 $Z_r$ に電圧 $V_{COMH}(4V)$ を供給する。すると、共通線 $Z_r$ に接続された共通電極56の電圧 $V_{COM}(r)$ は、電圧 $V_{COML}(0V)$ から徐々に上昇して、時刻 $t_{32}$ では、電圧 $V_{COMH}(4V)$ となる。

## 【0182】

共通線 $Z_r$ に接続された共通電極56の電圧 $V_{COM}(r)$ が上昇すると、 $r$ 行 $s$ 列目の画素50が備える画素電極55の電圧 $P_{IX}(r, s)$ は、前記電圧 $V_{COM}(r)$ の上昇分(4V)に応じて電圧 $V_{COM}(r)$ と電圧 $P_{IX}(r, s)$ との電位差を保つように上昇する。このため、 $r$ 行 $s$ 列目の画素50が備える画素電極55の電圧 $P_{IX}(r, s)$ は、徐々に上昇して、時刻 $t_{32}$ では、電圧 $V_{P5}$ から電圧 $V_{P6}((V_{P5} + 4)V)$ となる。よって、TFT51のドレインからソースにリーク電流は流れない。

## 【0183】

時刻 $t_{33}$ において、走査線駆動回路10により、走査線 $Y_r$ に第1の選択電圧を供給する。すると、走査線 $Y_r$ の電圧 $G_{ATE}(r)$ は、上昇して、時刻 $t_{34}$ では、電圧 $V_{GH}(8V)$ となる。これにより、走査線 $Y_r$ に接続されたTFT51が全てオン状態と

10

20

30

40

50

なる。

【0184】

時刻  $t_{35}$  において、データ線駆動回路 20 により、データ線  $X_s$  に負極性の画像信号（4V から 0V の信号（前記正極性の画像信号の逆極性の信号））を供給する。すると、データ線  $X_s$  の電圧 SOURCE (s) は、徐々に低下して、時刻  $t_{36}$  では、電圧  $V_{P4}$  となる。

【0185】

データ線  $X_s$  の電圧 SOURCE (s) は、負極性の画像信号に基づく画像電圧として、走査線  $Y_r$  に接続されたオン状態の TFT 51 を介して、 $r$  行  $s$  列目の画素 50 が備える画素電極 55 に書き込まれる。このため、 $r$  行  $s$  列目の画素 50 が備える画素電極 55 の電圧 PIX ( $r, s$ ) は、徐々に低下して、時刻  $t_{36}$  では、データ線  $X_s$  の電圧 SOURCE (s) と同電位である電圧  $V_{P4}$  となる。

10

【0186】

時刻  $t_{37}$  において、走査線駆動回路 10 により、走査線  $Y_r$  に第 1 の選択電圧を供給するのを停止する。すると、走査線  $Y_r$  の電圧 GATE ( $r$ ) は、低下して、時刻  $t_{38}$  では、電圧  $V_{GL}$  となる。これにより、走査線  $Y_r$  に接続された TFT 51 が全てオフ状態となる。

【0187】

本実施形態によれば、以下のような効果がある。

【0188】

(1) 電圧 VCOML を共通線 Z に供給して、共通電極 56 の電圧を電圧 VCOML とした後に、正極性の画像信号をデータ線 X に供給して、正極性の画像電圧を画素電極 55 に書き込んだ。また、電圧 VCOMH を共通線 Z に供給して、共通電極 56 の電圧を電圧 VCOMH とした後に、負極性の画像信号をデータ線 X に供給して、負極性の画像電圧を画素電極 55 に書き込んだ。このため、上述した従来例のように、蓄積容量 53 と画素容量 54 との間で電荷が移動しないので、蓄積容量 53 に特性ばらつきが発生しても、画素電極 55 の電圧にばらつきが生じない。よって、表示品位の低下を抑制できる。

20

【0189】

(2) 共通電極 56 の電圧 VCOM ( $r$ ) を電圧 VCOML または電圧 VCOMH に変動させた。したがって、蓄積容量 53 の一方の電極（補助容量電極 57）の電圧を、共通電極 56 と同様に変動させることができるので、蓄積容量 53 を画素容量 54 と一体に形成できる。よって、液晶を挟持する一对の基板として素子基板 60 および対向基板 70 のうち素子基板 60 に、画素容量 54 を構成する画素電極 55 および共通電極 56 を備える液晶装置 1 により、本発明の液晶装置を構成できる。

30

【0190】

(3) 1 水平ラインごとに共通電極 56 を分割した。そして、電圧 VCOML と電圧 VCOMH とを 1 水平ラインごとに交互に共通電極 56 に供給するとともに、これら共通電極 56 の電圧に対応して、正極性の画像信号と、負極性の画像信号とを、1 水平ラインごとに交互に各データ線 X に供給した。このため、1 フレーム内に正極性書込を行った画素 50 と負極性書込を行った画素 50 とを混在させ、これら画素 50 の間でフリッカを相殺させることができるので、表示品位の低下をさらに抑制できる。

40

【0191】

(4) 制御回路 30 に、320 行の走査線 Y ( $Y_1 \sim Y_{320}$ ) に対応して、320 個の単位制御回路 P ( $P_1 \sim P_{320}$ ) を設け、各単位制御回路 P に、ラッチ回路 Q および選択回路 R を設けた。よって、制御回路 30 により、電圧 VCOML または電圧 VCOMH のいずれかを選択的に共通電極 56 に供給できる。

【0192】

(5) 単位制御回路 P に対応する走査線 Y に隣接する走査線 Y に第 1 の選択電圧が供給されると、ラッチ回路 Q により、極性制御信号を保持した。このため、複数の単位制御回路 P には、走査線駆動回路 10 により複数の走査線 Y に順次供給される第 1 の選択電圧に

50

基づいて、極性制御信号が順次保持される。このため、制御回路30は、複数の単位制御回路Pに順次極性制御信号を転送するために、シフトレジスタ回路といった順次転送回路を必要としないので、消費電力を低減できる。

【0193】

(6) ラッチ回路Q1, Q320により、常に極性制御信号POLを取り込むとともに、ラッチ回路Q2~Q319により、隣接する2つの走査線Yのうち少なくともいずれかに第1の選択電圧が供給されると、極性制御信号を取り込んだ。このため、走査線駆動回路10により走査線Y1から走査線Y320の順に選択される場合だけでなく、走査線駆動回路10により走査線Y320から走査線Y1の順に選択される場合でも、制御回路30は、複数の単位制御回路Pに順次極性制御信号を転送できる。

10

【0194】

(7) 本実施形態では、負電源回路を備えず、走査線Yに供給される第2の選択電圧が0Vであるため、共通線Zが電圧VCOMH(4V)から電圧VCOML(0V)に変化した際に、それに連動して、当該共通線Zに接続された共通電極56と対になった画素電極55の電位が0Vから-4Vに変化すると、当該画素電極55が接続されたTFT51のゲート電位は、0Vであるため、画素電極55からソースにリーク電流が流れてしまうことになるが、1水平期間後には、当該TFT51のゲートに接続された走査線に第1の選択電圧が供給され、正極性の画像信号が、データ線駆動回路20から画素電極55に供給される。このように、リーク電流が流れるのは1水平期間のみであるため、リーク電流による影響が小さい。よって、負電源回路を省略し、正電源回路のみで駆動することができ、回路面積削減またはICの削減や、低消費電力化に貢献することができる。

20

【0195】

<第2実施形態>

図9は、本発明の第2実施形態に係る制御回路30Aのブロック図である。

【0196】

本実施形態では、1行目の走査線Y1に対応して設けられたラッチ回路Q1Aと、320行目の走査線Y320に対応して設けられたラッチ回路Q320Aと、の構成が、第1実施形態のラッチ回路Q1, Q320とは異なる。その他の構成については、第1実施形態と同様であり、説明を省略する。

【0197】

尚、選択回路Rに代えて、選択回路RAを用いることもできる。この場合には、第1実施形態の変形例での説明と同様に、偶数行目の走査線Yに対応して設けられたラッチ回路Qにおいて、第2のインバータ33を削除して、第1のクロックドインバータ34から反転して出力された極性制御信号POLをそのままに出力するように構成することで、共通線Zに電圧VCOMHと電圧VCOMLを交互に出力するように構成するとよい。

30

【0198】

ラッチ回路Q1A, Q320Aは、それぞれ、第1のインバータ32と、第2のインバータ33と、第1のクロックドインバータ34と、第2のクロックドインバータ35と、第3のインバータ39と、を備える。

【0199】

ラッチ回路Q1Aが備える第3のインバータ39の入力端子には、走査線Y1が接続され、ラッチ回路Q320Aが備える第3のインバータ39の入力端子には、走査線Y320が接続されている。これら第3のインバータ39の出力端子には、第1のインバータ32の入力端子と、第1のクロックドインバータ34の反転入力制御端子と、第2のクロックドインバータ35の非反転入力制御端子と、が接続されている。

40

【0200】

このラッチ回路Q1Aは、以下のように動作する。

【0201】

すなわち、走査線Y1に第1の選択電圧が供給されると、ラッチ回路Q1Aが備える第3のインバータ39は、Lレベルの信号を出力する。このLレベルの信号は、第1のクロ

50

ックドインバータ34の反転入力制御端子に入力されるとともに、第1のインバータ32で反転され、Hレベルの信号として第1のクロックドインバータ34の非反転入力端子に入力される。このため、第1のクロックドインバータ34は、オン状態となり、極性制御信号POLを反転して出力する。この第1のクロックドインバータ34から反転して出力された極性制御信号POLは、第2のインバータ33により反転されて出力される。

【0202】

また、ラッチ回路Q320Aは、走査線Y320に第1の選択電圧が供給されると、上述のラッチ回路Q1Aと同様に（ただし、選択回路RAを用いる場合は、第1のクロックドインバータ34から反転して出力された極性制御信号POLをそのまま出力するように）動作する。

10

【0203】

以上のように、走査線駆動回路10により走査線Y1に第1の選択電圧が供給されると、ラッチ回路Q1Aは、極性制御信号POLを取り込み、走査線駆動回路10により走査線Y320に第1の選択電圧が供給されると、ラッチ回路Q320Aは、極性制御信号POLを取り込む。

【0204】

図10は、制御回路30Aのタイミングチャートである。

【0205】

図10に示す制御回路30Aのタイミングチャートでは、図6に示した第1実施形態の制御回路30のタイミングチャートと比べて、共通線Z1、Z320の電圧が変動するタイミングが異なる。

20

【0206】

共通線Z1は、走査線駆動回路10から走査線Y1に第1の選択電圧を供給すると同時に、電圧が反転する。

【0207】

具体的には、時刻t41において、走査線駆動回路10から走査線Y1に第1の選択電圧が供給されると同時に、単位制御回路P1Aは、ラッチ回路Q1Aにより、Lレベルの極性制御信号POLを取り込んで、選択回路R1により、電圧VCOMHを出力する。このため、単位制御回路P1Aに接続された共通線Z1は、電圧VCOMHとなる。また、時刻t44において、走査線駆動回路10から走査線Y1に第1の選択電圧が供給されると同時に、単位制御回路P1Aは、ラッチ回路Q1Aにより、Hレベルの極性制御信号POLを取り込んで、選択回路R1により、電圧VCOMLを出力する。このため、単位制御回路P1Aに接続された共通線Z1は、電圧VCOMLとなる。

30

【0208】

また、共通線Z320は、共通線Z1と同様に、走査線駆動回路10から走査線Y320に第1の選択電圧が供給されると同時に、電圧の極性が反転する。

【0209】

具体的には、時刻t43において、走査線駆動回路10から走査線Y320に第1の選択電圧が供給されると同時に、単位制御回路P320Aは、ラッチ回路Q320Aにより、Lレベルの極性制御信号POL（選択回路RAを用いる場合は、ラッチ回路Q320Aにより、Hレベルの極性制御信号POL）を取り込んで、選択回路R320により、電圧VCOMLを出力する。このため、単位制御回路P320Aに接続された共通線Z320は、電圧VCOMLとなる。

40

【0210】

また、時刻t44において、走査線駆動回路10から走査線Y320に第1の選択電圧が供給されると同時に、単位制御回路P320Aは、ラッチ回路Q320Aにより、Hレベルの極性制御信号POLを取り込んで、選択回路R320により、電圧VCOMHを出力する。このため、単位制御回路P320Aに接続された共通線Z320は、電圧VCOMHとなる。

【0211】

50

本実施形態によれば、以下のような効果がある。

【0212】

(8) 図2に示したように、共通電極56は、1水平ラインごとに分割されている。このため、共通電極56の電圧が隣接する1水平ラインごとに異なると、これらの中で電界が発生して、液晶の配向や秩序が微妙に変化する場合がある。特に、第1実施形態では、図6で示したように、時刻 $t_6 \sim t_7$ の期間において、共通線Z319の電圧は、電圧VCOMHであり、共通線Z320の電圧は、電圧VCOMLである。ここで、時刻 $t_6 \sim t_7$ の期間は、走査線駆動回路10により走査線Yを選択する期間の3倍の期間に相当する。このため、時刻 $t_6 \sim t_7$ の期間において、共通線Z319に接続された共通電極56と、共通線Z320に接続された共通電極56と、の間で電界が発生して、液晶の配向や秩序が大きく変化する場合があった。

10

【0213】

そこで、走査線Y320に第1の選択電圧が供給されると同時に、共通線Z320の電圧の極性を反転させ、共通線Z319の電圧と、共通線Z320の電圧と、が異なる期間を時刻 $t_{42} \sim t_{43}$ の期間とした。ここで、時刻 $t_{42} \sim t_{43}$ の期間は、走査線駆動回路10により走査線Yを選択する期間の2倍の期間に相当するので、第1実施形態と比べて、共通線Z319の電圧と、共通線Z320の電圧と、が異なる期間が短い。このため、第1実施形態と比べて、共通線Z319に接続された共通電極56と、共通線Z320に接続された共通電極56と、の間で電界が発生して、液晶の配向や秩序が変化することを抑制できる。

20

【0214】

<第3実施形態>

図11は、本発明の第3実施形態に係る画素50Aの拡大平面図である。

【0215】

本実施形態では、画素50Aが補助共通線ZAおよびコンタクト部58を備える点が、第1実施形態の画素50とは異なる。その他の構成については、第1実施形態と同様であり、説明を省略する。

【0216】

補助共通線ZAは、導電性の金属からなり、1水平ラインごとに分割して設けられた共通電極56に対応して設けられている。この補助共通線ZAは、走査線Yに沿って形成されている。

30

【0217】

コンタクト部58は、導電性の金属からなり、領域581において、補助共通線ZAと接続され、領域582において、共通電極56および共通線Zに接続されている。

【0218】

本実施形態によれば、以下のような効果がある。

【0219】

(9) 1水平ラインごとに分割して設けられた共通電極56に対応して導電性の金属からなる補助共通線ZAを設け、導電性の金属からなるコンタクト部58を介して、共通電極56および共通線Zと、補助共通線ZAと、を接続した。よって、共通電極56および共通線Zの時定数を小さくできる。

40

【0220】

<変形例>

なお、本発明は上述の各実施形態に限定されるものではなく、本発明の目的を達成できる範囲での変形、改良等は本発明に含まれるものである。

【0221】

例えば、上述の各実施形態では、320行の走査線Yと、240列のデータ線Xと、を備えるものとしたが、これに限らず、例えば、480行の走査線Yと、640列のデータ線Xと、を備えてもよい。

【0222】

50

また、上述の各実施形態では、透過型の表示を行うものとしたが、これに限らず、例えば、バックライト 4 1 からの光を利用する透過型表示と、外光の反射光を利用する反射型表示と、を兼ね備えた半透過反射型の表示を行ってもよい。

【0223】

また、上述の各実施形態では、TFTとして低温ポリシリコンからなるTFT51を設けたが、これに限らず、例えばアモルファスシリコンからなるTFTを設けてもよい。

【0224】

また、上述の各実施形態では、共通電極56の上に第2絶縁膜64を形成し、この第2絶縁膜64の上に画素電極55を形成したが、これに限らず、例えば、画素電極55の上に第2絶縁膜64を形成し、この第2絶縁膜64の上に共通電極56を形成してもよい。

10

【0225】

また、上述の各実施形態では、液晶がFFSモードで動作するものとしたが、これに限らず、例えばIPSモードで動作するものであってもよい。

【0226】

また、上述の各実施形態では、共通電極56を1水平ラインごとに分割して設けたが、これに限らず、例えば、2水平ラインごとや3水平ラインごとに分割して設けてもよい。

【0227】

ここで、例えば、共通電極56を2水平ラインごとに分割して設けた場合には、制御回路30は、電圧VCOMLと電圧VCOMHとを、各共通電極56に接続された2つの共通線Zごとに、交互に供給する。また、データ線駆動回路20は、正極性書込と負極性書込とを、共通電極56に対応する2水平ラインごとに交互に行う。

20

【0228】

<応用例>

次に、上述した第1実施形態に係る液晶装置1を適用した電子機器について説明する。

【0229】

図14は、液晶装置1を適用した携帯電話機の構成を示す斜視図である。携帯電話機3000は、複数の操作ボタン3001およびスクロールボタン3002、ならびに液晶装置1を備える。スクロールボタン3002を操作することによって、液晶装置1に表示される画面がスクロールされる。

【0230】

30

なお、液晶装置1が適用される電子機器としては、図14に示すもののほか、パーソナルコンピュータ、情報携帯端末、デジタルスチルカメラ、液晶テレビ、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器などが挙げられる。そして、これらの各種電子機器の表示部として、前述した液晶装置が適用可能である。

【図面の簡単な説明】

【0231】

【図1】本発明の第1実施形態に係る液晶装置のブロック図。

【図2】前記液晶装置が備える画素の拡大平面図。

40

【図3】前記液晶装置が備える画素の断面図。

【図4】前記液晶装置が備える制御回路のブロック図。

【図5】前記制御回路の選択回路Rの変形例を示すブロック図。

【図6】前記液晶装置が備える制御回路のタイミングチャート。

【図7】前記液晶装置の正極性書込時のタイミングチャート。

【図8】前記液晶装置の負極性書込時のタイミングチャート。

【図9】本発明の第2実施形態に係る制御回路のブロック図。

【図10】前記制御回路のタイミングチャート。

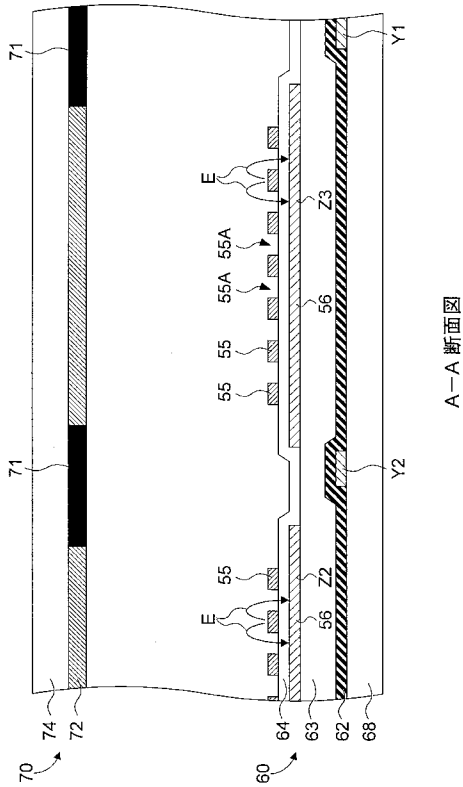
【図11】本発明の第3実施形態に係る画素の拡大平面図。

【図12】従来例に係る液晶装置の正極性書込時のタイミングチャート。

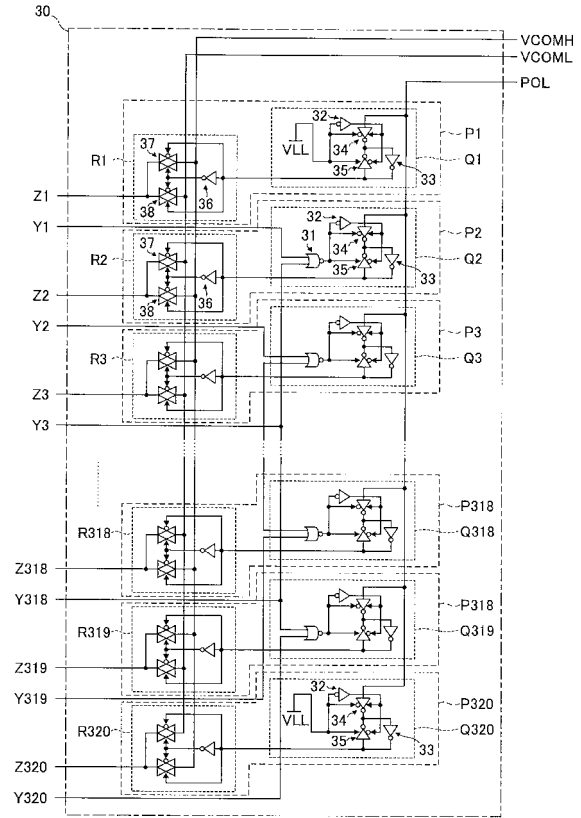
50



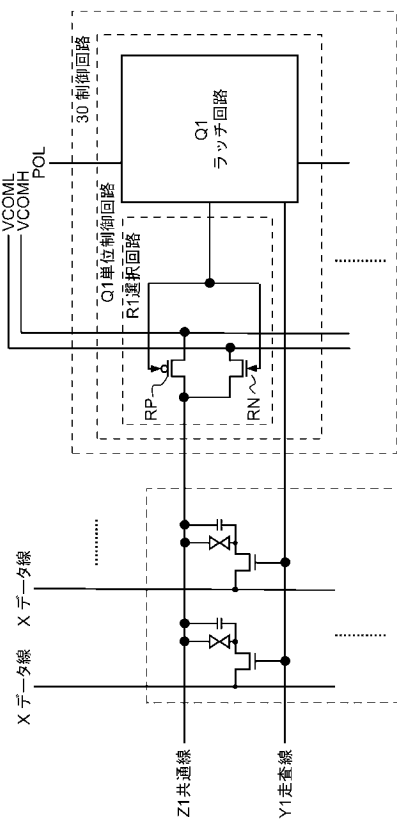
【図3】



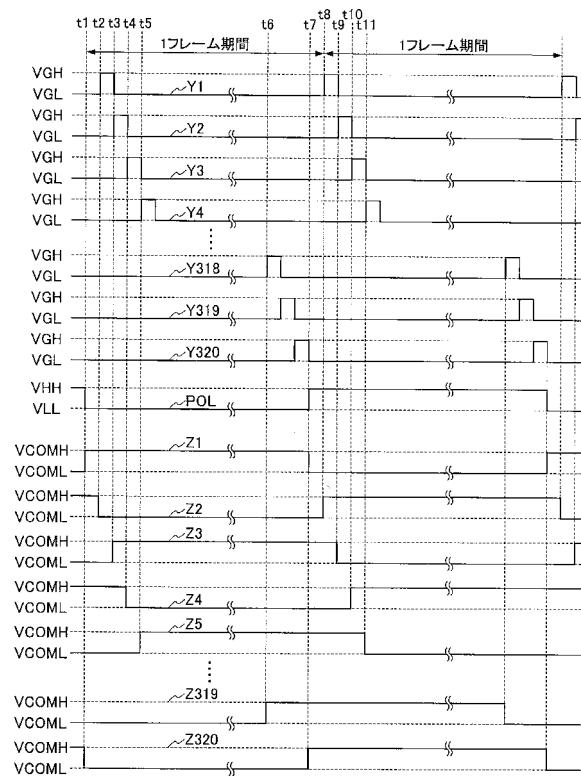
【図4】



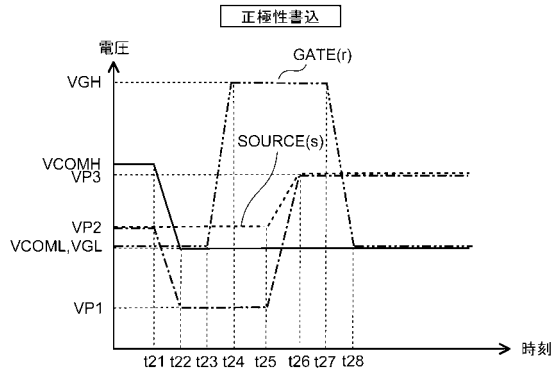
【図5】



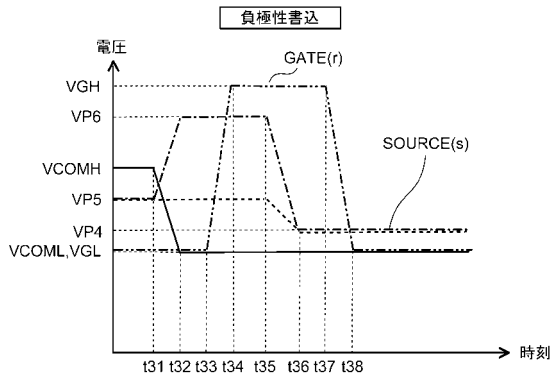
【図6】



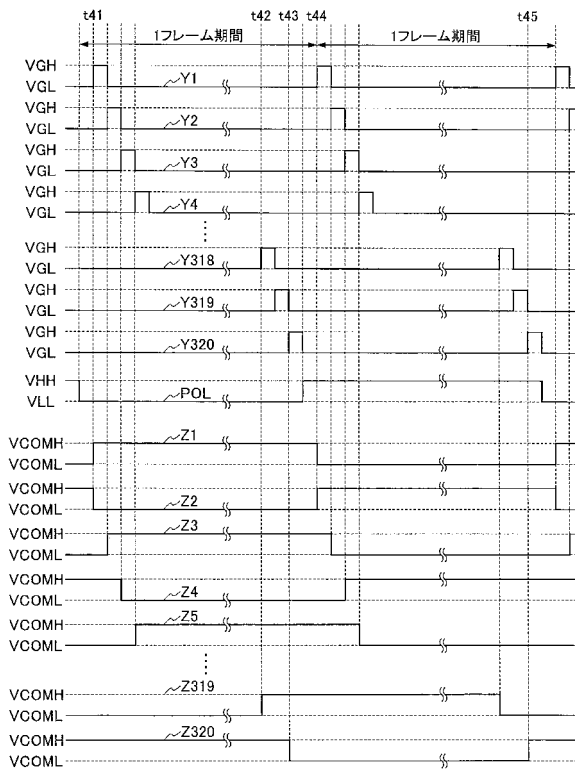
【図7】



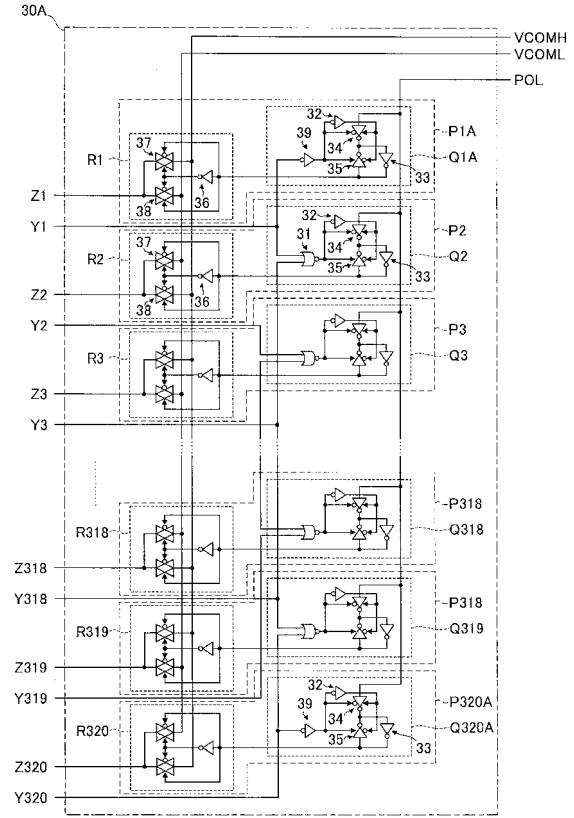
【図8】



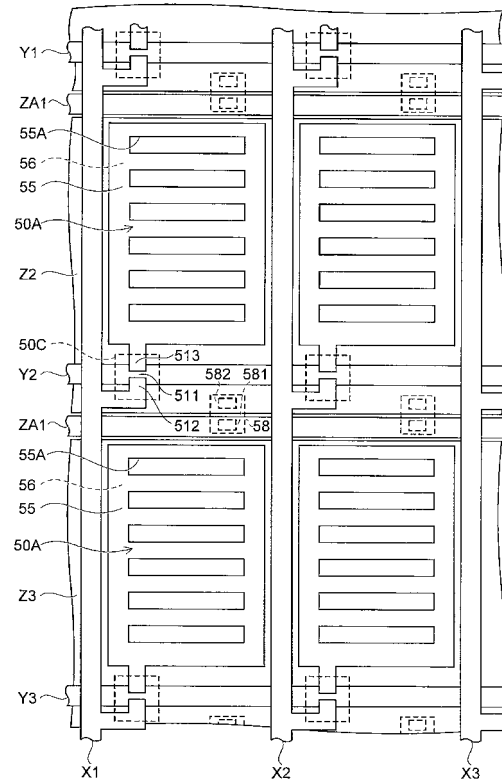
【図10】



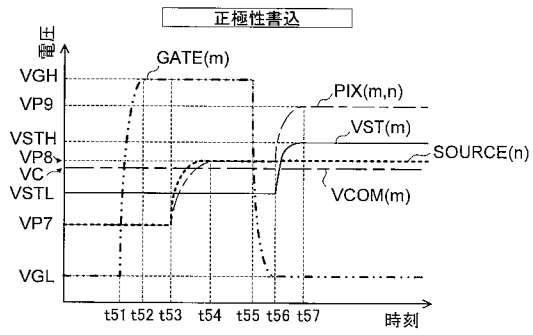
【図9】



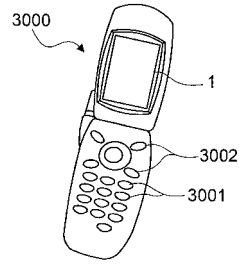
【図11】



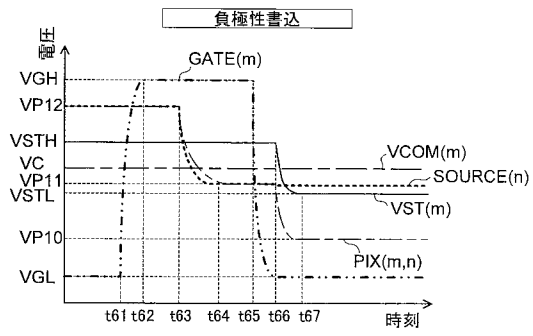
【圖 1 2】



【圖 1 4】



【圖 1 3】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 1 2 R  
G 0 9 G 3/20 6 4 2 A  
G 0 9 G 3/20 6 2 4 E  
G 0 2 F 1/133 5 0 5  
G 0 2 F 1/133 5 5 0

審査官 堀部 修平

(56)参考文献 特開2005-300948(JP,A)  
特開2005-018077(JP,A)  
特開2002-221941(JP,A)  
特開2006-078920(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3