(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3694394号
(P3694394)
(45)発行日　平成17年9月14日(2005.9.14)　(24)登録日　平成17年7月1日(2005.7.1)

| (51)Int.Cl.[7] | F I | | |
|---|---|---|---|
| H01L 21/768 | H01L | 21/90 | B |
| H01L 21/28 | H01L | 21/28 | L |
| H01L 21/316 | H01L | 21/316 | G |
| H01L 21/318 | H01L | 21/318 | B |

請求項の数 1　(全 12 頁)

(21)出願番号　特願平9-289152
(22)出願日　平成9年10月6日(1997.10.6)
(65)公開番号　特開平10-116907
(43)公開日　平成10年5月6日(1998.5.6)
審査請求日　平成12年3月1日(2000.3.1)
審判番号　不服2003-219(P2003-219/J1)
審判請求日　平成15年1月6日(2003.1.6)
(31)優先権主張番号　08/727,159
(32)優先日　平成8年10月7日(1996.10.7)
(33)優先権主張国　米国(US)

(73)特許権者　504199127
フリースケール　セミコンダクター　インコーポレイテッド
アメリカ合衆国　７８７３５　テキサス州　オースティン　ウィリアム　キャノンド　ライブ　ウエスト　６５０１
(74)代理人　100116322
弁理士　桑垣　衛
(72)発明者　ブルース・アレン・ボエック
アメリカ合衆国テキサス州７８７５９、オースチン、フローラル・パーク　１０６１　１

最終頁に続く

(54)【発明の名称】半導体装置を形成する方法

(57)【特許請求の範囲】
【請求項１】
第１トレンチ領域と該第１トレンチ領域から離れた第２トレンチ領域とによって分離されるとともに、ボロフォスフォシリケートガラス（ＢＰＳＧ）、テトラエチルオルソシリケート（ＴＥＯＳ）、フォスフォシリケートガラス（ＰＳＧ）、二酸化シリコン、窒化シリコン、およびフッ素化酸化物からなる群から選択され第１の誘電率ｅ１を有する材料からなる第１誘電体層（１８）を形成する工程と、
第１平坦化プロセスを用いて、前記第１トレンチ領域内に第１導電領域（２０）を、および同第１導電領域から横方向に離間するとともに同第１導電領域から前記第１誘電体層によって分離されている第２導電領域（２０’）を前記第２トレンチ領域内に形成する工程と、
前記第１誘電体層を除去することによって、第１および第２導電領域の間に間隙を形成する工程と、
ｅ２≦３．５、かつｅ２≦ｅ１である誘電率ｅ２を有し、前記第１および第２導電領域を覆うとともに、前記間隙を充填する第１部分を有した第２誘電体層（２２）を形成する工程と、
前記第２誘電体層の前記第１部分を前記間隙内に残存させた状態で前記第１導電領域または前記第２導電領域のうち少なくとも一方の頭部面を露出すべく前記第２誘電体層の頭部を磨く工程とからなる半導体装置の製造方法。
【発明の詳細な説明】

【０００１】
【発明の属する技術分野】
本発明は一般的には半導体の製造に関し、かつより特定的には、容量結合およびクロストークを低減するために金属部材の間に低誘電率の領域を形成することに関する。
【０００２】
【従来の技術】
現代の集積回路は単一のチップ上に何千もの半導体デバイスを含んでおり、かつチップのデバイス密度が増大するに応じてより多くのメタリゼイションまたは金属層がデバイスを相互接続するために必要とされる。さらに、与えられた金属層内で、メタリゼイションラインを分離する水平距離は集積回路の密度が増大するに応じてチップサイズを最小にするため低減されなければならない。同時に、チップの速度および性能要求に合致するためメタリゼイションの抵抗および容量は最小にしなければならない。伝統的には、同じレベル内のメタリゼイションラインおよび２つの異なるレベルのメタリゼイションラインを隔離するために使用されるレベル間または層間（ｉｎｔｅｒ－ｌｅｖｅｌ）誘電体は高い誘電率を有する材料で構成されてきた。例えば、ボロフォスフォシリケートガラス（ｂｏｒｏｐｈｏｓｐｈｏｓｉｌｉｃａｔｅ ｇｌａｓｓ：ＢＰＳＧ）、フォスフォシリケートガラス（ｐｈｏｓｐｈｏｓｉｌｉｃａｔｅ ｇｌａｓｓ：ＰＳＧ）、およびプラズマおよび化学蒸着されたテトラエチルオルソシリケート（ｔｅｔｒａｅｔｈｙｌｏｒｔｈｏｓｉｌｉｃａｔｅ）ベースの（ＴＥＯＳ）酸化物のようなドーピングされていないおよびドーピングされた二酸化シリコン層がこれらの多層金属構造における誘電体層として使用されてきている。半導体産業の絶えず増大するデバイス密度および動作速度を備えた集積回路に対する絶えざる需要はクロストーク、容量結合、および結果としての速度の低下を低減するために、低い誘電率を有する新しい誘電体材料を要求している。
【０００３】
【発明が解決しようとする課題】
しかしながら、レベル間および金属間誘電体層を形成するために使用される低い誘電率の材料の多くはそれらの貧弱な機械的強度のため取り扱うのが困難である。さらに、これらの材料の多くは処理温度の制限を有し、すなわち、それらはいったん集積回路の上に形成されると、ある温度より高い熱処理にさらすことはできない。さらに、これらの材料の多くはまた貧弱な熱伝導率を示す。従って、高周波動作の間に発生される熱が集積回路から効率的に放散できず、従って回路の信頼性が問題となる。従って、機械的強度の不都合が低減され、かつ熱放散が改善された、低い誘電率を有する誘電体層を備えた相互接続構造を形成する方法の必要性が存在する。
【０００４】
【課題を解決するための手段】
本発明は隣接金属ラインの間のクロストークが低減された半導体装置の製造方法に関する。この方法において、第１誘電体層（１８）は、第１トレンチ領域と第２トレンチ領域とによって分離された状態で形成される。第１誘電体層（１８）は、ボロフォスフォシリケートガラス（ＢＰＳＧ）、テトラエチルオルソシリケート（ＴＥＯＳ）、フォスフォシリケートガラス（ＰＳＧ）、二酸化シリコン、窒化シリコン、およびフッ素化酸化物からなる群から選択された、第１の誘電率ｅ１を有する材料からなる。第１誘電体層（１８）を形成した後、第１トレンチ領域内に第１導電領域（２０）を、および同第１導電領域から横方向に離間するとともに同第１導電領域から前記第１誘電体層によって分離されている第２導電領域（２０’）を前記第２トレンチ領域内に成膜し、平坦化プロセスによって第１および第２導電領域を成形する。そして、第１誘電体層を除去することによって、第１および第２導電領域の間に間隙を形成する。次に、第１および第２導電領域を覆うとともに、前記間隙を充填する第１部分を有した第２誘電体層（２２）を形成する。この第２誘電体層（２２）は、ｅ２≦３．５、かつｅ２≦ｅ１である誘電率ｅ２を有する材料からなる。第２誘電体層の前記第１部分を前記間隙内に残存させた状態で前記第１導電領域または前記第２導電領域のうち少なくとも一方の頭部面を露出すべく前記第２誘電体層の頭

部を研磨することによって、隣接する金属配線の間に低誘電率を有する誘電体が設けられた集積回路が作製される。

一般に、本発明はＲＣ時間遅延または隣接金属ラインの間のクロストークが低減された集積回路（ＩＣ）における相互接続構造を形成する方法に関する。本発明の１実施形態では、相互接続構造は高い誘電率を備えた第１の誘電体層および低い誘電率を備えた第２の誘電体層を使用することにより形成される。本発明のこの実施形態では、低い誘電率を有する誘電体層は導電性相互接続の間に支配的または優勢に（ｐｒｅｄｏｍｉｎａｎｔｌｙ）形成されかつ実質的に該導電性相互接続の上には形成されない。低Ｋ（ｌｏｗ－Ｋ）誘電体材料がこのようにして前記相互接続の間の犠牲的な（ｓａｃｒｉｆｉｃｉａｌ）より高いＫの誘電体層が除去されて低いＫの誘電体材料で充填できる導電性部材の間の領域を提供した後に形成され、それによって前記導電性部材の上の低いＫの誘電体材料が低減あるいは除去される。導電性部材の上に横たわるかあるいは下に横たわる代わりに導電性領域の間に低いＫの材料をこのように選択的に配置することは熱放散および機械的強度を改善し、一方低いＫの材料に関連する改善されたアイソレーションの利点を保持する。

【０００８】

【発明の実施の形態】

以下図面を参照して本発明の実施形態につき説明する。説明の単純化および明瞭化のために、図面に示された各要素は必ずしも比例した尺度で描かれていないことが理解されるであろう。例えば、いくつかの要素の寸法は明瞭化のため他の要素に対して誇張されている。さらに、適切であると考えられる場合には、図面にわたり参照数字が反復されて対応するまたは類似の要素を示している。

【０００９】

本発明の実施形態は図１～図１６を参照することによりさらに明瞭に理解できる。

図１～図６は、断面図形式で、本発明の第１の実施形態に係わる相互接続構造を作製するための処理工程を示す。図１には集積回路構造の一部１０が示されており、該一部１０は第１の誘電体層１２、エッチストップ層（ｅｔｃｈ ｓｔｏｐ ｌａｙｅｒ）またはエッチング停止層１６、および第２の誘電体層１８を備えている。図１においては、第１の誘電体層１２、エッチストップ層１６、および第２の誘電体層１８は伝統的なリソグラフおよびエッチング技術を使用してパターニングされる。好ましい実施形態においては、第１の誘電体層１２、エッチストップ層１６、および第２の誘電体層１８はフッ素化エッチング種（ｆｌｕｏｒｉｎａｔｅｄ ｅｔｃｈ ｓｐｅｃｉｅｓ）からなるプラズマエッチ化学剤を使用して同時にパターニングされかつエッチングされる。例えば、層１２，１６および１８は$CHF_3$，$CF_4$，$C_2F_6$および／またはその他のようなエッチングガスを使用して発生されるプラズマ環境でパターニングすることができる。このエッチングプロセスは第１の誘電体層１２内にコンタクト開口１４を規定しこれは金属導電体層がその後図１のコンタクト開口内に被着され導電性コンタクト部分１４を形成できるようにすることに注目すべきである。この引き続き被着される導電体層はポリシリコン層または半導体基板内の他の金属層またはドーピングされた半導体領域のような下に横たわる導電性領域への電気的コンタクト／相互接続を形成するために使用される。前記ドーピングされた領域はバイポーラ電極、ウエルコンタクト、ソース／ドレイン、薄膜トランジスタ（ＴＦＴ）ノードあるいは同様のドーピングされたポリシリコンまたは基板部分とすることができる。ポリシリコンはアモルファスシリコン、エピタキシャル成長シリコン、あるいは高融点シリサイド化シリコン含有層（ｒｅｆｒａｃｔｏｒｙ ｓｉｌｉｃｉｄｅｄ ｓｉｌｉｃｏｎ－ｃｏｎｔａｉｎｉｎｇ ｌａｙｅｒｓ）と置き換えることができる。

【００１０】

１実施形態では、第１の誘電体層１２および第２の誘電体層１８は同じ材料を使用して形成される。例えば、第１の誘電体層１２および第２の誘電体層１８はボロフォスフォシリケートガラス（ＢＰＳＧ）の層、プラズマテトラエチルオルソシリケート（ＴＥＯＳ）の層、フォスフォシリケートガラス（ＰＳＧ）層、二酸化シリコン、窒化物層、フッ素化酸化物層、あるいは同様の誘電体層とすることができる。他の形式では、誘電体層１８は層

１２と異なる材料から形成される。第１の誘電体層１２、第２の誘電体層１８は伝統的なプラズマ被着プロセス、低温化学蒸着（ＬＰＣＶＤ）プロセス、その他を使用して形成される。１実施形態では、エッチストップ層１６は層１２および１８が酸化物である場合にプラズマ増強窒化シリコンの層である。あるいは、リソグラフプロセスにおいて反射防止コーティング（ａｎｔｉ－ｒｅｆｌｅｃｔｉｖｅ ｃｏａｔｉｎｇ：ＡＲＣ）として機能することもできる、エッチストップ層１６はシリコンリッチ（ｓｉｌｉｃｏｎ ｒｉｃｈ）窒化シリコン、窒化アルミニウム、またはエッチバック停止層または化学機械研摩（ＣＭＰ）停止層として使用できる任意の誘電体層とすることができる。また、窒化シリコン酸化物（ｓｉｌｉｃｏｎ ｏｘｉｄｅ ｎｉｔｒｉｄｅ：ＳｉＯＮ）またはシリコンリッチＳｉＯＮはこの場合エッチストップまたは反射防止コーティング（ＡＲＣ）層として使用することができる。

【００１１】

図２においては、層１８内に相互接続トレンチを形成するために他のフォトレジストおよびエッチングプロセスが使用されている。図１における層１２を通る開口は下に横たわる材料へのコンタクト開口であり、一方図２において層１８を通って形成された開口は相互接続トレンチである。インレイまたははめ込まれた（ｉｎ－ｌａｉｄ）金属（象眼文様のある：ｄａｍａｓｃｅｎｅ）プロセスの相互接続トレンチを形成するため、第２の誘電体層１８はエッチング化学剤環境を使用してエッチストップ層１６まで選択的にエッチングされる。このエッチングプロセスは第２の誘電体層１８内に相互接続領域２０，２０’を画定する。２重のインレイ金属処理は図１～図２に示されたもの以外の他の同様の方法で行うことが可能なことに注目することが重要である。図１～図２はコンタクト領域および相互接続トレンチを有する２重のインレイ構造を形成するための任意の方法を代表するものと考える。

【００１２】

図３においては、導電体層の材料が次にコンタクト部分１４および相互接続部分２０，２０’内に被着される。この導電体層の材料はその後ＣＭＰおよび／またはエッチング処理によって平坦化されて導電性相互接続部２１を形成する。１実施形態では、導電性相互接続部分２１は始めにコンタクト部分１４および相互接続部分２０，２０’内に薄いバリア層を被着し、それに続いて導電体部分相互接続部分２０，２０’をより完全に充填するより厚い導電体層を被着することにより形成される。相互接続部２１は伝統的な化学機械研摩（ＣＭＰ）技術、レジストエッチバック（ＲＥＢ）技術、および／または計時またはタイムド（ｔｉｍｅｄ）プラズマエッチ処理を使用して形成できることが理解されるべきである。窒化チタン、タングステンチタン、チタン、タンタル、窒化タンタル、窒化シリコンタンタル、窒化シリコンチタン、窒化タングステンまたは他の同様の材料からなる任意の層または複合層を部分１４および２０，２０’のバリア層として使用できる。さらに、銅、金、銀、タングステン、アルミニウム、その任意の複合体、その他をバリア層（単数または複数）の上に相互接続部２１を形成するためにより厚い充填材料（ｔｈｉｃｋｅｒ ｆｉｌｌ ｍａｔｅｒｉａｌｓ）として使用できることが理解されるべきである。さらに、導電性相互接続部２１は伝統的な化学蒸着（ＣＶＤ）技術、電極めっき技術、スパッタリング技術、および／または選択的被着技術を使用して形成することができる。

【００１３】

図４においては、第２の誘電体層１８の残りの部分（犠牲的誘電体層部分と称される）が選択的に除去されてエッチストップ層１６の部分を露出する。誘電体層１８の残りの部分は伝統的なプラズマおよび／またはウエットエッチング技術を使用して除去することができる。１つの実施形態では、誘電体層１８の残りの部分は緩衝ＨＦ溶液（ｂｕｆｆｅｒｅｄ ＨＦ ｓｏｌｕｔｉｏｎ）を使用して除去される。あるいは、誘電体層１８の残りの部分は相互接続部２１を画定するために使用されたのと同じエッチングプロセスを使用して除去することができる。

【００１４】

図５においては、低い誘電率ｅを有する第３の誘電体層２２が次に導電性相互接続部２１

の上に形成されている。ここで使用するための適切な低いＫの誘電体はｅ≦３．５のものである。ｅ≦３．０を有する低いＫの誘電体が使用される場合はクロストークおよび容量結合のさらなる低減が行われる。好ましくは、容量低減の見地から、ｅ≦２．７を備えた材料がレベル間誘電体として最適である。第３の誘電体層２２は伝統的なスピンオン技術または化学蒸着技術を使用して形成できる。層２２のために最もよく使用できるスピンオンポリマまたはスピンオンガラス（ＳＯＧ）は水素シルセスキオキサン（ｈｙｄｒｏｇｅｎ ｓｉｌｓｅｓｑｕｉｏｘａｎｅ：ＨＳＱ）、ベンゾサイクロブテン（ｂｅｎｚｏｃｙｃｌｏｂｕｔｅｎｅ：ＢＣＢ）、ポリイミド（ｐｏｌｙｉｍｉｄｅ）、およびポリアリルエーテル（ｐｏｌｙａｒｙｌｅｔｈｅｒ：ＰＡＥ）である。例えば、１つの実施形態では、誘電体層２２はほぼｅ＝３．０の誘電率を有しかつＨＳＱのようなスピンオンガラス材料である。あるいは、誘電体層２２はほぼｅ＝２．６の誘電率を有するＢＣＢのような熱硬化性樹脂とすることができる。あるいは、誘電体層２２はほぼｅ＝２．６の誘電率を有するＰＡＥまたはＰＡＥ２のようなポリアリルエーテルとすることができる。ＴＥＯＳまたは３．９～４．３の範囲内の誘電率を有する二酸化シリコンの容量およびクロストークを改善するためにｅ≦３．５を有する任意の誘電体が使用できることに注目することが重要である。層２２はＣＶＤ技術によって形成された有機誘電体層または有機スピンオン誘電体とすることができる。

【００１５】

図６においては、誘電体２２が次に平坦化されて導電性相互接続部２１の頭部を露出する。典型的には、露出される相互接続部２１の部分は図６に示されるように導電性相互接続部分２０，２０’の頭部である。好ましい実施形態では、誘電体層２２は伝統的なプラズマエッチング技術および／または化学機械研摩を使用して平坦化される。図６に示されるように、この平坦化はより高い誘電率（ｅ＞３．５）を有する他の誘電体層１２および１６の上に横たわる低い誘電率の誘電体層２２（ｅ≦３．５）を有する相互接続構造を形成する結果となる。さらに、層２２および／または図６の導電性相互接続部の頭部は任意選択的な反射防止コーティング（ＡＲＣ）層によって覆うことができる。低い誘電率を有する誘電体層２２は隣接相互接続ラインの間の容量がより低いＫの膜によって低減されるため回路の性能を改善することを理解すべきである。層２２はウエーハの全面を覆わない（２０，２０’の頭部は図６においては層２２によって覆われない）という事実のため、機械的な安定性が改善されかつ集積回路に対する熱的特性が増強される。もし図６における導電性相互接続部として銅（ｃｏｐｐｅｒ）が使用されれば、その銅を上に横たわる材料から隔離するために図６の構造の頭部にキャップ／バリア層（ｃａｐｐｉｎｇ／ｂａｒｒｉｅｒ ｌａｙｅｒ）が必要であろう。

【００１６】

（参考例１）

図７～図１０は、断面図形式で、本発明の別の実施形態に係わる相互接続構造を作製するための処理工程を示す。図７にはエッチストップ層３２、第１の誘電体層３４、およびフォトレジスト層３６を備えた集積回路構造の一部３０が示されている。伝統的なフォトリソグラフパターニングおよびエッチング技術を使用して、エッチストップ層３２および第１の誘電体層３４がエッチングされ、第１の誘電体層３４内にコンタクト部分３８を形成しかつ金属相互接続部、ポリシリコン、またはドーピングされたシリコン領域のような下に横たわる導電性領域（図７には示されていない）を露出する。層３２は伝統的なプラズマまたは化学蒸着技術を使用して形成されかつ窒化シリコン、シリコンリッチ・窒化シリコンまたは窒化アルミニウムの層とすることができ、かつエッチストップ層（ＥＳＬ）および／または反射防止コーティング（ＡＲＣ）層として機能する。第１の誘電体層３４もまたプラズマ被着のような伝統的な化学蒸着（ＣＶＤ）技術、低圧力化学蒸着（ＬＰＣＶＤ）その他を使用して形成されかつＢＰＳＧ、ＰＳＧ、ＴＥＯＳ、フッ素化酸化物、または同様の誘電体材料の層または複合層とすることができる。

【００１７】

図８においては、フォトレジストマスク３６が除去されかつ低い誘電率を有する誘電体層

４０が誘電体層３４の上に形成され、それによってコンタクト部分３８が誘電体層４０によってキャッピングされ（ｃａｐｐｅｄ）またはブリッジが行われ、かつ充填されない状態で残される（すなわち、図８においては図７のコンタクト部分３８からエアギャップ３８が形成される）。これもまたハードマスクとして作用する反射防止コーティング（ＡＲＣ）層４２が次に誘電体層４０の上に被着される。好ましい実施形態では、誘電体層４０は３．０またはそれより小さい誘電率ｅを有するが、隣接する導電性部材の間の電気的アイソレーションの利点を与えるためにほぼ３．５より小さい誘電率ｅの任意の材料とすることができる。１実施形態では、誘電体層４０はポリフェニルキノキサリン（ｐｏｌｙｐｈｅｎｙｌｑｕｉｎｏｘａｌｉｎｅ：ＰＰＱ）でありかつｅ＝３．０の誘電率を有する。あるいは、誘電体層４０はｅ＝２．６の誘電率を有するポリイミド（ｐｏｌｙｉｍｉｄｅ）の層とすることができる。ポリイミドは、図８においては、ポリ（アミック）酸溶液（ｐｏｌｙ（ａｍｉｃ）ａｃｉｄ ｓｏｌｕｔｉｏｎ）または完全にイミド化したポリイミドから形成できる。一般に、層４０を形成するために図８において使用されるスピンオン材料は実質的に堅いポリマーのバックボーンを有する任意の材料とすることができ、それによってエア領域３８が少なくとも部分的に図８において形成されるようにする。

【００１８】

図８のエアギャップ３８のふくれ（ｂｌｉｓｔｅｒｉｎｇ）を避けるため、層４０のアニール工程が熱的ランプ（ｔｈｅｒｍａｌ ｒａｍｐ）様式で行われるべきである。該ランプはセ氏１００度より低い温度でスタートしかつ、選択された温度ランプ期間の後に、ほぼセ氏１００度～セ氏３００度に到達し層４０の溶剤除去（ｓｏｌｖｅｎｔ－ｒｅｍｏｖａｌ）アニールを行う。より低速のランプ熱処理が高い温度への高速の露出よりもエアギャップ３８のふくれを避けることができる傾向にある。また、低い圧力またはより少ない捕捉（ｔｒａｐｐｅｄ）分子／原子を備えたエアギャップ３８を生成するために大気中より低いまたはサブ大気圧（ｓｕｂ－ａｔｍｏｓｐｈｅｒｉｃ）スピンオン処理を使用することができる。このサブ大気圧プロセスはギャップ３８内の原子の高い密度を除去することによりふくれの影響を低減することができる。

【００１９】

図９においては、伝統的なフォトリソグラフ・パターニングおよびエッチング技術が次に使用されて反射層４２および誘電体層４０をパターニングおよびエッチングして誘電体層内に相互接続部分４１を画定しかつ図８におけるエアギャップ３８であるコンタクト部分３８を再び露出する。エアギャップ３８は図８において隔離されていたから下に横たわる金属相互接続部またはドーピングされたシリコン領域へのコンタクト開口を形成するために付加的なエッチングは要求されないことに注目することが重要である。１実施形態では、誘電体層４０は酸素を含むプラズマを使用してパターニングされ、かつ誘電体層４０内の開口を画定するために使用されるフォトレジストマスク４４は誘電体層４０がエッチングされると同時に除去される。従って、この実施形態では、誘電体層４０をパターニングするために使用されるエッチング処理はまた同時に誘電体層４０内に開口を画定するために使用されるフォトレジストマスク４４のいくらかまたはすべてを除去する。

【００２０】

図１０においては、バリア層４９および導電膜材料が次にコンタクト開口３８および相互接続領域４１内に形成される。前記バリア層４９および導電膜材料の一部が次に選択的に除去されて図１０の導電性相互接続部４８を形成する。１実施形態では、導電性相互接続部４８は伝統的なプラズマエッチング技術を使用して形成される。あるいは、導電性相互接続部４８は伝統的な化学機械研摩（ＣＭＰ）技術を使用して形成できる。次にエッチストップ層４６または反射防止コーティング（ＡＲＣ）層４６が誘電体層４０および導電性相互接続部４８の上に横たわって形成される。図７～図１０に示された処理工程は次に反復されて導電性相互接続部４８の上に横たわる付加的な組の導電性相互接続部を形成しかつ従って、複数層の相互接続部を有する集積回路が本発明により形成できることが理解されるべきである。低いＫまたは低い誘電率の材料４０は、（１）アイソレーションの利点が得られる領域４８の間にのみ配置され、かつ（２）機械的安定性および熱放散を劣化さ

せるようなウエーハ全体の上に位置しないから、図１０の最終的な構造は従来技術に対して有利性を有する。

【００２１】

（参考例２）

図１１～図１５は、本発明の別の実施形態に係わる相互接続構造を作成するための処理工程における断面図を示す。図１１には、第１の誘電体層５２および複数の導電体相互接続部５４を備えた集積回路構造の一部５０が示されている。始めに、誘電体層５２が伝統的なプラズマまたは化学蒸着（ＣＶＤ）技術を使用して形成されかつＢＰＳＧ、ＰＳＧ、ＴＥＯＳ、フッ素化された酸化シリコン、その他の層とすることができる。複数の導電性相互接続部５４もまた伝統的なフォトリソグラフ・パターニングおよびエッチング技術を使用して形成される。複数の導電体相互接続部５４はドーピングされた二酸化シリコン、金属、金属サリサイド、金属シリサイドその他を使用して形成できる。

【００２２】

図１２においては、次に任意選択的なエッチストップ層５６が第１の誘電体層５２の上に横たわりかつ前記複数の導電体相互接続部５４の上に横たわって形成される。任意選択的なエッチストップ層５６は伝統的なプラズマまたは低圧化学蒸着技術を使用して形成されかつ二酸化シリコン、窒化シリコン、シリコン・オキシナイトライド（ｓｉｌｉｃｏｎ ｏｘｙｎｉｔｒｉｄｅ）、または窒化アルミニウムとすることができる。層５６のためには二酸化シリコンが好ましくかつ層５６はエッチングされて図１２における側壁スペーサ（ｓｉｄｅｗａｌｌ ｓｐａｃｅｒｓ）を形成する。層５６はまた領域５４へのコンタクトのミスアライメントを補償するために使用される。もし図１３のエア領域６０が図１４に示されるようにコンタクト開口に露出されかつ高度に適合的な（ｃｏｎｆｏｒｍａｌ）金属被着プロセスが使用されれば、電気的ショート回路が生じるかもしれない。この電気的ショート回路問題を避けるため、スペーサまたは層５６はリソグラフのコンタクトアライメントのための補償の付加的な利点を提供し、それによって金属被着問題を生じるようなエアギャップが露出されないかあるいは実質的に露出されなくなる。

【００２３】

図１３においては、低い誘電率を有する第２の誘電体層５８がエッチストップ層５６の上に横たわって形成され、エッチストップ層５６の一部と第２の誘電体層５８との間にエアギャップ６０を形成する。より詳細には、図１３に示されるように、エアギャップ６０はお互いに対して近接した間隔の導電性相互接続部５４の間に形成され、この場合「近接した間隔の（ｃｌｏｓｅｌｙ－ｓｐａｃｅｄ）」は層５８のために使用されるスピンオン樹脂のポリマーバックボーンの堅さ（ｓｔｉｆｆｎｅｓｓ）の関数である。さらに、エアギャップ層６０はまた、図１２にも示されているように、ある導電性相互接続部５４の側壁に沿っても形成され、それによってエアスペーサを形成している。１実施形態では、誘電体５８は３．５より小さいかまたは等しい誘電率を有するＰＰＱである。層５８がエッチストップ層５６にスピンオンされた後、誘電体層５８はセ氏１００～２５０度の範囲の温度でほぼ３０分間アニールされる。あるいは、誘電体層５８は３．０より小さいかまたは等しい誘電率を有する前もってイミド化した（ｐｒｅ－ｉｍｉｄｉｚｅｄ）ポリイミドとすることができる。図１３のエアギャップ６０の何らかのふくれを避けるためあるいは少なくとも低減するために熱的ランプ処理あるいは減圧またはサブ大気圧被着を使用することができる。

【００２４】

図１４においては、第３の誘電体層６２が次に第２の誘電体層５８の上に横たわって形成される。誘電体層６２は伝統的なプラズマまたは低圧化学蒸着技術を使用して形成でき、かつＢＰＳＧ、ＰＳＧ、ＴＥＯＳ、シラン、フッ素化された酸化シリコン、複合誘電体、あるいは同様の誘電体層（単数または複数）の層とすることができる。伝統的なフォトリソグラフおよびパターニング技術が次に使用されて第３の誘電体層６２、第２の誘電体層５８、およびエッチストップ層５６を通って伸びるビア開口が形成され下に横たわる導電性相互接続部５４の一部を露出する。層５６は図１２に関して前に述べたようにミスアラ

イメントの歩留りの増強を可能にする。バリア層６４が次にビア開口内に形成されかつ導電性充填材料６６が次にバリア層６４の上に横たわって形成される。バリア層６４および導電性充填材料６６の一部が次に選択的に除去されてビア開口を備えた導電性ビア６８を形成する。バリア層６４は前に述べたようにチタンおよび窒化チタンの複合物または窒化タンタルの層、窒化タングステンの層その他とすることができる。導電性充填材料６６は伝統的な被着またはデポジション技術を使用して形成され、かつ銅、タングステン、アルミニウムまたは同様の導体の層または複合導体層とすることができる。

【００２５】

図１５においては、バリア層７０および導電材料層７２が次に導電性ビア６８の上に横たわって形成される。バリア層７０および導電材料層７２は次に伝統的なフォトリソグラフおよびエッチング技術を使用してパターニングされて導電性相互接続部７４を形成する。バリア層７０は伝統的な技術を使用して形成されかつチタンおよび窒化チタンの複合層あるいは窒化タングステン、窒化タンタル、その他の層とすることができる。同様に、導電材料層７２は伝統的な被着技術を使用して形成されかつタングステン、アルミニウム、銅、銀、金、その他の層とすることができる。

【００２６】

図１６は本発明の別の実施形態に係わる相互接続構造を断面図で示す。図１６には、第１の誘電体層６２、非共形の(ｎｏｎ－ｃｏｎｆｏｒｍａｌ)誘電体層６６、複数の導電性相互接続部６４および第３の誘電体層７０を備えた集積回路の一部６０が示されている。第１の誘電体層６２は伝統的な技術を使用して半導体基板の上に横たわって形成される。第１の誘電体層６２はＢＰＳＧの層、ＰＳＧの層、フッ素化した酸化物の層、その他とすることができる。複数の導電性相互接続ライン６４が伝統的なフォトリソグラフおよびエッチング技術を使用して形成される。複数の導電性相互接続ライン６４はドーピングされたポリシリコン、アルミニウム、タングステン、金属シリサイドまたはポリシリコンおよび金属シリサイドその他の複合とすることができる。

【００２７】

（参考例３）

図１６に示されるように、前記複数の導電性相互接続ライン６４の内の少なくとも２つが距離Ｘだけ離されている。非共形の誘電体層６６が次に複数の導電性相互接続ライン６４の上に横たわって形成され、この場合前記複数の導電性相互接続ライン６４内の導電性相互接続ラインの内の少なくとも２つの間に密閉されたボイド領域(ｓｅａｌｅｄ　ｖｏｉｄ　ｒｅｇｉｏｎ)６８が形成される。密閉されたボイド領域６８は２つの隣接する導電性相互接続ライン６４を分離する第１の距離Ｘの少なくとも６０％にわたっている。非共形の誘電体層６６は密閉されたボイド領域６８が第１の距離Ｘの７０％、８０％または９０％に及ぶように被着できることが理解されるべきである。好ましい実施形態では、非共形の誘電体層６６はプラズマ増強化学蒸着(ＣＶＤ)においてソースガスとしてシランを使用して被着される。あるいは、非共形の被着を増強する他のソースガスも使用できる。第３の誘電体層７０が次に非共形の誘電体層６６の上に横たわって形成されかつ伝統的な技術を使用して平坦化される。１実施形態では、第３の誘電体層７０は伝統的な化学機械研磨(ＣＭＰ)技術を使用して平坦化される。あるいは、第３の誘電体層７０はまた伝統的なプラズマエッチング技術を使用して平坦化することができる。図１６に示されているように、結果として得られる相互接続構造は通常改善されたアイソレーションが必要とされる近接して隣接する誘電性相互接続ラインの間にボイド領域を有する。これらのボイド領域は好ましい形式ではほぼ１．０の誘電率を有し、かつ従って近接した間隔の隣接する導電性相互接続ライン６４の間のＲＣ時間遅延またはクロストークを低減する。

【００２８】

【発明の効果】

従って、本発明により、集積回路基板の上に横たわる金属部材におけるクロストークおよび容量性結合を低減するために使用できる幾つかの構造および方法が提供されたことが明らかであろう。本発明が特定の実施形態に関して説明されかつ示されたが、本発明はこれ

らの例示的な実施形態に限定されるものではない。当業者は本発明の精神および範囲から離れることなく修正および変更を行うことが可能なことを認識するであろう。例えば、図４の層１６および１２は層２０，２０’の形成の後にトレンチ化することができ、それによって図６の層２２が図４に現在示されているものよりもやや深い開口を塞ぐ（ｐｌｕｇｓ）ようにすることができる。このより深い領域はさらに要素２０，２０’の間のアイソレーションを改善する。従って、この発明は添付の特許請求の範囲に含まれるすべての変更および修正を含むものと考える。

【図面の簡単な説明】

【図１】本発明の１実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図２】本発明の１実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図３】本発明の１実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図４】本発明の１実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図５】本発明の１実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図６】本発明の１実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図７】本発明の別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図８】本発明の別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図９】本発明の別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図１０】本発明の別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図１１】本発明のさらに別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図１２】本発明のさらに別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図１３】本発明のさらに別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図１４】本発明のさらに別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

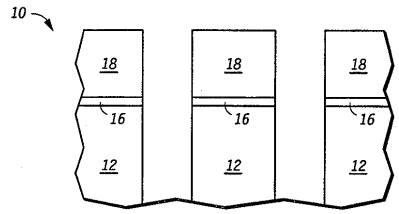
【図１５】本発明のさらに別の実施形態に係わる相互接続構造を作成するための処理工程を示す断面図である。

【図１６】エアギャップが本発明の１実施形態に係わる被適合的被着プロセスによって被着された材料によって形成された相互接続構造を示す断面図である。

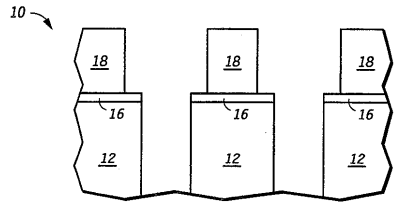
【符号の説明】

１０　集積回路構造の一部
１２　第１の誘電体層
１４　コンタクト開口
１６　エッチストップ層
１８　第２の誘電体層
２０　相互接続部分
２１　導電性相互接続部
２２　第３の誘電体層

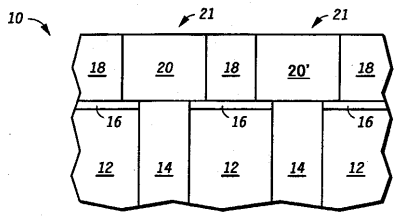
【図１】



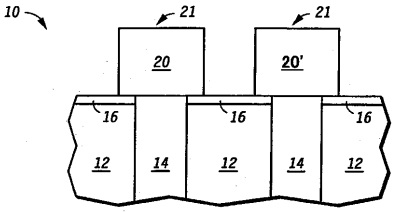

【図２】



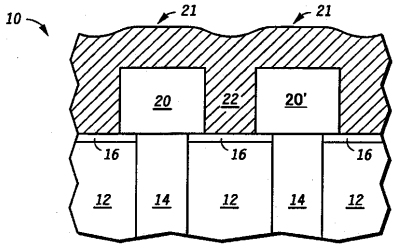

【図３】



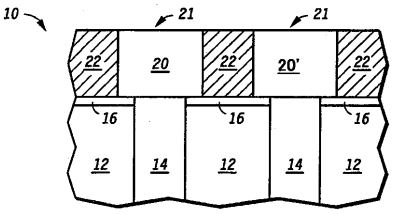

【図４】



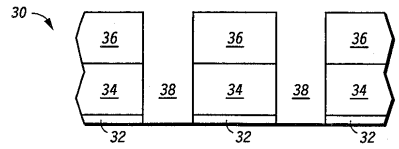

【図５】



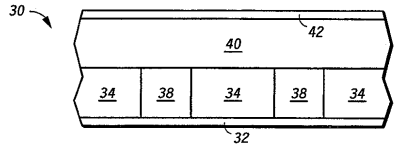

【図６】



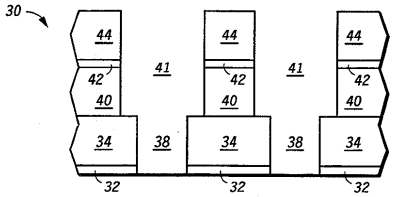

【図７】



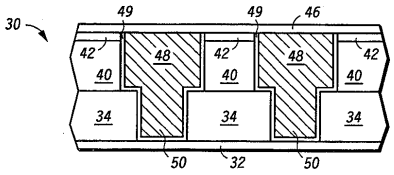

【図８】



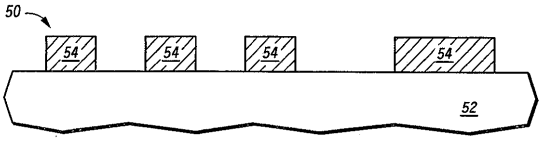

【図９】



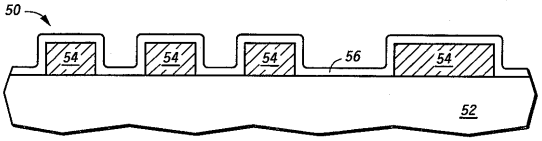

【図１０】



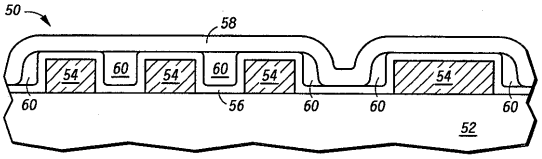

【図１１】



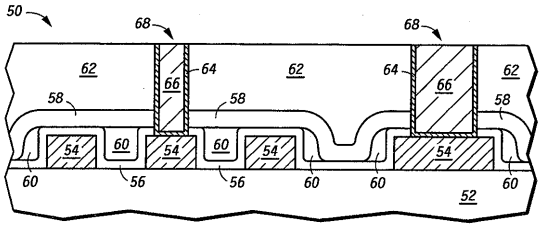

【図１２】



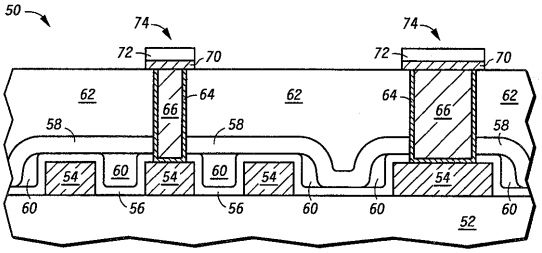

【図１３】



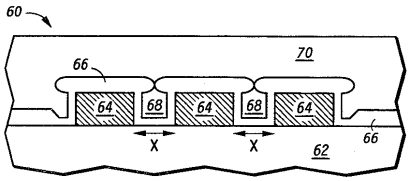
【図１４】


50
68
68
62
64
66
62
64
66
62
58
58
58
54
60
54
60
54
54
60
56
56
60
60
60
52

【図１５】


50
74
74
72
70
72
70
62
64
66
62
64
66
62
58
58
58
54
60
54
60
54
54
60
56
56
60
60
60
52

【図１６】


60
70
66
64
68
64
68
64
66
X
X
62

フロントページの続き

(72)発明者　ジェフ・トマス・ウェッゼル
アメリカ合衆国テキサス州７８７３５、オースチン、トレイン・クレスト・サークル　４７１０
(72)発明者　テリー・グラント・スパークス
アメリカ合衆国テキサス州７８７５４、オースチン、メンドシーノ・ドライブ　８８０８

合議体
審判長　岡　和久
審判官　今井　淳一
審判官　橋本　武

(56)参考文献　国際公開第９６／１９８３０（WO，Ａ１）
特開平０８－０４６０４６（ＪＰ，Ａ）
特開平０４－２０７０５５（ＪＰ，Ａ）
特開昭６１－２１５６５６（ＪＰ，Ａ）
米国特許第５４０７８６０（ＵＳ，Ａ）