

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5087828号  
(P5087828)

(45) 発行日 平成24年12月5日(2012.12.5)

(24) 登録日 平成24年9月21日(2012.9.21)

(51) Int.Cl.

F 1

HO 1 L	21/265	(2006.01)
HO 1 L	21/329	(2006.01)
HO 1 L	29/868	(2006.01)
HO 1 L	29/861	(2006.01)

HO 1 L	21/265	602 C
HO 1 L	29/91	A
HO 1 L	29/91	J

請求項の数 9 (全 13 頁)

(21) 出願番号

特願2005-246037 (P2005-246037)

(22) 出願日

平成17年8月26日 (2005.8.26)

(65) 公開番号

特開2007-59801 (P2007-59801A)

(43) 公開日

平成19年3月8日 (2007.3.8)

審査請求日

平成20年7月15日 (2008.7.15)

(73) 特許権者 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(74) 代理人 100104190

弁理士 酒井 昭徳

(72) 発明者 根本 道生

神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンストテクノロジー株式会社内

(72) 発明者 桐澤 光明

東京都品川区大崎一丁目11番2号 富士電機デバイステクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

第1導電型の第1半導体層と、前記第1半導体層よりも高濃度で、かつ前記第1半導体層の一方の正面側で同第1半導体層に接する第2導電型の第2半導体層と、前記第2半導体層に電気的に接続する第1電極と、前記第1半導体層よりも高濃度で、かつ前記第1半導体層の他方の正面側で同第1半導体層に接する第1導電型の第3半導体層と、前記第3半導体層に電気的に接続する第2電極と、を備えた半導体装置を製造するにあたって、

第1導電型半導体基板の一方または他方の正面に荷電粒子を照射して前記半導体基板中に結晶欠陥を導入する工程と、

前記第1半導体層のキャリアのライフタイムを、前記荷電粒子を照射する前の値よりも低い値となるように熱処理する熱処理工程と、 10

結晶欠陥が導入された半導体基板の前記他方の正面を研削する工程と、

研削により露出した面から前記半導体基板中に第1導電型または第2導電型の不純物をイオン注入法により導入する工程と、

研削により露出した面にレーザ光を照射して、前記半導体基板中に導入された不純物を電気的に活性化させるとともに、前記半導体基板中に導入された結晶欠陥のうち、レーザ光の照射面から所定の深さまでの領域のキャリアのライフタイムが前記熱処理工程後のキャリアのライフタイムよりも高い値となるように結晶欠陥を回復させる回復工程と、

を含み、

レーザ光の照射により結晶欠陥を回復させる領域を、レーザ光の照射面から、研削後の 20

全体の厚さの 5 % に相当する深さ以上 3 0 % に相当する深さ以下の範囲の任意の深さまでとすることを特徴とする半導体装置の製造方法。

**【請求項 2】**

前記回復工程において、前記レーザ光の照射面から所定の深さまでの領域のキャリアのライフタイムの値が、前記荷電粒子を照射する前の値まで回復することを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 3】**

前記半導体基板の一方の主面に前記第 2 半導体層と前記第 1 電極を形成した後に、荷電粒子の照射によって半導体基板中に結晶欠陥を導入する工程を行うことを特徴とする請求項 2 に記載の半導体装置の製造方法。

10

**【請求項 4】**

レーザ光の照射により結晶欠陥を回復させる領域を、レーザ光の照射面から、 $10 \mu m$  以上  $40 \mu m$  以下の範囲の任意の深さまでとすることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体装置の製造方法。

**【請求項 5】**

レーザ光の照射エリアごとに、複数のレーザ照射装置から所定の遅延時間だけ照射タイミングをずらして複数のパルスレーザを連続的に照射することを特徴とする請求項 1 ~ 4 のいずれか一つに記載の半導体装置の製造方法。

**【請求項 6】**

レーザ光の照射エリアごとに、レーザ光を照射する際のエネルギー密度を合計で  $1 J / cm^2$  以上  $4 J / cm^2$  以下とすることを特徴とする請求項 5 に記載の半導体装置の製造方法。

20

**【請求項 7】**

前記レーザ光として YAG レーザを用いることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の半導体装置の製造方法。

**【請求項 8】**

前記荷電粒子として電子線を用いることを特徴とする請求項 1 ~ 7 のいずれか一つに記載の半導体装置の製造方法。

**【請求項 9】**

前記半導体基板として FZ ウェハーを用いることを特徴とする請求項 1 ~ 8 のいずれか一つに記載の半導体装置の製造方法。

30

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

この発明は、半導体基板の裏面研削工程を含む半導体装置の製造方法に関し、特に電力用半導体装置の製造方法に関する。

**【背景技術】**

**【0002】**

ダイオードや絶縁ゲート型バイポーラトランジスタ（以下、IGBT とする）等の電力用半導体装置の製造方法として、以下の方法が公知である。まず、シリコン等のウェハーを厚い今まで用いて半導体素子を製造する。そして、製造プロセスの最後で薄層研磨およびエッティングによりウェハーを最終厚さにした後に、イオン注入と活性化熱処理を行う（例えば、特許文献 1 参照。）。近年、このような製造プロセスが主流になりつつある。

40

**【0003】**

しかし、この製造プロセスでは、薄層研磨後の活性化熱処理においては、既にウェハーの、薄層研磨された面と反対側の面に電極が形成されているため、この電極材料の融点以下の低温、例えば電極材料がアルミニウムであれば  $450^\circ C$  以下の温度で熱処理を行わなければならない。そのため、不純物の活性化が不十分になりやすい。そこで、FZ ウェハーの一方の主面にダイオードの P アノード層とアノード電極を形成した後、他方の主面を研削し、その研削面にリンや砒素をイオン注入により導入し、レーザ光の照射によりリン

50

や砒素を活性化させる方法が公知である（例えば、特許文献2参照。）。FZウェハーは、フローティングゾーン法により作製されたインゴットから切り出されたウェハーであり、エピタキシャルウェハーよりも安価である。

#### 【0004】

ところで、ダイオードに関して、順電圧の温度係数が正であることが望ましいという報告がある（例えば、非特許文献1参照。）。これは、IGBTモジュールの大電流化（例えば、500A以上）によってモジュール内でIGBTチップとフリーホイーリングダイオード（以下、FWDとする）チップを並列接続する必要がある場合に、特定のチップへの電流集中を抑えることができるので、チップ間の電流のバランスを安定に保つことができるからである。

10

#### 【0005】

順電圧の温度係数を正にするには、少数キャリアのライフタイム制御（ライフタイムキラーの導入量の制御）を電子線照射で行うことが前提となる（例えば、特許文献3参照。）。ライフタイム制御の代表的な方法の一つである白金を拡散させる方法では、白金の示すエネルギー準位が浅いため、ダイオードの温度係数は負になってしまうからである。

#### 【0006】

しかし、前記非特許文献1の中で、電子線照射法を用いた場合には、ダイオードの逆回復特性がいわゆるハードリカバリーとなりやすく、逆回復中の発振が起こりやすいということが指摘されている。これは、電子線照射によって生成される半導体基板中の結晶欠陥の濃度分布が、基板の厚さ方向、すなわち電子線の照射方向に対して一様になるからである。

20

#### 【0007】

従って、正の順電圧の温度係数を有する素子を作製するには、電子線照射によってライフタイム制御を行うだけでなく、ソフトリカバリーとなるような結晶欠陥分布を実現する方法が必要となる。そのような方法の一つとして、Nドリフト層の不純物濃度を、その中央付近でピークとなり、このピークの位置からPアノード層側およびNカソード層側に緩やかに減少するようにする方法が公知である（例えば、特許文献4参照。）。

#### 【0008】

【特許文献1】特表2002-520885号公報（第17頁）

30

【特許文献2】米国特許第6759301号明細書（第5欄、第20-36行）

【特許文献3】特開2001-177114号公報（図2、段落番号0016）

【特許文献4】特開2003-318412号公報（図13、段落番号0079）

【非特許文献1】ミチオ・ネモト（Michio Nemoto）、外5名、「アン アドバンスト FWD デザイン コンセプト ウィズ スピアリア ソフト リバース リカバリ キヤラクタリスティクス（An Advanced FWD Design Concept with Superior Soft Reverse Recovery Characteristics）」、（米国）アイエスピーエスディ プロシーディングズ（ISPSD Proceedings）、2000年、p.119-122

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0009】

しかしながら、前記特許文献4に開示された方法は、エピタキシャルウェハーを用いるため、近時、主流となりつつあるFZウェハーを用いた安価な製造方法には適さない。そこで、FZウェハーを用い、電子線照射によってライフタイム制御を行う場合でも、ソフトリカバリー特性を有する素子が得られる製造方法を新たに開発する必要がある。

40

#### 【0010】

この発明は、上述した事情に鑑みなされたものであり、半導体基板の裏面研削工程を含む製造方法において、ソフトリカバリー特性を有する素子を作製することができる半導体装置の製造方法を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0011】

50

上述した課題を解決し、目的を達成するため、本発明の発明者らは、鋭意研究を重ねた結果、電子線照射による結晶欠陥を有する半導体にYAGレーザを照射することによって、その照射面からある程度の深さまでの領域の欠陥を回復させることができることを発見した。本発明は、この発見に基づいてなされたものである。なお、YAG2レーザによる欠陥回復の詳細については、本発明者らが先に出願した特願2004-036547号の明細書に開示されている。

#### 【0012】

この発明にかかる半導体装置の製造方法は、第1導電型の第1半導体層と、前記第1半導体層よりも高濃度で、かつ前記第1半導体層の一方の主面側で同第1半導体層に接する第2導電型の第2半導体層と、前記第2半導体層に電気的に接続する第1電極と、前記第1半導体層よりも高濃度で、かつ前記第1半導体層の他方の主面側で同第1半導体層に接する第1導電型の第3半導体層と、前記第3半導体層に電気的に接続する第2電極と、を備えた半導体装置を製造するにあたって、第1導電型半導体基板の一方または他方の主面に荷電粒子を照射して前記半導体基板中に結晶欠陥を導入する工程と、前記第1半導体層のキャリアのライフタイムを、前記荷電粒子を照射する前の値よりも低い値となるように熱処理する熱処理工程と、結晶欠陥が導入された半導体基板の前記他方の主面を研削する工程と、研削により露出した面から前記半導体基板中に第1導電型または第2導電型の不純物をイオン注入法により導入する工程と、研削により露出した面にレーザ光を照射して、前記半導体基板中に導入された不純物を電気的に活性化させるとともに、前記半導体基板中に導入された結晶欠陥のうち、レーザ光の照射面から所定の深さまでの領域のキャリアのライフタイムが前記熱処理工程後のキャリアのライフタイムよりも高い値となるよう結晶欠陥を回復させる回復工程と、を含み、レーザ光の照射により結晶欠陥を回復させる領域を、レーザ光の照射面から、研削後の全体の厚さの5%に相当する深さ以上30%に相当する深さ以下の範囲の任意の深さまでとすることを特徴とする。  
10

#### 【0013】

この発明によれば、荷電粒子の照射により半導体基板中に結晶欠陥が導入されるが、レーザ光を照射することにより、基板中に導入された結晶欠陥のうち、レーザ光の照射面から所定の深さまでの領域の結晶欠陥が回復する。それによって、レーザ光の照射面から所定の深さまでの領域では、少数キャリアのライフタイムが、荷電粒子を照射する前の値まで回復するので、ソフトリカバリー特性が向上する。また、レーザ光の照射面から、研削後の全体の厚さの5%に相当する深さまでの領域の結晶欠陥を回復させることによって、ソフトリカバリー効果が生じる。そして、レーザ光の照射面から、研削後の全体の厚さの30%に相当する深さまでの領域の結晶欠陥を回復させることによって、十分なソフトリカバリー効果が得られる。  
20

#### 【0014】

この発明にかかる半導体装置の製造方法は、前記回復工程において、前記レーザ光の照射面から所定の深さまでの領域のキャリアのライフタイムの値が、前記荷電粒子を照射する前の値まで回復することを特徴とする。また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記半導体基板の一方の主面に前記第2半導体層と前記第1電極を形成した後に、荷電粒子の照射によって半導体基板中に結晶欠陥を導入する工程を行うことを特徴とする。  
30

#### 【0015】

この発明によれば、レーザ光の照射によって局所的に加熱して不純物の活性化処理と結晶欠陥の回復処理を行うので、レーザ光の照射前にその照射面とは反対の面に既に所定の不純物濃度の第2半導体層や金属等の第1電極が形成されていても、それらに対する影響はない。従って、半導体基板の一方の主面側に素子の構造の一部が既に形成されていても、何ら問題なく、本発明方法を適用して、半導体基板中に結晶欠陥を導入し、半導体基板の他方の主面側の表層部分の結晶欠陥を回復させることができる。

#### 【0018】

ただし、レーザ光の照射面から、研削後の全体の厚さの30%に相当する深さよりもさ  
40

50

らに深い領域まで結晶欠陥を回復させる場合には、レーザを照射する際に、高いエネルギー密度が必要となる。レーザの照射エネルギー密度が高くなると、レーザ照射面の温度が半導体の沸点（シリコンの場合には、3267）を超えるため、アブレーションが発生し、半導体の表面が荒れてしまう。従って、本発明では、結晶欠陥の回復領域は、研削後の全体の厚さの30%以内であるのが望ましい。

#### 【0019】

この発明にかかる半導体装置の製造方法は、上述した発明において、レーザ光の照射により結晶欠陥を回復させる領域を、レーザ光の照射面から、10μm以上40μm以下の範囲の任意の深さまでとすることを特徴とする。

#### 【0020】

この発明によれば、研削後の全体の厚さが140μm程度である場合、レーザ光の照射面から10μmの深さまでの領域の結晶欠陥を回復させることによって、ソフトリカバリー効果が生じる。そして、レーザ光の照射面から40μmの深さまでの領域の結晶欠陥を回復させることによって、十分なソフトリカバリー効果が得られる。

#### 【0021】

この発明にかかる半導体装置の製造方法は、上述した発明において、レーザ光の照射エリアごとに、複数のレーザ照射装置から所定の遅延時間だけ照射タイミングをずらして複数のパルスレーザを連続的に照射することを特徴とする。

#### 【0022】

この発明によれば、複数のパルスレーザを所定の遅延時間だけずらして連続的に照射すると、先のパルスでは、結晶欠陥の導入領域の再結晶化を図ることが難しいため、レーザ照射領域には結晶欠陥が残ってしまうが、後のパルスによって再結晶化が進むようになる。これによって、レーザ照射面から適当な深さまでの領域の結晶欠陥が回復し、ソフトリカバリー効果が生じる。

#### 【0023】

この発明にかかる半導体装置の製造方法は、上述した発明において、レーザ光の照射エリアごとに、レーザ光を照射する際のエネルギー密度を合計で1J/cm<sup>2</sup>以上4J/cm<sup>2</sup>以下とすることを特徴とする。

#### 【0024】

この発明によれば、レーザ光を照射する際のエネルギー密度が合計で1J/cm<sup>2</sup>以上であれば、レーザ照射面から適当な深さまでの領域の結晶欠陥を回復させることができる。また、レーザ光を照射する際のエネルギー密度が合計で4J/cm<sup>2</sup>を超えると、レーザ照射面の温度が半導体の沸点（シリコンの場合には、3267）を超えるため、アブレーションが発生し、半導体の表面が荒れてしまう。従って、本発明では、レーザ光を照射する際のエネルギー密度は、合計で4J/cm<sup>2</sup>以下であるのが望ましい。

#### 【0025】

この発明にかかる半導体装置の製造方法は、上述した発明において、前記レーザ光としてYAGレーザを用いることを特徴とする。この発明によれば、YAG第2高調波のような高エネルギーのレーザ光をもちいることによって、レーザ照射面から適当な深さまでの領域の結晶欠陥を効率よく回復させることができる。

#### 【0026】

この発明にかかる半導体装置の製造方法は、上述した発明において、前記荷電粒子として電子線を用いることを特徴とする。この発明によれば、電子線を用いることによって、半導体基板中に結晶欠陥を一様に分布するように導入することができる。

#### 【0027】

この発明にかかる半導体装置の製造方法は、上述した発明において、前記半導体基板としてFZウェハーを用いることを特徴とする。この発明によれば、FZウェハーがエピタキシャルウェハーよりも安価であるので、安価な半導体装置が得られる。

#### 【発明の効果】

#### 【0028】

10

20

30

40

50

本発明にかかる半導体装置の製造方法によれば、半導体基板の裏面研削工程を含む製造方法において、ソフトリカバリー特性を有する素子を作製することができるという効果を奏する。特に、逆回復時間および損失が従来よりも大幅に減り、かつソフトリカバリー特性が向上したダイオードを実現できる。また、電気的損失および放射電磁ノイズの低い、環境問題を考慮したIGBTモジュールやIPM(Intelligent Power Module)を実現できる。

#### 【発明を実施するための最良の形態】

##### 【0029】

以下に添付図面を参照して、この発明にかかる半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、NまたはPを冠記した層では、それぞれ電子または正孔が多数キャリアであることを意味する。また、Nに付す+および-は、それぞれ相対的に不純物濃度が高いまたは低いことを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

10

##### 【0030】

図1～図3は、本発明にかかる半導体装置の製造方法の一例を工程順に示した要部断面図である。まず、半導体基板1として、例えば5インチ径のN-FZウェハーを用意する(図1)。例えば1200Vクラスの場合、半導体基板1の比抵抗は40～70cmである。この半導体基板1を第1半導体層として用い、標準的なダイオードのプロセス工程によって、半導体基板1の一方の主面に第2半導体層となるPアノード層2と、図示しないガードリングエッジ構造を形成する。さらに、Pアノード層2にオーミック接触する第1電極としてアノード電極3を形成する。図中200は、この状態における不純物濃度のプロファイルを示している。

20

##### 【0031】

続いて、半導体基板1に電子線等のイオン化した荷電粒子を照射して半導体基板1の中に結晶欠陥を導入し、熱処理を行う。次いで、ウェハー(半導体基板1)の他方の主面に対して研削やウエットエッチングなどを行い、ウェハーを所定の厚さにする。例えば1200Vクラスの場合には、ウェハーの厚さを100～160μmにするのが一般的である。その後、半導体基板1の研削等により露出した面(以下、研削による露出面とする)に対して不純物のイオン注入を行い、半導体基板1の中に不純物を導入する。

30

##### 【0032】

さらに、研削による露出面にYAG第2高調波レーザ等のレーザ光をダブルパルス法にて照射する。ダブルパルス法とは、レーザ光の照射エリアごとに、複数のレーザ照射装置から所定の遅延時間だけ照射タイミングをずらして複数のパルスレーザを連続的に照射する方法である。ダブルパルス法については、本発明者らが先に出願した特願2004-036547号の明細書(例えば、段落番号0030～0032、0037)を参照されたい。

##### 【0033】

本実施の形態では、ダブルパルス法によりレーザ光を照射する際のエネルギー密度は、レーザ光の照射エリアごとに、合計で1J/cm<sup>2</sup>以上4J/cm<sup>2</sup>以下である。このレーザ照射によって、半導体基板1の中の不純物が電気的に活性化して第3半導体層となるN<sup>+</sup>カソード層4ができる。

40

##### 【0034】

同時に、荷電粒子の照射により半導体基板1の中に導入された結晶欠陥のうち、レーザ光の照射面、すなわち研削による露出面から、研削後の全体の厚さの5%に相当する深さ以上30%に相当する深さ以下の範囲の任意の深さまでの領域の結晶欠陥が回復する。例えば、研削後の全体の厚さが140μmである場合には、レーザ光の照射面から、10μm以上40μm以下の範囲の任意の深さまでの領域で結晶欠陥が回復する。その後、研削による露出面にチタン(Ti)、ニッケル(Ni)および金(Au)をこの順で積層させて第2電極となるカソード電極5を形成する(図3)。図中300は、この状態における

50

不純物濃度のプロファイルを示している。

**【0035】**

次に、上述した製造方法により作製されたダイオードの特性について説明する。図4は、上述した製造方法により作製されたダイオードの構成および特性を説明するための図である。図4は、ダイオードの要部断面を表している。また、アノード電極3からの距離とネットドーピング濃度との関係の特性図410と、アノード電極3からの距離とライフタイム分布との関係の特性図420を示した。特性図410, 420の横軸、すなわちアノード電極3からの距離は、上部の断面図に対応している。

**【0036】**

ここでは、一例として、1200Vクラスの耐圧で、150Aの定格電流となるように10  
チップサイズを10mm×10mmとした。また、半導体基板1の比抵抗は60cm  
であり、半導体基板1のリン濃度は $8.0 \times 10^{13}$ atoms/ccであった。また、P  
アノード層2の濃度を $5 \times 10^{16}$ atoms/ccとし、その深さを3μmとした。アノ  
ード電極は、AlSi1%で形成した。

**【0037】**

また、電子線を加速電圧4.8MeVで、線量を100kGyで照射することによって20  
結晶欠陥を導入した。電子線照射後、350で1時間程度の熱処理を行った。さらに、研削やウエットエッチングなどによってウェハーの厚さを140μmにした。また、N<sup>+</sup>  
カソード層4を形成するために、加速電圧50keVで、ドーズ量 $1 \times 10^{19}$ atoms/cm<sup>2</sup>  
のリンをイオン注入した。さらに、YAG第2高調波レーザを照射する際の、エネル  
ギー密度を合計で3J/cm<sup>2</sup>とし、ダブルパルスの遅延時間を300nsとした。

**【0038】**

本発明者らは、YAGレーザ照射時のダブルパルスの照射遅延時間を種々変更してダイ  
オードを作製し、得られたダイオードの電気的特性を調べた結果、照射遅延時間によ  
つて順電圧に明確な差が生じることを見出した。図5は、YAGレーザ照射時のダブルパルス  
の照射遅延時間と、図4に示すダイオードの150Aにおける順電圧(室温)との関係を  
示す図である。図5から明らかなように、照射遅延時間が0ns、100ns、200ns、  
300ns、400nsおよび500nsのときの順電圧は、それぞれ約1.7V、約1.64V、約1.56V、  
約1.52V、約1.56Vおよび約1.76Vである。

**【0039】**

このように順電圧に差が生じる理由は、以下の通りである。すなわち、YAGレーザを30  
照射する前の状態では、周知のように、電子線照射による結晶欠陥はウェハーに一様に分  
布している。本実施の形態のように、ウェハーを研削および研磨し、リンをイオン注入し  
た後に、上述した条件でYAGレーザを照射することによって、その照射面から約2.6  
μmの深さまでの領域では1414以上に高温となり、シリコンが溶融する。

**【0040】**

YAGレーザの照射が終わると、100nsのオーダーで急速に温度が減少する。レ  
ーザの照射終了から1μs経過した時点で、その照射面から30μmの深さの位置では約5  
00になる。すなわち、レーザの照射面から30μmの深さまでの領域の温度は500  
以上であり、容易に電子線照射による結晶欠陥が回復する。従って、この領域のライフ  
タイムは、電子線照射前の値(約30μs)まで回復する。

**【0041】**

次に、デバイスシミュレーションにより、ライフタイム分布を仮定し、そのときの順電  
圧を計算した。図6は、仮定したライフタイム分布を示す図であり、横軸をアノード電極  
3からの距離とし、縦軸をライフタイムとしている。また、N<sup>+</sup>カソード層4とカソード  
電極5との界面を140μmの位置にしている。

**【0042】**

ここでは、電子線照射を想定した従来の一様なライフタイムを0.35μsと仮定して  
いる。そして、N<sup>+</sup>カソード層4とカソード電極5との界面から20μm(図6の7%回  
復の場合)、40μm(図6の21%回復の場合)、60μm、80μm、100μm、50

120 μm および 140 μm までの領域で結晶欠陥が回復してライフタイムが 15 μs になり、それぞれ、それよりも手前の領域（アノード電極 3 寄りの領域）のライフタイムを 0.35 μs と仮定している。

#### 【0043】

図 7 は、図 6 に示すようにライフタイム分布を仮定したときの、結晶欠陥の回復領域の幅と 150 A および 5 A の電流が流れるときの順電圧との関係を示す図である。なお、結晶欠陥の回復領域の幅とは、図 6 に示すライフタイム分布においてライフタイムが 15 μs となっている領域の幅のことである。

#### 【0044】

図 7 から、150 A および 5 A のいずれにおいても、結晶欠陥の回復領域の幅が伸びるほど順電圧が低くなることがわかる。150 A の場合、結晶欠陥の回復領域の幅が 20 μm（ウェハーの最終厚さの全体に対して約 14 %）のときの順電圧は、結晶欠陥の回復領域の幅が 0 μm のときの順電圧、すなわち結晶欠陥の回復領域がない場合の順電圧よりも約 0.2 V 低くなる。

#### 【0045】

また、図 5 の実測値から、150 A の場合、最も結晶欠陥が回復している、すなわち最も順電圧が低いのは、YAG レーザ照射時のダブルパルスの照射遅延時間が 300 ns で、順電圧が約 1.52 V の場合（図 5 の A）であることがわかる。150 A の場合、図 7 に A で示すように、約 1.52 V の順電圧に対応する結晶欠陥の回復領域の幅は、約 30 μm であることがわかる。つまり、ウェハーの最終厚さの全体に対して約 21 % の領域で結晶欠陥が回復したときに最も順電圧が低くなることがわかる。

#### 【0046】

換言すれば、順電圧を最も低くするには、ウェハーの最終厚さの全体に対して約 21 % の領域で結晶欠陥を回復させればよいことになる。また、図 7 に示すように、YAG レーザ照射時のダブルパルスの照射遅延時間が 500 ns で、順電圧が約 1.76 V の場合（図 5 の B）の結晶欠陥の回復領域の幅は、約 5 μm（ウェハーの最終厚さの全体に対して約 3 %）である。さらに、YAG レーザ照射時のダブルパルスの照射遅延時間が 0 ns で、順電圧が約 1.7 V の場合（図 5 の C）の結晶欠陥の回復領域の幅は、約 10 μm（ウェハーの最終厚さの全体に対して約 7 %）である。

#### 【0047】

図 8、図 9 および図 10 は、それぞれ図 11 に示す単相チョッパー回路 10 における図 5 の A、B および C で示すダイオードの室温での逆回復波形を示す図である。これらの図において、Iak はアノード電流であり、Vak はアノード・カソード間の電圧である。単相チョッパー回路 10 では、逆回復順電流が 15 A で定格電流の 1/10 であり、DC バス電圧が 900 V であり、負荷インダクタンス Lm が 1 mH である。また、スイッチング IGBT は、標準的な 1200 V / 150 A の FS (フィールドストップ型) - IGBT であり、そのゲート抵抗は、オン側で 0 であり、オフ側で 33 である。主回路の回路浮遊インダクタンス Ls は 200 nH である。

#### 【0048】

図 8 ~ 図 10 から明らかなように、最も結晶欠陥を回復させた A のダイオードが、発振がなくソフトリカバリーであることがわかる。それに対して、C のダイオードは、丁度発振を開始する条件にあり、また、B のダイオードは明らかに発振しており、そのピーク電圧が A および C の両ダイオードよりもはるかに高いことがわかる。従って、ソフトリカバリーとするには、結晶欠陥の回復領域を増やせばよいことがわかる。ただし、ウェハー全体にわたって結晶欠陥を回復させてしまうと全く意味をなさなくなる。

#### 【0049】

以上の結果より、N<sup>+</sup>カソード層 4 とカソード電極 5 との界面から、薄板化した後のウェハー全体の厚さの 5 % 以上に相当する深さまでの領域で結晶欠陥を回復させれば、ソフトリカバリー効果が得られることは明白である。また、結晶欠陥を回復させる領域の、N<sup>+</sup>カソード層 4 とカソード電極 5 との界面からの深さを、薄板化した後のウェハー全体の

10

20

30

40

50

厚さの20～30%にすることによって、十分なソフトリカバリー効果が得られる。

#### 【0050】

なお、N<sup>+</sup>カソード層4とカソード電極5との界面から、薄板化した後のウェハー全体の厚さの30%（本実施の形態では、約40μm）を超える深さまでの領域で結晶欠陥を回復させようすると、YAGレーザの照射エネルギー密度をおよそ4J/cm<sup>2</sup>以上にする必要がある。この場合には、レーザ照射面の温度がシリコンの沸点（3267）を超えてしまうため、アブレーションが生じ、レーザ照射面が荒れてしまう。従って、結晶欠陥の回復領域は、レーザ照射面から、薄板化した後のウェハー全体の厚さの30%に相当する深さまでの範囲であるのが望ましい。

#### 【0051】

N<sup>+</sup>カソード層4を形成するために研削による露出面から半導体基板1の中に注入したリンを活性化させるためだけであれば、1J/cm<sup>2</sup>以下、例えば500mJ/cm<sup>2</sup>の照射エネルギー密度で、0nsの照射遅延時間、すなわち遅延なしでYAGレーザのパルスを照射すれば、十分にコンタクト抵抗の低いN<sup>+</sup>カソード層4を形成することができる。また、YAGレーザに限らず、エネルギー密度の低いエキシマレーザなどを用いても同様である。しかし、本実施の形態のように電子線等の軽い荷電粒子の照射によって結晶欠陥を生成し、かつソフトリカバリーとするためには、上述したダブルパルス法でYAGレーザを照射して、ソフトリカバリーに必要な結晶欠陥の回復分布、すなわちライフタイム分布を得る必要がある。

#### 【0052】

1200V以外の耐圧クラス、例えば600Vクラスのダイオードについても同様である。600Vクラスについては、半導体基板の比抵抗を15～30cm、例えば20cmとし、研削および研磨後の最終的なウェハー厚さを50～70μm、例えば60μmとする。そして、例えば、電子線照射の照射線量を300kGyとし、YAGレーザの照射エネルギー密度を2.8J/cm<sup>2</sup>とし、照射遅延時間を300nsにすれば、順方向電流の電流密度が400A/cm<sup>2</sup>のときに順電圧は1.3Vとなる。

#### 【0053】

同じ条件で、照射遅延時間を500nsにすると、順電圧は1.6Vとなり、図5と同様の特性が得られる。DCバス電圧500V、電流密度400A/cm<sup>2</sup>からの逆回復波形（室温）は、照射遅延時間が300nsのダイオードでは発振がなく、照射遅延時間が500nsのダイオードでは発振する。

#### 【0054】

また、本発明は、ダイオードに限らず、通常のIGBTや逆阻止IGBTに適用することもできる。本発明を適用したIGBT等では、低損失で、かつ発振を抑えたターンオフを実現できる。特に、逆阻止IGBTを作製する際には、FZバルクウェハーを用い、そのおもて面にゲート構造やエミッタ構造やエッジ構造を作製し、電子線を100kGy以下で照射した後に、ウェハー全体の最終的な厚さが100μm前後になるようにウェハーの裏面を研削および研磨し、研削による露出面に対してボロンのイオン注入とレーザ照射によるボロンの活性化工程がある。

#### 【0055】

一方、ターンオフ時には、ダイオードの逆回復と同様に表側から空乏層が広がり、キャリアが消滅していくが、ダイオードの場合と同様に、キャリアの急激な消滅を抑えることができるので、発振のないスムーズなターンオフが可能となる。従って、低損失でソフトリカバリーなダイオードや、発振のないスムーズなターンオフが可能なIGBTを作製することができる。また、そのような特性を有するIGBTモジュールを用いたPWMインバータ等の電力変換装置において、過電圧破壊やEMIノイズの発生を抑えることができる。

#### 【0056】

図12および図13は、実施の形態のダイオードやFS-IGBTの適用例を示す図である。図12に示すAC-AC用インバータ・コンバーター20は、効率良く誘導電動機

やサーボモータ等を制御することが可能で、産業や電鉄などで広く用いられる。図13に示す力率改善回路（PFC回路）30は、AC - AC変換の入力電流を正弦波状に制御して波形改善をはかる回路であり、スイッチング電源用に用いられる。

#### 【0057】

実施の形態によれば、逆回復時間および損失が従来よりも大幅に低減し、かつソフトリカバリー特性が向上したダイオードを実現できる。また、電気的損失および放射電磁ノイズの低い、環境問題を考慮したIGBTモジュールやIPMを実現できる。

#### 【0058】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。例えば、実施の形態中に記載した寸法や濃度などは一例であり、本発明はそれらの値に限定されるものではない。また、各実施の形態では第1導電型をN型とし、第2導電型をP型としたが、本発明は第1導電型をP型とし、第2導電型をN型としても同様に成り立つ。10

#### 【産業上の利用可能性】

#### 【0059】

以上のように、本発明にかかる半導体装置の製造方法は、電力用半導体装置に有用であり、特に、高速かつ低損失であるとともに、ソフトリカバリー特性を備えたダイオードまたはIGBTに適している。

#### 【図面の簡単な説明】

#### 【0060】

【図1】本発明にかかる半導体装置の製造方法の一例を工程順に示す要部断面図である。20

【図2】本発明にかかる半導体装置の製造方法の一例を工程順に示す要部断面図である。

【図3】本発明にかかる半導体装置の製造方法の一例を工程順に示す要部断面図である。

【図4】本発明にかかる半導体装置の製造方法により作製されたダイオードの構成および特性を説明する図である。

【図5】YAGレーザ照射時のダブルパルスの照射遅延時間とダイオードの順電圧との関係を示す図である。

【図6】ライフタイム分布を説明する図である。

【図7】結晶欠陥の回復領域の幅と順電圧との関係を示す図である。

【図8】図5のAで示すダイオードの逆回復波形を示す図である。

【図9】図5のBで示すダイオードの逆回復波形を示す図である。30

【図10】図5のCで示すダイオードの逆回復波形を示す図である。

【図11】単相チョッパー回路の構成を示す図である。

【図12】AC - AC用インバータ - コンバーターの構成を示す図である。

【図13】力率改善回路の構成を示す図である。

#### 【符号の説明】

#### 【0061】

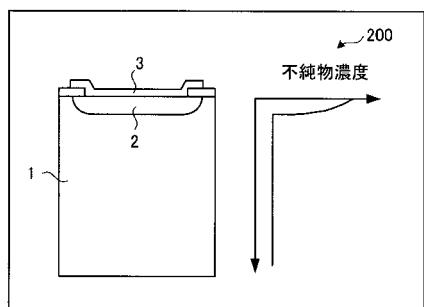
- 1 第1半導体層（半導体基板）
- 2 第2半導体層（Pアノード層）
- 3 第1電極（アノード電極）
- 4 第3半導体層（N<sup>+</sup>カソード層）
- 5 第2電極（カソード電極）

40

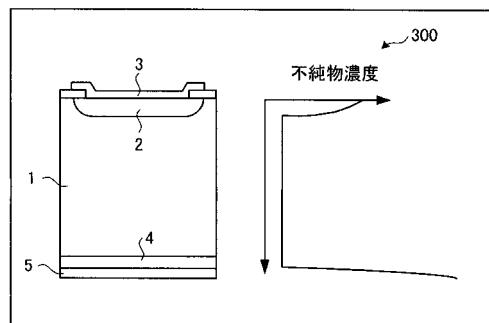
【図1】



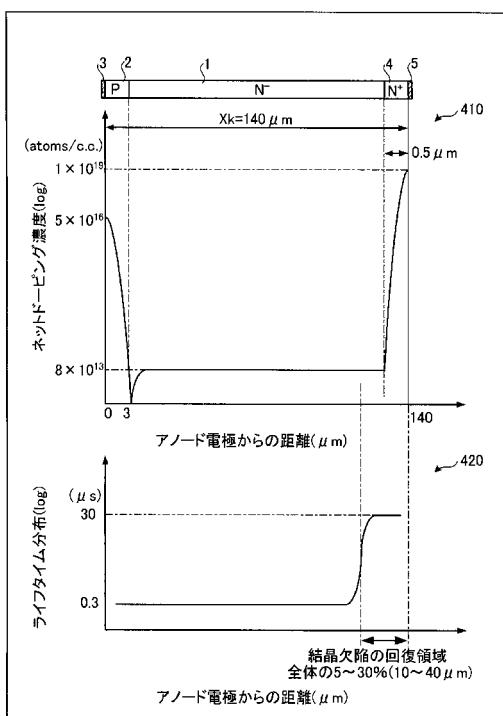
【図2】



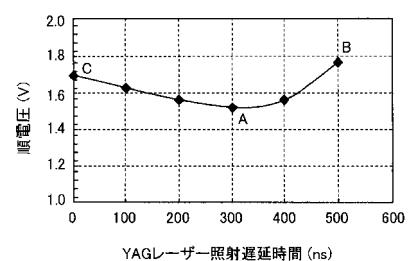
【図3】



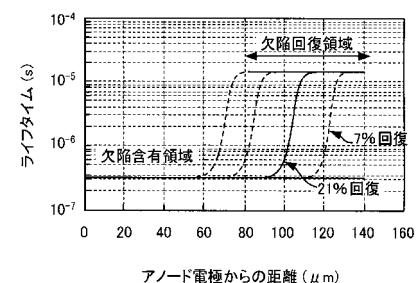
【図4】



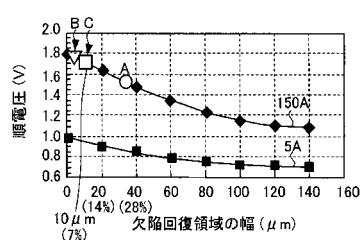
【図5】



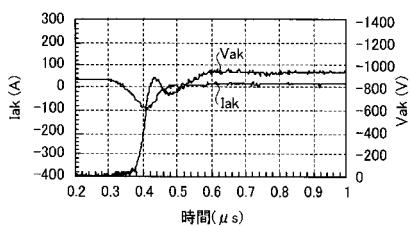
【図6】



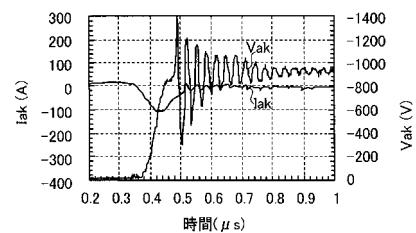
【図7】



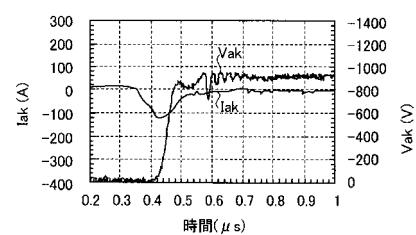
【図8】



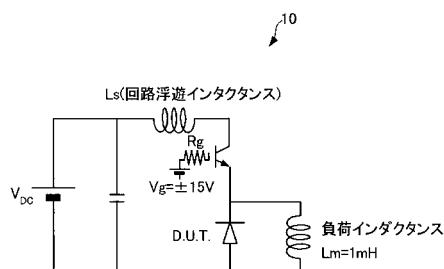
【図9】



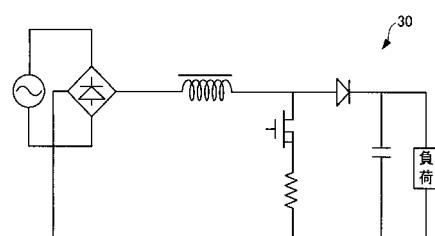
【図10】



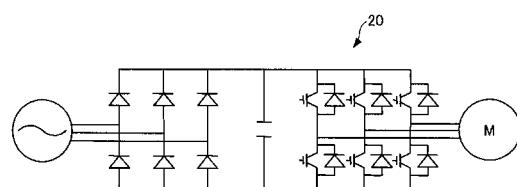
【図11】



【図13】



【図12】



---

フロントページの続き

(72)発明者 中澤 治雄

神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンストテクノロジー株式会社内

審査官 萩原 周治

(56)参考文献 特開平07-226405(JP,A)

特開2005-064429(JP,A)

特開2005-223301(JP,A)

特開昭58-017678(JP,A)

特開2001-156299(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/26 - 21/268

H01L 21/322 - 21/326

H01L 21/329

H01L 21/33 - 29/331

H01L 21/336

H01L 29/739

H01L 29/78

H01L 29/86 - 29/96