[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11C 11/401
G11C 29/00

[12] 发明专利说明书

[21] ZL 专利号 95120110.7

[45] 授权公告日 2003 年 7 月 16 日

[11] 授权公告号 CN 1114925C

[22] 申请日 1995.12.27 [21] 申请号 95120110.7

[30] 优先权

[32] 1994.12.28 [33] JP [31] 328151/1994

[71] 专利权人 三菱电机株式会社

地址 日本东京

[72] 发明人 筑出正树 有本和民

[56] 参考文献

JP60063800 1985.04.12 G11C2900

US4663584 1987.05.05 G05F508

审查员 孙履平

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

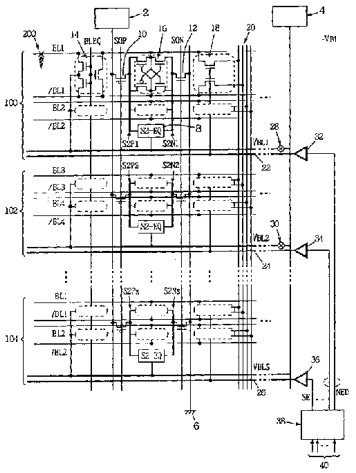
代理人 杜日新

权利要求书 12 页 说明书 17 页 附图 18 页

[54] 发明名称 具有抑制故障存储单元漏电流冗余功能的半导体存储器件

[57] 摘要

在读/写操作中，用备用位线对组(100)替换了包括有故障存储单元(200)的位线对组(100)。 对每个位线对组，通过互连 V_{BL} 接地影响对位线均衡电路(14)的预充电电位的供给和读出放大器的电源的互连(S2P、S2N)。 在位线对组的替换中，由熔丝元件(28)切断，对位线对组(100)的预充电电位的供给。



ISSN1008-4274

1. 一种半导体存储器件，包括以一定数量的存储单元列或存储单元行作为一个存储单元，执行信息读出/写入的有许多存储单元的存储阵列，其中在上述存储单元阵列中，许多上述读/写单元形成通常的存储单元阵列，并且在上述存储单元阵列中，至少有一个所述读/写单元形成一个备用存储单元阵列，当上述通常存储单元含有故障存储单元时，替换有关读/写单元，上述半导体存储器件其特征在于包括:

根据上述信息的第一逻辑电平，提供第一电位的第一电源，

根据上述信息的第二逻辑电平，提供第二电位的第二电源，

许多的位线，每个都连接到至少一个上述存储单元;

许多的读出放大器，每个都连接到所述位线，以便根据上述存储单元的存储信息，来提供第一个电位和第二个电位中的一个，

其中对每个上述存储单元列和存储单元行作为一对提供上述位线，

其中上述每个存储单元连接到相应位线对的一个位线，

其中上述读出放大器被提供给上述每个存储单元列或存储单元行，用来放大每个相应的存储单元的存储信息，作为在上述位线对之间的电位差，

其中上述读出放大器包括:

供给第一电位的第一电源输入节点，

供给第二电位的第二电源输入节点，

上述半导体存储器件还包括:

供给第三电位的第三电源，

把上述第三电位供给上述存储单元阵列的每个读/写单元的许多电源互连，

对应外部控制信号的许多第一开关装置，用于打开/关闭由上述许多的电源互连供给第三电位的每个上述位线、每个上述第一和第二电源输入节点、上述读出放大器的连接，

许多的第二开关装置，可以分别以非易失方式设置上述许多电源互连

和对应的上述许多读/写单元之间的连接，

用于打开/关闭上述第一和第二电位到上述读出放大器的第一和第二电源输入引线的各自独立的连接第一和第二读出放大器的驱动开关装置，上述第一和第二读出放大器的驱动开关装置中至少有一个提供给每个存储单元列或存储单元行单元，

其中，上述第一开关装置包括:

第一位线均衡电路提供给每个上述存储单元的列或存储单元行，用来把上述公共位线对的电位一同耦合到从相应的上述电源互连提供到第三电源的电位，

第一读出放大器预充电电路，提供给上述每个存储单元列或存储单元行单元，用来把连接到上述每个读出放大器的第一电源输入节点的互连，和连接到上述每个读出放大器的第二电源输入节点的互连组成的互连对一起连接到由一个相应的电源互连提供的第三电源电位。

2. 根据权利要求 1 所述半导体存储件，其特征在于还包括:

用来把上述存储单元的存储信息传送到外部输出引线的输入/输出的数据线，

把上述输入/输出数据线连接到上述位线对的位线对选择开关装置，

其中，所述位线对选择开关装置包括:

第一 N 沟道 MOSFET，其源极耦合到上述第一电位，

第二 N 沟道 MOSFET，其源极连接到上述第一 N 沟道的漏极，并且把其漏极连接到上述输入/输出数据线，

其中，上述第一 N 沟道 MOSFET 和第二个 N 沟道 MOSFET 中的一个具有供给外部输入/输出控制信号的栅极，另一个具有连接到上述位线的栅极。

3. 根据权利要求 1 的半导体存储器件，其特征在于上述位线以对的形式提供给上述每个存储单元列和存储单元行，

其中，上述每个存储单元被连接到相应上述位线对的一个位线，

其中，上述读出放大器被提供给上述每个存储单元列和存储单元行，用来放大相应存储单元的每个存储信息，作为上述位线对间的电位差，

上述半导体存储器件还包括:

第一互连,公共连接到至少属于上述存储单元行或存储单元列的两单元的每个上述读出放大器第一电源输入节点上,

用于打开/关闭上述第一互连到第一电源连接的第三读出放大器驱动开关装置,

与第一互连一起形成一对的第二互连,共同连接到上述每个读出放大器的第二电源输入节点,

用来打开/关闭上述第二互连连接到第二电源的第四读出放大器驱动开关装置,

其中,第一开关装置包括:

第二和第三位线均衡电路,提供给上述每个存储单元列或行,用来把在上述位线对上的电位公共耦合到对应上述电源互连提供的第三电位,

第二个读出放大器预充电电路,用来把上述第一互连的电位和第二互连的电位耦合到公共的上述第三电位上,

上述半导体存储器件还包括:位线对分离开关装置,它提供给每个上述存储单元的行和列,使在上述第二和第三位线均衡电路之间按排上述位线对,用来打开/关闭在上述第二位线均衡电路侧和第三位线均衡电路侧之间的位线对的连接。

4. 一种半导体存储器件,包括以一定数量存储单元列或行作为一个单元执行信息的读出和写入的许多存储单元的存储单元阵列,在上述存储单元阵列中许多的读/写单元形成通常存储单元阵列,在上述存储单元阵列中至少有一个读/写单元形成备用存储单元阵列,当上述通常存储单元包括有故障的存储单元时,替换相关读/写单元,上述半导体存储器件其特征在于包括:

根据上述信息的第一逻辑电平,提供第一电位的第一电源,

根据上述信息的第二逻辑电平,提供第二电位的第二电源,

在信息的读/写操作开始之前,在上述第一和第二电位之间在第三电位上保持的一个互连对,并且可以电连接到上述存储单元,其中在上述存储单元列或行单元,至少存在一个互连对,

提供给每个上述互连对的第一开关装置，响应外部控制信号，用来控制，上述互连对的一个被置为第一电位和另一个被置为第二电位的第一状态，以及上述互连时被置为电浮动状态的第二状态，

提供给每互连对的第二开关装置；它用来打开/关闭上述互连对之间的连接，

许多位线，相邻的每个上述存储单元的列或行形成一个位线对，

许多的读出放大器，每个都是提供给上述存储单元的列或行，用来放大每个相应存储单元的存储信息，作为上述位线对的电位差，

第一互连，把上述读出放大器的每一个共同连接到第一电流输入节点，它至少属于上述存储单元列或存储单元行的两个单元，

第三读出放大器驱动开关装置，它打开/关闭连接到上述第一电源的上述第一互连，

第二互连，它与上述第一互连形成一对，共同连接到上述每个读出放大器的第二电源输入节点，

第四读出放大器驱动开关设备，它打开/关闭连接到上述第二电源的上述第二互连，

读出放大器预充电装置，它在上述存储单元信息的读/写操作开始前，打开/关闭在上述第一和第二互连之间的连接，

位线对分离开关装置，在连接到上述存储单元侧和上述读出放大器侧之间，打开/关闭提供上述第二开关装置的上述位线对的连接，

其中，上述读出放大器包括:

供给上述第一电位的第一电源输入节点，

供给上述第二电位的第二电源输入节点，

至少提供给每个上述存储单元列或行的第一和第二读出放大器的驱动开关装置，用来打开/关闭对应上述第一和第二电位到上述读出放大器的第一个第二电源输入引线的连接，

其中，上述互连对包括上述位线对，

提供给每个存储单元的列或行单元的电源线对，用来把上述读出放大器的第一和第二电源输入节点连接到上述第一和第二个读出放大器驱动

开关装置，

其中，对应上述位线对的上述第一开关装置包括：

在上述第一状态，读出放大器变为导通态，把上述位线对的一个驱动到第一电位，另一个驱动到第二电位，并且在上述第二状态，变为非导通态，

其中，对上述电源互连对的第一开关装置包括上述第一和第二读出放大器驱动开关装置，使得在第一状态变为导通，而在第二状态变为不可导通。

5. 根据权利要求4的半导体存储器件，其特征在于还包括：

把上述存储单元存储的信息传送给外部输出引线的输入/输出数据线，

开关装置把上述输入/输出数据线与上述位线连接，

其中，上述开关装置包括：

第一个N沟道MOSFET，其源极耦合到上述第一电位，

第二个N沟道MOSFET，其源极连接到上述第一N沟道MOSFET的漏极，并把其漏极连接到上述输入/输出数据线，

其中，上述第一和第二N沟道MOSFET中的一个具有提供外部输入/输出控制信号的栅极，另一个具有连接到上述位线的栅极。

6. 根据权利要求4的半导体存储器件，其特征在于还包括：

许多的位线对，在这些对中提供给每个上述存储单元列或行的每一个对，位线对的一个位线被连接到对应的上述存储单元的每一个，

许多的读出放大器，每个被提供给每个上述存储单元列或行，用来放大每个对应存储单元中的存储信息，作为在上述位线对之间的电位差，

其中，上述读出放大器包括：

上述第一电位提供给的第一电源输入节点，

上述第二电位提供给的第二电源输入节点，

其中，上述互连对包括上述位线对，

其中，对应上述位线对的第一开关装置，包括：在第一个状态达到导通态的第一读出放大器，它把上述位线对的一个位线驱动到上述第一个电

位，另一个驱动到上述第二个电位，并且在第二状态达到非导通态。

7. 根据权利要求4所述的半导体存储器件，其特征在于还包括:

许多的位线对，相邻的两个形成存储单元行或列的位线对，

许多的读出放大器，为放大每个相应存储单元的存储信息，作为上述位线对电位差，每个都提供给每个上述存储单元列或行，

其中上述读出放大器包括:

供给上述第一电位的第一电源输入节点，

供给上述第二电位的第二电源输入节点，

其中上述线连对包括上述位线对，

其中对应上述位线对的上述第一个开关装置包括上述读出放大器，读出放大器在第一状态变为导通，把上述位线对中的一个驱动到第一个电位，并且把另一个驱动到上述第二个电位，在第二个状态变为非导通态(截止)，

上述半导体存储器件还包括:

第一互连，在公共第一个电源输入节点连接至少有两个属于上述存储单元列或行单元的每个读出放大器，

第五读出放大器驱动开关装置，用来打开/关闭上述第一个互连到第一电源的连接，

与第一互连形成一个对的第二个互连，它被连接到每个上述读出放大器的公共第二个电源输入节点，

第六个读出放大器驱动开关装置，用来打开/关闭上述第二互连到第二个电源的连接，

读出放大器预充电装置，用来在上述存储单元的存储信息的读/写信息开始之前，在上述第一和第二互连之间打开/关闭连接，

位线对隔离开关装置，用在提供上述存储单元及上述第二个开关装置的第一侧和提供上述读出放大器的第二侧之间打开/关闭位线对的第一侧的连接。

8. 根据权利要求7的半导体存储器件，其特征在于还包括偏压装置，在这个装置中，形成读出放大器的MOS晶体管的反馈偏压被改变成在不

执行读/写操作的情况下，门限值增加的这一侧。

9. 根据权利要求6的半导体存储器件，其特征在于还包括偏压装置，在这个装置中，形成读出放大器的 MOS 晶体管的反馈偏压(backbias)被改变成在不执行读/写操作的情况下门限值增加的这一侧。

10. 一种操作权利要求6的半导体存储器件的操作方法，其特征在于包括:

第一步，在第一状态，设置上述读出放大器把上述位线对的一个位线驱动到第一电位，把位线对的另一个位线驱动到第二电位，使上述第二开关装置变为不导通，使得上述第三和第四读出放大器驱动开关装置都变为导通，把第一和第二互连分别置为第一和第二电位，分别把读出放大器的预充电装置变为不可导通，位线对隔离开关装置变为不可导通;

第二步，响应上述把读出放大器置为第二状态的外部控制信号，使上述位线对驱动到电浮动状态，把上述第二开关装置变为可导通状态，使上述位线对的电位置为第三电位，把上述第三和第四读出放大器驱动开关装置都置为不可导通，使得上述第一个和第二个互连置为电浮动状态，把上述读出放大器预充电装置变为可导通状态，使上述第一个和第二个互连置为第三个电位，使上述位线对隔离开关装置变为可导通;

第三步，响应把上述读出放大器置为第一状态的外部控制信号，以便根据存储单元的存储信息把上述位线对的一个驱动到第一个电位，把另一个驱动到第二个电位，把上述第二个开关装置变为不可导通，把上述第三个和第四个读出放大器驱动开关装置都变为可导通，以便把第一个和第二个互连分别置为第一个和第二个电位，把上述读出放大器预充电装置变为不可导通，把上述位线对隔离开关装置置为可导通状态，

第四步，响应上述外部控制信号，把上述位线对隔离开关装置变为不可导通，以便使得上述半导体存储器件设置为与上述第一步相同的状态。

11. 一种操作权利要求6所述的半导体存储器件的操作方法，其特征在于包括:

第一步，设置上述读出放大器达到上述第二状态，以便把位线对置为电浮动状态，把上述第二个开关装置变为不可导通，把上述第三个和第四

个读出放大器驱动开关装置都置为不可导通，以便使第一个和第二个互连置为电浮动状态，把上述读出放大器预充电装置置为不可导通，把上述位线对隔离开关装置变为不可导通；

第二步，响应上述外部控制信号，让读出放大器处于第二个状态，位线对仍处于电浮动状态，使得上述第二个开关装置变为可导通，以便把上述位线对电位置为第三个电位，让第三个和第四个读出放大器驱动开关装置仍为不可导通，以便使第一个和第二个互连仍处于电浮动状态，上述读出放大器预充电装置仍为可导通，让上述第一个和第二个互连置为第三个电位，使位线对隔离开关装置变为可导通；

第三步，响应上述外部控制信号，把上述读出放大器置为第一状态，以便根据存储单元的存储信息把上述位线对中的一个驱动到上述第一个电位，另一个驱动到上述第二电位，把上述开关装置变为不可导通，使得上述第三个和第四个读出放大器驱动开关装置都变为可导通，以便分别把第一个和第二个互连置为第一个第二个电位，把上述读出放大器预充电装置都置为不可导通，让上述位线对隔离开关装置处于可导通；

第四步，响应上述外部控制信号，把上述读出放大器置为第一状态，以便使上述位线对处于电浮动状态，使上述第二个开关装置处于不可导通，让上述第三个和第四个读出放大器驱动开关装置都为不可导通，以便把上述第一个和第二个互连置为电浮动状态，使得上述读出放大器预充电装置保持不可导通，把上述位线对隔离开关装置变为不可导通，以便把上述半导体存储器件设置为与上述第一步相同的状态。

12. 一种操作权利要求7所述的半导体存储器件的操作方法，其特征在于包括：

第一步，把上述放大器置为第一状态，使得位线对分离开关装置变为不可导通；把第一侧的上述位线对的位线都置为第三个电位，并且在上述位线对的第二侧，上述位线对的一个置为第一个电位，另一个置为第二个电位，使得上述第二个开关装置变为不可导通；使得上述第五个和第六个读出放大器驱动开关装置都置为可导通，以便使上述第一个和第二个互连分别置为第一个和第二个电位，上述读出放大器的预充电装置变为不可导

通，

第二步，响应上述外部控制信号把上述读出放大器置为第二状态，使位线对置为电浮动状态；让上述位线对隔离开关装置变为可导通，上述第二个开关装置变为可导通，使得上述第一和第二侧的位线对的电位都置为第三个电位；让第五个和第六个读出放大器驱动开关装置都变为不可导通，以便使第一个和第二个互连置为电浮动状态；把上述读出放大器预充电装置变为可导通，以便把第一个和第二个互连置为第三个电位，

第三步，响应上述外部控制信号，这个控制信号把上述读出放大器置为第一状态，并且使位线对隔离开关装置保持可导通状态，以便根据上述存储单元的信息，在上述位线对的第一和第二侧把上述位线的一个电位驱动到第一电位，另一个驱动到第二电位；把上述第二开关装置变为不可导通，把第五个和第六个读出放大器的驱动的开关装置都变为可导通，把上述第一和第二互连分别置为上述第一和第二电位；把上述读出放大器预充电装置变为不可导通，

第四步，响应上述外部信号，这个外部信号使读出放大器保持第一状态，使位线对隔离开关装置变为不可导通；使上述第二个开关装置变为可导通，以便在位线对的第一侧，将位线对的位线都置为第三电位，并且在位线对的第二侧，将位线对的一个位线置为第一电位，另一个置为第二电位；把第五个和第六个读出放大器驱动开关装置都变为可导通；以使上述第一个和第二个互连分别置为第一个第二个电位，并且使读出放大器预充电装置保持不可导通状态，

第五步，响应上述外部控制信号，这个外部控制信号把上述第二个开关装置变为不可导通，以便把上述半导体存储器件置为与第一步相同的状态。

13. 一种操作权利要求 7 所述的半导体存储器件的操作方法，其特征在于包括:

第一步，把上述读出放大器置为第二状态，以便使上述位线对处于电浮动状态；把位线对分离开关装置变为不可导通，以便把上述位线的电位都置为上述位线对的第一和第二侧的第二电位，使上述第二开关装置变为

不可导通，使上述第五个和第六个读出放大器装置都变为不可导通，以便将第一个和第二个互连都置为电浮动状态作为第三个电位，把读出放大器的预充电装置变为不可导通，

第二步，响应上述外部控制信号，这个控制信号，使上述读出放大器保持第二状态，以便使上述位线对保持电浮动状态，让上述位线对隔离开关装置变为可导通，把上述第二开关装置变为可导通；让第五个和第六个读出放大器驱动开关装置都保持不可导通，以便使上述第一和第二个互连仍处于电浮动状态；使上述读出放大器预充电装置变为可导通，

第三步，响应上述外部控制信号，这个外部控制信号把读出放大器置为第一状态，并且使上述位线对隔离开关装置保持可导通，以便根据存储单元的存储信息，把上述位线对的一个位线驱动到第一电位，另一个驱动到第二电位；使上述第二开关装置变为不可导通，使上述第五个和第六个读出放大器驱动开关装置都变为可导通，以便把上述第一个和第二个互连都分别置为第一个和第二个电位；使上述读出放大器变为不可导通，

第四步，响应上述外部控制信号，这个外部控制信号把上述读出放大器置为第二状态，以便把上述位线对置为电浮动状态；使位线对隔离开关装置保持可导通，使上述第二开关装置变为可导通，以便把上述第一和第二侧的位线对都置为第三电位；使上述第五和第六个读出放大器驱动开关装置都变为不可导通，以便把上述第一个和第二个互连置为电浮动状态；使上述读出放大器预充电装置变为不可导通，把上述第一和第二个互连置为第三个电位，

第五步，响应外部控制信号，这个外部控制信号使上述第二个开关装置变为不可导通，使读出放大器预充电装置变为不可导通，使上述位线对隔离开关装置变为不可导通，以便把上述半导体储器件置为与第一步相同的状态。

14. 一种半导体存储器件，包括以一定数量存储单元列或行作为一个单元执行信息的读出和写入的许多存储单元的存储单元阵列，在上述存储单元阵列中许多的读/写单元形成通常存储单元阵列，在上述存储单元阵列中至少有一个读/写单元形成备用存储单元阵列，当上述通常存储单元

包括有故障的存储单元时，替换相关读/写单元，其特征在于上述半导体存储器件包括:

根据上述信息的第一逻辑电平，提供第一电位的第一电源，

根据上述信息的第二逻辑电平，提供第二电位的第二电源，

在信息的读/写操作开始之前，在上述第一和第二电位之间在第三电位上保持的一个互连对，并且可以电连接到上述存储单元，其中在上述存储单元列或行单元，至少存在一个互连对，

提供给每个上述互连对的第一开关装置，响应外部控制信号，用来控制上述互连对的一个被置为第一电位和另一个被置为第二电位的第一状态，以及上述互连时被置为电浮动状态的第二状态，

提供给每对互连的第二开关装置；它用来打开/关闭上述互连对之间的连接，

许多位线，相邻的每个上述存储单元的列或行形成一个位线对，

许多的读出放大器，每个都是提供给上述存储单元的列或行，用来放大每个相应存储单元的存储信息，作为上述位线对的电位差，

第一互连，在公共第一个电源输入节点连接至少有两个属于上述存储单元列或行单元的每个读出放大器，

第五读出放大器驱动开关装置，用来打开/关闭上述第一个互连到第一电源的连接，

由第一互连形成一个对的第二个互连，它被连接到每个上述读出放大器的公共第二个电源输入节点，

第六个读出放大器驱动开关装置，用来打开/关闭上述第二互连到第二个电源的连接，

读出放大器预充电装置，用来在上述存储单元的存储信息的读/写信息开始之前，在上述第一和第二互连之间打开/关闭连接，

位线对隔离开关装置，用在提供上述存储单元及上述第二个开关装置的第一侧和提供上述读出放大器的第二侧之间打开/关闭位线对的第一侧的连接，

其中，上述读出放大器包括:

供给上述第一电位的第一电源输入节点，

供给上述第二电位和第二电源输入节点，

至少提供给每个上述存储单元列或行的第一和第二读出放大器的驱动开关装置，用来打开/关闭对应上述第一和第二电位到上述读出放大器的第一个第二电源输入引线的连接，

其中，上述互连对包括上述位线对，

提供给每个存储单元的列或行单元的电源线对，用来把上述读出放大器的第一和第二电源输入节点连接到上述第一和第二个读出放大器驱动开关装置，

其中，对应上述位线对的上述第一开关装置包括：

在上述第一状态，读出放大器变为导通态，把上述位线对的一个驱动到第一电位，另一个驱动到第二电位，并且在上述第二状态，变为非导通态，

其中，对上述电源互连对的第一开关装置包括上述第一和第二读出放大器驱动开关装置，使得在第一状态变为导通，而在第二状态变为不可导通。

具有抑制故障存储单元漏电流冗余功能的半导体存储器件

技术领域

本发明是有关包括冗余电路的半导体及其操作方法。

背景技术

随着半导体存储器，特别是动态 RAM(DRAM)集成密度的增加，在闲置操作周期，消耗的功率也相应地增加了。特别在 DRAM 中，甚至闲置状态期间，它都要用重写/重读存储数据来保持存储信息，这样，在原理上，在减少消耗功率上有一定的限制。

在使用许多 DRMA 的系统中，有一个临界状态完成闲置状态期间的消耗功率。

集成密度的增加，也使出现有故障存储单元的机会增加了。

为了补偿由于这些有故障存储单元产生的错误，使用所谓的冗余信息电路，在出现故障存储单元的一列存储单元上，由一个辅助的一列存储单元替换。

由于这些替换的功效，可以平稳地执行读/写存储单元数据的基本操作。但是，甚至在相关的故障被冗余信息电路修理好时，故障部分的漏泄电路路径仍然存在，这意味着，在 DRAM 闲置状态的消耗能量进一步增加了。

参照图 18 所示的传统 DRAM 结构，将详细描述上面的情况。

首先，简要地描述每个组成部分的操作。

在一个 Y 地址比较器电路 38 中，在上一次测试中，检测的包括故障位的地址被存储在永久存储器中，如保险丝电路中。

例如：当外部应用地址信号 40 与上面包括故障位标识的地址相匹配时，列选择线驱动电路 34 被导通，一个列选择线(下文标为“CS 线”)24 被上拉到高电位(逻辑高)。

通过一个位线对组单元 102 的 I/O 门 19(对应在位线对组单元 100 中 I/O 门 18)，一对位线 BL3，/BL3 被连接到数据输入/输出线 20。

位线对 BL3/BL3 的电位差根据连接到存储单元的存储信息，由读出放大器 17 放大，并且由未表示的字线信号选择。

通过上面的操作，可以从外部读出存储单元的信息。

如果在位线 BL1 和地电位间，有一个短路部分 200，就不能从连接到那个位线的存储单元读/写数据。

在这种情况下，有故障的位线用辅助位线替换。通常这种替换不是在位线单元，而是，在由 CS 线连接的位线对组的单元中被执行。

更准确地说，对应故障位线 BL1 属于的位线对组单元 100，CS 线 22 的地址在一个 Y 地址比较电路 38 中，被重新编程。

外部应用地址 40，通过 Y 地址比较器电路 38，与这个编程故障地址相比较。当两个值互相匹配时，导通备用列解码器的一个信号(SE 信号)，被用到 CS 线驱动电路 36，通过由备用位线组成的位线对组单元 104，选择一个备用 BL1 和一个备用 BL1 线。

同时，一个没导通分配给故障位线的 BL1 的 CS 线的信号(NE1)信号被用到 CS 线驱动电路 32。

这样，执行对故障位的替换，在存储器单元的基本操作中，是没问题的。

但是，例如，在美国专利号 4，663，584 中所揭示的，根据存储单元的数据，位线对被预先充电到，在读出放大器 16 的放大操作之前，由位线电位产生电路(没有表示)供给电位 V_{BL} 的电平。这里，电位 V_{BL} 被置为 1/2 V_{CC}，V_{CC} 是从电源 2 分到的电位。

V_{BL} 的值没被限制为 1/2 V_{CC}，它可以置为任意值。

连接到电源 2 的第一个电源线 S_{2P} 把偏压加到开关晶体管 10 和加到读出放大器；通过开关晶体管 12 接地并连到读出放大器的第二电源线 S_{2N}，也被作为位线对预充电。每个第一和第二电源线 S_{2P} 和 S_{2N} 通常参考下文中门线 S_2。

因此，由于短路部分 200 的存在，产生了第一个泄漏电流路径 202

和第二个泄漏电流路径204，在第一个泄漏电流路径202中，经过把位线对BL1和/BL1共同耦合到电位BL位线均衡电路14，从位线电位生成电路的电位供应线来的电流，通过位线BL1泄漏。在第二个泄漏电流路径204中，从通常把S_2耦合到电位V_{BL}的S_2线均衡电路14来的电流，通过线S_2、读出的放大器16和位线BL1泄漏。

结果，出现了存储单元闲置电流增大。

这里还有另一个缺点，由于电位V_{BL}变得比设计值降低，对应V_{BL}的操作容限明显地减少了。

根据图19的时间图表，将做下述描述。

在时间t_0，所有的位线对将被预充电到电位V_{BL}的电平。但是，由于泄漏电流分配给故障位的位线对BL1/BL1对的电位比电位V_{BL}(=1/2 V_{CC})低。

由于泄漏电流读出放大器的线S_2也比预充电电压V_{BL}低，注意到了线S_2的电位的减少影响所有连接到线S_2读出放大器操作。

随着在时刻t_2将线地址选通信号/RAS从高电位转换成低电平，在时刻t_3，内部信号BLEQ，从高电位拉到低电位电平，位线对被电绝缘。

同样地，S_2线均衡电路8被关闭，一对线S_2被电绝缘。

然后，在时刻t_5，对应于信号/SOP和SON，开关晶体管10和12被打开，读出放大器16被导通。

结果，根据相应选择的存储单元存储的信息一对位线BL1，/BL1和一对备用线BL1和/BL1具有一个驱动到电平V_{CC}的电位和另一个驱动到地电平的电位。

在时刻t_8，从低电平把信号NED和SE转换到高电平，CS1线22保持它的非导通态，备用CS线26被导通。结果，数据被供给数据输入/输出线(I/O线20)。

在时刻t_{12}，信号/RAS从低民位被驱动到高电位。在时刻t_{13}，信号BLEQ从低电平驱动到高电平。

同时，读出放大器由信号/SOP和SON，达到非导通态。对应信号BLEQ，位线对被再次预充电到电平V_{BL}。但是，位线对BL1，/BL1的

电位被泄漏电流降低。线 S_2 的电位也被减小。

这样，由于泄漏电流，在读出放大器导通前，线 S_2 的电位小于 V_{BL}(=1/2 V_{CC})。近年来，随着存储器容量的增加，V_{BL} 容限的减少已经产生了一系列的问题。

由于存储容量的增加和器件尺寸的微型化，从可靠性的观点，要求减少供电电压。因此，由于电压减少引起的 V_{BL} 容限电压降低，更加剧了通过泄漏电流路径的 V_{BL} 的减少。

传统的半导体存储器件具有由于故障部分的泄漏电流，存储单元部分的实际闲置电流增加，对应电位 V_{BL} 的操作容限降低。

发明内容

本发明的目的是提供一种可以在闪置(stand-by)期间，具有减少的功率消耗的半导体存储器件及其操作方法。

本发明的另一个目的是提供了这样一种半导体存储器件，在这个器件中，可以防止读出放大器的位线和 S_2 线的电位差在预充电的时间内，有由故障存储单元部分引起的降低。

根据本发明的一个方面，一种半导体存储器件，包括以一定数量的存储单元列或存储单元行作为一个存储单元，执行信息读出/写入的有许多存储单元的存储阵列，其中在上述存储单元阵列中，许多上述读/写单元形成通常的存储单元阵列，并且在上述存储单元阵列中，至少有一个所述读/写单元形成一个备用存储单元阵列，当上述通常存储单元含有故障存储单元时，替换有关读/写单元，上述半导体存储器件包括：根据上述信息的第一逻辑电平，提供第一电位的第一电源（图 1 中标号 2），根据上述信息的第二逻辑电平，提供第二电位的第二电源（图 1 中地电位），许多的位线，每个都连接到至少一个上述存储单元；许多的读出放大器，每个都连接到所述位线，以便根据上述存储单元的存储信息，来提供第一个电位和第二个电位中的一个，其中对每个上述存储单元列和存储单元行作为一对提供上述位线，其中上述每个存储单元连接到相应位线对的一个位线，其中上述读出放大器被提供给上述每个存储单元列或存储单元行，用来放大每个相应的存储单元的存储信息，作为在上述线对之间的电位差，

其中上述读出放大器包括：供给第一电位的第一电源输入节点，供给第二电位的第二电源输入节点，上述半导体存储器件还包括：供给第三电位的第三电源（图1中标号4），把上述第三电位供给上述存储单元阵列的每个读/写单元的许多电源互连，对应外部控制信号的许多第一开关装置（图1中标号8、14），用于打开/关闭由上述许多的电源互连供给第三电位的每个上述位线、每个上述第一和第二电源输入节点、上述读出放大器的连接，许多的第二开关装置（图1中标号28、30），可以分别以非易失方式设置上述许多电源互连和对应的上述许多读/写单元之间的连接，用于打开/关闭上述第一和第二电位到上述读出放大器的第一和第二电源输入引线的各自独立的连接第一和第二读出放大器的驱动开关装置（图1中标号12、10），上述第一和第二读出放大器的驱动开关装置中至少有一个提供给每个存储单元列或存储单元行单元，其中，上述第一开关装置包括：第一位线均衡电路提供给每个上述存储单元的列或存储单元行，用来把上述公共位线对的电位一同耦合到从相应的上述电源互连提供门第三电源的电位，第一读出放大器预充电电路，提供给上述每个存储单元列或存储单元行单元，用来把连接到上述每个读出放大器的第一电源输入节点的互连，和连接到上述每个读出放大器的第二电源输入节点的互连组成的互连对一起连接到由一个相应的电源互连提供的第三电源电位。

根据本发明的另一方面，一种半导体存储器件，包括以一定数量存储单元列或行作为一个单元执行信息的读出和写入的许多存储单元的存储单元阵列，在上述存储单元阵列中许多的读/写单元形成通常存储单元阵列，在上述存储单元阵列中至少有一个读/写单元形成备用存储单元阵列，当上述通常存储单元包括有故障的存储单元时，替换相关读/写单元，上述半导体存储器件包括：根据上述信息的第一逻辑电平，提供第一电位的第一电源，根据上述信息的第二逻辑电平，提供第二电位的第二电源，在信息的读/写操作开始之前，在上述第一和第二电位之间在第三电位上保持的一个互连对，并且可以电连接到上述存储单元，其中在上述存储单元列或行单元，至少存在一个互连对，提供给每个上述互连对的第一开关装置，响应外部控制信号，用来控制，上述互连对的一个被置为第一电位和

另一个被置为第二电位的第一状态，以及上述互连时被置为电漂浮状态的第二状态，提供给每对互连的第二开关装置；它用来打开/关闭上述互连对之间的连接，许多位线，相邻的每个上述存储单元的列或行形成一个位线对，许多的读出放大器，每个都是提供给上述存储单元的列或行，用来放大每个相应存储单元的存储信息，作为上述位线对的电位差，第一互连，把上述读出放大器的每一个共同连接到第一电流输入节点，它至少属于上述存储单元列或存储单元行的两个单元，第三读出放大器驱动开关装置，它打开/关闭连接到上述第一电源的上述第一互连，第二互连，它与上述第一互连形成一对，共同连接到上述每个读出放大器的第二电源输入节点，第四读出放大器驱动开关设备，它打开/关闭上述第二互连连接到上述第二电源，读出放大器预充电装置，它在上述存储单元信息的读/写操作开始前，打开/关闭在上述第一和第二互连之间的连接，位线对分离开关装置，在连接到上述存储单元侧和上述读出放大器侧之间，打开/关闭提供上述第二开关装置的上述位线对的连接，其中，上述读出放大器包括：供给上述第一电位的第一电源输入节点，供给上述第二电位和第二电源输入节点，至少提供给每个上述存储单元列或行的第一和第二读出放大器的驱动开关装置，用来打开/关闭对应上述第一和第二电位到上述读出放大器的第一个第二电源输入引线的连接，其中，上述互连对包括上述位线对，提供给每个存储单元的列或行单元的电源线对，用来把上述读出放大器的第一和第二电源输入节点连接到上述第一和第二个读出放大器驱动开关装置，其中，对应上述位线对的上述第一开关装置包括：在上述第一状态，读出放大器变为导通态，把上述位线对的一个驱动到第一电位，另一个驱动到第二电位，并且在上述第二状态，变为非导通态，其中，对上述电源互连对的第一开关装置包括上述第一和第二读出放大器驱动开关装置，使得在第一状态变为导通，而在第二状态变为不可导通。

根据本发明的又一方面，一种半导体存储器件，包括以一定数量存储单元列或行作为一个单元执行信息的读出和写入的许多存储单元的存储单元阵列，在上述存储单元阵列中许多的读/写单元形成通常存储单元阵列，在上述存储单元阵列中至少有一个读/写单元形成备用存储单元阵列，

当上述通常存储单元包括有故障的存储单元时，替换相关读/写单元，上述半导体存储器件包括：根据上述信息的第一逻辑电平，提供第一电位的第一电源，根据上述信息的第二逻辑电平，提供第二电位的第二电源，在信息的读/写操作开始之前，在上述第一和第二电位之间在第三电位上保持的一个互连对，并且可以电连接到上述存储单元，其中在上述存储单元列或行单元，至少存在一个互连对，提供给每个上述互连对的第一开关装置，响应外部控制信号，用来控制上述互连对的一个被置为第一电位和另一个被置为第二电位的第一状态，以及上述互连时被置为电漂浮状态的第二状态，提供给每对互连的第二开关装置；它用来打开/关闭上述互连对之间的连接，许多位线，相邻的每个上述存储单元的列或行形成一个位线对，许多的读出放大器，每个都是提供给上述存储单元的列或行，用来放大每个相应存储单元的存储信息，作为上述位线对的电位差，第一互连，在公共第一个电源输入节点连接至少有两个属于上述存储单元列或行单元的每个读出放大器，第五读出放大器驱动开关装置，用来打开/关闭上述第一个互连到第一电源的连接，由第一互连形成一个对的第二个互连，它被连接到每个上述读出放大器的公共第二个电源输入节点，第六个读出放大器驱动开关装置，用来打开/关闭上述第二互连到第二个电源的连接，读出放大器预充电装置，用来在上述存储单元的存储信息的读/写信息开始之前，在上述第一和第二互连之间打开/关闭连接，位线对隔离开关装置，用在提供上述存储单元及上述第二个开关装置的第一侧和提供上述读出放大器的第二侧之间打开/关闭位线对的第一侧的连接，其中，上述读出放大器包括：供给上述第一电位的第一电源输入节点，供给上述第二电位和第二电源输入节点，至少提供给每个上述存储单元列或行的第一和第二读出放大器的驱动开关装置，用来打开/关闭对应上述第一和第二电位到上述读出放大器的第一个第二电源输入引线的连接，其中，上述互连对包括上述位线对，提供给每个存储单元的列或行单元的电源线对，用来把上述读出放大器的第一和第二电源输入节点连接到上述第一和第二个读出放大器驱动开关装置，其中，对应上述位线对的上述第一开关装置包括：在上述第一状态，读出放大器变为导通态，把上述位线对的一个驱动到第

一电位，另一个驱动到第二电位，并且在上述第二状态，变为非导通态，其中，对上述电源互连对的第一开关装置包括上述第一和第二读出放大器驱动开关装置，使得在第一状态变为导通，而在第二状态变为不可导通。

本发明的主要的优点是抑制在闲置状态期间电流增加，甚至当由于切断存储单元列或存储单元行的读/写单元连接，从由第二开关电路提供第三个电位的电源互连产生泄漏电流，存在一个有故障的存储单元时，在闲置状态期间，本发明可抑制电流增长。其他优点如下所述。

当一个互连达到第一个电位的电平并且另一个达到第二个电位的电平时，至少存储单元列或存储单元行的读/写单元的这一对互连达到电漂浮状态。

当这对互连仍然处于电漂浮状态时，它们由有两个互连通过第二个开关装置相连接，驱动到第三个电位。因此，不需要产生第三个电位的电源。另外，没有从第三个电位电源的有故障存储单元的短路部分泄漏的电流。因此，可以抑制在闲置期间增加的功率消耗。

本发明前面的所述及其目的，特点，观点和优点将通过参照附图，对本发明的下列的详细描述更加明显地显现出来。

附图说明

图 1 是以图解的形式表示本发明的第一个实例的框图。

图 2 是描述第一个实施例操作的时间图。

图 3 是以图解的形式表示了本发明的第二个实施例的框图。

图 4 是表示本发明的第二个实施例操作的时间图。

图 5 是以图解形式表示本发明的第三个实施例的框图。

图 6 是表示第三个实施例操作的时间图。

图 7、8 是分别表示的本发明的第四个实施例和第五个实施例的图解框图。

图 9 表示的是本发明第五个实施例操作时间图。

图 10 表示的是本发明第六个实施例的图解框图。

图 11 表示的是本发明第六个实施例操作的时间图。

图 12 表示的是本发明第七个实施例操作的时间图。

图 13 表示的是本发明第八个实施例的图解框图。

图 14 和图 15 分别表示了本发明第八个实施例和第九个实施例的操作的时间图。

图 16 表示的是本发明的第十个实施例的电路图。

图 17 表示的是本发明第十个实施例的操作时间图。

图 18 表示的是传统的动态半导体存储器件的图解框图。

图 19 表示的是传统的动态半导体存储器件的操作的时间图。

具体实施方式

图 1 是根据本发明的第一个实施例，一个 DRAM 的主要部分的图解框图。

在图中，与图 18 相同的引用符号表示相同的成份。

第一个实施例与传统的 DRAM 的区别在于，对每一个位线对组单元；为位线提供预充电电位 V_{BL} 的电源供应 V_{BL2}，…V_{BLS} 和读出放大器的线 S_2 平行于线 CS 排列。

这些预充电电位电源线和相应的存储单元阵列单元，通过独立的永久开关装置，例如，熔丝元件。

当存在故障时，就产生替换的由每个位线对组单元 100，102，104 将线 S_2 隔离。在每个线 S_2 上都提供有一个用于打开/关闭在 S_2 线对之间连接的 S_2 线均衡电路 S_2—EQ。

当在位线对组单元 100 中，连接到位线 BI1 的存储单元上有短路部分 200 时，熔丝元件就会被熔断。

结果，对照前面，甚至在替换了包括有故障的位线对组单元之后，第一个和第二个泄漏电流路径仍然存在的情况，这两个泄漏电流都被切断了，以便在本结构中无泄漏电流。

这样，可以防止替换之后，由于故障位造成的闲置电流的增加。

图 2 是表示第一个实施例操作的时间图。基本操作与传统的相似。甚至在对故障位连接的位线 BL1，/BL1 中，执行读出操作。因此，它们间的电位被放大了。

因为在位线 BL1 和地之间有泄漏电流，位线 BL1 和位线/BL1 被分

别放大到低电平的高电平。

因为这个位线对用备用的备用 BL1 和空间/BL1 的位线对替换，基本操作是不受影响。

对应于信号 BLEQ 从低电平到高电平的转换，在时刻 t9，位线 BL1 和/BL1 达到 $1/2V_{CC}$ 的电平。但是，由于泄漏电流，位线对的电压电平被逐渐降低。在时刻 t10，电位达到了足够低的电平的恒定值。

因为熔线单件 28 被熔断之后，无泄漏电流产生。

在传统的冗余信息电路中，甚至如果有故障的位线对组单元被修复，在闲置期间，可能获得改善电流增长。

在本实施例中，在替换单元中线 S_2 被隔离，并且用熔丝元件切断位线和线 S_2 与泄漏电流路径的预充电源的互连。因此，上述的问题可以得到缓解。

在图 1 的第一个实施例中，根据相应的位线对组单元，仅在预充电的电源的互连提供熔丝元件。

根据一个备用位线对组单元 104，也通过提供电源互连的熔丝元件，可以调节由于备用存储单元的故障位造成的备用电流增加的问题。

图 3 表示的是本发明的第二实施例，DRAM 的成份的图解框图。在第一个实施例中，由于读出放大器的线 S2 的隔离引起的线 S2 的电容的减少，使读出放大器的锁存能力下降。

当线 C3 被导通把位线数据转换到 I/O 线上时，有被转换到读出放大器的 I/O 线的初始电位电平的可能性，来破坏由读出放大器锁存的数据，I/O 线连到位线。

在第二个实施例中，连接 I/O 线和位线的 I/O 的组成直接读出放大器电路 50 如下所示。

直接读出放大器电路 50，线 CS 被共同连接到具有接地源的一对第一 N 沟道 MOSEFT 门。一对具有连接到一对第一 N 沟道 MOSEFT 源的第二个 N 沟道 MOSEF。具有连接到位线对的门和连接到 I/O 线的门。

因此，I/O 线的电位不是传送到位线。

特别指出的是，甚至当线 S_2 被隔离和读出放大器锁存容量下降时，

也可以防止由 I/O 线初始电位引起的读出放大器边的数据损坏。

在一对第一 N 沟道 MOSEF 具有连接到位线对的栅极和一对第二 N 沟道 MOSEFT 具有连接到 CS 的栅极的结构中，可以获得同样的效果。

参照图 4 的时间图，将描述上述操作。

在下列描述中，假设 I/O 线的电位被预充电到高电位。

对应在时刻 t_1，信号/SOP 和 SON 的导通，读出放大器被导通，根据在选择存储单元中，存储信息，放大位线对 BL_n,/BL_n 的电位差。

在时刻 t_4，当线 CS_n 从低电平到高电平的转换开始时，也开始更改 I/O 线的电位。

在通常的 I/O 门(对应图 1 的门 18)，由于 I/O 门的起始电位，达到 L 电平的位线电位显示如图 4 中的点线所示的传送。如果这个传送太大，数据将被破坏。

在本实施例的直接读出放大器电路 50 中，连接着达到 H 电平位线的 I/O 线的电位电平被拉下到 L 电平。但是，因为位线没有直接耦合到 I/O 线，通过 I/O 线的电平，几乎没有位线电位的变化。

根据本发明的第三个实施例，图 5 是表示 DRAM 成份的图解框图。

第三个实施例的 DRAM 与第二个实施例的 DRAM 存在如下四点区别:

第一，对于每个位线对组单元，线 S_2 是没有被隔离。

第二，存储单元侧的位线可以从读出放大器侧的位线被它们之间的转换门 60 隔离。

第三，在提供存储单元的位线对侧，提供一个均衡电路 14。对每个位线对组单元和包括熔丝元件，由预充电电源提供 V_{BLn} 互连，向这个电路提供预充电电位。

第四，在提供读出放大器的位线侧，提供均衡电路 62。在共有的每个位线对组单元中连接到由主预充电电源互连，向均衡电路 62 和位线 S_2 提供预充电电位。

参照图 6 的时间图，下文将描述这个操作。

在时刻 t_0，信号 BL1 达到低电平，传输门 60 被关闭。

因此，为读出放大器的线 S_2 和位线均衡电路 62 提供充电电位的互连，与存储单元提供的位线对的那一边隔离。

在时刻 t_2，信号 BL1 从低电平被拉起到高电平，传输门 60 被打开。位线均衡信号 BLEQ 从高电平被驱动到低电平，对位线和线 S_2 的预充电电位供应被切断。

然后，读出放大器执行一个一般的操作，读出一个信号。在时刻 t_9，信号 BL1 达到低电平，传输门 60 被关上。

在这种状态下，由均衡电路 14 执行为存储器单元侧预充电的位线对操作。

同时，由均衡电路 62 执行为读出放大器提供的位线对充电的操作。

在预充电操作期间，主预充电电源互连从有故障存储单元部分 200 隔离出来。

因此，泄漏电流的路径被切断，以抑制闲置电流的增加。

通过熔断熔丝元件 28，预充电电源 4 可以从有故障存储单元部分 200 隔离出来。

因为在本实施例中，读出放大器的线 S_2 没有被隔离，消除了第一个实施例迁到读出放大器的锁存能力减少的问题。

根据第四个实施例，图 7 是表示 DRAM 的成份的图解框图。

与第一个实施例在结构上的区别是去除了预充电电源 4 以及预充电电源的互连 V_{BL1}，V_{BL2}，…，V_{BLS} 被置为电漂浮状态。其原因将在下文中描述。

在这种情况下，由于读出放大器的线 S_2 的隔离，存在第一个实施例中的锁存能力减少的可能性。

为了改进这个问题，在如图 8 所示的第五个实施例的 DRAM 中，提供一个直接读出放大电路 50 作为 I/O 门。

第四个实施例的操作基本与第五个实施例相同，参照图 9 的时间图，下文将描述它的操作。

在时刻 t_0，在适当的位线对组中，位线对 BLn/Bln($n \neq 1,2$)的一个位线达到电位 V_{CC} 的电平，另一个达到地电位的电平，保持电漂浮状态。

在时刻 t_1，行地址选通信号/RAS 从高电平到低电平的转换中，在时间 t_2 到 t_5 期间，信号 BLEQ 提供一个高电平脉冲。

对应由均衡电路 14 连接的位线时，位线都被驱动到 $1/2V_{CC}$ 的共用电位的电平，以达到与预充电状态相同的状态。

由于在信号 BLEQ 达到高电平以前信号/SOP 和 SON 的非导通状态，线 S_2 对达到在线 S_{2P} 为电位 V_{CC} 的电平和线 V_{2N} 为地电位电平的漂浮状态。

当信号 BLEQ 达到高电平时，达到一种漂浮状态，由 S_2 线均衡电路 S_2—EQ 耦合线 S_2。因此，线 S_2 的电位为 $1/2V_{CC}$ 电平。

根据上面的操作，获得与位线对和 S_2 线对都被预充电的情况相同的状态。

在时刻 t_7，读出放大器表现为导通，位线对的电位差被放大。

这里，连接到有故障内存单元部分 200 的位线对 BLE1，/BL1 的电位差也被放大，并且执行读出操作。

在时刻 t_{10}，读出放大器开始它到非导通状的传送，S_2 线对再次达到保持与 V_{CC} 的电位差的漂浮状态。

在漂浮状态；位线对也保持与 V_{CC} 的电位差。

虽然位线的电位 BL1 和/BL1 被泄漏电流逐渐降低，保持在 t_{11} 达到的预定电平。并且没有泄漏电流流过，和没有遇到电位电平的进一步减小。

根据本实施例的结构，预充电电源 4 是不必要的，在闲置状态期间功率消耗的增长受到限制。

图 10 是根据本发明第六个实施例，表示 DRAM 的成份的图解框图。

第六个实施例的 DRAM 与第四个实施例的 DRAM 有下列两点区别。

第一，对每个位线对组单元线 S_2 是不被隔离的。

第二，提供存储单元的位线对侧，可以从由传输门 60 提供的读出放大器的位线对侧被隔离出来。

参照图 11 的时间图，将在下文中描述它的操作。

在时刻 t_0，信号 BLI 达到低电平，漂浮门 60 被关闭。提供存储单元位线对侧从提供读出放大器的位线对侧分隔出来。

存储单元的位线对侧到达漂浮状态。由于读出放大器到达导通状态，读出放大器侧的位线对保持 V_{CC} 的电位差。

读出放大器处于导通态，S_2 线对有线 S_{2P} 驱动到电位 V_{CC} 的电平和线 S_{2N} 驱动到地电位的电平。

在时刻 t_1，随着行选通信号/RAS 从高电平转换到低电平，在时刻 t_3，信号 BLI 从低电平被拉至高电平。结果，传输门 60 被打开，存储单元侧的位线对被耦合到读出放大器侧的位线对。

在时刻 t_2，读出放大器变为非导通态。结果，S_2 线对到达保持电位差 V_{CC} 的电平的漂浮态。

在时刻 t_3 到 t_6 期间，以渐进的方式信号 BLEQ 到达高电平。由均衡电路 14，连接到达漂浮态的位线对，以便使电位达到 1/2 V_{CC} 的电平。

S_{2P} 和 S_{2N} 的 S_2 线对也被由均衡电路 8 连接起来，产生 1/2 V_{CC} 的电位。

这样，位线对和 S_2 线对到达与预充电状态相同的状态。

在时刻 t_8 根据连接到它的存储单元的存储信息，读出放大器变为导通，放大位线对的电位差。S_2 线对处于导通态，在这种状态下，线 S_{2P} 达到电位 V_{CC} 的电平，并且，线 S_{2N} 达到地电位的电平。

虽然，连接到有故障的存储单元部分 200 的位线 BL1 和/BL1 的电位被泄漏电流降低了，在时刻 t_{13}，被确定了电位电平。这之后，没有泄漏电流。

正如从上面操作者看到的，根据本实施例的结构，不需要预充电电源。也可以限制故障位修复之后，闲置期间的消耗功率的增加。

另外，因为线 S_2 没被隔离，消除了读出放大器锁存能力减少的问题。

根据在图 11 表示第六个这个实施例的电路的操作方法，甚至在读出放大器没有执行存储单元存储信息的读/写的闲置状态期间，读出放大器到达导通态。

因此，存在形成读出放大器的晶体管的亚门限值电流流出很小的闲置电流。

为了避免这个问题，必须增加形成读出放大器的晶体管的门限值电

压。

参照图 12 的时间图，根据本发明第七个实施例，将描述在闲置期间，使读出放大器变为非导通态的操作方法。

第七个实施例的操作与图 11 的操作的区别在于，当读出放大器变成导通态时，根据存储单元的信息放大位线对的电位差。对于除了时刻 t_7 到 t_{12} 期间的所有时期，读出放大器都到达非导通态。

在本实施例中，也不需要预充电电流。抑制故障位修复后，闲置期间消耗功率的增长。另外，由于线 S_2 没有被隔离，消除了读出放大器的锁存容量减小的问题。

也抑制了由于形成读出放大器的晶体管的亚门限值电流，在闲置期间产生的电流消耗。

因为，在闲置期间，读出放大器到达非导通态，甚至当在读出放大器有泄漏电流时，闲置电流也不会增加。

图 13 是根据本发明的第八个实施例，表示 DRAM 成份的图解框图。

第八个实施例的 DRAM 和第六个实施例的 DRAM 有如下两点不同。

第一，在存储单元侧均衡电路 14 接地，而不是读出放大器侧。

第二，均衡电路 14 由信号 BLEQ 控制，S_2 线均衡电路 8 由信号 SEQ 控制。

参照图 14 的时间图，下面将描述这个操作。

下面介绍如图 11 所示的第六个实施例操作的明显区别。

随着信号 BLI 从高电平变到低电平，以便能在时刻 t_{12} 关闭传输门 60 的传输，从时刻 t_{13} 到 t_{16}，信号 BLEQ 以渐近的方式达到高电平。存储单元侧位线的电位(对应图中的位线 BLn/BLn)达到 1/2 V_{CC} 的电平。

在图 11 中，由于即使在闲置期间，位线对也保持着 V_{CC} 的电位差，在存储单元中位线和存储节点之间，常常会产生高的电位差。向位线泄漏存储单元数据的可能性增加了。

正如在本实施例中，通过保持位线对的 1/2V_{CC} 的电平，减少电位差，使泄漏电流减少。更需要指出的是向位线的单元数据的泄漏量可以被减少。

在第八个实施例电路的如图 14 所示的操作方法中，即使在不执行存储单元存储信息的读/写的闲置态期间，读出放大器也到达导通态。

与图 11 的操作方法相似，由于形成读出放大器的晶体管的亚门限电流，存在少量闲置电流的可能性。

参照图 15 的时间图，根据本发明的第九个实施例，下面将描述闲置期间，把读出放大器变为非导通态的操作方法。

参照图 14 的操作，从时刻 t_{13} 到 t_{16}，信号 BLEQ 和 SEQ 以推进方式达到高电平，这时，位线对的电位和 S_2 线对的电位处于分别用均衡电路 14 和 S_2 线均衡电路 8 $1/2V_{CC}$ 的电平。驱动信号 BLI 从高平到低电平的转换。

因此，在闲置期间，位线对和 S_2 线对都保持着 $1/2V_{CC}$ 电位的漂浮状态。

这样，抑制了由于形成读出放大器的晶体管的亚门限电流，而产生的少量闲置电流，对位线的单元数据的泄漏量也减少了。

另外，回路在闲置期间读出放大器变为非导通态，即使在读出放大器有泄漏电流时，闲置电流也不会增加。

图 16 是根据本发明的第十个实施例的读出放大器的电路图。

如果在闲置期间读出放大器处于导通态时，正如在第六个和第八个实施例一样，尽管 p 沟道 MOS 晶体管或 n 沟道 MOS 晶体管关闭了，由于晶体管亚门限值电流，存在闲置电流增加的可能性。

参照图 16，假设互连 SA 的电位达到高电平以及互连/SA 电位达到低电平。晶体管 Tr_2 和 Tr_3 被关闭。通过这个晶体管的亚门限值电流，结果使闲置电流从电源到地流向增加。

按照上面的结构，可以采用通过改变在闲置期间的负偏压电平，减少闲置期间亚门限值泄漏电流的方法，以便于在导通态期间门限值增高。

图 17 表示的是这个操作的时间图。

当到时刻 t_1 建立和在时刻 t_9 之后，读出放大器达到闲置态时，在读出操作期间，n 沟道 MOS 晶体管的负偏压 V_{BN} 被驱动到小于电位 Vbb_2 的 Vbb_1 的电平。

p 沟道 MOS 晶体管的负偏压 V_{BP} 被夸大成 Vbb_1 电平比读出操作的电位 Vbb_2 高。根据上面的操作，在闲置态期间，减少形成读出放大器的晶体管的亚门限值泄漏电流。

通过改变负偏压更改的形成读出放大器的晶体管的门限值，特别应用到所谓的 SOI(绝缘半导体)结构的器件，因为 SOI 结构的寄生电容远比 CMOS 晶体管有效部分的电容小的多。

虽然已经详细描述和说明了本发明，但是，还要清楚地认识到，上述的说明和举例仅是用说明方法，而不是用来限制的方法，由附加的权利要求的形式，限制了本发明的思想和范围。

图. 1

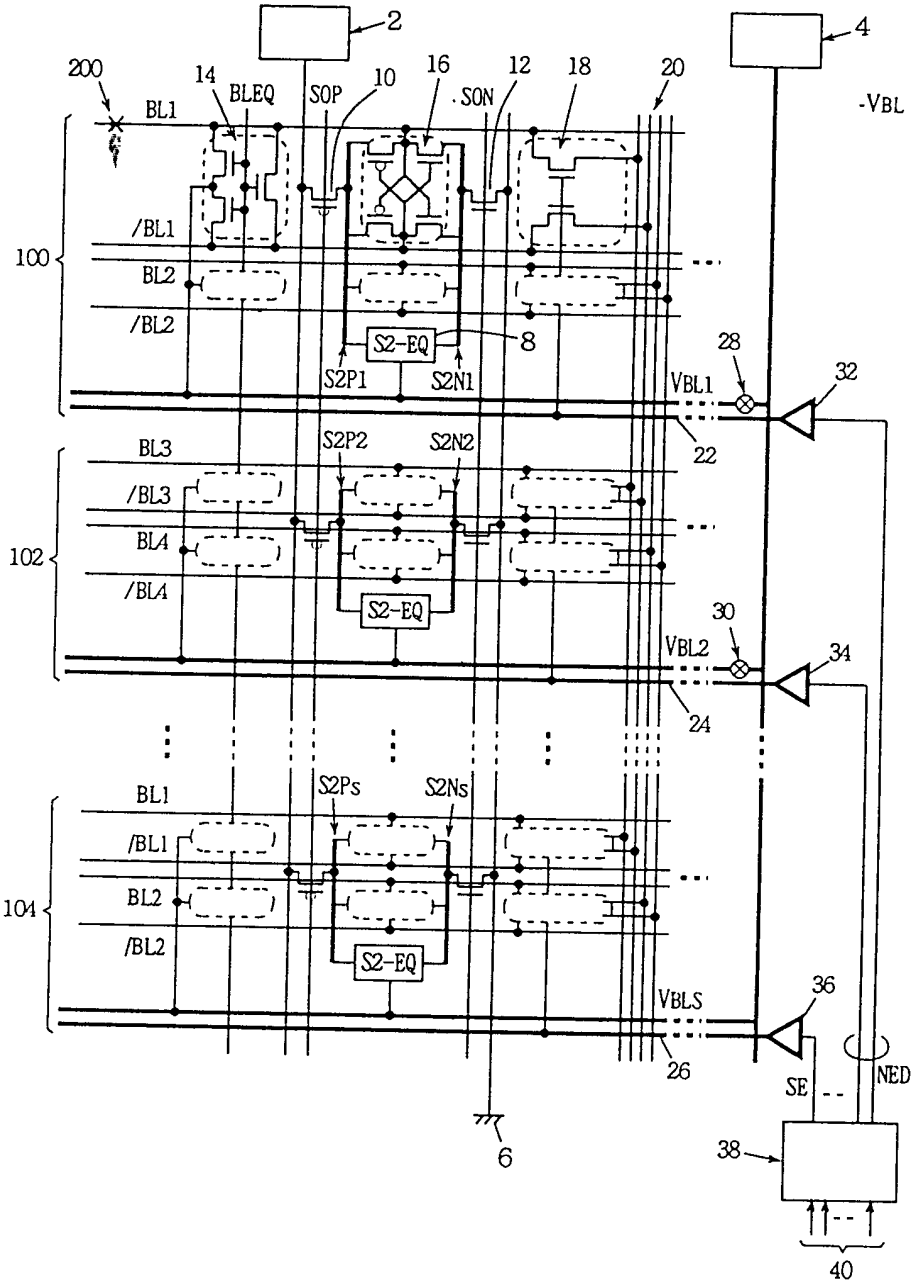

2
4
200
14
BLEQ
SOP
10
16
SON
12
18
20
-VBL
BL1
/BL1
100
BL2
/BL2
S2-EQ
8
S2P1
S2N1
28
32
VBL1
22
BL3
S2P2
S2N2
/BL3
102
BL4
/BL4
S2-EQ
30
VBL2
34
24
BL1
S2Ps
S2Ns
/BL1
104
BL2
/BL2
S2-EQ
VBLS
36
26
SE
NED
6
38
40

图. 2

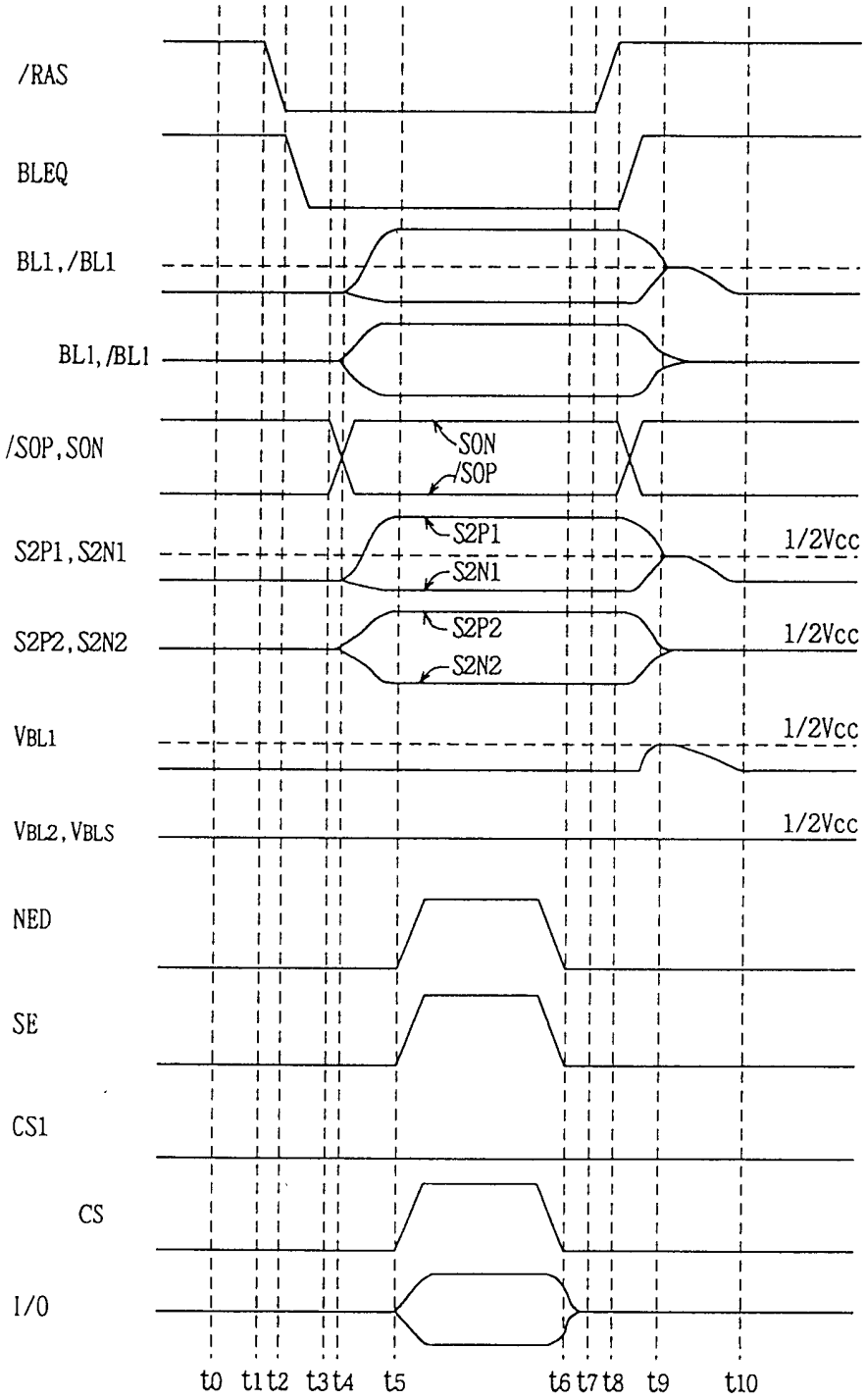

/RAS
BLEQ
BL1,/BL1
BL1,/BL1
/SOP,SON
SON
/SOP
S2P1,S2N1
S2P1
S2N1
1/2Vcc
S2P2,S2N2
S2P2
S2N2
1/2Vcc
VBL1
1/2Vcc
VBL2,VBLS
1/2Vcc
NED
SE
CS1
CS
I/O
t0 t1 t2 t3 t4 t5 t6 t7 t8 t9 t10

图. 3

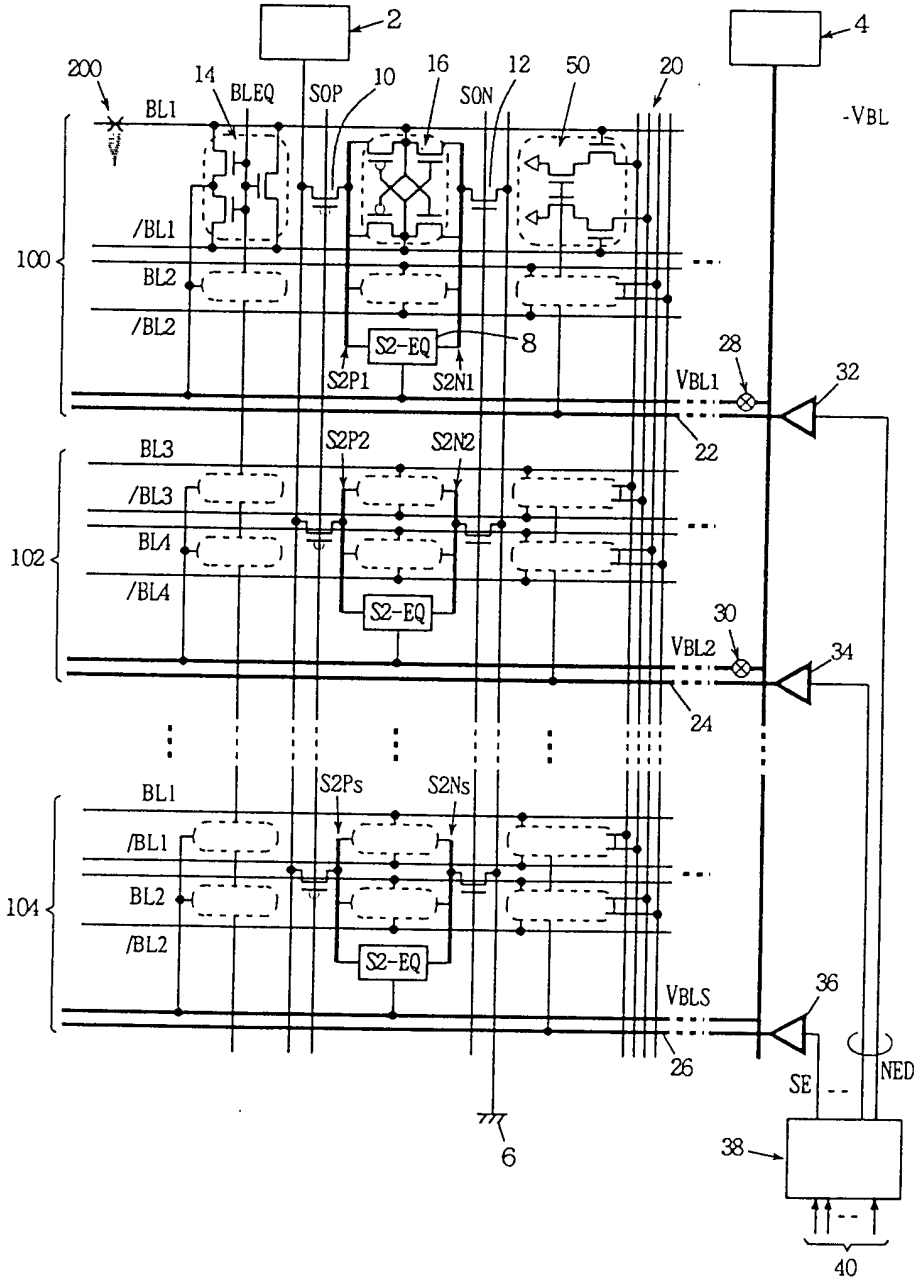
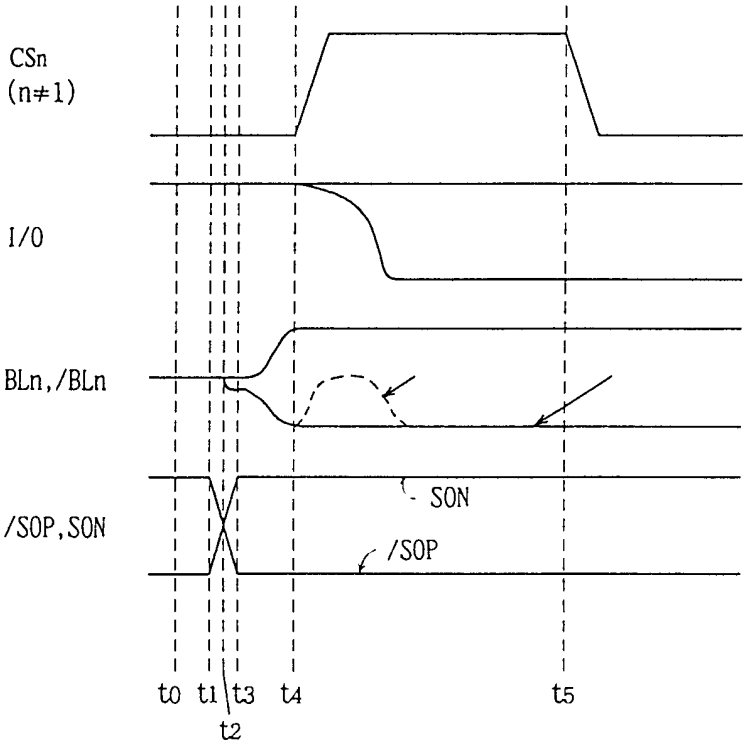

2
4
200
14
BLEQ
SOP
10
16
SON
12
50
20
-VBL
BL1
/BL1
BL2
/BL2
100
S2-EQ
8
S2P1
S2N1
28
VBL1
32
22
BL3
/BL3
BL4
/BL4
102
S2P2
S2N2
S2-EQ
30
VBL2
34
24
BL1
/BL1
BL2
/BL2
104
S2Ps
S2Ns
S2-EQ
VBLS
36
26
SE
NED
6
38
40

图. 4



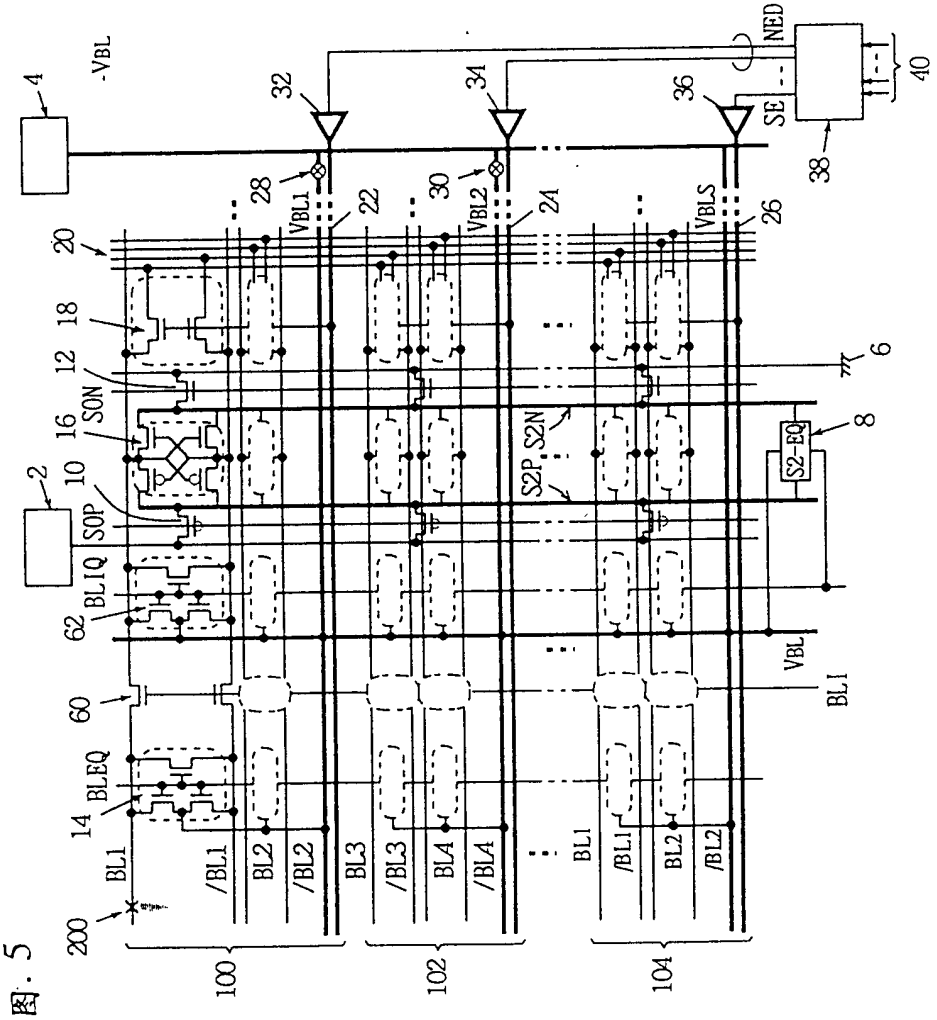

-VBL
4
32
34
36
NED
SE
40
38
28
VBL1
22
30
VBL2
24
VBLS
26
20
18
12
SON
16
10
SOP
2
BLIQ
62
60
BLEQ
14
200
BL1
/BL1
BL2
/BL2
BL3
/BL3
BL4
/BL4
100
102
104
S2P
S2N
S2-EQ
8
6
VBL
BL1

图. 5

图. 6

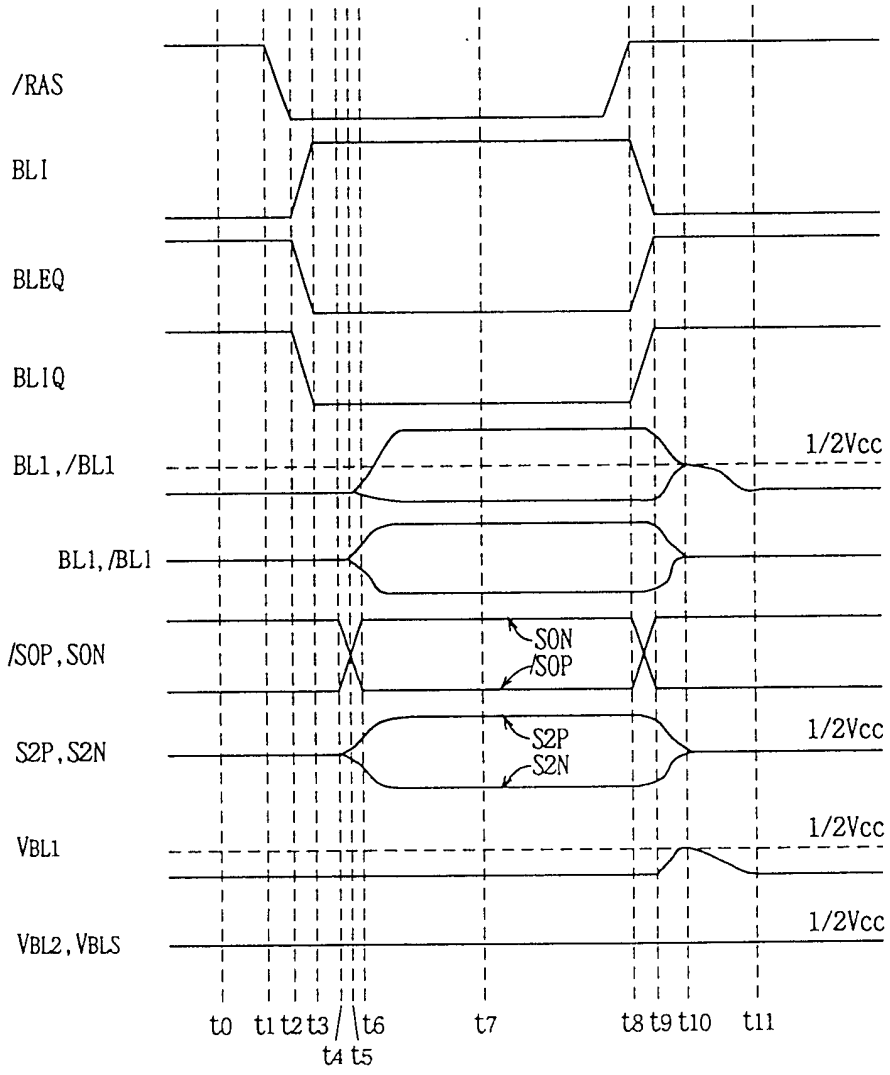

/RAS
BLI
BLEQ
BLIQ
BL1,/BL1
1/2Vcc
BL1,/BL1
/SOP,SON
SON
/SOP
S2P,S2N
S2P
S2N
1/2Vcc
VBL1
1/2Vcc
VBL2,VBLS
1/2Vcc
t0 t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11

图. 7

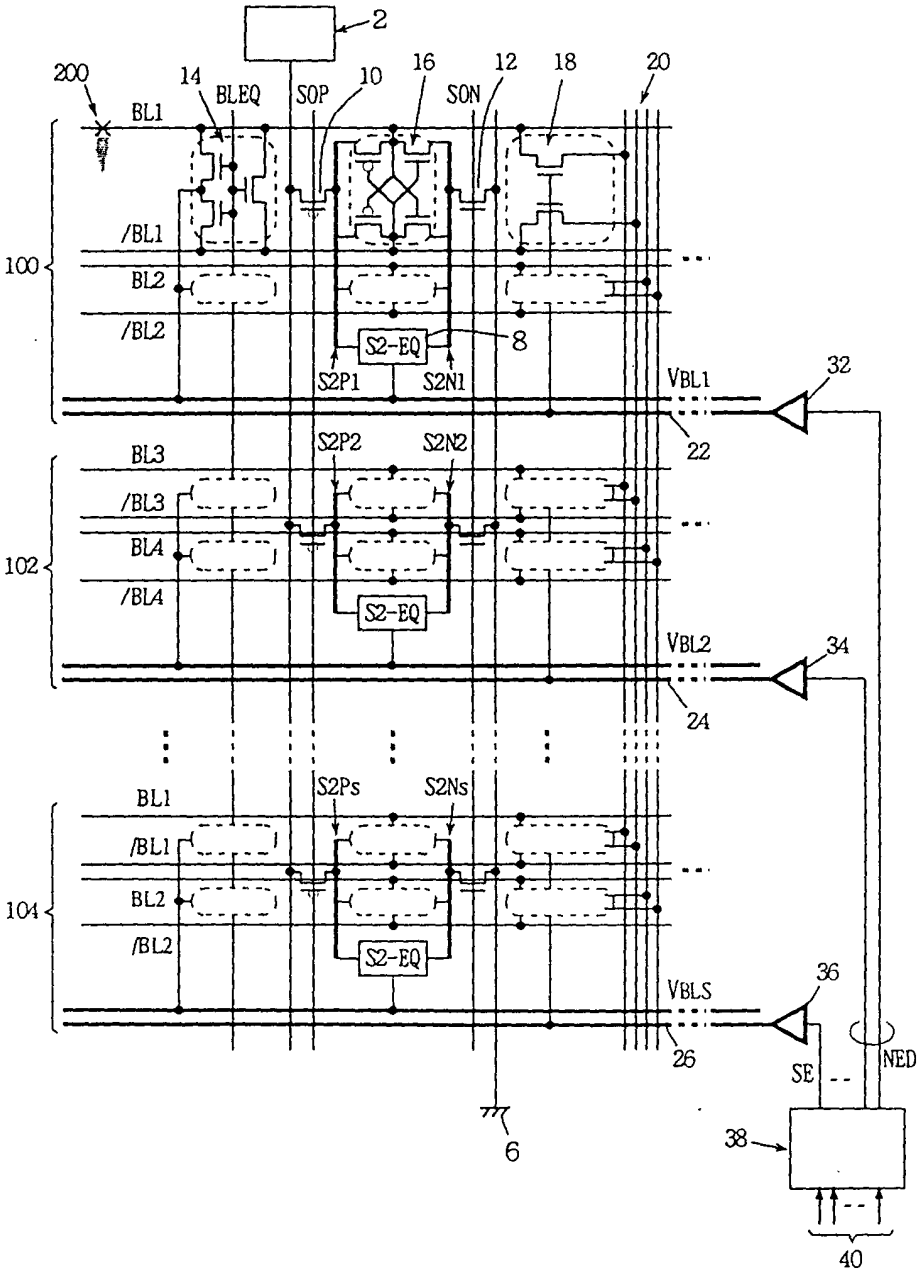

2
200
14
BLEQ
SOP
10
16
SON
12
18
20
BL1
/BL1
BL2
/BL2
100
S2-EQ
8
S2P1
S2N1
VBL1
32
22
BL3
/BL3
BL4
/BL4
102
S2P2
S2N2
S2-EQ
VBL2
34
24
BL1
/BL1
BL2
/BL2
104
S2Ps
S2Ns
S2-EQ
VBLS
36
26
SE
NED
6
38
40

图. 8

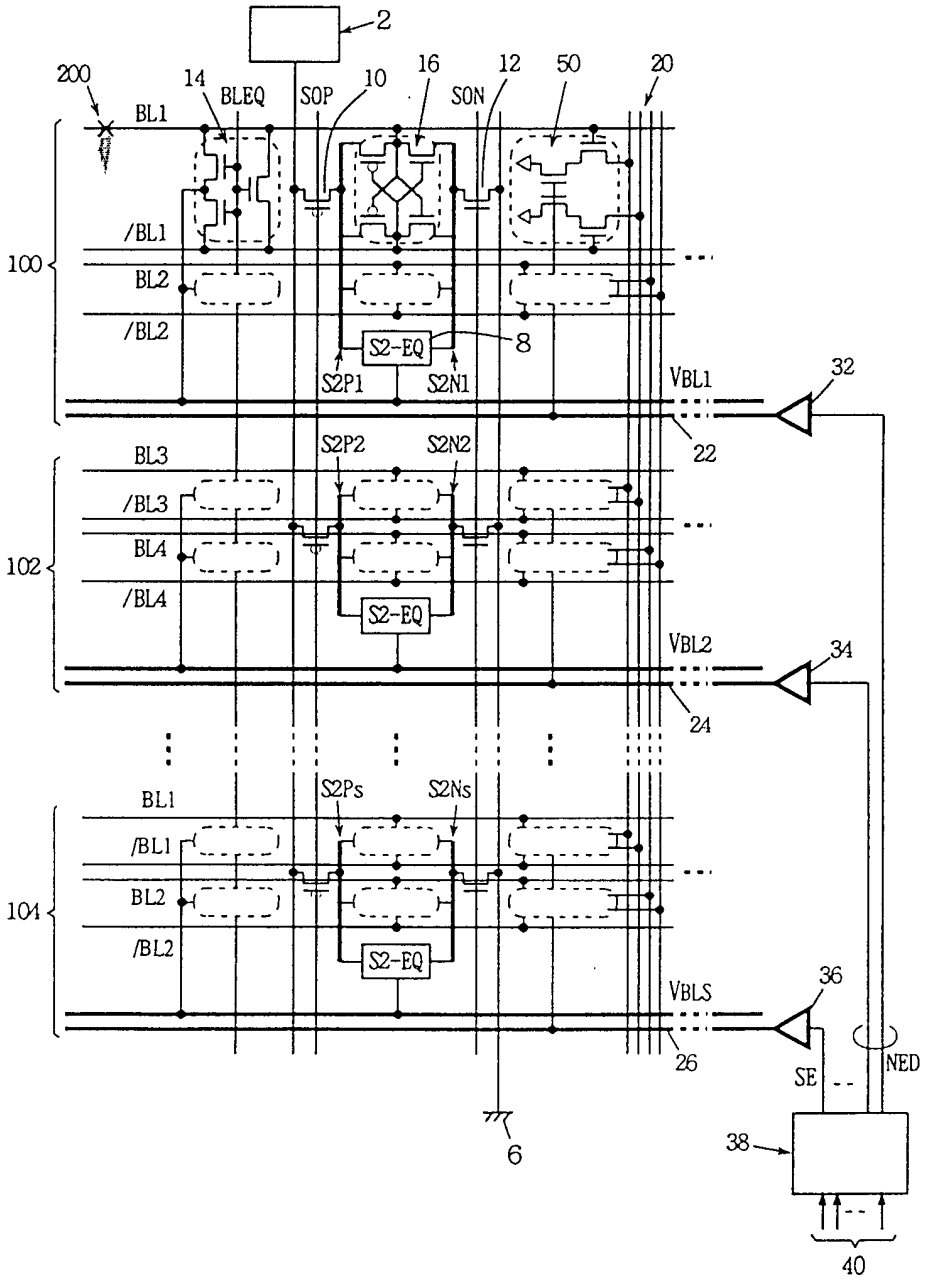

2
200
14
BLEQ
SOP
10
16
SON
12
50
20
BL1
/BL1
BL2
/BL2
100
S2-EQ
8
S2P1
S2N1
VBL1
32
22
BL3
/BL3
BL4
/BL4
S2P2
S2N2
102
S2-EQ
VBL2
34
24
BL1
/BL1
BL2
/BL2
S2Ps
S2Ns
104
S2-EQ
VBLS
36
26
SE
NED
6
38
40

图. 9

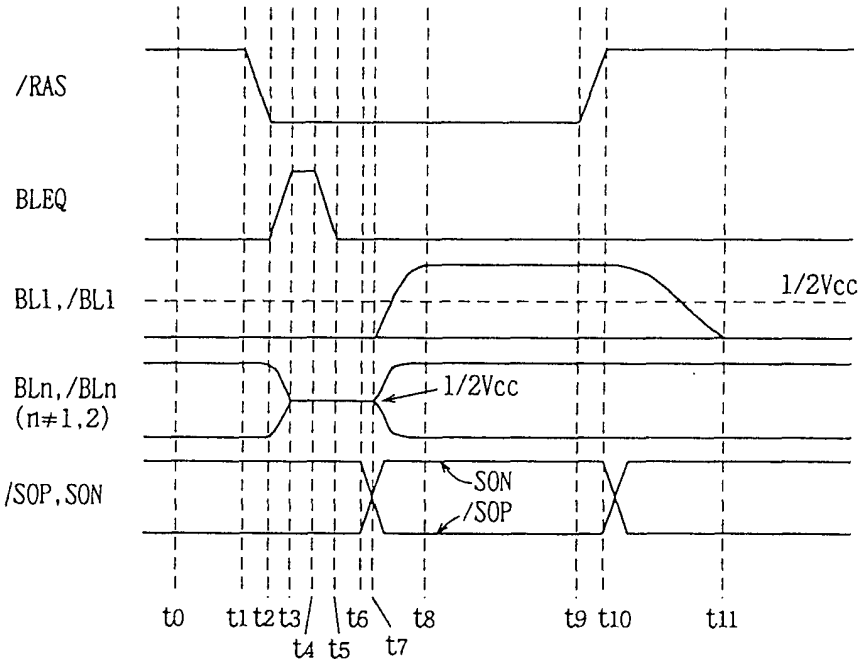

/RAS
BLEQ
BL1,/BL1
1/2Vcc
BLn,/BLn
(n≠1,2)
1/2Vcc
/SOP,SON
SON
/SOP
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11

图. 10

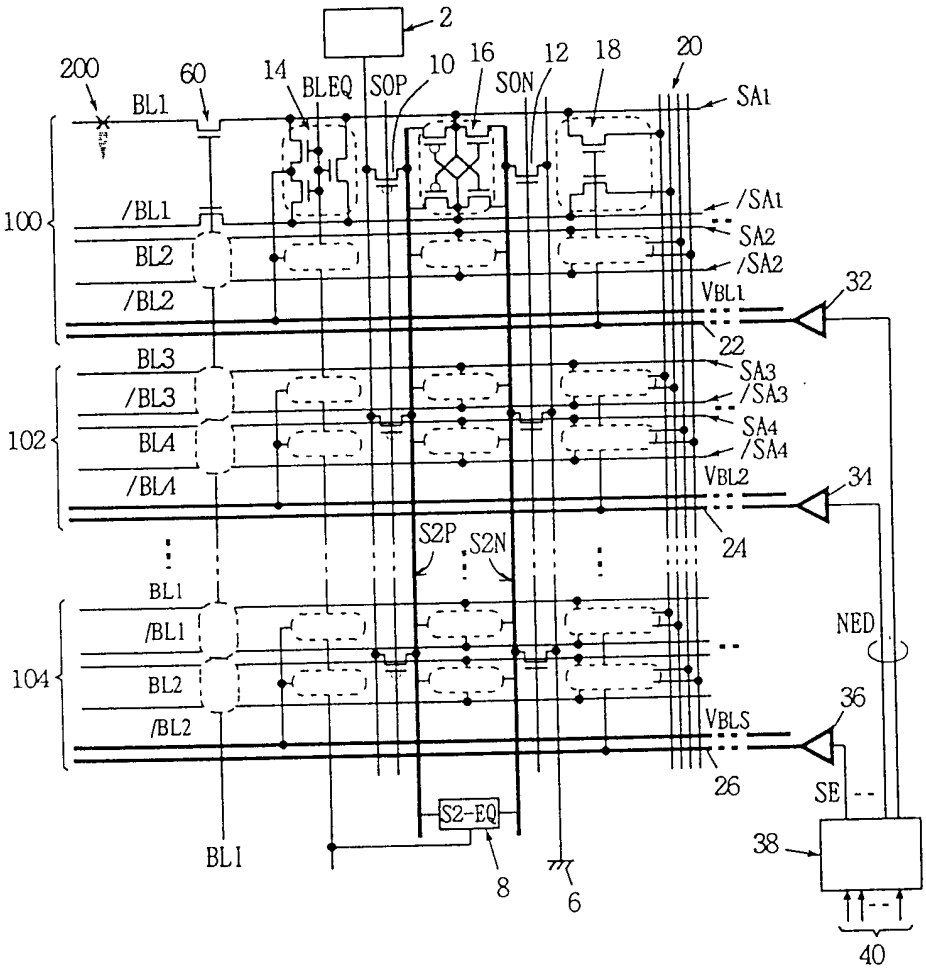

2
200
60
14
BLEQ
SOP
10
16
SON
12
18
20
SA1
BL1
/BL1
BL2
/BL2
100
/SA1
SA2
/SA2
VBL1
32
22
BL3
/BL3
BL4
/BL4
102
SA3
/SA3
SA4
/SA4
VBL2
31
24
S2P
S2N
BL1
/BL1
BL2
/BL2
104
NED
36
VBLS
26
SE
S2-EQ
38
8
6
BL1
40

图. 11

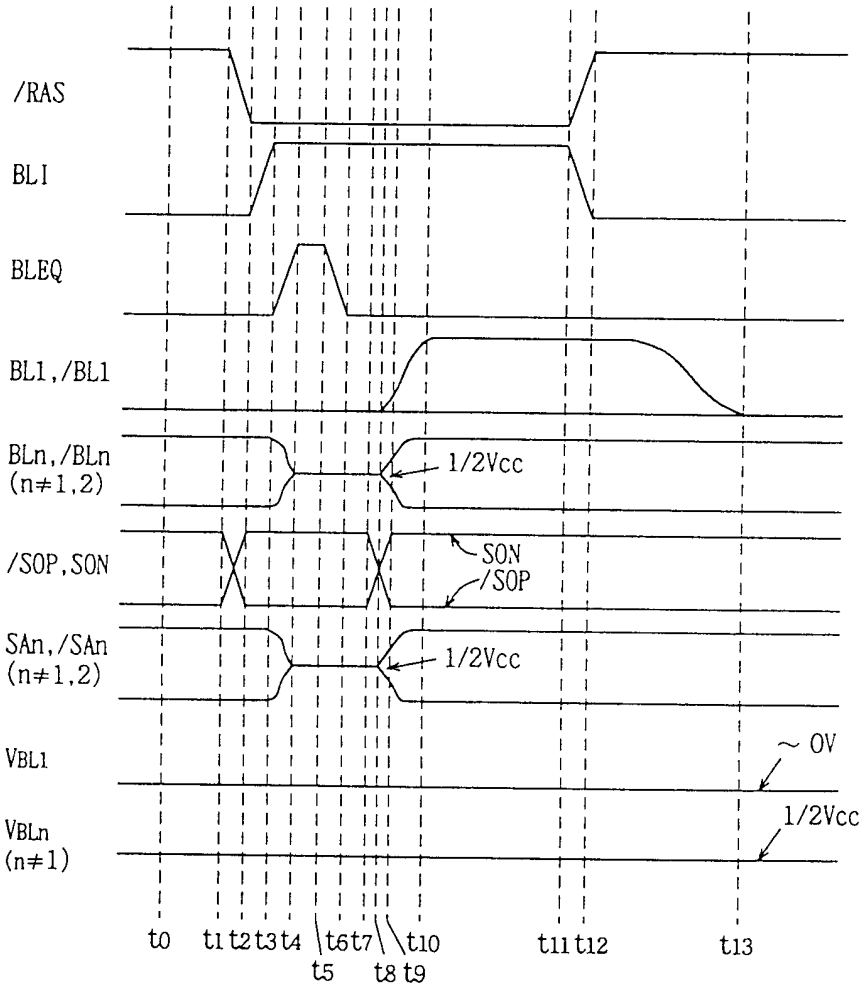

/RAS
BLI
BLEQ
BL1,/BL1
BLn,/BLn
(n≠1,2)
1/2Vcc
/SOP,SON
SON
/SOP
SAn,/SAn
(n≠1,2)
1/2Vcc
VBL1
~ 0V
VBLn
(n≠1)
1/2Vcc
t0 t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13

图. 12

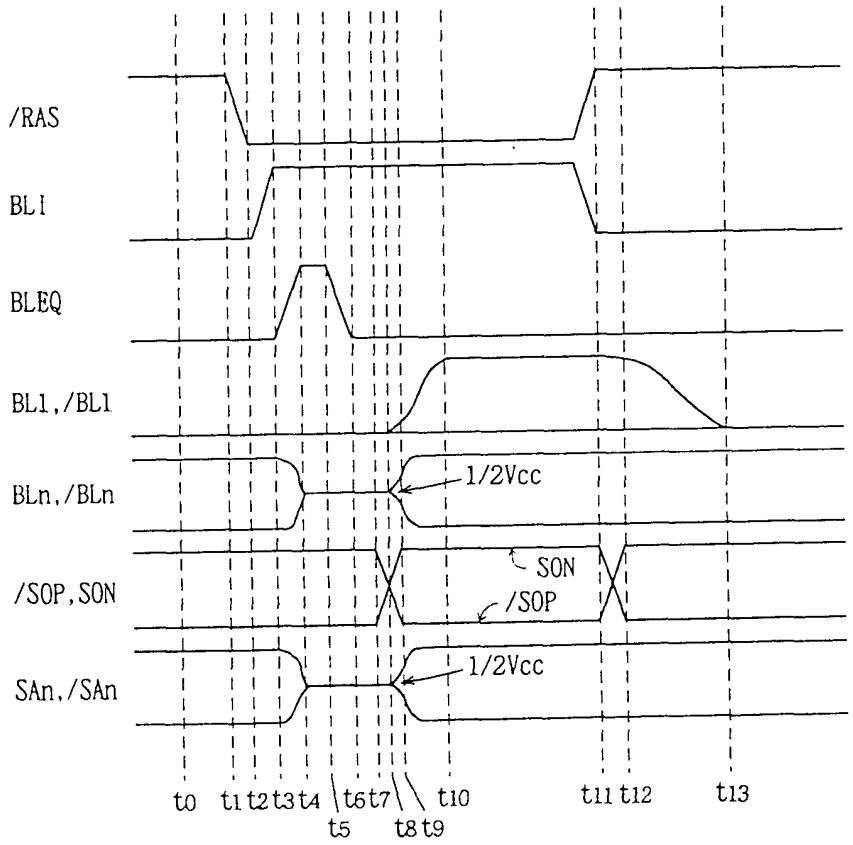

/RAS
BLI
BLEQ
BL1,/BL1
BLn,/BLn
/SOP,SON
SAn,/SAn
1/2Vcc
SON
/SOP
1/2Vcc
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13

图. 13

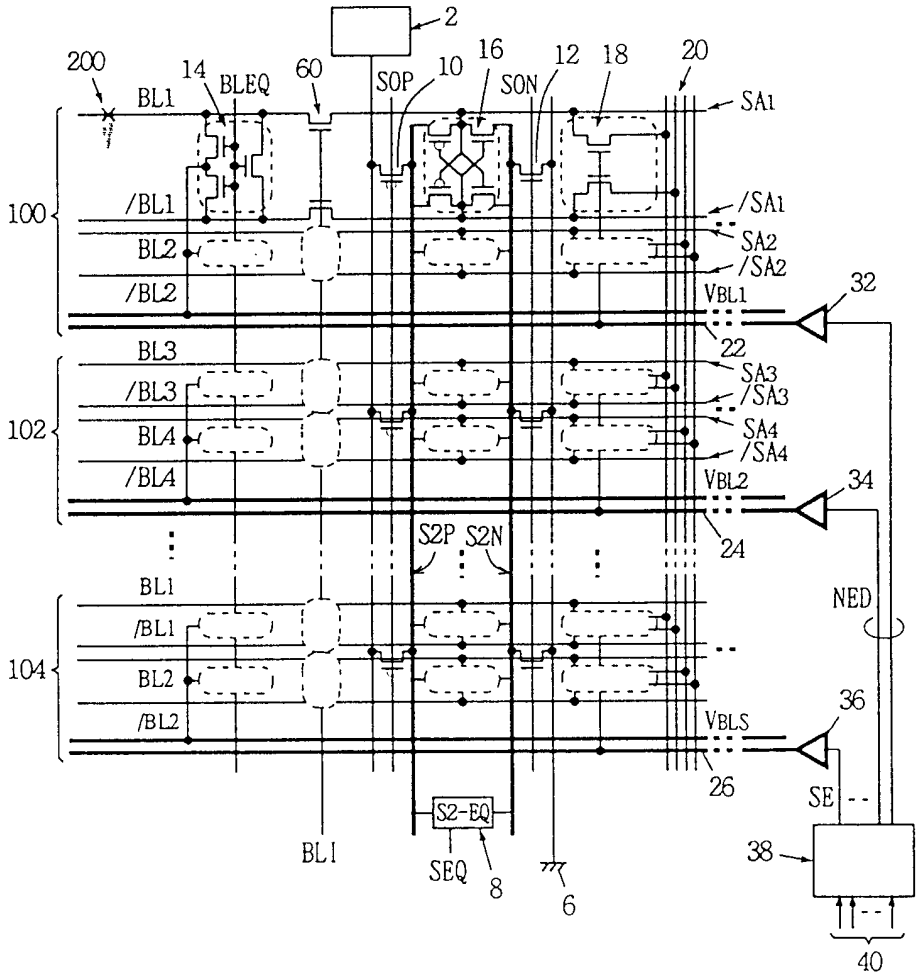

2
200
14
BLEQ
60
SOP
10
16
SON
12
18
20
SA1
BL1
/BL1
BL2
/BL2
100
/SA1
SA2
/SA2
VBL1
32
22
BL3
/BL3
BL4
/BL4
102
SA3
/SA3
SA4
/SA4
VBL2
34
24
S2P
S2N
BL1
/BL1
BL2
/BL2
104
NED
VBLS
36
26
SE
S2-EQ
SEQ
8
6
BL1
38
40

图. 14

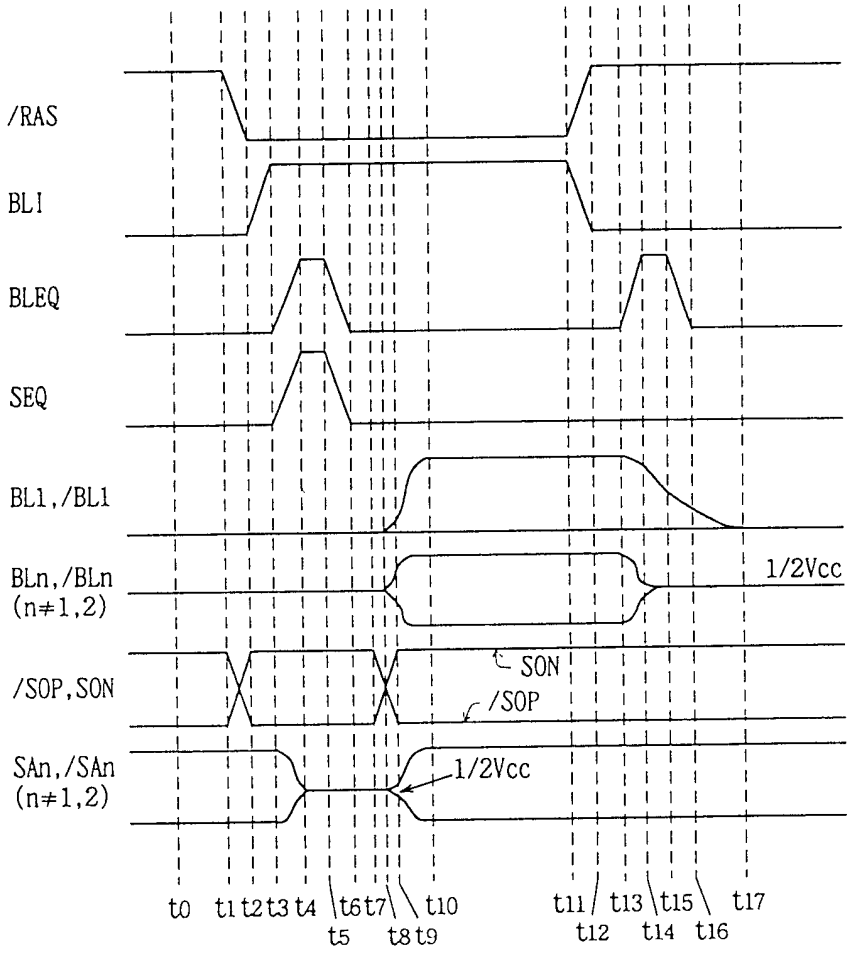

/RAS
BLI
BLEQ
SEQ
BL1,/BL1
BLn,/BLn
(n≠1,2)
1/2Vcc
/SOP,SON
SON
/SOP
SAn,/SAn
(n≠1,2)
1/2Vcc
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
t16
t17

图. 15

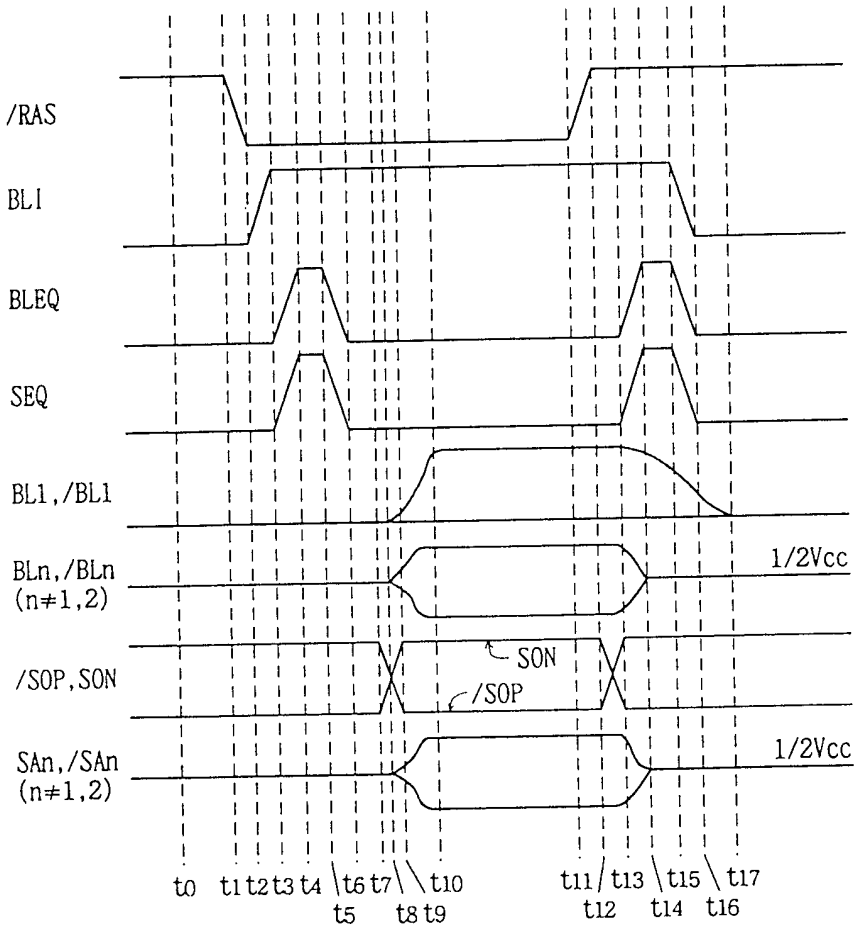

/RAS
BLI
BLEQ
SEQ
BL1,/BL1
BLn,/BLn
(n≠1,2)
/SOP,SON
SAn,/SAn
(n≠1,2)
1/2Vcc
SON
/SOP
1/2Vcc
t0 t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13 t14 t15 t16 t17

图. 16

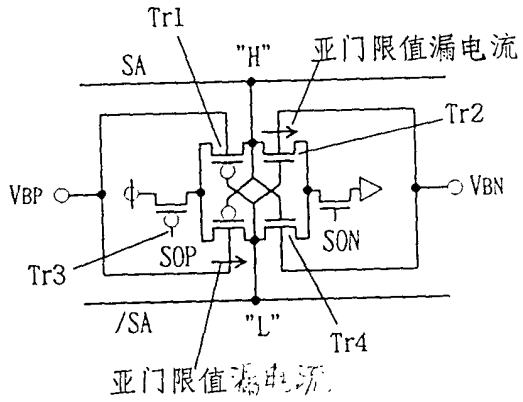

Tr1
SA
"H"
亚门限值漏电流
Tr2
VBP
VBN
SOP
SON
Tr3
/SA
"L"
Tr4
亚门限值漏电流

图. 17

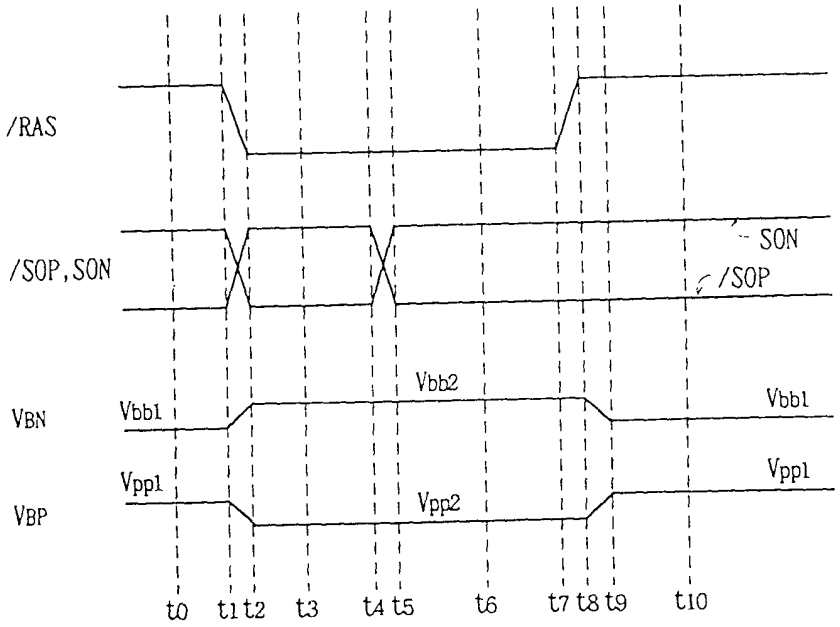

/RAS
/SOP,SON
SON
/SOP
VBN
Vbb1
Vbb2
Vbb1
VBP
Vpp1
Vpp2
Vpp1
t0 t1 t2 t3 t4 t5 t6 t7 t8 t9 t10

图. 18

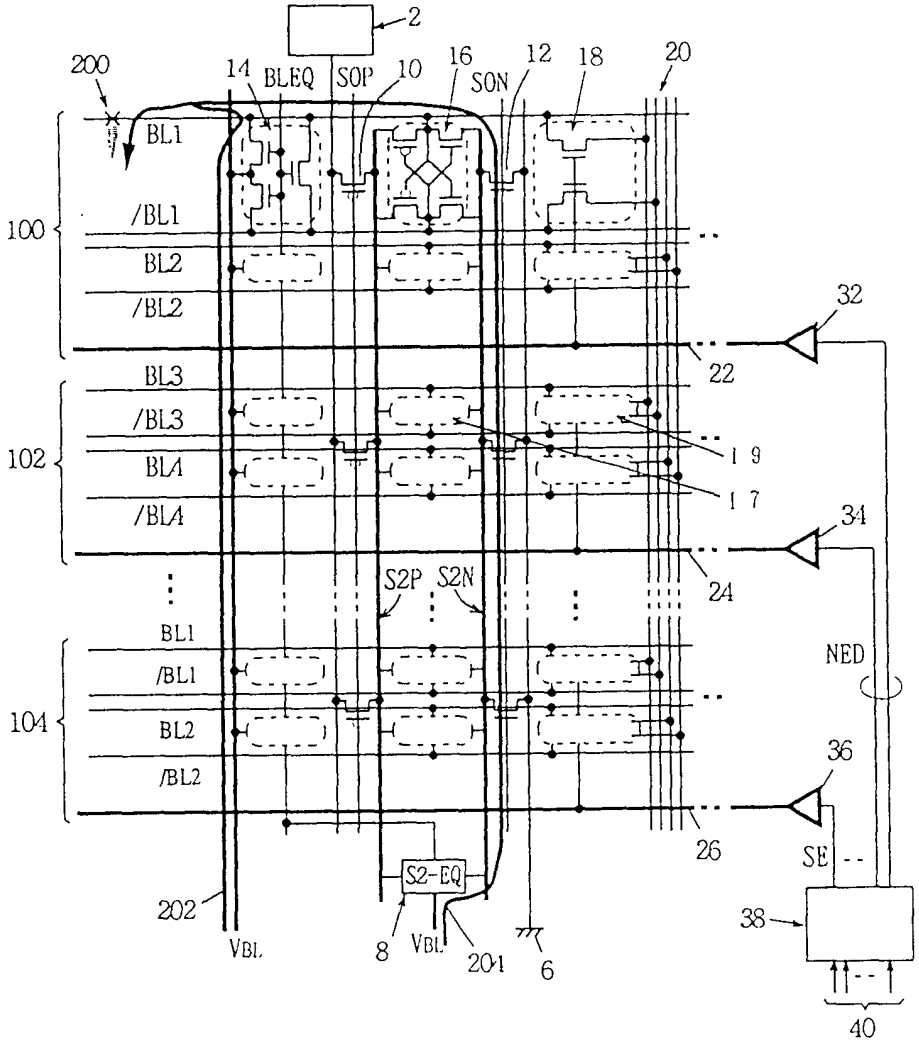
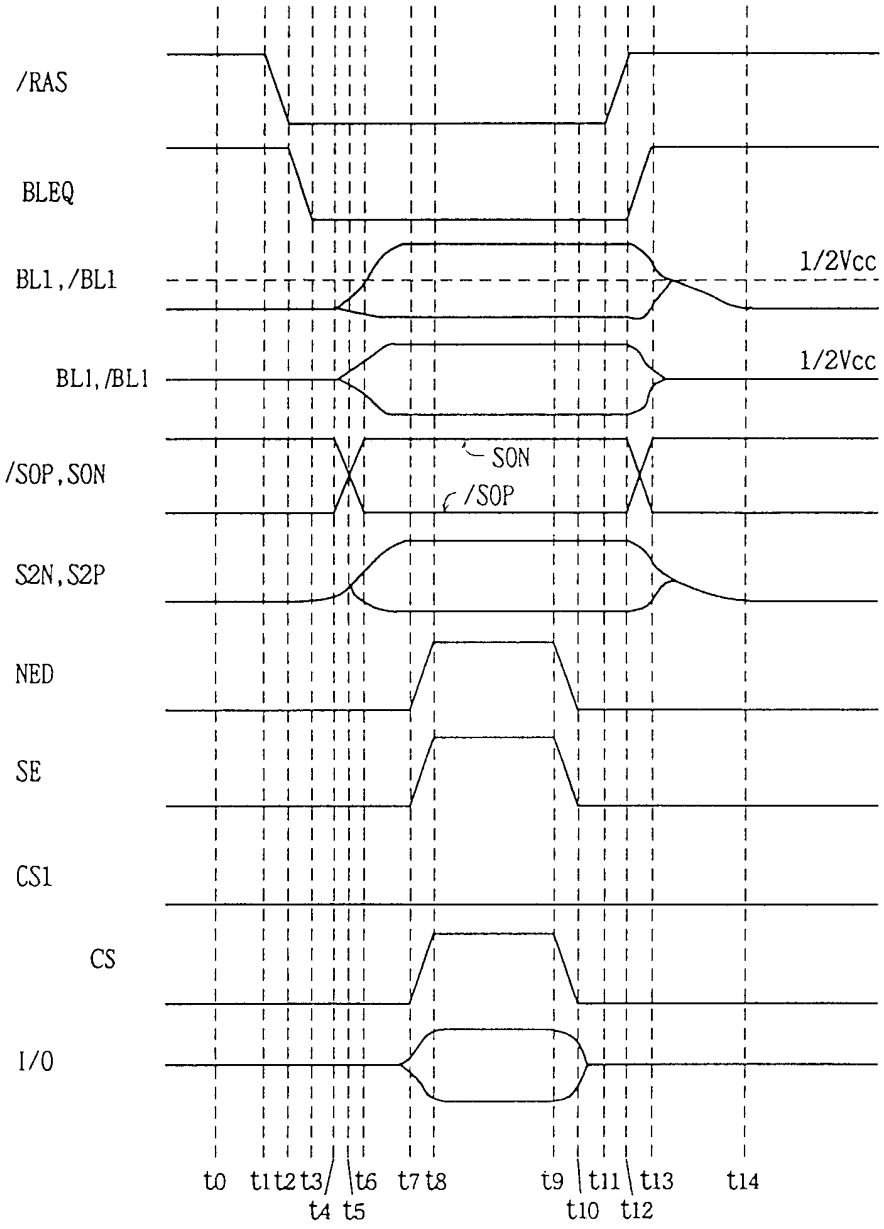

2
200
14
BLEQ
SOP
10
16
SON
12
18
20
BL1
/BL1
100
BL2
/BL2
32
22
BL3
/BL3
102
BLA
/BLA
19
17
34
24
S2P
S2N
BL1
/BL1
104
BL2
/BL2
NED
36
26
SE
S2-EQ
202
VBL
8
VBL
201
6
38
40

图. 19


/RAS
BLEQ
BL1,/BL1
1/2Vcc
BL1,/BL1
1/2Vcc
/SOP,SON
SON
/SOP
S2N,S2P
NED
SE
CS1
CS
I/O
t0 t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13 t14