



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I546897 B

(45)公告日：中華民國 105 (2016) 年 08 月 21 日

(21)申請案號：102124285

(22)申請日：中華民國 102 (2013) 年 07 月 05 日

(51)Int. Cl. : H01L21/8239(2006.01)

H01L21/027 (2006.01)

(30)優先權：2012/07/06 美國

13/543,154

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：哈昌偉 HA, CHANG WAN (US)；沃思汀荷姆 葛拉罕 R WOLSTENHOLME, GRAHAM R. (US)；希米哥達 迪帕可 THIMMEGOWDA, DEEPAK (IN)

(74)代理人：陳長文

(56)參考文獻：

TW 201032326A1

US 7847334B2

US 20110084397A1

US 2009/0310415A1

US 2010/0207186A1

US 2011/0115010A1

US 2011/0244666A1

審查人員：郭德豐

申請專利範圍項數：33 項 圖式數：8 共 49 頁

(54)名稱

使用至少兩個遮罩之階梯形成

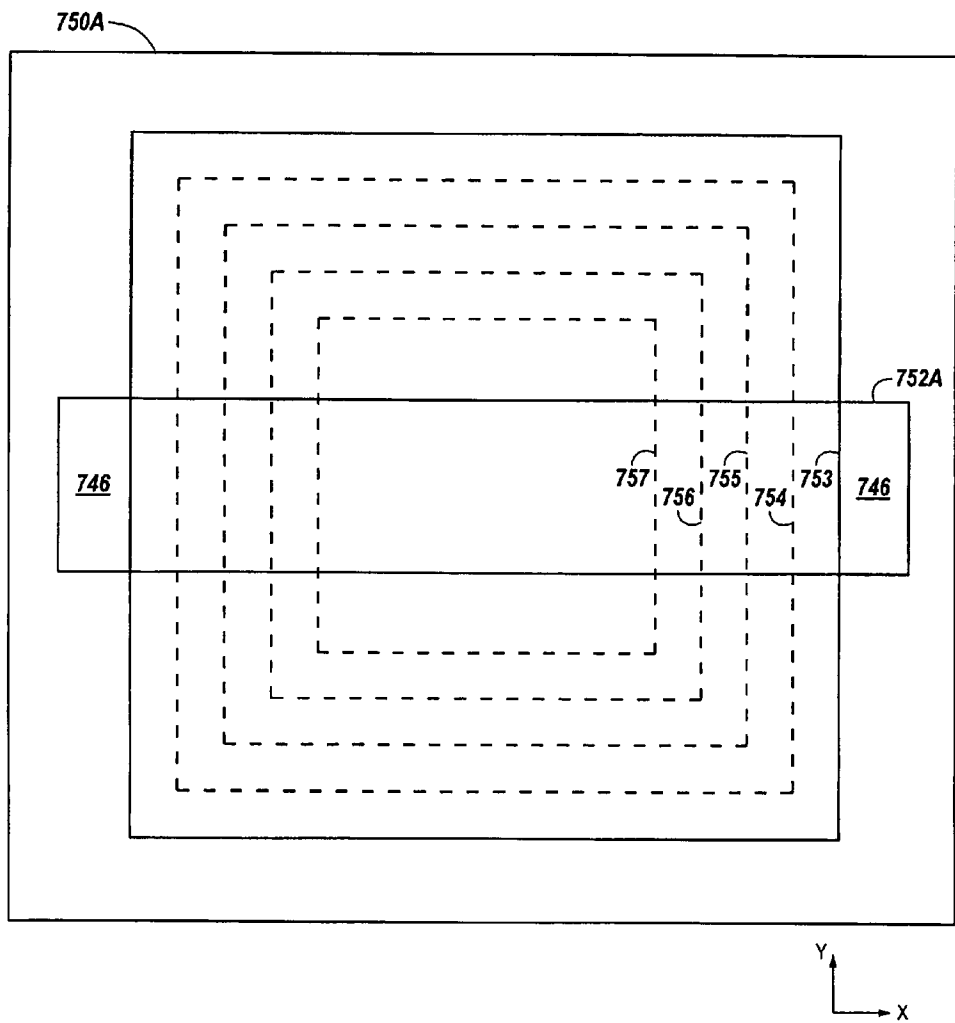
STAIR STEP FORMATION USING AT LEAST TWO MASKS

(57)摘要

本發明提供用於諸如在一記憶體裝置中使用至少兩個遮罩之階梯形成之設備及方法。一種實例性方法可包含：在一導電材料上方形成一第一遮罩以界定一第一曝露區域，及在該第一曝露區域之一部分上方形成一第二遮罩以界定一第二曝露區域，該第二曝露區域小於該第一曝露區域。自該第二曝露區域移除導電材料。該第二遮罩之一初始第一尺寸小於該第一曝露區域之一第一尺寸，且該第二遮罩之一初始第二尺寸係至少該第一曝露區域之一第二尺寸加等於該第二遮罩之該初始第一尺寸與在形成一階梯結構之後該第二遮罩之一最終第一尺寸之間的一差之一距離。

Apparatuses and methods for stair step formation using at least two masks, such as in a memory device, are provided. One example method can include forming a first mask over a conductive material to define a first exposed area, and forming a second mask over a portion of the first exposed area to define a second exposed area, the second exposed area is less than the first exposed area. Conductive material is removed from the second exposed area. An initial first dimension of the second mask is less than a first dimension of the first exposed area and an initial second dimension of the second mask is at least a second dimension of the first exposed area plus a distance equal to a difference between the initial first dimension of the second mask and a final first dimension of the second mask after a stair step structure is formed.

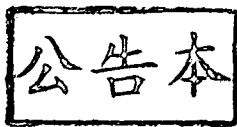
指定代表圖：



符號簡單說明：

- 746 . . . 第二曝露區/區域/曝露區域
- 750A . . . 區域遮罩
- 752A . . . 開口
- 753 . . . 光阻劑遮罩/位置
- 754 . . . 虛線輪廓/光阻劑遮罩
- 755 . . . 虛線輪廓/光阻劑遮罩
- 756 . . . 虛線輪廓/光阻劑遮罩
- 757 . . . 位置/虛線輪廓/光阻劑遮罩

圖 7A



發明摘要

※ 申請案號：

102124285

※ 申請日：

102. 7. 5

※IPC 分類：

H01L 21/8239:2006.01

【發明名稱】

H01L 21/8239:2006.01

使用至少兩個遮罩之階梯形成

STAIR STEP FORMATION USING AT LEAST TWO MASKS

【中文】

● 本發明提供用於諸如在一記憶體裝置中使用至少兩個遮罩之階梯形成之設備及方法。一種實例性方法可包含：在一導電材料上方形成一第一遮罩以界定一第一曝露區域，及在該第一曝露區域之一部分上方形成一第二遮罩以界定一第二曝露區域，該第二曝露區域小於該第一曝露區域。自該第二曝露區域移除導電材料。該第二遮罩之一初始第一尺寸小於該第一曝露區域之一第一尺寸，且該第二遮罩之一初始第二尺寸係至少該第一曝露區域之一第二尺寸加等於該第二遮罩之該初始第一尺寸與在形成一階梯結構之後該第二遮罩之一最終第一尺寸之間的一差之一距離。

●

【英文】

Apparatuses and methods for stair step formation using at least two masks, such as in a memory device, are provided. One example method can include forming a first mask over a conductive material to define a first exposed area, and forming a second mask over a portion of the first exposed area to define a second exposed area, the second exposed area is less than the first exposed area. Conductive material is removed from the second exposed area. An initial first dimension of the second mask is less than a first dimension of the first exposed area and an initial second dimension of the second mask is at least a second dimension of the first exposed area plus a distance equal to a difference between the initial first dimension of the second mask and a final first dimension of the second mask after a stair step structure is formed.

【代表圖】

【本案指定代表圖】：第（7A）圖。

【本代表圖之符號簡單說明】：

746 第二曝露區/區域/曝露區域

750A 區域遮罩

752A 開口

753 光阻劑遮罩/位置

754 虛線輪廓/光阻劑遮罩

755 虛線輪廓/光阻劑遮罩

756 虛線輪廓/光阻劑遮罩

757 位置/虛線輪廓/光阻劑遮罩

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

使用至少兩個遮罩之階梯形成

STAIR STEP FORMATION USING AT LEAST TWO MASKS

【技術領域】

本發明一般而言係關於半導體記憶體設備及形成方法，且更特定而言，係關於用於使用至少兩個遮罩之階梯形成之設備及方法。

【先前技術】

記憶體裝置通常提供作為電腦或其他電子裝置中之內部半導體積體電路。存在諸多不同類型之記憶體，包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態隨機存取記憶體(DRAM)、同步動態隨機存取記憶體(SDRAM)、電阻式記憶體(例如，RRAM)及快閃記憶體以及其他記憶體。

記憶體裝置針對廣泛範圍之電子應用用作揮發性及非揮發性資料儲存器件。快閃記憶體通常使用允許高記憶體密度、高可靠性及低電力消耗之一單電晶體記憶體單元。非揮發性記憶體可用於(舉例而言)個人電腦、可攜式記憶卡、固態硬碟(SSD)、數位相機、蜂巢式電話、可攜式音樂播放器(諸如MP3播放器)、電影播放器、及其他電子裝置中。

記憶體裝置可包括記憶體單元之記憶體陣列，其可配置成各種二維或三維組態。舉例而言，耦合至一記憶體陣列之電流可配置成一實質上平面組態。使用互連來耦合記憶體單元及相關聯電路。

【圖式簡單說明】

圖1係一個三維(3D)記憶體裝置之一部分之一先前技術透視圖。

圖2係圖解說明一記憶體陣列與一串驅動器之間的連接之一先前技術示意圖。

圖3係圖解說明一3D記憶體陣列與一平面串驅動器之間的連接之一先前技術經隔離透視方塊圖。

圖4A至圖4F係圖解說明使用一收縮光阻劑之階梯形成之一側視圖之先前技術方塊圖。

圖5A至圖5F係圖解說明根據本發明之一或多項實施例之使用一收縮光阻劑之階梯形成之一俯視圖之方塊圖。

圖6A至圖6B係圖解說明沿四個方向之階梯形成之先前技術方塊圖。

圖7A係圖解說明根據本發明之一或多項實施例使用兩個遮罩之沿兩個方向之階梯形成之一方塊圖。

圖7B係圖解說明根據本發明之一或多項實施例使用兩個遮罩之沿一個方向之階梯形成之一方塊圖。

圖8A至圖8L係圖解說明根據本發明之一或多項實施例使用兩個遮罩之沿一個方向之階梯形成之方塊圖。

【實施方式】

本發明提供用於諸如在一記憶體裝置中使用至少兩個遮罩之階梯形成之設備及方法。一種實例性方法可包含：在一導電材料上方形成一第一遮罩以界定一第一曝露區域，及在該第一曝露區域之一部分上方形成一第二遮罩以界定一第二曝露區域，該第二曝露區域小於該第一曝露區域。自該第二曝露區域移除導電材料。該第二遮罩之一初始長度小於該第一曝露區域之一長度且該第二遮罩之一初始寬度係至少該第一曝露區域之一寬度加等於該第二遮罩之該初始長度與在形成一階梯結構之後該第二遮罩之一最終長度之間的一差之一距離。

在本發明之以下詳細說明中，參考形成本發明之一部分之隨附

圖式，且圖式中以圖解說明之方式展示可如何實踐本發明之一或多項實施例。充分詳細地闡述此等實施例以使得熟習此項技術者能夠實踐本發明之該等實施例，且應理解，可利用其他實施例且可在不背離本發明之範疇之前提下作出過程、電及/或結構變化。

本文中之圖遵循其中第一個數字或前幾個數字對應於圖式圖編號且剩餘數字識別圖式中之一元件或組件之一編號慣例。不同圖式之間的類似元件或組件可藉由使用類似數字來識別。如將瞭解，本文中可添加、交換及/或去除該等各種實施例中所顯示之元件以便提供本發明之若干額外實施例。另外，圖中所提供之該等元件之比例及相對比例尺意欲圖解說明本發明之各種實施例且並非用於一限定意義。

術語「第一」、「第二」、「第三」及「第四」可在本文中及/或申請專利範圍中使用，僅為便於彼此區別各種圖之命名。此等術語之使用未必暗示材料係不同組合物，而是有時用於區分在不同高程、不同時間或以不同方式形成之材料，即使係相同組合物。此等術語之使用並不意欲傳達特徵之一特定排序，包含但不限於一形成次序。

圖1係一個三維(3D)記憶體裝置100之一部分之一先前技術透視圖。舉例而言，記憶體裝置100可包括一NAND快閃記憶體陣列。記憶體裝置100包含正交於若干個導電線(諸如存取線105及/或資料線102)定向之若干個垂直串聯耦合記憶體單元串103。如本文中所使用，A「耦合至」B指代A與B以操作方式耦合在一起，諸如其中A與B彼此電連接，諸如透過一直接歐姆連接或透過一間接連接，例如，經由C。為清楚起見，各種導電線之間的絕緣材料自圖1省略。導電材料可由(舉例而言)多晶矽或其他經摻雜或未經摻雜材料形成。絕緣材料可由(舉例而言)氧化物或其他介電材料形成。

一第一選擇閘極108，諸如一汲極選擇閘極(SGD)，可配置於若干個垂直串聯耦合記憶體單元串103之一第一端處，且一第二選擇閘

極110，諸如—源極選擇閘極(SGS)，可配置於該等垂直串聯耦合記憶體單元串103之一第二端(例如，相對端)處。

複數個資料線102可沿一第一平面定向，且沿該第一平面中之一第一方向進一步定向。垂直串聯耦合記憶體單元串103正交於該第一平面定向。複數個存取線105可沿一第二平面定向，且沿該第二平面中之一第二方向進一步定向。

如圖1中所示，存取線105可以一平面組態形成。第二平面可實質上平行於第一平面。舉例而言，該第二方向可垂直於該第一方向。資料線102可由若干個垂直串聯耦合記憶體單元串103沿第一方向共用，且存取線105可由若干個垂直串聯耦合記憶體單元串103沿第二方向共用。

一或多個源極線104可沿一第三平面定向，第三平面實質上平行於該等第一及第二平面。源極線104可沿第二方向(例如，與如圖1中所示之存取線105相同之方向或一不同方向)進一步定向。選擇閘極108及110可操作以在一資料線102與—源極線104之間選擇一特定垂直串聯耦合記憶體單元串103。如此，垂直串聯耦合記憶體裝置串103可定位於資料線102與源極線104之相交處。

存取線105耦合至(且在某些情形中，來自)—特定層級處之記憶體單元之控制閘極且可用於選擇一垂直串內之串聯耦合記憶體單元中之一特定者。以此方式，可經由第一選擇閘極108、第二選擇閘極110及一存取線105之操作而選擇一特定記憶體單元且將其電耦合至一資料線102。存取線105可經組態以在垂直串聯耦合記憶體單元串103中之一或多者內之一特定位置處選擇一記憶體單元。

如圖1中可觀察，平面存取線105可經組態以具有多個3D階梯結構106以促成至其之垂直定向耦合，諸如藉由垂直導體112。亦即，各別平面存取線105可形成為階梯結構106之各別階梯。如本文中所使

用，一階梯結構106意指具有在不同高程處沿一橫向方向延伸至不同距離之複數個階梯之一3D結構，諸如通常與一階梯組相關聯。根據本發明之一項實施例，較低高程之階可橫向延伸超過一緊鄰較高高程處之階延伸之橫向距離，如圖1中所示。亦即，較低之階比其上面之階沿一橫向方向延伸得遠。圖1展示在平面存取線105之兩端上但非在最近邊緣上之階。根據一先前方法，階形成於所有邊緣上且隨後自不想要階之彼等邊緣修整掉，藉此浪費階形成且隨後被移除之區域。此浪費區域可增加記憶體裝置100之實際佔用面積。

舉例而言，圖1展示使四個邊緣中之三者形成爲具有一階梯組態之包括至少第一選擇閘極108、存取線105、第二選擇閘極110之一材料堆疊。儘管圖1展示一材料堆疊具有經形成爲一階梯組態之邊緣，但並非僅先前技術將材料堆疊之一邊緣之一部分形成爲一階梯組態，如稍後所論述。本發明之實施例可包含：一材料堆疊使一或多個邊緣具有一階梯組態。本發明之實施例可包含：僅一堆疊之一邊緣之一部分(例如，小於全部)形成爲一階梯組態。舉例而言，本發明之實施例可包含：一材料堆疊之一個邊緣之一第一部分可經形成以具有一階梯組態且該一個邊緣之一第二部分可經形成以便不具有一階梯組態，如本文中將進一步詳述。

一較低階可橫向延伸一足夠距離超過一緊接較高階，以使得可與橫向延伸越過緊接較高階之較低階之部分進行一垂直耦合。以此方式，一垂直導體112可耦合至下部階，諸如耦合至一存取線105、選擇閘極108或110或源極線104，其各自可對應於階梯結構106中之一階。

記憶體陣列100可耦合至與操作記憶體陣列100之各種電路耦合。舉例而言，此電路可包含串驅動器電路。作爲一實例，水平導電線114可自記憶體陣列100路由至(舉例而言)一串驅動器。階梯結構106之階可(例如)經由垂直導體112耦合至導電線114。以此方式，可

(例如)經由平面水平導電線114在存取線105、選擇閘極108/110及/或源極線104及串驅動器之垂直堆疊之間進行一電耦合。

NAND記憶體單元串可配置有耦合於每一端處之選擇閘極電晶體，例如，源極、汲極。每一串可包含串聯耦合(汲極至源極)之若干記憶體單元。垂直NAND記憶體單元串可經配置以使得串聯耦合記憶體單元串演繹垂直定向線性配置，或可以非線性組態(諸如以一「U」形狀)配置，其中「U」形狀之部分係垂直定向，舉例而言。亦即，串聯耦合記憶體單元串可配置於正交於囊括存取線(例如，字線)及資料線(例如，位元線)之平面之一維度中

圖2係圖解說明一記憶體陣列200與一串驅動器216之間的耦合之一先前技術示意圖。串驅動器216可用於控制對特定記憶體單元串及/或特定記憶體單元之選擇，諸如藉由在記憶體單元串內施加特定選擇閘極及/或特定記憶體單元之一電壓信號，例如，藉由對存取線206之適當確證。圖2展示經由若干個導電線214耦合至一串驅動器216之一記憶體陣列200之存取線206、選擇閘極208 (SGD)及選擇閘極210 (SGS)。舉例而言，串驅動器216可使用CMOS裝置形成。記憶體陣列200進一步包含如所示配置且耦合至記憶體單元串之資料線202。

一記憶體陣列200之存取線206、選擇閘極208 (SGD)及選擇閘極210 (SGS)可透過選擇電晶體218耦合至各別全域存取線228。舉例而言，選擇電晶體218可係場效電晶體(FET)。選擇電晶體218可經由耦合於一區塊高電壓開關220之一輸出與(舉例而言)選擇電晶體218中之每一者之閘極之間的區塊高電壓開關輸出(BLKHVSW_OUT)信號線226控制。舉例而言，區塊高電壓開關220接收一區塊選擇位址222及一輸入電壓224作為輸入以在適當時在區塊高電壓開關輸出信號線226上產生BLKHVSW_OUT信號以將記憶體陣列200之存取線206、選擇閘極208 (SGD)及選擇閘極210 (SGS)耦合至全域存取線228。

在一感測操作(諸如一讀取或一程式驗證操作)中，全域存取線驅動器216提供正電壓信號至全域存取線228 (例如，全域字線)以選擇耦合至被感測記憶體單元之一特定局域存取線。未經選擇存取線(諸如未耦合至正讀取或驗證記憶體單元之存取線)可具備一通過電壓(V_{pass})，而經選擇存取線可具備一讀取電壓。其他技術可用於讀取及/或程式化記憶體單元。根據各種實施例，記憶體陣列200可實施為一3D記憶體陣列，其中串經垂直定向，且串驅動器216 (包含選擇電晶體218)可實施為一實質上平面裝置，諸如圖3中所示。包括導電線214之一階梯結構可用於電耦合垂直3D陣列及水平平面結構，例如串驅動器216。

圖3係圖解說明一3D記憶體陣列與一平面串驅動器之間的耦合之一先前技術經隔離透視方塊圖。圖3以隔離方式展示使用一階梯結構來耦合一垂直堆疊結構(例如，一3D記憶體陣列)及一實質上平面結構(例如，平面串驅動器316)。垂直堆疊結構由若干個導電材料階構成，包含一記憶體陣列之一選擇閘極308 (例如，SGD)、複數個存取線306 (例如，8個字線階)及一選擇閘極310 (例如，SGS)。垂直串聯耦合記憶體單元串303以正交於垂直堆疊結構之階之方式配置(為簡潔起見，圖3中僅展示諸多垂直串中之兩者)。

垂直導體312經展示耦合至各個階，其中一較低階延伸超過各別較低階上面之階。垂直導體312耦合至水平導電線314，該水平導電線由耦合至實質上平面串驅動器316，諸如以圖2中示意性所示之方法。串驅動器316之導體、電晶體及/或其他元件係三維的，且因此非完全平面，此乃因其具有一有限長度、寬度及高度。然而，串驅動器在本文中稱為實質上平面，此乃因沿兩個方向之尺寸實質上大於沿第三方向之尺寸。舉例而言，平面可指代具有非堆疊元件之一結構，而3D可指代具有堆疊元件(例如，三個維度中之每一者中之複數個元件)之

一結構。

圖4A至圖4F係圖解說明使用一收縮光阻劑之階梯形成之一側視圖之先前技術方塊圖。圖4A展示交替之導電材料及絕緣材料407-1、407-2、...407-5之一堆疊409。導電材料可包含形成於複數個存取線406-0、406-1、406-2及406-3材料上方之一選擇閘極408材料(例如，一汲極選擇閘極材料)，複數個存取線406-0、406-1、406-2及406-3材料形成於一選擇閘極410材料(例如，一源極選擇閘極材料)上方。儘管堆疊409中僅展示四個存取線406-0、406-1、406-2及406-3之材料，但本發明之實施例並不限於包括特定數量、次序或組合物之材料之一堆疊，且可包含更多或更少存取線材料、選擇閘極材料及/或其他材料。此外，堆疊409不需要藉由交替之單個導電材料及絕緣材料而形成，且舉例而言可包含藉由彼此毗鄰形成之兩個不同絕緣材料分離之數個導電材料(其可視為導電及絕緣材料)以及其他材料組合及組態。

一光阻劑430-1形成於堆疊409上方。如圖4A中所展示，光阻劑430-1可經形成以使得其不橫向延伸至堆疊409之邊緣。亦即，光阻劑430-1可經形成為每一尺寸小於堆疊409，以便使堆疊409之一橫向部分沿每一方向曝露。儘管圖4A之切入材料堆疊之側視圖展示光阻劑未延伸至堆疊409之兩個相對邊緣(例如，右及左)，但先前技術光阻劑430-1經形成以便不延伸至堆疊409之沿視圖方向之邊緣，例如，前邊緣及後邊緣。光阻劑430-1經形成以便使堆疊430-1之一個階梯之寬度曝露於堆疊409之每一邊緣處。

圖4B展示在一第一材料移除處理(例如，對多晶矽材料及氧化物材料之一蝕刻，諸如一反應離子蝕刻)之後的堆疊409之組態。未由光阻劑430-1保護之堆疊409之部分被移除。材料移除程序經控制以便移除堆疊409之材料至一預先定義深度，諸如藉由蝕刻之持續時間及/或組合物，或藉由其他技術。舉例而言，圖4B展示，第一材料移除程

序自堆疊409移除材料至絕緣材料407-4之一深度，包含未由光阻劑430-1覆蓋之選擇閘極408材料、絕緣材料407-5及存取線406-3材料之部分。第一移除程序可停止於存取線406-3材料之深度處，例如，僅移除選擇閘極408材料及絕緣材料407-5，以便形成不包含存取線406-3材料之一第一階梯。

以此方式，相對於堆疊409之材料之其餘部分，一階梯由選擇閘極408材料、絕緣材料407-5及存取線406-3材料形成。圖4B展示同時形成於堆疊409之兩個相對邊緣處之階梯。同樣地，階梯形成於前邊緣及後邊緣處。

圖4C展示自圖4A及圖4B中所示之光阻劑430-1之彼橫向尺寸沿一橫向尺寸進行大小調整之光阻劑430-2以便曝露堆疊409之頂部材料之另一部分，例如，選擇閘極408材料。光阻劑亦沿圖4C之觀看之方向(例如，前至後)經大小調整為更小。光阻劑430-2之大小調整可藉由各種技術完成。舉例而言，圖4A及圖4B中所示之光阻劑430-1可在適當位置中經修整，或諸如藉由化學機械拋光(CMP)完全移除且較小尺寸之一新光阻劑430-2沈積於選擇閘極408材料上方，如圖4C中所示。光阻劑430-1可在適當位置中經修整，舉例而言，在用於形成各別階梯之多晶矽及氧化物乾式蝕刻期間，例如，以使得將不存在諸如圖4B中所示之彼介入結構之一介入結構。

圖4D展示在一後續材料移除程序(例如，一第二蝕刻)之後的堆疊409之組態。未由光阻劑430-2保護之堆疊409之材料之某一深度被移除。材料移除程序經控制以便移除堆疊409之材料至一預先定義深度。舉例而言，圖4D展示第二材料移除程序經控制以自堆疊409移除材料，包含未由光阻劑430-2覆蓋之曝露選擇閘極408材料、絕緣材料407-5及存取線406-3材料之另一部分。第二材料移除程序亦移除絕緣材料407-4 (藉由第一材料移除程序曝露)及在第二材料移除程序期間

移除絕緣材料407-4之後曝露之存取線406-2材料。圖4D展示具有由第二移除程序產生之兩個階(右及左)之一階梯結構。類似地，根據先前方法，額外階同時形成於堆疊之前邊緣及後邊緣上。注意，本文中所使用之命名基於一階係切入至材料堆疊中之一「凹口」，凹口係由一水平表面及一垂直表面形成之一角。因此，圖4A展示零個階(替代一個)，圖4B及圖4C展示一個階(替代兩個)及圖4D展示兩個階(替代三個)。

材料移除程序可進一步重複，每一後續移除程序利用小達與階梯形成之每一各別位置(例如，左邊緣、右邊緣、前邊緣及後邊緣中之每一者)相關聯之一階梯寬度之一光阻劑遮罩。舉例而言，一階梯寬度可係10微米。

圖4E展示在四個材料移除程序(例如，四個蝕刻)之後的堆疊409之組態，其中將光阻劑430-3相對於光阻劑430-2減小每一邊緣上之數個階之寬度。圖4F展示在四個材料移除程序之後及在光阻劑430-3被移除(例如，藉由CMP)之後的堆疊409之組態，留下一最終階梯結構。儘管每一階梯經展示具有在階梯(選擇閘極材料408不視為一階)頂部上之一各別絕緣材料，使用進一步蝕刻技術來形成穿過上覆絕緣層之一插塞，可與每一各別下伏導電材料(例如，選擇閘極材料及/或存取線材料)進行垂直耦合。

圖5A至圖5F係圖解說明根據本發明之一或多項實施例之使用一收縮光阻劑之階梯形成之一俯視圖之方塊圖。圖5A至圖5F係對應於圖4A至圖4F中所示之側視圖之俯視圖。亦即，圖5A係對應於圖4A之一俯視圖，圖5B係對應於圖4B之一俯視圖等。如先前所詳述，元件符號亦在圖5A至圖5F與圖4A至圖4F之間對應，其中第一數字反映視點圖編號。

圖5A展示形成於交替之導電材料及絕緣材料之一堆疊(例如，圖

4A中以輪廓展示之堆疊409)上方之一光阻劑530-1。更特定而言，光阻劑530-1形成於係堆疊之頂部材料之選擇閘極508材料上方。如所示，光阻劑530-1可經形成以使得其不橫向(例如，在圖5A中，左至右)延伸至選擇閘極508材料之一或多個邊緣。舉例而言，光阻劑530-1可經形成以在至少一個尺寸中小於選擇閘極508材料以便使選擇閘極508材料之一部分曝露於左邊緣及右邊緣處。

圖5A中所示之俯視圖展示光阻劑530-1可形成於選擇閘極508材料上方以便延伸至或越過堆疊中之一階梯結構不形成於其處之選擇閘極508材料之一邊緣，諸如圖5A中所示之選擇閘極508材料之上部邊緣及下部邊緣處。光阻劑530-1可延伸或越過選擇閘極508材料之上部及下部邊緣，如圖5A中所示。根據一或多個項實施例，光阻劑530-1可經形成以延伸越過選擇閘極508材料之邊緣等於針對所有材料移除程序將光阻劑實質上減小之總距離之一距離。在此一重疊之情況下，光阻劑在圖5A中所示之兩個尺寸中之每一者上之成比例減小將導致最小光阻劑仍延伸至堆疊中之一階梯結構不形成於其處之選擇閘極508材料之邊緣。

圖5B展示在一第一材料移除程序(例如，蝕刻)之後的堆疊之組態。移除未由光阻劑530-1保護之堆疊之某一材料。第一材料移除程序經控制以便移除堆疊之材料至絕緣材料507-4之深度。亦即，選擇閘極508材料之部分以及未由光阻劑530-1保護之下伏絕緣材料及存取線材料已被移除。

圖5C展示依據圖5A及圖5B中所示之光阻劑530-1之大小而經大小調整以便曝露材料堆疊之頂部處之選擇閘極508材料之另一部分之光阻劑530-2。藉由第一材料移除程序曝露之絕緣材料507-4亦保持曝露。光阻劑530-2之大小調整經展示係不僅在橫向尺寸(例如，左-右)上之減小大小而且在一垂直尺寸(例如，上下)上減小一成比例量。舉

例而言，光阻劑可在多晶矽及氧化物之一乾式蝕刻期間在所有尺寸上進行大小調整。

因此，在沿一個方向(例如，圖5C中之水平方向)形成階梯時，光阻劑之寬度(例如，圖5C中所示之垂直方向)可經維持以便寬度不減小以便曝露上部或下部邊緣處下面之導電及/或絕緣材料。因此，光阻劑之寬度可最初經形成以延伸超過選擇閘極材料508之一邊緣。此可要求矽區域沿圖5C中所示之垂直方向較大以使得光阻劑可在其上方形成，此可消耗一較大體積及佔用面積。

然而，甚至在光阻劑530-2之大小之減小之情況下，光阻劑530-2仍延遲越過未發生階梯形成之選擇閘極508材料之邊緣，例如在選擇閘極508材料之上部及下部邊緣處。在光阻劑在適當位置經大小調整(諸如藉由修整或蝕刻光阻劑材料)之情況下，可利用光阻劑之此成比例過延伸超過未形成階梯結構之選擇閘極508材料之邊緣。

圖5D展示在一第二材料移除程序(例如，一第二蝕刻)之後堆疊之組態。未由光阻劑530-2保護之堆疊之材料之一深度經移除，包含未由光阻劑530-2覆蓋之經曝露選擇閘極材料508、絕緣材料及存取線材料之另一部分以曝露絕緣材料507-4。第二材料移除程序亦同時移除由第一材料移除程序曝露之絕緣材料507-4及在經曝露絕緣材料507-4下方之存取線材料以曝露絕緣材料507-3作為一第二階梯。因此，圖5D展示具有由第二移除程序產生之兩個階之一階梯結構，對應於圖4D中所示之側視圖。

如以上所闡述，材料移除程序可進一步重複，每一材料移除程序利用小達階梯形成之每一各別位置(例如，左及右側之每一者)上之一階梯寬度且視情況小達沿垂直方向之一類似量之一光阻劑。圖5E展示在用以形成額外階之四個材料移除程序之後的堆疊之組態，包含分別在各別階頂部上具有絕緣層507-1、507-2、507-3及507-4之四個

階。

圖5E對應於圖4E中所示之堆疊之側視圖，其中光阻劑530-3已相對於光阻劑530-2減小每一側上之數個階之寬度。圖5E展示光阻劑530-3已藉由光阻劑之最後大小調整而類似減小至絕緣材料507-4之上部及小部邊緣。圖5F展示在四個材料移除程序之後及在光阻劑530-3經移除(例如，藉由CMP)之後留下具有經曝露之選擇閘極508材料之一最終階梯結構之對應於圖4F之堆疊之階梯結構之組態。

圖6A至圖6B係圖解說明在堆疊材料之四個邊緣處之階梯形成之先前技術方塊圖。圖6A展示經組態成一材料堆疊之四個邊緣中之每一者處之一階梯結構之該堆疊之一俯視圖。圖6A展示具有複數個階梯之堆疊，包含：一第一(底部)階634，其延伸超過一第二階636，該第二階636延伸超過一第三階638，該第三階638延伸超過一第四階640，該第四階640延伸超過一第五(頂部)階642。通孔644可形成至該堆疊中且記憶體單元可形成於其中(通孔在圖6B中以輪廓展示，此乃因絕緣材料未展示)。

圖6A中所示之階梯結構可以類似於關於圖4A至圖4F所闡述之方式之一方式使用不延伸至(或超過)四個邊緣中之任何者之一光阻劑形成，以使得一階梯結構形成於每一邊緣處。儘管圖6A中僅展示五個階，但階之數量及大小並不限於所展示之彼等，且可包含更多或更少相同或不同大小之階。

圖6B展示圖6A中所示之堆疊之導電材料之一側視圖。為清楚起見，堆疊之絕緣材料(諸如可介於選擇閘極材料及/或存取線材料)經省略。

圖7A係圖解說明根據本發明之一或多項實施例之使用一區域遮罩之一材料堆疊之兩個邊緣中之每一者之僅一部分處之階梯形成之一方塊圖。圖7A展示具有從中穿過之一開口752A(例如，窗)之一區域遮

罩750A。區域遮罩可係一硬遮罩，舉例而言，由氮化矽、氧化矽、氮氧化矽、氧化鋁或諸如此類形成。亦即，一硬遮罩材料可形成於導電及絕緣材料堆疊上方且經圖案化及蝕刻以形成開口752A。

根據各種實施例，區域遮罩750A形成於具有從中穿過之開口之導電及絕緣材料堆疊上方以便曝露其中將形成一階梯結構之堆疊材料(例如，導電材料)之一區域。以此方式，區域遮罩750A可界定導電材料堆疊之一第一曝露區域，其係透過開口752A曝露之左側。

一光阻劑遮罩可形成於開口752A上方，延伸至、越過(例如，重疊)區域遮罩750A。根據某些實施例，光阻劑遮罩可由具有大於區域遮罩之蝕刻速率之一蝕刻速率之一材料形成。根據各種實施例，光阻劑遮罩可形成於導電材料之第一曝露區域之一部分上方。以此方式，光阻劑遮罩可界定一第二曝露區域，該第二曝露區域小於該第一曝露區域。舉例而言，該第二曝露區域746部分藉由光阻劑遮罩753界定於開口752A內。

根據各種實施例，第二曝露區域小於導電材料之第一曝露區域之全部。舉例而言，可針對一第一材料移除程序如753處所示首先形成光阻劑遮罩，使堆疊之區域746 (例如，導電材料)曝露且經受材料移除。區域746中之導電材料(及下伏絕緣及/或導電材料)不具有形成於其上方之區域遮罩750A或光阻劑遮罩(例如，753)之部分。如圖7A中可見，光阻劑遮罩753之一初始尺寸(例如，長度)(在圖7A中沿水平或X方向展示)可小於如有區域遮罩750A中之開口752A所界定之一對應尺寸(例如，第一曝露區域之長度)。

光阻劑遮罩753之一初始寬度(例如，沿圖7A中所示之垂直Y方向)可係至少區域遮罩之一寬度加等於光阻劑遮罩之初始長度與在階梯結構形成之後的光阻劑遮罩之一最終長度之間的差之一距離。亦即，光阻劑遮罩可經蝕除及/或修整至一較小大小且用於實質上形成

額外階梯。光阻劑遮罩之初始寬度可係至少區域遮罩之寬度加一重疊距離。初始重疊之量(例如，重疊距離)可係(舉例而言)等於光阻劑遮罩之初始長度與在階梯結構形成之後光阻劑遮罩之一最終長度之間的光阻劑遮罩之長度之一差。

初始重疊之量可取決於多少階梯構成階梯結構。根據某些實施例，光阻劑遮罩之初始寬度可係至少區域遮罩之寬度加階梯結構中之階梯之一數目乘以爲形成一階梯而將光阻劑遮罩大小調整之一量之一乘積。亦即，若光阻劑遮罩在可移除以形成各別階梯之材料之間經蝕刻及/或修整全部約一相同距離，則爲維持相同某一重疊，或至少鄰接用於最後階形成之區域遮罩之一邊緣以便不允許材料之非意欲移除，光阻劑遮罩可相對於區域遮罩窗之寬度過大小調整達每階梯之一量乘以階梯之數量。

根據若干項實施例，光阻劑遮罩可與區域遮罩之部分最初重疊爲形成下一階梯而將光阻劑遮罩減小之一量乘以待形成之階梯之一數量。舉例而言，涉及兩個階梯之一階梯結構可藉由兩個材料移除程序形成，其通常僅涉及對光阻劑遮罩進行大小調整一次。因此，光阻劑遮罩可與區域遮罩最初重疊在一個材料移除程序期間將光阻劑遮罩之大小減小之距離。涉及三個階梯之一階梯結構可藉由使用兩個光阻劑遮罩大小調整(例如， $3-1=2$)來形成。因此，光阻劑遮罩可與區域遮罩最初重疊在兩個光阻劑遮罩大小調整期間將光阻劑遮罩之大小減小之距離。

如圖7A中所示，可形成一階梯結構，涉及開口752A之右側處之一區域746及開口752A之左側處之一區域746。兩個曝露區域746經展示係非連續性，其中光阻劑遮罩形成於區域746之間。區域遮罩750A可經形成以將開口752A組態爲一非正方形矩形，如圖7A中所示。然而，本發明之實施例並不限制於此，且區域746可具有各種大小、形

狀及/或位置。亦即，根據某些實施例，區域遮罩750A可經形成以將開口752A組態成其他幾何形狀，諸如正方形，圓形、具有3個或3個以上側之一多邊形等。最初形成光阻劑遮罩753可係沿至少一個維度完全跨越該開口(舉例而言，跨越較小維度，例如，沿Y方向自開口752A之頂部至底部，如圖7A中所示)形成。最初形成光阻劑遮罩753可經形成以與區域遮罩750A重疊在形成一階梯時將光阻劑遮罩減小之一量乘以待形成之階梯之數量。亦即，最初形成光阻劑遮罩753可經形成以與圖7A中所示之開口752A之頂部及底部邊緣處之區域遮罩重疊等於位置757及753之間的距離之一量。

隨後，最初形成光阻劑遮罩753可針對一第二材料移除程序經大小調整(例如，形成)至一較小大小且位於虛線輪廓754處所示之位置處，針對一第三材料移除程序經大小調整至一較小大小且位於虛線輪廓755處所示之位置處，且針對一第四材料移除程序經大小調整至一較小大小且位於虛線輪廓756處所示之位置處，且針對一第五材料移除程序經大小調整至一較小大小且位於虛線輪廓757處所示之位置處。一次僅光阻劑遮罩753、754、755、756或757中之一者形成於開口752A上方。光阻劑遮罩753、754、755、756或757可居中於開口752A上方，亦即，沿一個方向居中於開口752A上方，以使得兩個曝露區域746具有相等面積，如圖7A中所示，或自中心偏移，如圖7B中所示。區域遮罩750A可保持於適當位置中，如所示，針對所有材料移除程序。以此方式，一階梯結構可形成於開口752A內，舉例而言，在開口752A之每一側處。

具有開口752A之區域遮罩750A限制一階梯結構形成於一材料堆疊之僅特定位置處，諸如一個邊緣，兩個邊緣或僅在一個或兩個邊緣中之每一者之一部分處，如關於圖8A至圖8L所闡述。亦即，具有開口752A之區域遮罩750A可限制階梯結構之形成係小於材料堆疊之所

有(例如，四個)邊緣。開口752A可經定向以沿X方向(如圖7A中所示)、沿一Y方向或沿某一其他(例如，中間)方向形成一或多個階梯結構。將具有開口752A之區域遮罩750A用於階梯結構形成可導致窄寬度階梯結構，此允許其他信號線及特徵形成於由區域遮罩750及/或光阻劑遮罩所遮蔽之區域中。經限制開口752A及所得較小階梯結構可導致一較小整體晶粒大小，此乃因區域遮罩可用於保護其中不需要階梯形成之區域。

圖7B係圖解說明根據本發明之一或多項實施例使用一區域遮罩沿一個方向之階梯形成之一方塊圖。圖7B展示具有形成於導電及絕緣材料之堆疊上方之從中穿過之一開口752B (例如，窗)之一區域遮罩750B。一光阻劑遮罩可如753處所示形成於開口752B上方，且延伸至或越過區域遮罩750B。根據各種實施例，光阻劑遮罩可形成於透過開口752B曝露之導電材料之區域之一部分上方以便使堆疊(例如，導電材料)之區域746曝露且經受材料移除。區域748中之導電材料(及下伏絕緣及/或導電材料)不具有形成於其上方之區域遮罩750B或光阻劑遮罩(例如，753)之一部分。

如圖7B中所示，可形成一階梯結構，涉及在開口752B之右側處之區域748。光阻劑遮罩可相對於開口752B之四個邊緣中之三者形成於區域遮罩750B上方，例如經定形為一非正方形矩形。光阻劑遮罩(例如，753)經形成以使得其覆蓋除了一個區域748以外的開口752B中之導電材料之曝露區域之全部。一第一材料移除程序可應用於區域748。

隨後，光阻劑遮罩可針對一第二材料移除程序如在754處所示經大小調整(例如，形成)，針對一第三材料移除程序如在755處所示經大小調整，針對一第四材料移除程序如在756處所示經大小調整，及針對一第五材料一出程序如在757處經所示經大小調整。針對全部材

料移除程序，區域遮罩750B可保持於適當位置中，如所示。以此方式，一階梯結構可形成於開口752B內，舉例而言，在開口752B之右側處。

圖8A至圖8L係根據本發明之一或多項實施例圖解說明使用一區域遮罩之階梯形成之方塊圖。圖8A展示導電材料861之一堆疊860之一端視圖。導電材料構成堆疊860中之各別階梯。堆疊860亦可在導電材料861之間包含絕緣材料，為清楚起見，該等絕緣材料自圖8A至圖8L省略。本發明之方法可應用至其之導電材料之數量、組合物及次序可與此實例中所示之導電材料相同或不同。舉例而言，堆疊860可包含複數個選擇閘極導電材料、複數個存取線導電材料及/或其他導電及/或絕緣材料。

圖8B展示形成於堆疊860上方之一截光遮罩材料862，例如，一硬遮罩材料。圖8C展示在圖案化及蝕刻成區域遮罩864之後的截光遮罩材料862。圖8D展示在用以基於區域遮罩864之圖案化而將導電材料861(及絕緣材料—未展示)蝕刻成若干個堆疊行863之進一步處理之後的堆疊860。圖8E展示在用以諸如藉由CMP移除區域遮罩864之進一步處理之後的圖8D之經蝕刻堆疊860，舉例而言。儘管未展示，但諸如絕緣材料之材料可沈積至藉由基於區域遮罩864之圖案化而蝕刻導電材料861(及絕緣材料—未展示)所形成之空間中。

圖8F展示形成於經圖案化及經蝕刻堆疊860上方之一硬遮罩材料866。圖8G展示在圖案化且蝕刻成區域遮罩868之後的硬遮罩材料866。如圖8G中所示，區域遮罩868可橫向延伸超過導電材料861之某些堆疊行863之邊緣。圖8H展示形成於經圖案化及蝕刻之堆疊860及/或區域遮罩868上方之一第一光阻劑遮罩872及第二光阻劑遮罩870。第一光阻劑遮罩872在圖8H中經展示沈積於區域遮罩868之位置之間，且第二光阻劑遮罩870經展示形成於第一光阻劑遮罩872及區域遮

罩868上方。儘管圖8H中展示離散之第一光阻劑遮罩872及第二光阻劑遮罩870，但可藉由一單次光阻劑遮罩材料形成(例如，沈積)而形成該等光阻劑遮罩。

圖8I展示在進一步處理之後的堆疊860之一俯視圖。圖8I上指示切線8J、8K及8L，分別對應於圖8J、圖8K及圖8L中所示之端視圖。圖8I展示在關於先前圖所闡述之成型、圖案化及蝕刻之後的區域遮罩868，例如，硬遮罩。區域遮罩868具有從中穿過之一開口，該開口將區域遮罩組態成類似完全覆蓋最外部堆疊行863及部分覆蓋內堆疊行863之一U形狀多邊形。

若干個光阻劑遮罩組態可結合區域遮罩868一起用於在圖8I中所示之位置中形成涉及內堆疊行863之一階梯結構。舉例而言，光阻劑遮罩組態874、876及878可用於自內堆疊行863(例如，未由第一、第二及第三材料移除程序移除之內堆疊行863之部分)圖案化出一階梯結構，如先前關於先前圖所闡述。圖8I展示：內行863堆疊中之至少一者具有與兩個外行堆疊之第一端(例如，左端)成直線且毗鄰於其定位之一第一端(例如，左端)，且至少一個內行堆疊具有不與兩個外行堆疊之第二端(例如，右端)成直線定位之一第二端(例如，右端)，以使得階梯結構形成於該至少一個內行堆疊之該第二端(例如，右端)處。

圖8J係在圖8I中所示之切線8J處截取之堆疊860之一端視圖。圖8J反映第三光阻劑遮罩組態878之光阻劑遮罩870，且展示外及內堆疊行863中之每一者之頂部導電材料861，其中頂部導電材料保持為階梯結構之頂部階，此乃因針對形成階梯結構中所使用之光遮罩870/872之所有組態(例如，874、876、878)，外及內堆疊行863之此部分始終由區域遮罩868或光遮罩870/872覆蓋。

圖8K係在圖8I中所示之切線8K處所截取之堆疊860之一端視圖。圖8K亦反映第三光阻劑遮罩組態878中之光阻劑遮罩870。然而，切

線8K並不與光阻劑遮罩870相交，因此光阻劑遮罩並不展示於圖8K中。圖8K展示，針對用於形成階梯結構之所有材料移除程序，外堆疊行863中之每一者中之導電材料始終由區域遮罩868覆蓋。

圖8K展示內堆疊行863中之每一者中之導電材料861之頂部層列經移除，此乃因切線8K之位置處之內堆疊行863針對涉及第一光阻劑遮罩組態874及第二光阻劑遮罩組態876之材料移除程序由光阻劑遮罩870/872覆蓋，但針對涉及第三光阻劑組態878之一材料移除程序未被覆蓋。在切線8K之位置處，內堆疊行863形成階梯結構中之一中間階，其中導電材料之第二層列882曝露。

圖8L展示，內堆疊行863中之每一者中之導電材料861之頂部兩個階梯被移除，此乃因切線8L之位置處之內堆疊行863針對涉及第一光阻劑遮罩組態874之材料移除程序由光阻劑遮罩870/872覆蓋，但針對涉及第二光阻劑組態876及第三光阻劑組態878之一材料移除程序未被覆蓋。在切線8K之位置處，內堆疊行863形成階梯結構中之一底部階，其中導電材料之第三層列880曝露。

如在圖8I中可觀察，區域遮罩連同一光阻劑遮罩一起使用可將階梯形成限制於較小區域及/或比(舉例而言)若階梯形成於單獨使用(例如，無一區域遮罩)之一光阻劑遮罩之所有側周圍可達成之區域更接近於其他特徵之區域。舉例而言，階梯可僅形成於內堆疊行863上，如圖8I中所示，其中一區域遮罩868用於整體或部分地界定在其內將使用光阻劑遮罩形成階梯之區域。舉例而言，以此方式，階梯可用於形成自毗鄰一記憶體陣列之較小及/或更精確定位區域至驅動器電路之耦合。

第一材料移除可包含使至少一個內行堆疊之一長度縮短至小於兩個外行堆疊之一長度。進一步材料移除程序(例如，蝕刻)可用於在至少一個內行堆疊之經縮短端(例如，與外行堆疊不對準之端)處形成

階梯結構。儘管圖8I中未展示，但一階梯結構亦可形成於至少一個內行堆疊之經縮短端(例如，與外行堆疊不對準之端)中。一階梯結構亦可形成於外行堆疊之一或多個邊緣處。亦即，結合一光阻劑遮罩一起使用之一區域遮罩可用於以各種不統一形狀及大小形成階梯結構。光阻劑遮罩之初始大小可經定大小以與區域遮罩重疊該光阻劑遮罩在全部(例如，複數個)階梯之形成期間在蝕刻及/或修整期間將被移除之至少一量。

如自前述圖解說明及闡述將瞭解，一區域遮罩可用於界定階梯結構不形成於其處之堆疊之區域。因此，一光阻劑遮罩可以不同佔用面積組態(例如，收縮)用於未由區域遮罩保護之區域中以形成一或多個階梯結構。區域遮罩可具有從中穿過之一開口，以使得該區域遮罩經組態以覆蓋在用於形成一階梯結構之任何材料移除程序中未經蝕刻之導電及/或絕緣材料之一堆疊之某一部分，且不覆蓋在用於形成一階梯機構之一材料移除程序中將經蝕刻之導電及/或絕緣材料之堆疊之另一部分。以此方式，階梯形成可僅限制於其中導電及/或絕緣材料之堆疊之一最終組態中需要階梯之此等區域(與經形成及隨後被移除之階梯結構相反)。

儘管本文中已圖解說明及闡述了特定實施例，但熟習此項技術者將瞭解，可以經計算以達成相同結果之一配置來取代所顯示之特定實施例。本發明意欲涵蓋對本發明各種實施例之改動或變化形式。應理解，以上闡述已以一圖解說明方式而非一限定性方式作出。在檢視以上闡述後，熟習此項技術者將明瞭上述實施例與本文中未具體闡述之其他實施例之組合。本發明各種實施例之範疇包含其中使用以上結構及方法之其他應用。因此，本發明各種實施例之範疇應參照隨附申請專利範圍連同授權此等申請專利範圍之等效物之全部範圍來確定。

在前述「實施方式」中，出於簡化本發明之目的，將各種特徵

一起集合在一單個實施例中。本發明的此方法不應被視為反映本發明所揭示實施例必須使用比明確陳述於每一請求項中多之特徵的意圖。而是，如以下申請專利範圍反映，發明性標的物在於少於一單個所揭示實施例之所有特徵。因此，特此將以下申請專利範圍併入至「實施方式」中，其中每一請求項獨立作為一單獨實施例。

【符號說明】

100	三維記憶體裝置/記憶體裝置/記憶體陣列
102	資料線
103	垂直串聯耦合記憶體單元串/垂直串聯耦合記憶體裝置串
104	源極線
105	存取線/平面存取線
106	三維階梯結構
108	第一選擇閘極/選擇閘極
110	第二選擇閘極/選擇閘極
112	垂直導體
114	水平導電線
200	記憶體陣列
202	資料線
206	存取線
208	選擇閘極
210	選擇閘極
214	導電線
216	串驅動器/全域存取線驅動器
218	選擇電晶體
220	區塊高電壓開關

222	區塊選擇位址
224	輸入電壓
226	區塊高電壓開關輸出信號線
228	全域存取線
303	垂直串聯耦合記憶體單元串
306	存取線
308	選擇閘極
310	選擇閘極
312	垂直導體
314	水平導電線
316	平面串驅動器/串驅動器
406-0	存取線
406-1	存取線
406-2	存取線
406-3	存取線
407-1	絕緣材料
407-2	絕緣材料
407-3	絕緣材料
407-4	絕緣材料
407-5	絕緣材料
408	選擇閘極/選擇閘極材料
409	堆疊
410	選擇閘極
430-1	光阻劑
430-2	光阻劑
430-3	光阻劑

507-1	絕緣層
507-2	絕緣層
507-3	絕緣層/絕緣材料
507-4	絕緣層/絕緣材料
508	選擇閘極/選擇閘極材料
530-1	光阻劑
530-2	光阻劑
530-3	光阻劑
634	第一(底部)階
636	第二階
638	第三階
640	第四階
642	第五(頂部)階
644	通孔
746	第二曝露區/區域/曝露區域
750A	區域遮罩
750B	區域遮罩
752A	開口
752B	開口
753	光阻劑遮罩/位置
754	虛線輪廓/光阻劑遮罩
755	虛線輪廓/光阻劑遮罩
756	虛線輪廓/光阻劑遮罩
757	位置/虛線輪廓/光阻劑遮罩
860	堆疊
861	導電材料

862	截光遮罩材料
863	堆疊行/內堆疊行/最外部堆疊行
864	區域遮罩
866	硬遮罩材料
868	區域遮罩
870	第二光阻劑遮罩/光阻劑遮罩/光遮罩
872	第一光阻劑遮罩/光阻劑遮罩/光遮罩
874	光阻劑遮罩組態/第一光阻劑遮罩組態/組態
876	光阻劑遮罩組態/第二光阻劑遮罩組態/組態
878	光阻劑遮罩組態/第三光阻劑組態/組態
880	第三層列
882	第二層列
8J	切線
8K	切線
8L	切線

申請專利範圍

1. 一種用於形成一記憶體結構之方法，其包括：

在一導電材料上方形成一第一遮罩以界定一第一曝露區域；

及

在該第一曝露區域之一部分上方形成一第二遮罩以界定一第二曝露區域，該第二曝露區域小於該第一曝露區域；及

自該第二曝露區域移除導電材料，

其中該第二遮罩之一初始第一尺寸小於該第一曝露區域之一第一尺寸且該第二遮罩之一初始第二尺寸係至少該第一曝露區域之一第二尺寸加等於該第二遮罩之該初始第一尺寸與在形成一階梯結構之後該第二遮罩之一最終第一尺寸之間的一差之一距離。

2. 如請求項1之方法，其中該第二遮罩係由具有大於該第一遮罩之蝕刻速率之一蝕刻速率之一材料形成。
3. 如請求項1之方法，其中該第一遮罩係一硬遮罩且該第二遮罩係一光阻劑遮罩。
4. 如請求項1之方法，其進一步包括：將該第二遮罩大小調整一量以使得該第二曝露區域包含至少再一個階梯之一額外區域。
5. 如請求項1之方法，其中該第一尺寸係一長度，且該第二尺寸係一寬度。
6. 如請求項5之方法，其中該第二遮罩之初始寬度係至少該第一曝露區域之該寬度加該階梯結構中之階梯之一數目乘以為形成一個階梯而將該第二遮罩之該寬度大小調整之一量之一乘積。
7. 如請求項1至6中任一項之方法，其中在該第一曝露區域之該部分上方形成該第二遮罩以界定一第二曝露區域包含：在該第一

曝露區域內形成沿一個方向居中之該第二遮罩，以使得該第二曝露區域在該第一曝露區域之相對端上具有相等面積之兩個部分。

8. 如請求項1至6中任一項之方法，其中在該第一曝露區域之該部分上方形成該第二遮罩以界定一第二曝露區域包含：在該第一曝露區域內形成沿一個方向自中心偏移之該第二遮罩，以使得該第二曝露區域在該第一曝露區域之一端處。
9. 如請求項1至6中任一項之方法，其中形成該第一遮罩包含：形成一開口以界定該第一曝露區域。
10. 如請求項9之方法，其中形成該第二遮罩包含：沿至少一個維度完全跨越該開口形成該第二遮罩。
11. 如請求項9之方法，其中形成該第二遮罩包含：形成該第二遮罩以與該第一遮罩在該開口之相對邊緣上重疊。
12. 如請求項9之方法，其中形成該開口包括：形成具有一非正方形形狀之一開口。
13. 如請求項12之方法，其中形成該第二遮罩包含：形成該第二遮罩以與該第一遮罩在該非正方形形狀之四個邊緣中之三者處重疊。
14. 如請求項1至6中任一項之方法，其中該第二曝露區域包含兩個非連續部分。
15. 如請求項1至6中任一項之方法，其中該導電材料係一多晶矽材料，該多晶矽材料經配置於包含交替之多晶矽材料及氧化物材料之一材料堆疊中。
16. 一種形成一記憶體結構之方法，其包括：

在包含交替之導電材料及絕緣材料之一材料堆疊上方形成一第一遮罩，該第一遮罩覆蓋其中隨後將不形成一階梯結構之該

材料堆疊之一第一區域且不覆蓋其中隨後將形成該階梯結構之該材料堆疊之一第二區域；

在該第二區域之一第一部分上方及在該第一遮罩之一部分上方形成一第二遮罩；及

自未由該第一遮罩或該第二遮罩覆蓋之該第二區域之一第二部分移除該等交替之導電材料及絕緣材料中之某些材料，

其中該第二遮罩與該第二區域之一尺寸最初重疊至少為形成下一階梯而將該第二遮罩減小之一量乘以待形成之階梯之一數量。

17. 如請求項16之方法，其中該第二遮罩在形成最後階梯之後仍與該第一遮罩之一部分重疊。

18. 如請求項16之方法，其中在形成最後階梯之後，該第二遮罩仍與該第二區域之該尺寸重疊。

19. 如請求項16至18中任一項之方法，其進一步包括：

藉由自每一側移除該量來減小該第二遮罩之一大小；及

自未由該第一遮罩或具有該減小大小之該第二遮罩覆蓋之該第二區域之一第三部分移除額外交替之導電材料及絕緣材料，該第三部分包含該第二部分。

20. 如請求項16至18中任一項之方法，其中形成該第一遮罩包含：在該材料堆疊之該等第一及第二區域上方形成該第一遮罩；及在該第一遮罩中該第二區域上方形成一開口。

21. 如請求項16至18中任一項之方法，其中形成該第二遮罩包含：在其中將形成一階梯結構之該第二區域內形成沿一個方向居中之該第二遮罩。

22. 一種形成一記憶體結構之方法，其包括：

形成交替之導電材料及絕緣材料之複數個行堆疊，該複數個

行堆疊並排配置，其中至少一個內行堆疊位於兩個外行堆疊之間；

在該兩個外行堆疊及該至少一個內行堆疊之一第一部分上方形成一第一遮罩；

在該第一遮罩之一部分及未由該第一遮罩覆蓋之該至少一個內行堆疊之一第二部分上方形成一第二遮罩；及

移除未由該第一遮罩或該第二遮罩覆蓋之該至少一個內行堆疊之該等交替之導電材料及絕緣材料之一第一量。

23. 如請求項22之方法，其進一步包括：

對該第二遮罩進行大小調整以覆蓋小於未由該第一遮罩覆蓋之該至少一個內行堆疊之該第二部分；及

移除未由該第一遮罩或該第二遮罩覆蓋之該至少一個內行堆疊之該等交替之導電材料及絕緣材料之一第二量以形成一階梯結構。

24. 如請求項23之方法，其中移除該第一量包含：使該至少一個內行堆疊之一長度縮短至小於該兩個外行堆疊之一長度。

25. 如請求項24之方法，其中移除一第二量包含：自曾為縮短該至少一個內行堆疊之該長度而自其移除該第一量的該至少一個內行堆疊之一端移除該第二量。

26. 如請求項22至25中任一項之方法，其中形成複數個行堆疊包含：形成位於該兩個外行堆疊之間的複數個內行堆疊。

27. 一種形成一記憶體結構之方法，其包括：

形成複數個交替之導電材料及絕緣材料；

在該複數個交替之導電材料及絕緣材料上方形成硬遮罩材料之一第一遮罩；

圖案化該第一遮罩以具有曝露該複數個交替之導電材料及絕

緣材料之一區域；

在該第一遮罩及曝露該複數個交替之導電材料及絕緣材料之該區域上方形成一第二遮罩；

圖案化該第二遮罩以使曝露該複數個交替之導電材料及絕緣材料之該區域之一第一部分曝露；及

在曝露該複數個交替之導電材料及絕緣材料之該區域之該第一部分中移除該複數個交替之導電材料及絕緣材料中之若干者以形成至少一個階梯，

其中該第二遮罩經形成以與曝露該複數個交替之導電材料及絕緣材料之該區域之一尺寸重疊至少在移除該複數個交替之導電材料及絕緣材料中之該若干者期間將該第二遮罩之大小減小之一量。

28. 一種記憶體，其包括：

一垂直記憶體單元串；

水平導電線，其耦合至該等記憶體單元，該等水平導電線由一交替之導電材料及絕緣材料之堆疊形成，該堆疊具有形成於該堆疊之僅一個邊緣處之一階梯結構；及

一串驅動器，其經由耦合至該階梯結構之各別階梯之垂直導體耦合至該等導電線。

29. 如請求項28之記憶體，其中該堆疊具有形成於該堆疊之該僅一個邊緣之僅一部分上之該階梯結構。

30. 如請求項28至29中任一項之記憶體，其中該記憶體單元串經配置為一個三維NAND串。

31. 如請求項28至29中任一項之記憶體，其中交替之導電材料及絕緣材料之該堆疊包含交替之導電材料及絕緣材料之複數個行堆疊，該複數個行堆疊並排配置，其中至少一個內行堆疊位於兩

個外行堆疊之間，

其中該至少一個內行堆疊包括該階梯結構。

32. 如請求項31之記憶體，其中該至少一個內行堆疊具有比該兩個外行堆疊短之長度。
33. 如請求項32之記憶體，其中該至少一個內行堆疊具有與該兩個外行堆疊之第一端成直線且毗鄰於其定位之一第一端，且該至少一個內行堆疊具有不與該兩個外行堆疊之第二端成直線定位之一第二端，該階梯結構形成於該至少一個內行堆疊之該第二端處。

圖式

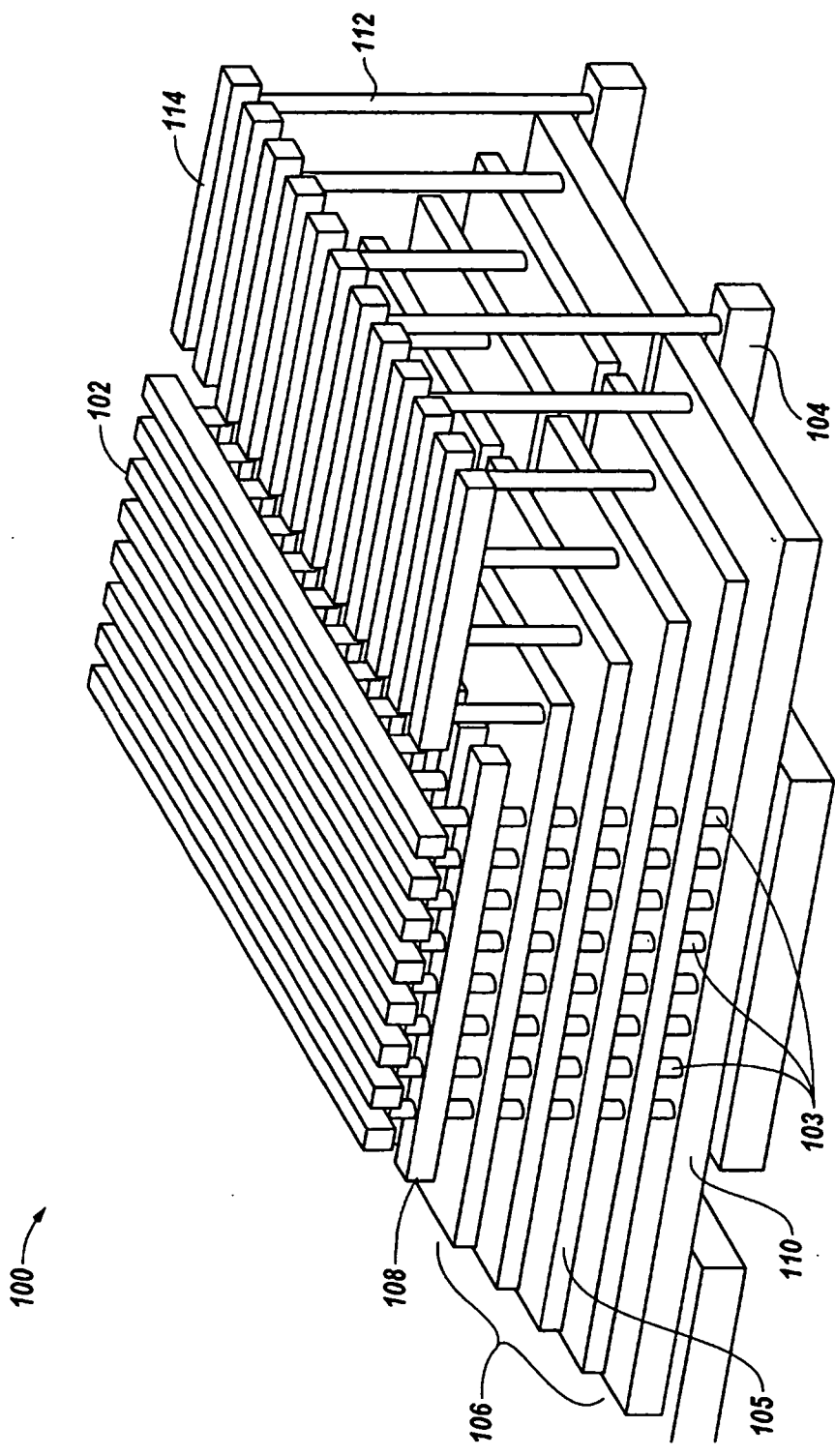


圖 1

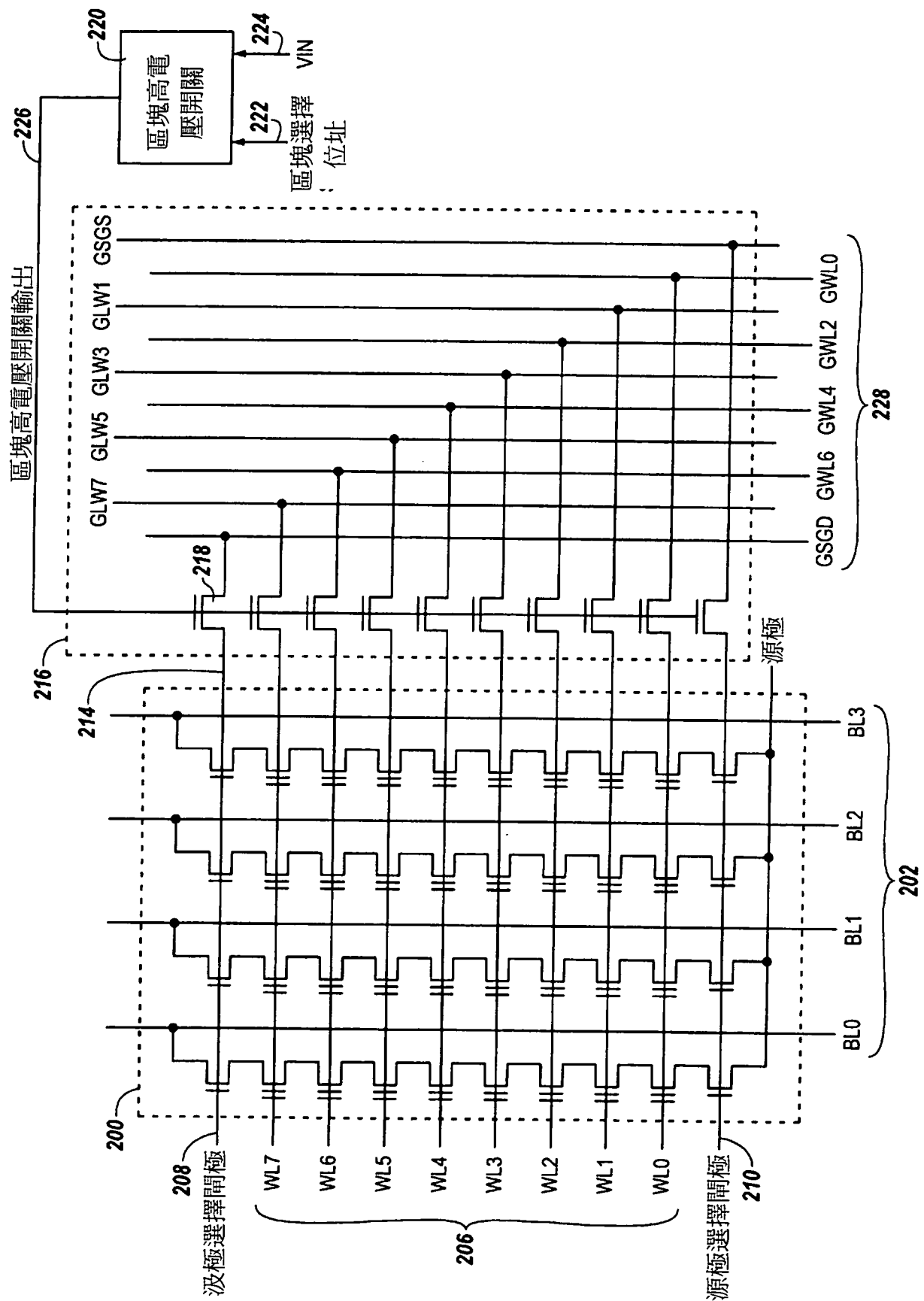


圖 2

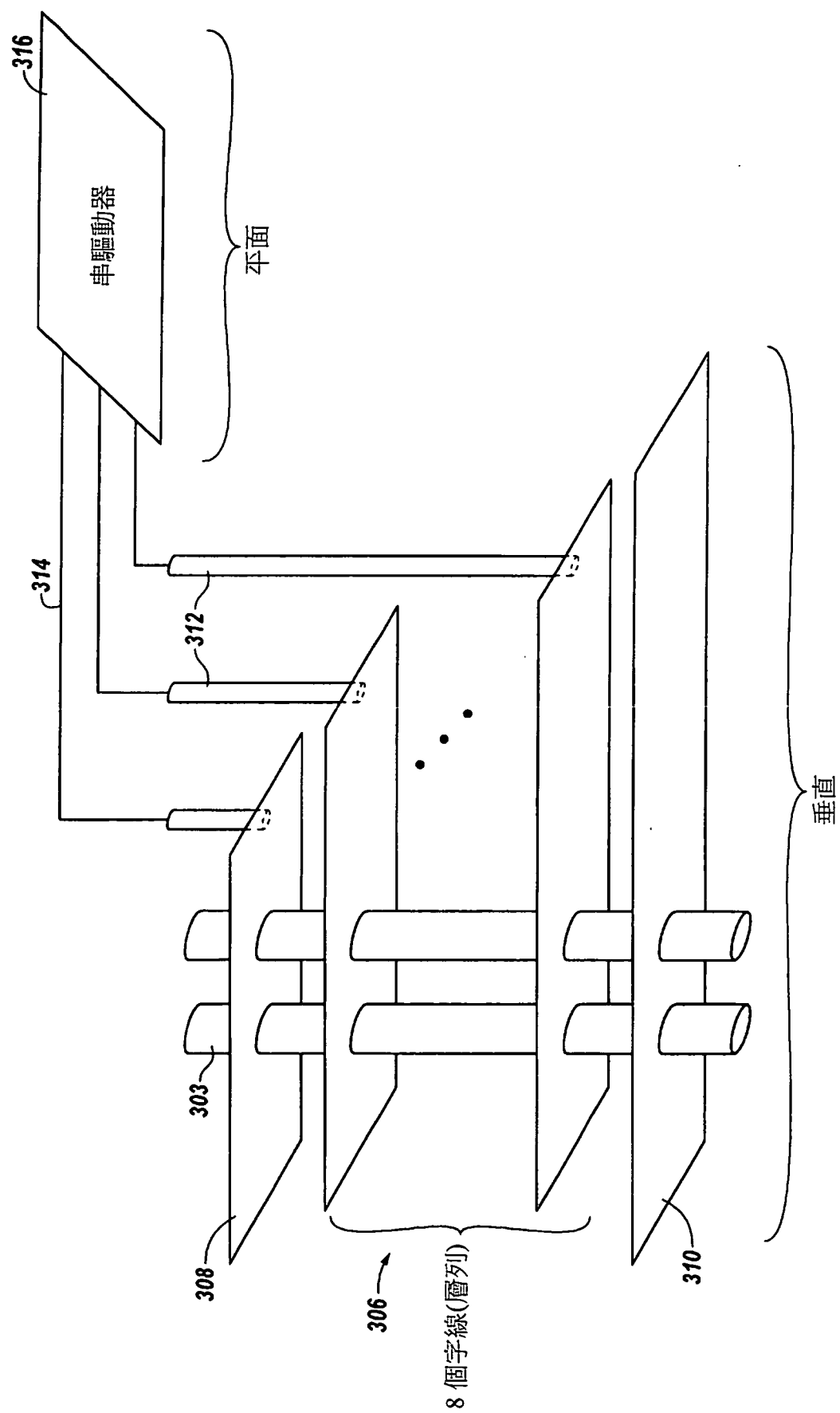


圖 3

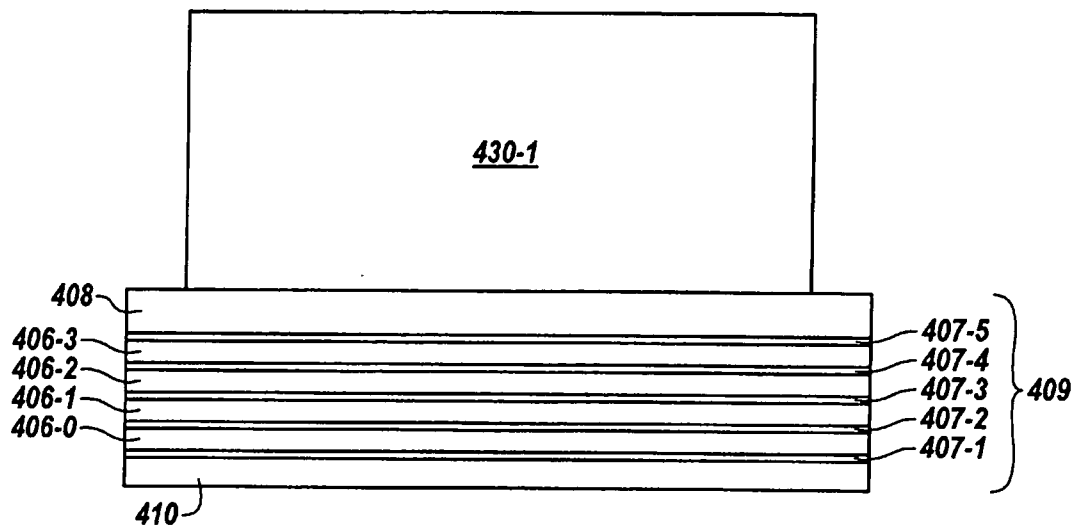


圖 4A

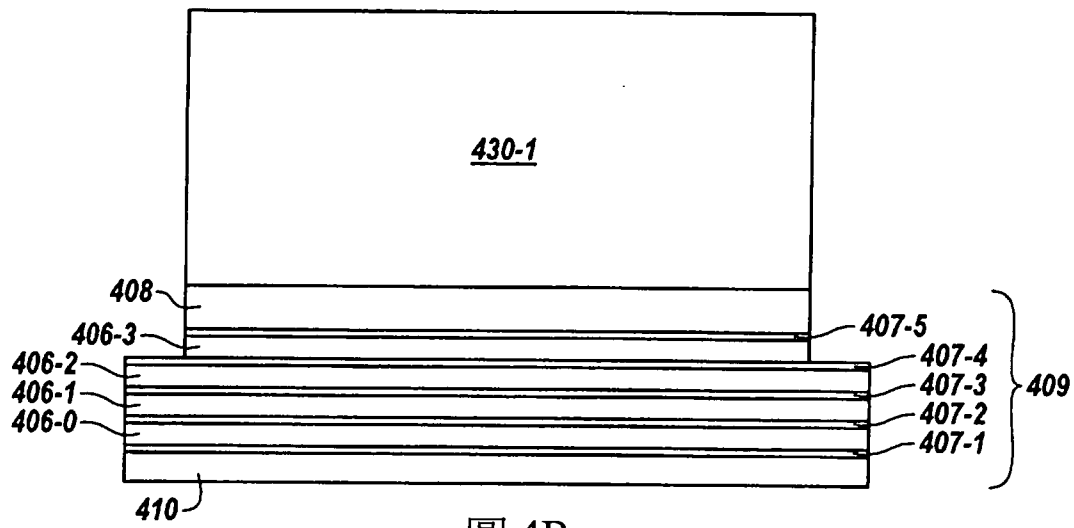


圖 4B

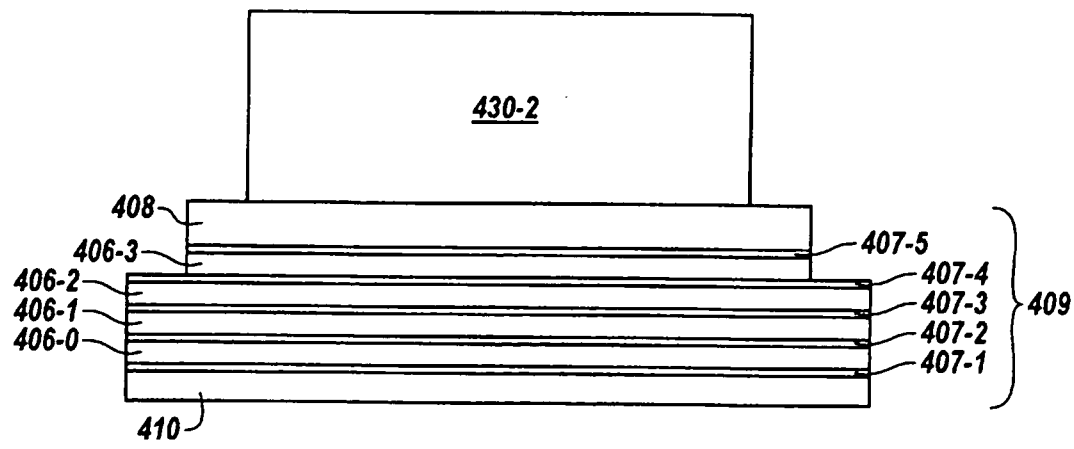


圖 4C

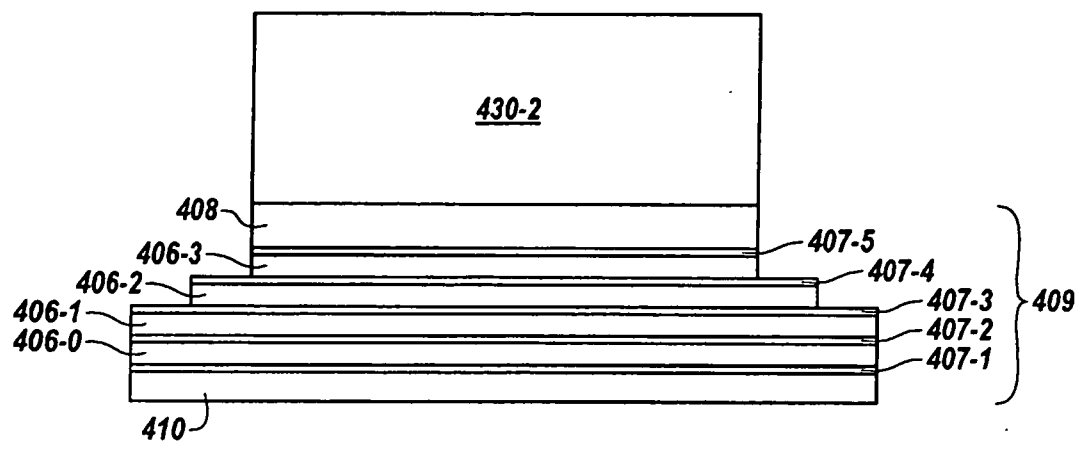


圖 4D

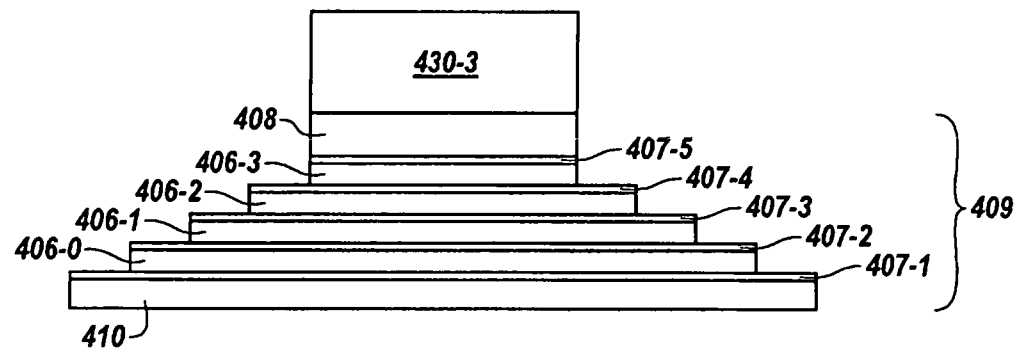


圖 4E

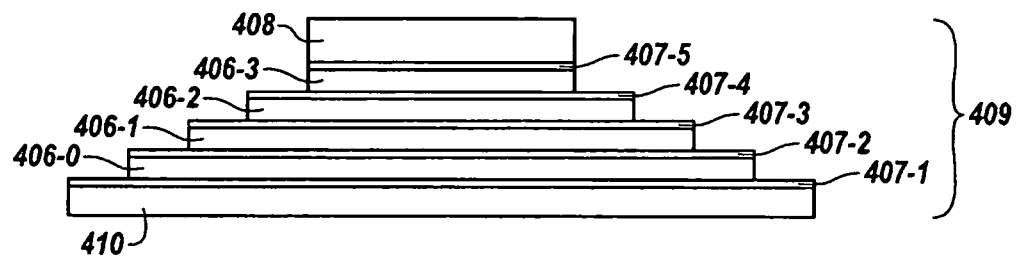


圖 4F

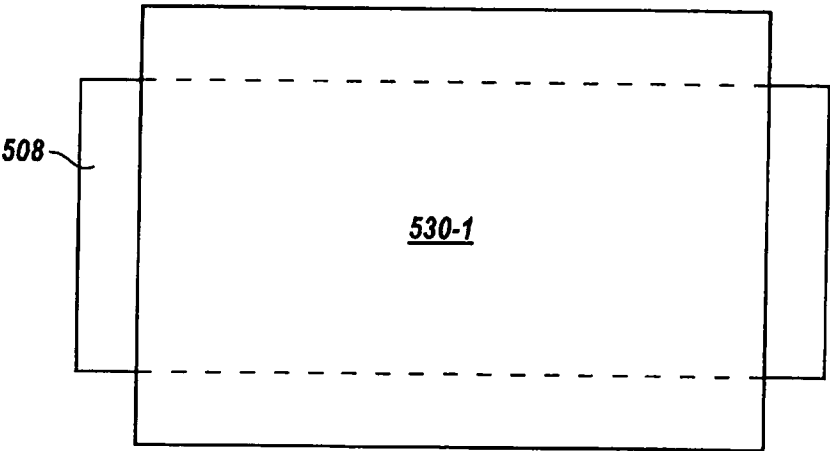


圖 5A

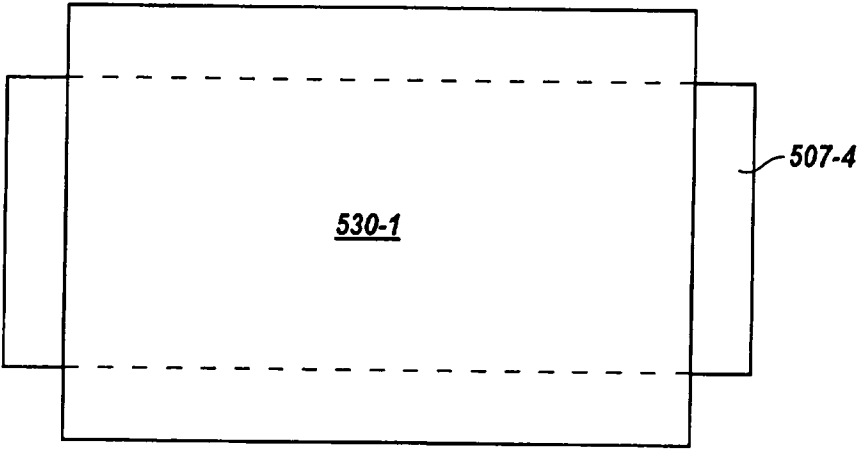


圖 5B

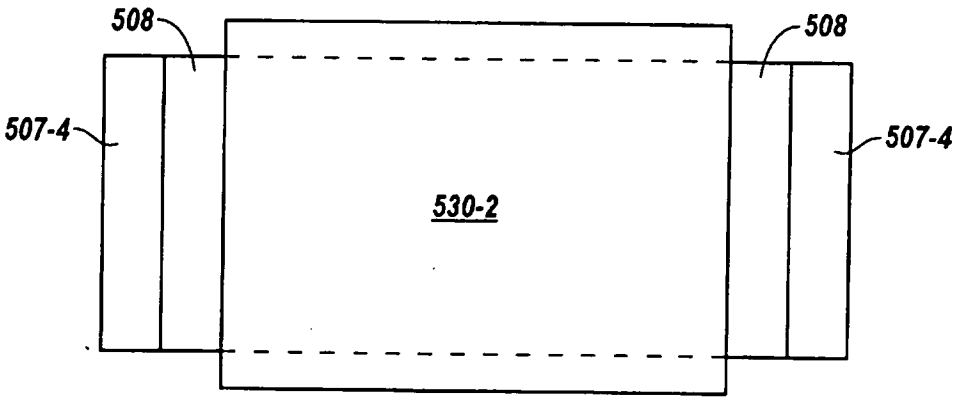


圖 5C

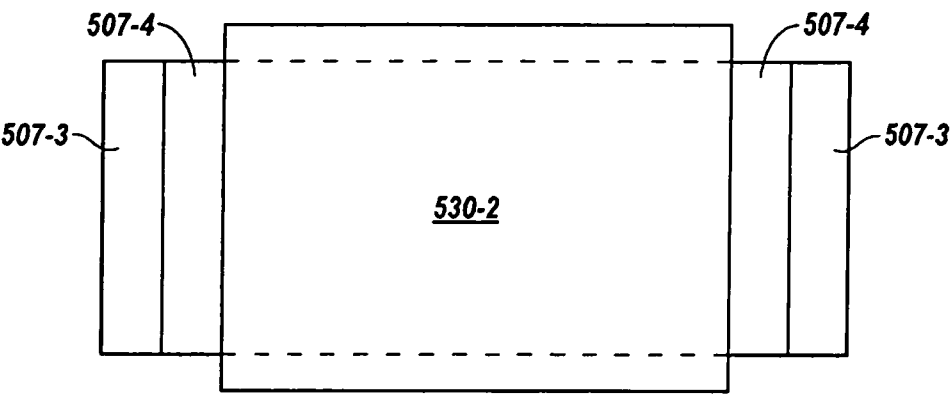


圖 5D

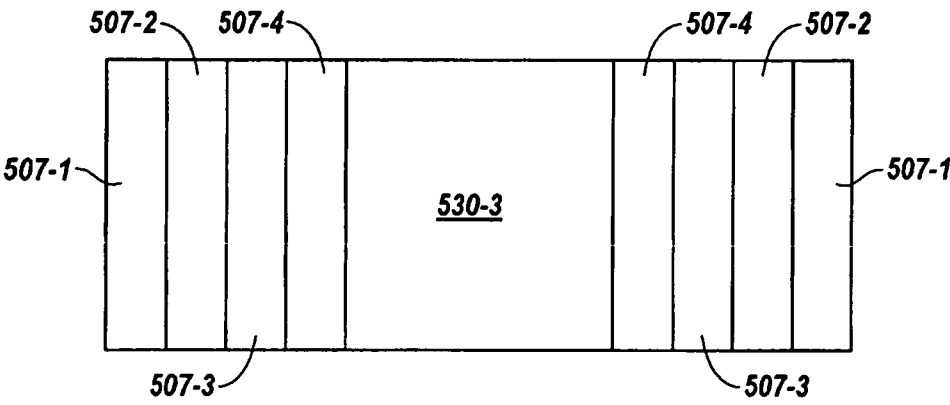


圖 5E

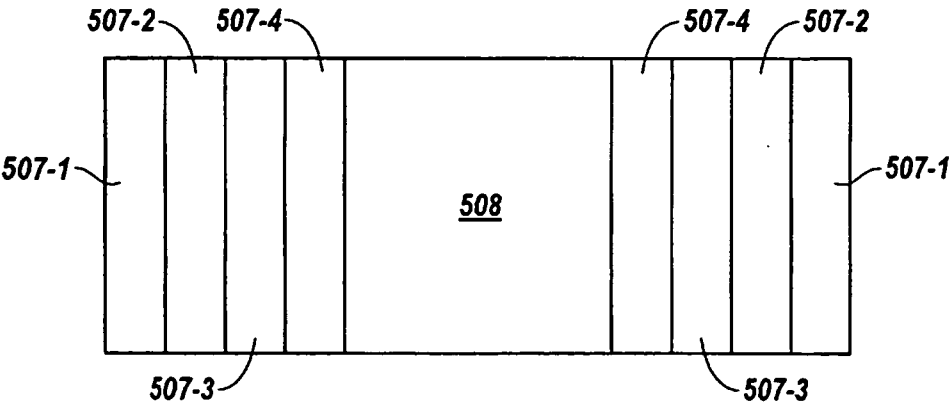


圖 5F

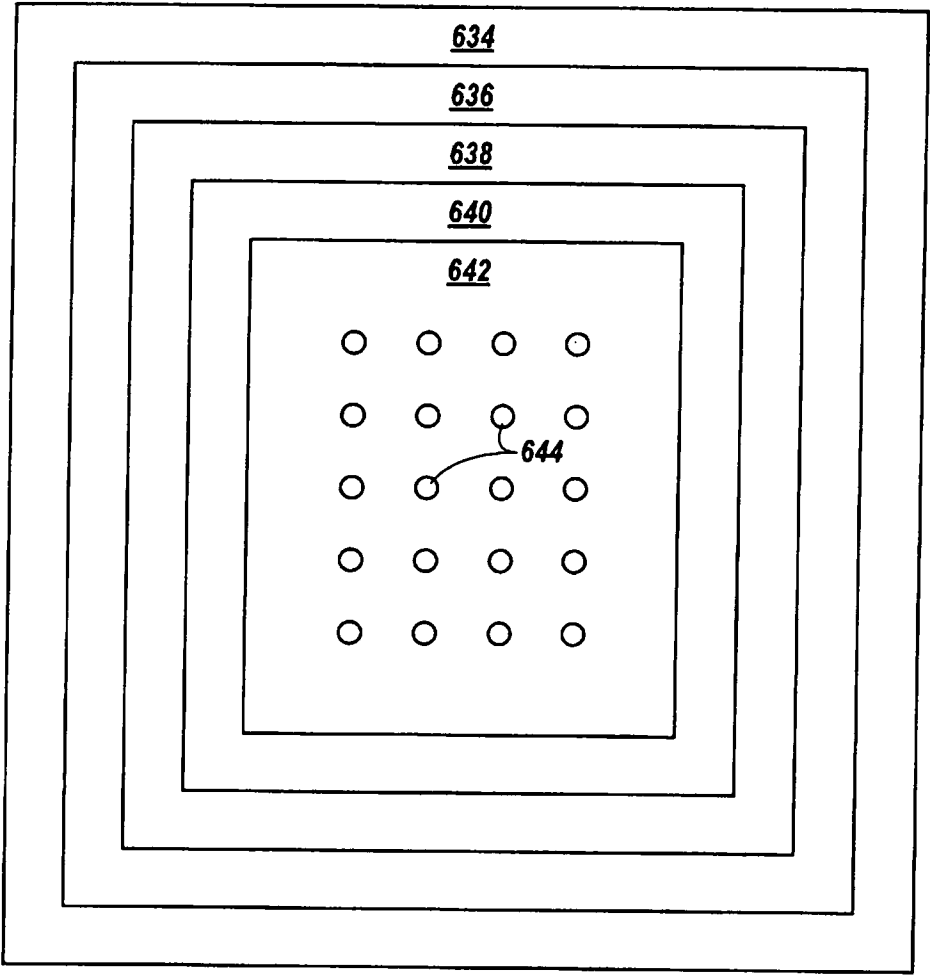


圖 6A

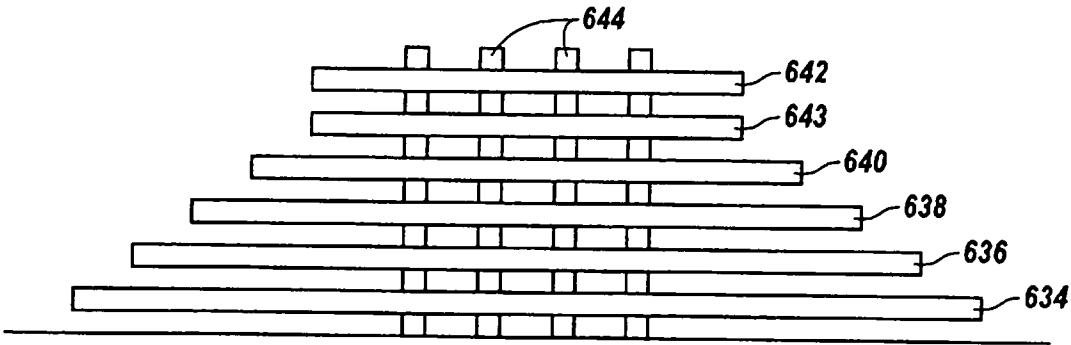
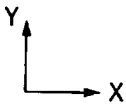


圖 6B

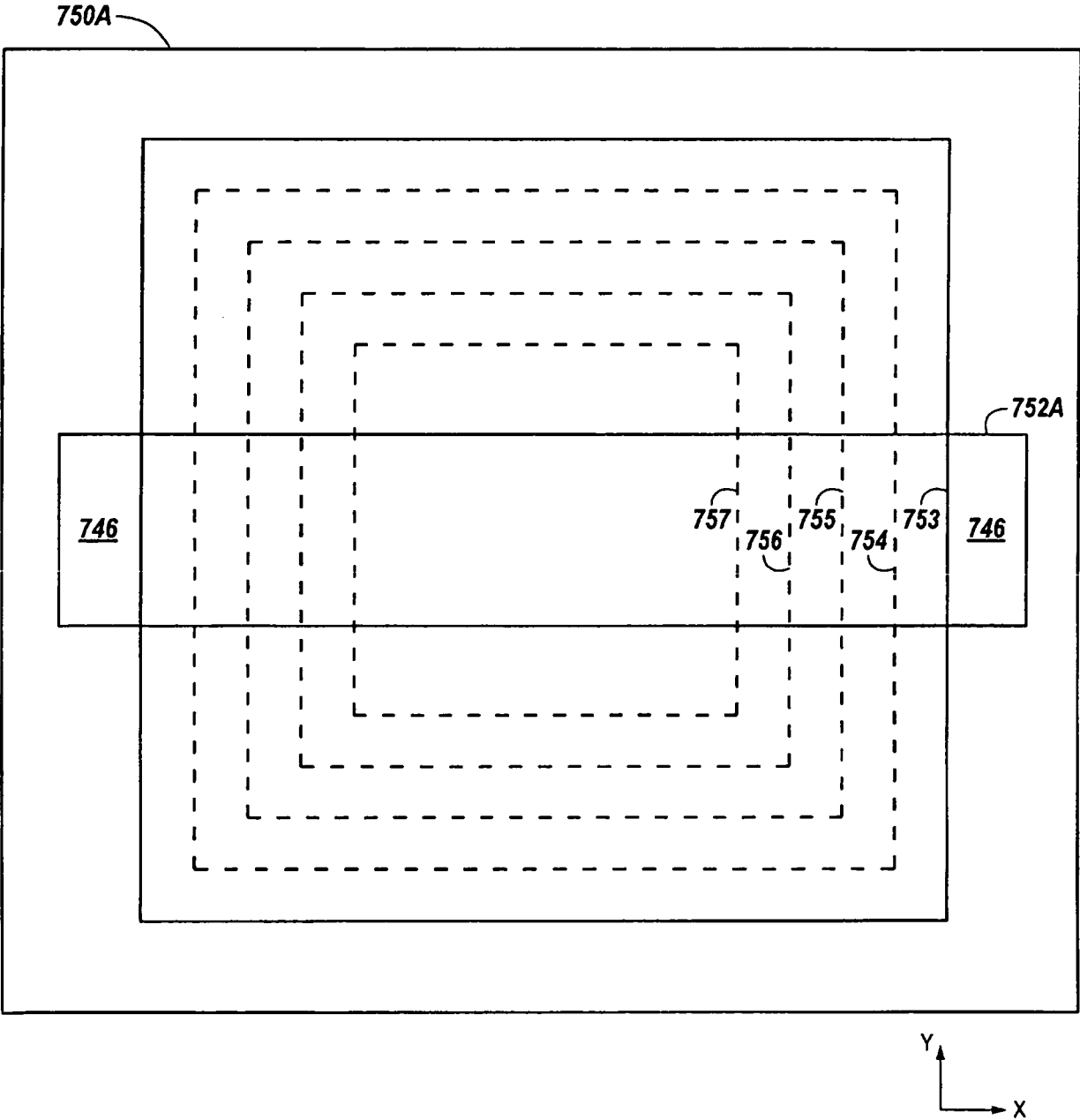


圖 7A

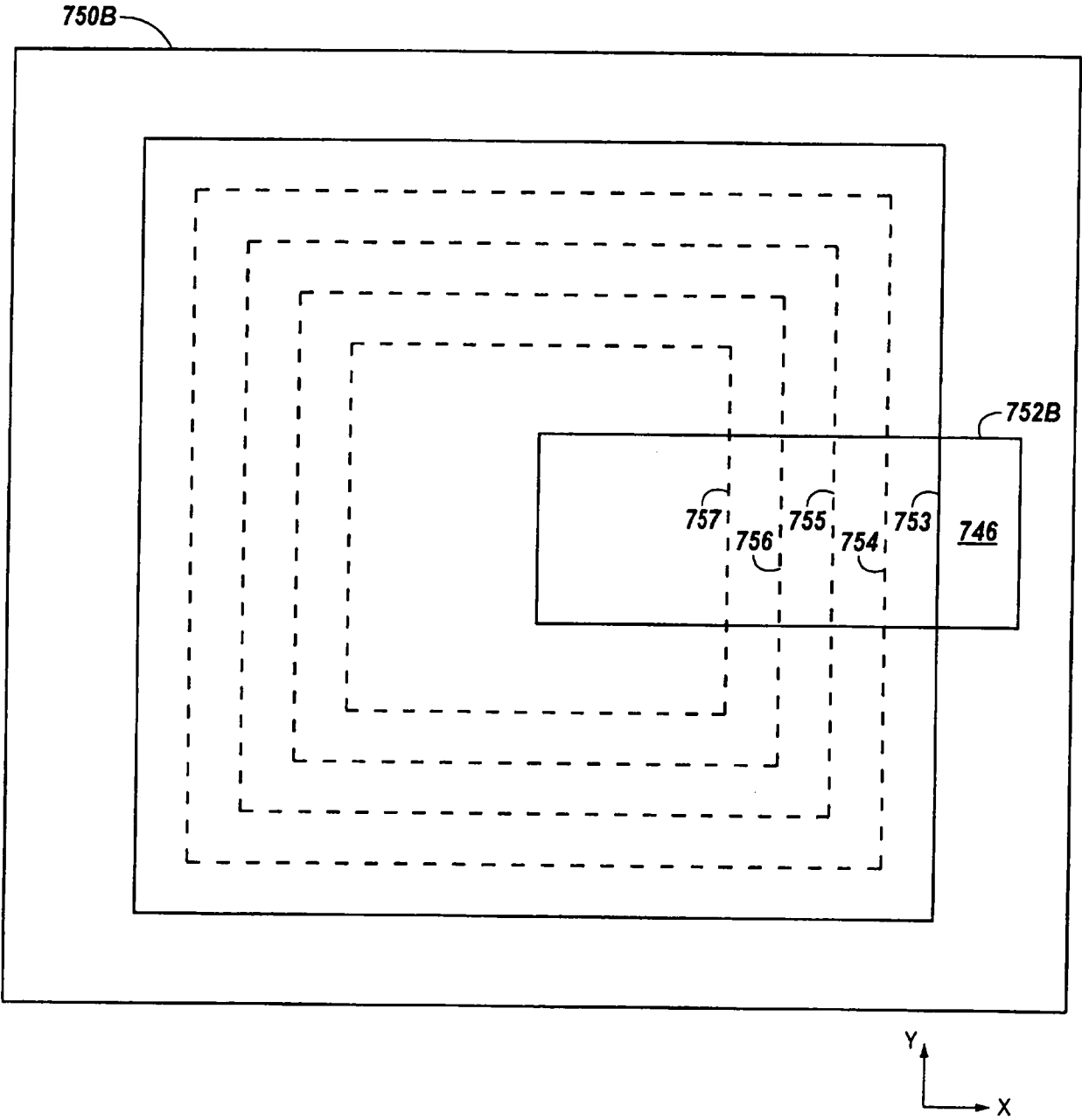


圖 7B

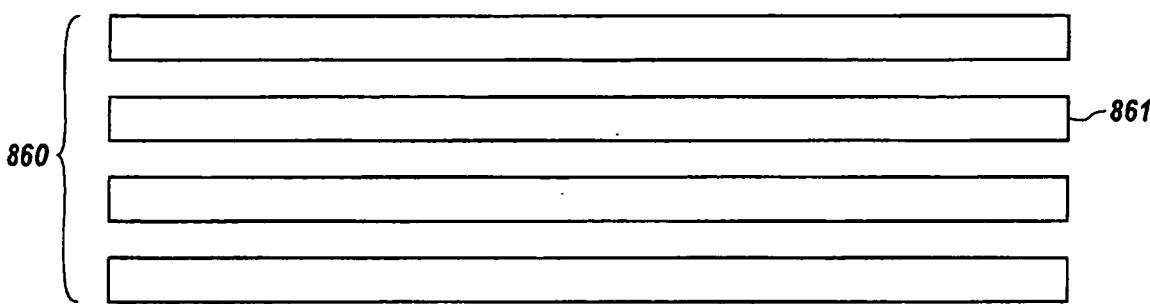


圖 8A

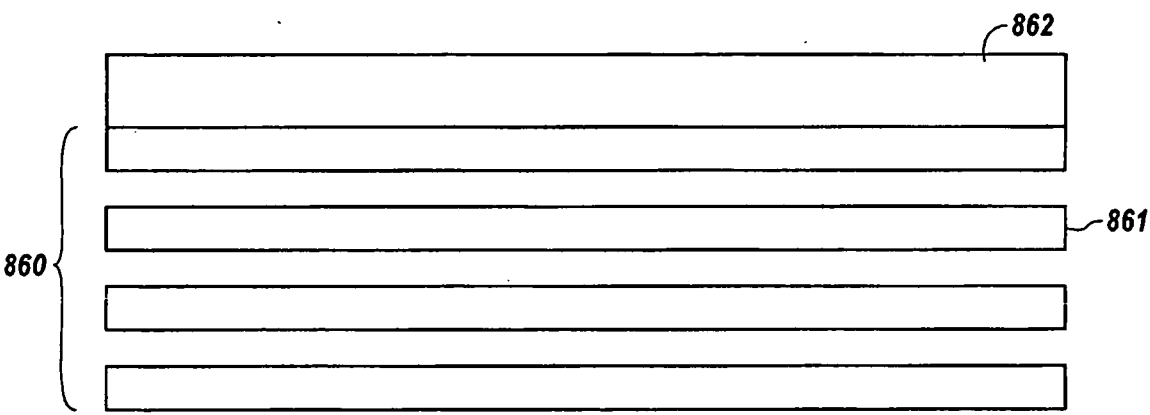


圖 8B

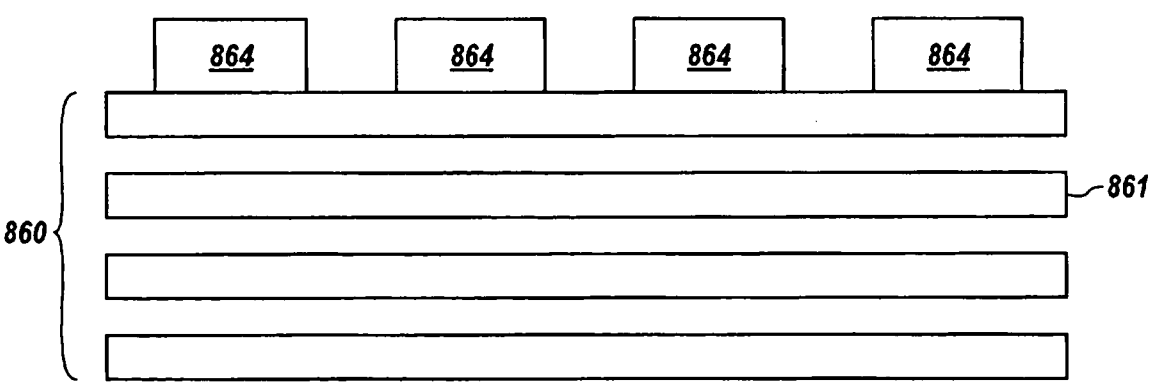


圖 8C

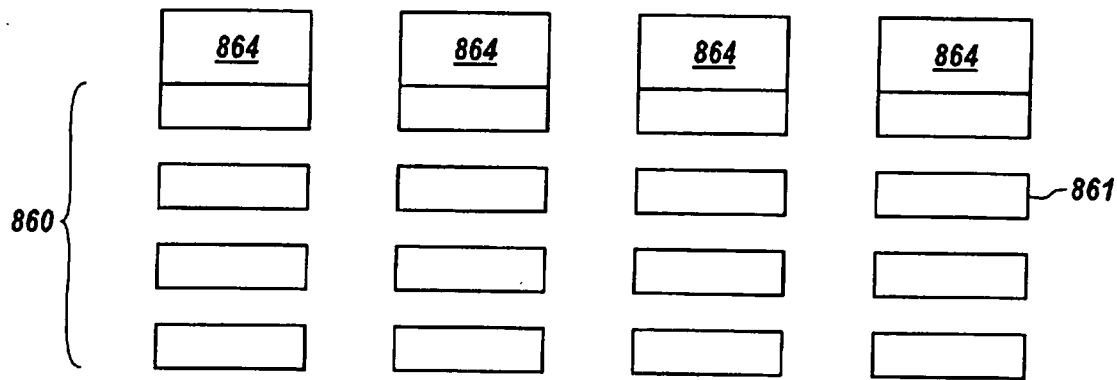


圖 8D

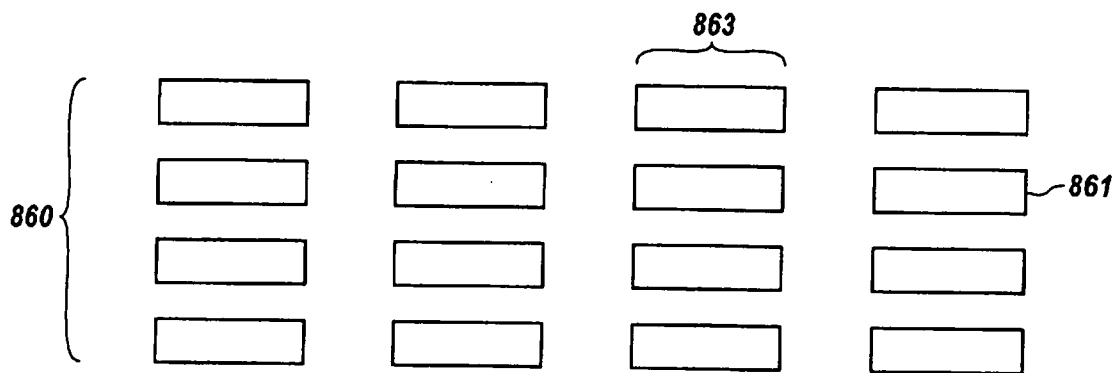


圖 8E

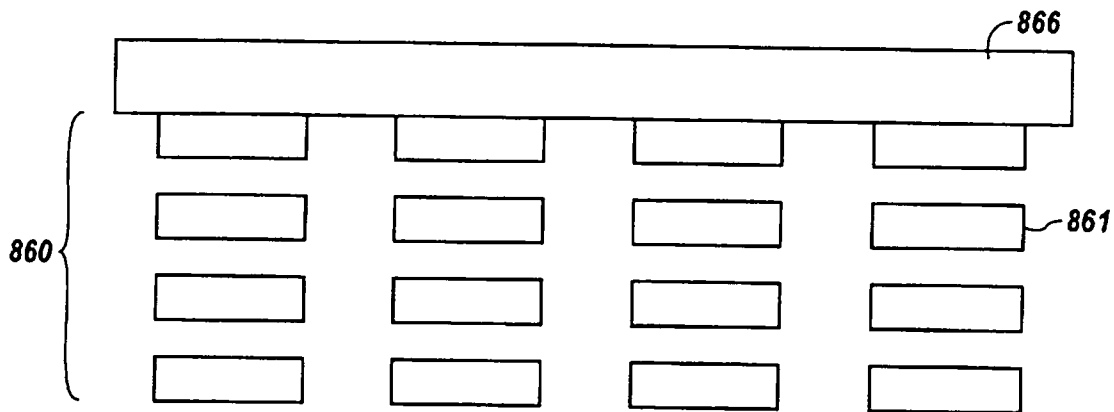


圖 8F

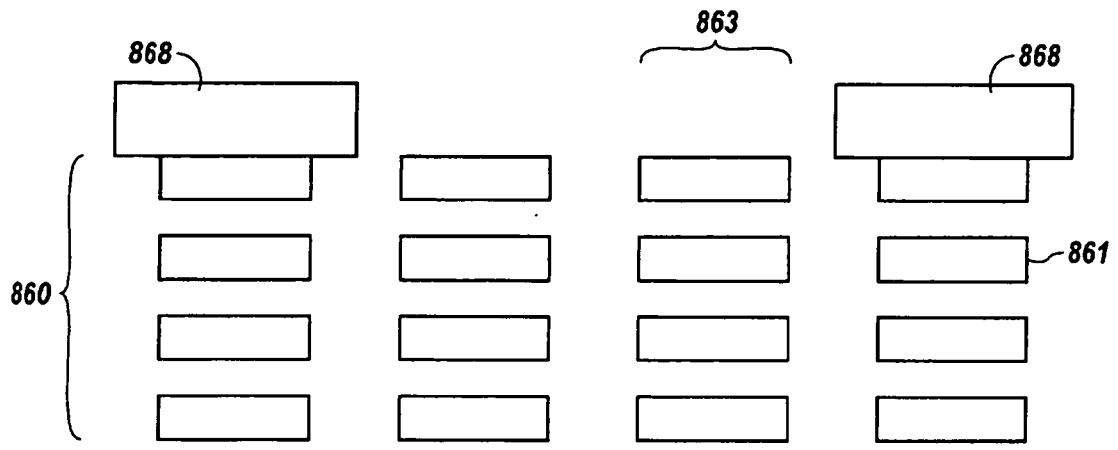


圖 8G

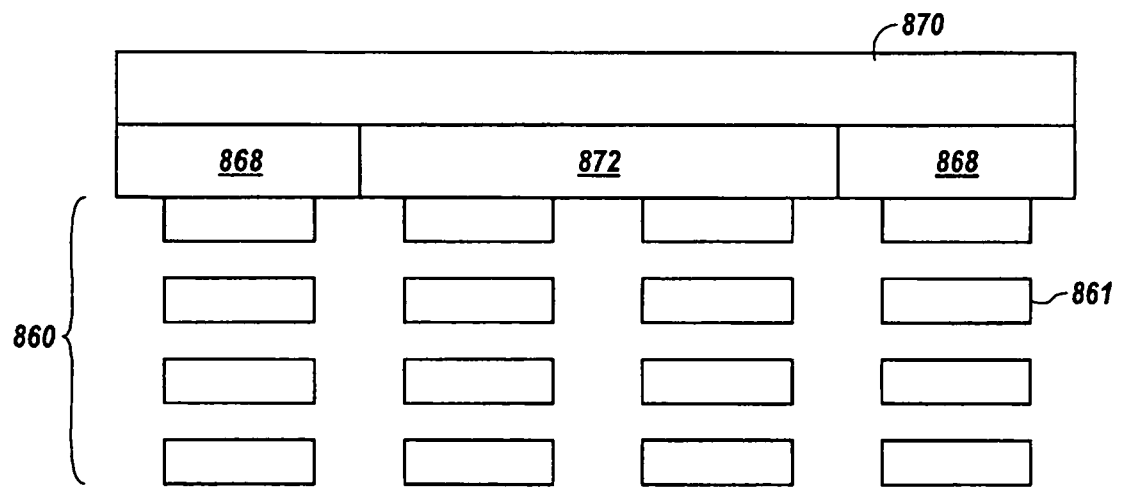


圖 8H

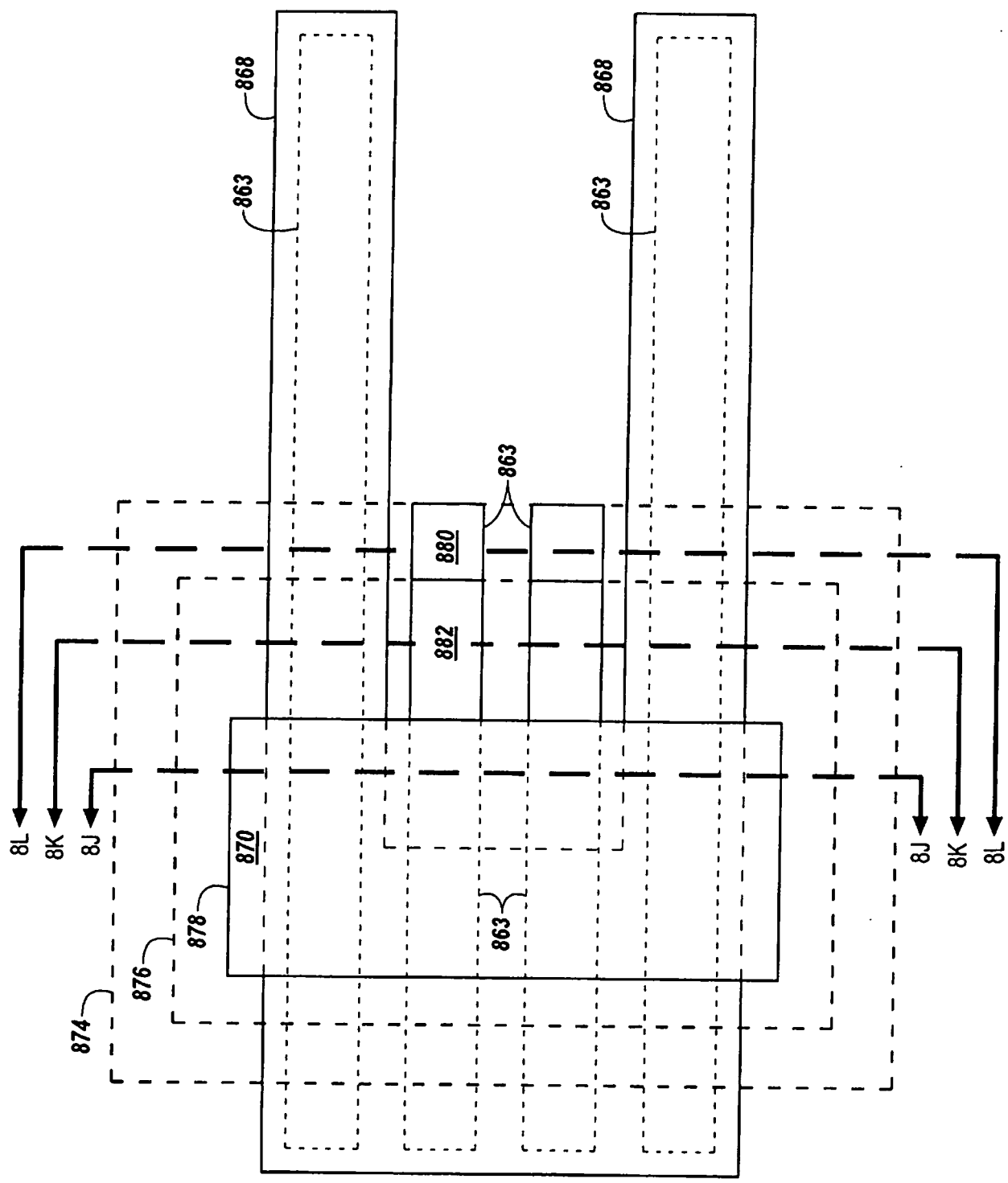


圖 8I

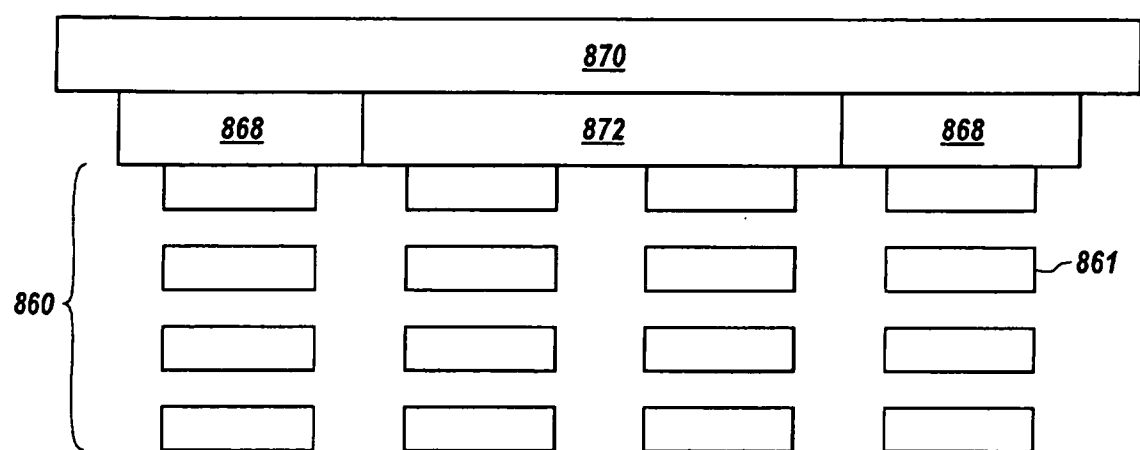


圖 8J

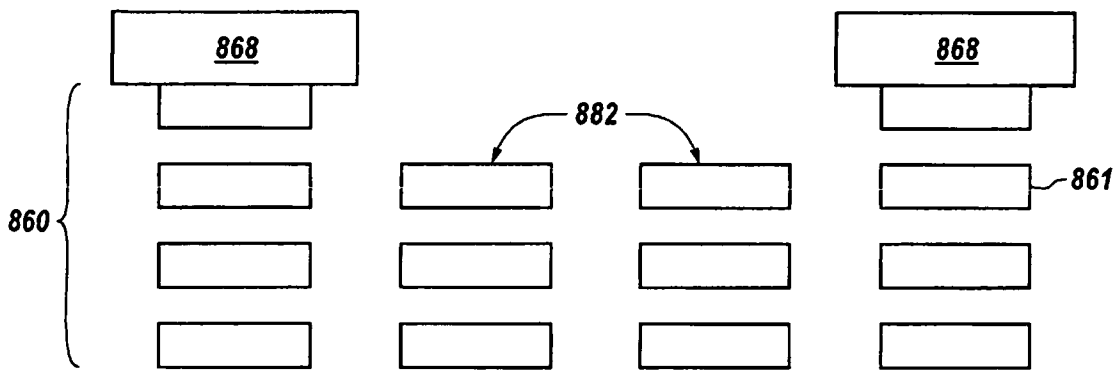


圖 8K

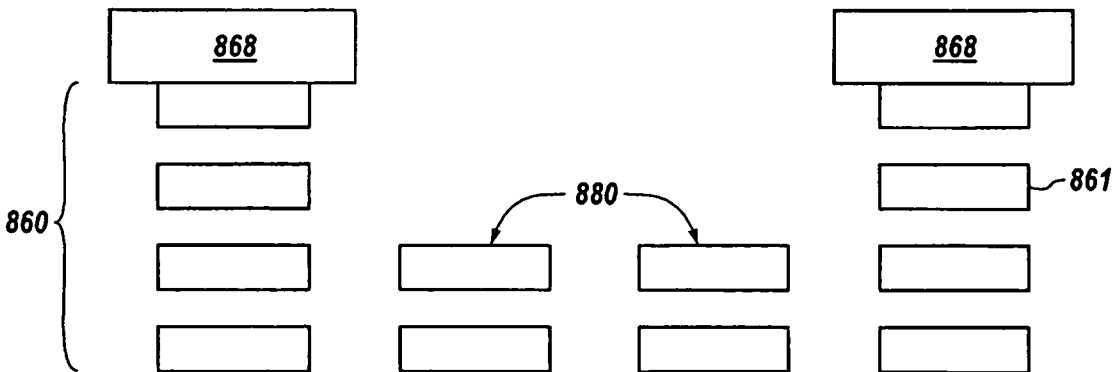


圖 8L