



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 215 869

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 13 05 81
(21) PV 3522-81

(11)(B 1)

(51) Int. Cl.³ G 06 F 7/552

(40) Zveřejněno 30 11 81
(45) Vydáno 15 07 84

(75)

Autor vynálezu

MAGYAR ANDREJ ing.,
ŘÍHA JIŘÍ, PRAHA

(54) Zapojení jednotky pro výpočet odmocniny

Výhoda zapojení jednotky podle vynálezu spočívá v tom, že používá malý objem permanentní paměti, má jednoduchou technickou realizaci, doba výpočtu odmocniny je kratší než 1 μ s a chyba výpočtu na největším rozsahu nepřekročí hodnotu 0,8 %.

Podstata zapojení jednotky pro výpočet odmocniny spočívá v tom, že výstup pro mantisu vstupního čísla vstupního registru je propojen s adresními vstupy permanentní paměti, jejíž výstup je propojen s datovými vstupy výstupního registru, výstup pro dva nejvýznamnější bity vstupního čísla vstupního registru je spojen s blokovacími vstupy řadiče, jehož zapisovací výstup pro vstupní registr je spojen se zapisovacím vstupem vstupního registru, výstup pro hodinové pulsy vstupního registru je spojen s hodinovým vstupem vstupního registru, zapisovací výstup pro výstupní registr řadiče je spojen se zapisovacím vstupem výstupního registru a výstup pro hodinové pulsy výstupního registru řadiče je spojen s hodinovým vstupem výstupního registru.

Vynález se týká zapojení jednotky pro výpočet odmocniny obsahující vstupní registr opatřený vstupem zadávaného čísla, výstupní registr opatřený výstupem pro odmocninu vstupního čísla a řadič opatřený startovacím vstupem.

Druhou odmocninu lze počítat buď programově, nebo pomocí jednoúčelových technických zapojení, a to analogových, číslicových i hybridních.

Výpočet odmocniny podle programu je prováděn u většiny mikro a mini počítačů. Nevýhodou tohoto způsobu je relativně dlouhá doba výpočtu. Naproti tomu výpočet odmocniny pomocí jednoúčelových zapojení je sice rychlejší, ale chyba výpočtu je kolem 4 až 5 %. Velkou rychlost výpočtu odmocniny by bylo možné dosáhnout uložením hodnot odmocnin do tabulky z bipolárních permanentních pamětí. Toto řešení by však vyžadovalo velký objem permanentní paměti. Například pro 16-bitové vstupní číslo a 8-bitovou odmocninu i při použití pamětí s organizací 2048x8 bitů by bylo zapotřebí 32 pouzder. V měřicích zařízeních, jakými jsou spektrální analyzátory na principu rychlé Fourierovy transformace, se amplitudové spektrum zobrazuje nejčastěji na obrazovce. V tomto případě se vystačí s přesností výpočtu odmocniny asi 1 %, avšak doba výpočtu musí být kratší než 1 us. Navíc za účelem kompaktnosti spektrálního analyzátoru je účelné, aby jednotka pro výpočet odmocniny byla součástí analyzátoru.

Výhoda zapojení jednotky podle vynálezu spočívá v tom, že používá malý objem permanentní paměti, má jednoduchou technickou realizaci, doba výpočtu odmocniny je kratší než 1 us a chyba výpočtu na největším rozsahu nepřekročí hodnotu 0,8 %.

Podstata zapojení jednotky pro výpočet odmocniny podle vynálezu spočívá v tom, že výstup pro mantisu vstupního čísla vstupního registru je propojen s adresními vstupy permanentní paměti, jejíž výstup je propojen s datovými vstupy výstupního registru, výstup pro dva nejvýznamnější bity vstupního čísla vstupního registru je spojen s blokovacími vstupy řadiče, jehož zapisovací výstup pro vstupní registr je spojen se zapisovacím vstupem vstupního registru, výstup řadiče pro hodinové pulsy vstupního registru je spojen s hodinovým vstupem vstupního registru, zapisovací výstup řadiče pro výstupní registr je spojen se zapisovacím vstupem výstupního registru a výstup řadiče pro hodinové pulsy výstupního registru je spojen s hodinovým vstupem výstupního registru.

Příklad zapojení jednotky pro výpočet odmocniny podle vynálezu je znázorněn na přípojeném výkrese, který představuje blokové schéma zapojení.

Na výkrese je vstupní registr 1 opatřený vstupem zadávaného čísla. Jeho výstup pro mantisu vstupního čísla je propojen s adresními vstupy permanentní paměti 2, jejíž výstup je propojen s datovými vstupy výstupního registru 3 opatřeného výstupem pro odmocninu vstupního čísla. Výstup pro dva nejvýznamnější bity vstupního čísla vstupního registru 1 je spojen s blokovacími vstupy řadiče 4, který je dále opatřen startovacím vstupem. Jeho zapisovací výstup pro vstupní registr je spojen se zapisovacím vstupem vstupního registru 1, výstup řadiče 4 pro hodinové pulsy vstupního registru je spojen s hodinovým vstupem vstupního registru 1, zapisovací výstup řadiče 4 pro výstupní registr je spojen se zapisovacím vstupem výstupního registru 3 a výstup řadiče 4 pro hodinové pulsy výstupního registru je spojen s hodinovým vstupem výstupního registru 3.

Základní princip činnosti jednotky pro výpočet odmocniny lze vyjádřit takto: Vstupní binární číslo v pevné řádové čáře se pomocí vstupního registru 1 a řadiče 4 převede do tvaru v pohyblivé řádové čáře s mantisou k a sudým kladným exponentem n , $x = k \cdot 2^n$. Potom se hodnota odmocniny z mantisy k přečte v tabulce z permanentních pamětí o malém objemu. Přečtené číslo se opět pomocí řadiče 4 a výstupního registru 2 převede do tvaru v pevné řádové čáře. Vstupní i výstupní čísla jsou v pevné řádové čáře a výpočet je proveden v pohyblivé řádové čáře.

Výpočet odmocniny je nastartován kladnou hranou pulsu na startovacím vstupu řadiče 4. Od této hrany je v řadiči 4 odvozen úzký zapisovací puls, kterým je zadávané číslo zapsáno do vstupního registru 1. Poté je obsah vstupního registru posouván doleva o sudý počet míst až do stavu, kdy na pozici dvou nejvýznamnějších bitů vstupujících na blokovací vstupy řadiče 4 se objeví alespoň jedna logická jednotka a posun se zablokuje. Tím je vstupní číslo převedeno do tvaru v pohyblivé řádové čáře s mantisou k a sudým kladným exponentem n . Mantisa je umístěna na nejvýznamnějších bitech vstupního registru 1 a exponent n je roven počtu hodinových pulsů prošlých hodinovým vstupem vstupního registru 1. Mantisa vstupního čísla ze vstupního registru 1 vstupuje na adresní vstupy permanentní paměti 2. Na jejím výstupu se po vybavovací době objeví odmocnina odpovídající mantise. V tomto okamžiku řadič 4 generuje zapisovací puls, který vstupuje na zapisovací vstup výstupního registru 2 a zapíše přečtenou hodnotu odmocniny na nejvýznamnější místa výstupního registru 2. Poté následuje převedení odmocniny do pevné řádové čárky. Proveďte se to posunutím čísla ve výstupním registru 2 hodinovými pulsy generovanými v řadiči 4 o poloviční počet míst doprava než ve vstupním registru 1. Odmocnina odpovídající vstupnímu číslu vystupuje výstupem pro odmocninu vstupního čísla výstupního registru 2.

Hodnota odmocniny z mantisy, uložená v permanentní paměti 2, je rovna zaokrouhlenému aritmetickému průměru hodnot odmocnin největšího, v useknuté části vpravo od mantisy jsou samé jednotky, a nejmenšího, v useknuté části vpravo od mantisy jsou samé nuly, čísla na daném rozsahu.

Pro názornost jsou uvedeny parametry zapojení, je-li vstupní číslo 16 bitové, celé výstupní číslo 12 bitové, za osmým nejvýznamnějším bitem je umístěna binární tečka, a pro dvě permanentní paměti 2 o různém objemu. Pro permanentní paměť 2 o objemu 64×8 bitů je největší chyba výpočtu odmocniny 1,6 % za dobu 900 ns. Pro permanentní paměť 2 o objemu 256×8 bitů je největší chyba 1,6 % pro jediné číslo 2 a u všech ostatních čísel je chyba pod 0,8 % za dobu 900 ns. Zvětšením objemu permanentní paměti 2 do šířky lze chybu výpočtu dále zmenšovat, avšak ne podstatně. Pokud jde o dobu výpočtu, lze ji podstatně zkrátit využijeme-li k převodu čísel z pevné řádové čárky do pohyblivé řádové čárky multiplexerů a z pohyblivé řádové čárky do pevné řádové čárky demultiplexerů. Tímto způsobem lze dosáhnout zkrácení až na 150 ns.

Zapojení jednotky pro výpočet odmocniny podle vynálezu je možno s výhodou použít ve všech číslicových systémech, kde požadujeme dobu výpočtu odmocniny kratší než $1 \mu s$ a vystačíme s chybou pod 1 %.

PŘEDMĚT VYNÁLEZU

Zapojení jednotky pro výpočet odmocniny obsahující vstupní registr opatřený vstupem zadávaného čísla, výstupní registr opatřený výstupem pro odmocninu vstupního čísla a řadič opatřený startovacím vstupem, vyznačený tím, že výstup pro mantisu vstupního čísla vstupního registru (1) je propojen s adresními vstupy permanentní paměti (2), jejíž výstup je propojen s datovými vstupy výstupního registru (3), výstup pro dva nejvýznamnější bity vstupního čísla vstupního registru (1) je spojen s blokovacím vstupem řadiče (4), jehož zapisovací výstup pro vstupní registr je spojen se zapisovacím vstupem vstupního registru (1), výstup řadiče (4) pro hodinové pulsy vstupního registru je spojen s hodinovým vstupem vstupního registru (1), zapisovací výstup řadiče (4) pro výstupní registr je spojen se zapisovacím vstupem výstupního registru (3) a výstup řadiče (4) pro hodinové pulsy výstupního registru je spojen s hodinovým vstupem výstupního registru (3).

1 výkres

