

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5966444号
(P5966444)

(45) 発行日 平成28年8月10日 (2016. 8. 10)

(24) 登録日 平成28年7月15日 (2016. 7. 15)

(51) Int. Cl.	F I		
G09G 3/34 (2006.01)	G09G	3/34	C
G09G 3/20 (2006.01)	G09G	3/20	621A
G02F 1/167 (2006.01)	G09G	3/20	621B
	G09G	3/20	621F
	G09G	3/20	670K
請求項の数 5 (全 20 頁) 最終頁に続く			

(21) 出願番号	特願2012-45581 (P2012-45581)	(73) 特許権者	000002369
(22) 出願日	平成24年3月1日 (2012. 3. 1)		セイコーエプソン株式会社
(65) 公開番号	特開2013-182115 (P2013-182115A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成25年9月12日 (2013. 9. 12)	(74) 代理人	110000752
審査請求日	平成27年2月4日 (2015. 2. 4)		特許業務法人朝日特許事務所
		(72) 発明者	山田 裕介
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	武藤 幸太
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	小野 健二
最終頁に続く			

(54) 【発明の名称】 電気光学装置の制御装置、電気光学装置の制御方法、電気光学装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の画素を含む表示部を備え、前記画素を第1階調から第2階調へ変化させる書き込み動作と、前記第2階調から前記第1階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われ、前記第1階調にする第1電圧の極性と前記第2階調にする第2電圧の極性が異なり、前記第1電圧と前記第2電圧の絶対値が同じである電気光学装置の制御装置であって、

前記画素において前記第1階調又は前記第2階調の一方の階調への書き込み動作が完了する前に当該書き込み動作を中止して他方の階調への書き込み動作を実行する場合、中止した書き込み動作における電圧の印加回数と同じ印加回数で他方の階調への書き込み動作を実行する書き込み部

を備える電気光学装置の制御装置。

【請求項2】

前記書き込み動作が終了している前記画素の階調を前記第1階調又は前記第2階調へ変化させる書き込み動作を開始してから経過したフレーム数を画素毎にカウントするカウント部を備え、

前記書き込み部は、前記一方の階調への書き込み動作が完了する前に当該書き込み動作を中止して前記他方の階調への書き込み動作を実行する場合、前記一方の階調への書き込み動作を、前記カウント部でカウントされた回数が予め定められたフレーム数となった後に中止すること

を特徴とする請求項 1 に記載の電気光学装置の制御装置。

【請求項 3】

複数の画素を含む表示部を備え、前記画素を第 1 階調から第 2 階調へ変化させる書き込み動作と、前記第 2 階調から前記第 1 階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われ、前記第 1 階調にする第 1 電圧の極性と前記第 2 階調にする第 2 電圧の極性が異なり、前記第 1 電圧と前記第 2 電圧の絶対値が同じである電気光学装置を制御する制御方法であって、

前記画素において前記第 1 階調又は前記第 2 階調の一方の階調への書き込み動作が完了する前に当該書き込み動作を中止して他方の階調への書き込み動作を実行する場合、中止した書き込み動作における電圧の印加回数と同じ印加回数で他方の階調への書き込み動作を実行すること

10

を特徴とする電気光学装置の制御方法。

【請求項 4】

複数の画素を含む表示部を備え、前記画素を第 1 階調から第 2 階調へ変化させる書き込み動作と、前記第 2 階調から前記第 1 階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われ、前記第 1 階調にする第 1 電圧の極性と前記第 2 階調にする第 2 電圧の極性が異なり、前記第 1 電圧と前記第 2 電圧の絶対値が同じである電気光学装置であって、

前記画素において前記第 1 階調又は前記第 2 階調の一方の階調への書き込み動作が完了する前に当該書き込み動作を中止して他方の階調への書き込み動作を実行する場合、中止した書き込み動作における電圧の印加回数と同じ印加回数で他方の階調への書き込み動作を実行する書き込み部

20

を備える電気光学装置。

【請求項 5】

請求項 4 に記載の電気光学装置を備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学装置の制御装置、電気光学装置の制御方法、電気光学装置及び電子機器に関する。

30

【背景技術】

【0002】

画像を表示する表示装置として、マイクロカプセルを用いた電気泳動方式の表示装置がある。この表示装置でアクティブマトリクス方式のものは、行方向へ伸びた複数の行電極と、列方向に伸びた複数の列電極との交点の各々にマイクロカプセルを駆動する駆動回路が設けられている。行電極と列電極に電圧を印加すると、駆動回路に設けられた電極と、この電極に対してマイクロカプセルを挟んで対向する電極との間に電位差が生じる。マイクロカプセルを挟んで対向する電極間に電位差が生じると、この電位差により生じた電界に応じてマイクロカプセル内の白粒子と黒粒子が移動する。各マイクロカプセル内の白粒子と黒粒子の分布が変わることにより光学的反射特性が変化し、画像が表示されることとなる。

40

【0003】

ところで、電気泳動方式の表示装置においては、アクティブマトリクス方式で表示を変更する際に画像の書き換えが複数フレームに渡って行われるものがある。しかし、画像の書き換えを複数フレームに渡って行う際に全画面で書き換えを始めてしまうと、書き込みが終了するまでの間は新たに書き込みが行えないため、画像の追記や削除を行う際には一旦画像の書き込みが終了してから次の書き込みを開始することとなり、時間がかかって操作性の観点で問題がある。

そこで、このような問題を解決するために、部分領域の単位でパイプライン処理を行うことにより書き込みを行う方式が考案されている（特許文献 1 参照）。特許文献 1 に開示

50

されている方式によれば、画面上の互いに重ならない2つの部分領域にタイミングをずらして画像を書き込む場合、先に書き込みを開始した部分領域の書き込みが完了していなくても、後から書き込みを開始する部分領域の書き込みを開始することができ、この方式を採用しない場合と比較して表示速度が向上する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-251615号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、特許文献1に開示されている方式の場合、部分領域同士が一部で重なってしまうと、結局は後から書き込みを開始する部分領域については、先に書き込みを開始した部分領域の書き込みが終了するまで書き込みを待機しなければならない、表示が完了するまでに時間が掛かることとなる。

このため、書き込みが完了する前に次の書き込みを開始することにより、表示が完了するまでの時間を短くするという方法も考えられる。しかしながら、例えば画素の階調を黒にする書き込み動作の途中で白にする書き込み動作を開始すると、画素を黒にする電圧の印加回数と画素を白にする電圧の印加回数との間に偏りが生じ、画素が早く劣化することとなる。

【0006】

本発明は、上述した事情に鑑みてなされたものであり、その目的の一つは、画素の階調変更の途中で新たに階調変更の動作を開始した場合に画素の劣化を抑えるようにすることである。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明に係る電気光学装置の制御装置は、複数の画素を含む表示部を備え、前記画素を第1階調から第2階調へ変化させる書き込み動作と、前記第2階調から前記第1階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われ、前記第1階調にする第1電圧の極性と前記第2階調にする第2電圧の極性が異なり、前記第1電圧と前記第2電圧の絶対値が同じである電気光学装置の制御装置であって、前記画素において前記第1階調又は前記第2階調の一方の階調への書き込み動作が完了する前に当該書き込み動作を中止して他方の階調への書き込み動作を実行する場合、中止した書き込み動作における電圧の印加回数と同じ印加回数で他方の階調への書き込み動作を実行する書き込み部を備える。

この構成によれば、画素の階調を第1階調又は第2階調の一方の階調への書き込み動作が完了する前に、他方の階調へ変更する場合、中止する一方の階調への書き込み動作における電圧印加回数と同じ印加回数で他方の階調への書き込み動作が実行される。第1階調にする場合と第2階調にする場合とで印加する電圧の極性が異なるが、印加する電圧の回数が同じとなるため、第1階調にする電圧の印加回数と第2階調にする電圧の印加回数との間の偏りが少なく、画素の劣化が抑えられる。

【0008】

前記制御装置においては、前記書き込み動作が終了している前記画素の階調を前記第1階調又は前記第2階調へ変化させる書き込み動作を開始してから経過したフレーム数を画素毎にカウントするカウント部を備え、前記書き込み部は、前記一方の階調への書き込み動作が完了する前に当該書き込み動作を中止して前記他方の階調への書き込み動作を実行する場合、前記一方の階調への書き込み動作を、前記カウント部でカウントされた回数が予め定められたフレーム数となった後に中止する構成としてもよい。

この構成によれば、予め定められたフレーム数となるまでは、他方の階調への書き込み動作が実行されないため、一方の階調へ変更する書き込み動作の途中で他方の階調へ変更

10

20

30

40

50

する書き込み動作を開始した場合、書き込み動作中において画素の階調の変化が認識されるため、動きのある画像において、画像の移動の軌跡を認識することができる。

【0009】

また上記目的を達成するために本発明に係る電気光学装置の制御方法は、複数の画素を含む表示部を備え、前記画素を第1階調から第2階調へ変化させる書き込み動作と、前記第2階調から前記第1階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われ、前記第1階調にする第1電圧の極性と前記第2階調にする第2電圧の極性が異なり、前記第1電圧と前記第2電圧の絶対値が同じである電気光学装置を制御する制御方法であって、前記画素において前記第1階調又は前記第2階調の一方の階調への書き込み動作が完了する前に当該書き込み動作を中止して他方の階調への書き込み動作を実行する場合、中止した書き込み動作における電圧の印加回数と同じ印加回数で他方の階調への書き込み動作を実行することを特徴とする。

10

この構成によれば、画素の階調を第1階調又は第2階調の一方の階調への書き込み動作が完了する前に、他方の階調へ変更する場合、中止する一方の階調への書き込み動作における電圧印加回数と同じ印加回数で他方の階調への書き込み動作が実行される。第1階調にする場合と第2階調にする場合とで印加する電圧の極性が異なるが、印加する電圧の回数が同じとなるため、第1階調にする電圧の印加回数と第2階調にする電圧の印加回数との間の偏りが少なく、画素の劣化が抑えられる。

【0010】

また上記目的を達成するために本発明に係る電気光学装置は、複数の画素を含む表示部を備え、前記画素を第1階調から第2階調へ変化させる書き込み動作と、前記第2階調から前記第1階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われ、前記第1階調にする第1電圧の極性と前記第2階調にする第2電圧の極性が異なり、前記第1電圧と前記第2電圧の絶対値が同じである電気光学装置であって、前記画素において前記第1階調又は前記第2階調の一方の階調への書き込み動作が完了する前に当該書き込み動作を中止して他方の階調への書き込み動作を実行する場合、中止した書き込み動作における電圧の印加回数と同じ印加回数で他方の階調への書き込み動作を実行する書き込み部を備える。

20

この構成によれば、画素の階調を第1階調又は第2階調の一方の階調への書き込み動作が完了する前に、他方の階調へ変更する場合、中止する一方の階調への書き込み動作における電圧印加回数と同じ印加回数で他方の階調への書き込み動作が実行される。第1階調にする場合と第2階調にする場合とで印加する電圧の極性が異なるが、印加する電圧の回数が同じとなるため、第1階調にする電圧の印加回数と第2階調にする電圧の印加回数との間の偏りが少なく、画素の劣化が抑えられる。

30

【0011】

なお、本発明は、電気光学装置のみならず、当該電気光学装置を有する電子機器としても概念することが可能である。

【図面の簡単な説明】

【0012】

【図1】第1実施形態の表示装置1000と電気光学装置1のハードウェア構成を示した図。

40

【図2】表示領域100の断面を示した図。

【図3】画素110の等価回路を示した図。

【図4】記憶領域の構成を説明するための図。

【図5】コントローラ5で実現する機能の構成を示したブロック図。

【図6】コントローラ5が行う処理の流れを示したフローチャート。

【図7】コントローラ5が行う処理の流れを示したフローチャート。

【図8】コントローラ5が行う処理の流れを示したフローチャート。

【図9】第1実施形態の動作を説明するための図。

【図10】第2実施形態のRAM4の構成を示した図。

50

- 【図 1 1】カウンター記憶領域 B と予定画像記憶領域 E の構成を説明するための図。
 【図 1 2】第 2 実施形態のコントローラ 5 で実現する機能の構成を示したブロック図。
 【図 1 3】第 2 実施形態のコントローラ 5 が行う処理の流れを示したフローチャート。
 【図 1 4】第 2 実施形態のコントローラ 5 が行う処理の流れを示したフローチャート。
 【図 1 5】第 2 実施形態の動作を説明するための図。
 【図 1 6】電子ブックリーダー 2000 の外観図。

【発明を実施するための形態】

【0013】

[第 1 実施形態]

(第 1 実施形態の構成)

図 1 は、本発明の一実施形態に係る表示装置 1000 のハードウェア構成を示したブロック図である。表示装置 1000 は、画像を表示する装置であり、電気泳動方式の電気光学装置 1、制御部 2、V R A M (Video Random Access Memory) 3 及び記憶部の一例である R A M 4 を備えている。また、電気光学装置 1 は、表示部 10 とコントローラ 5 を備えている。

【0014】

制御部 2 は、C P U (Central Processing Unit)、R O M (Read Only Memory)、R A M 等を備えたマイクロコンピュータであり、表示装置 1000 の各部を制御する。また、制御部 2 は、V R A M 3 にアクセスし、表示領域 100 に表示させる画像を示す画像データを V R A M 3 に書き込む。

コントローラ 5 は、表示部 10 の表示領域 100 に画像を表示させるための各種信号を表示部 10 の走査線駆動回路 130 とデータ線駆動回路 140 に供給するものである。コントローラ 5 は、電気光学装置 1 の制御装置に相当する。なお、制御部 2 とコントローラ 5 を合わせた部分を電気光学装置 1 の制御装置と定義することもできる。あるいは、制御部 2、コントローラ 5、V R A M 3 および R A M 4 の全体を、電気光学装置 1 の制御装置と定義することもできる。

【0015】

V R A M 3 は、制御部 2 により書き込まれた画像データを記憶するメモリーである。V R A M 3 は、後述する m 行 × n 列で配列された画素 110 毎に記憶領域 (バッファ) を有している。画像データは、各画素 110 の階調を表す画素データを含んでおり、一の画素 110 の階調を表す画素データは、V R A M 3 において当該画素 110 に対応した一の記憶領域に記憶される。V R A M 3 に書き込まれた画素データは、コントローラ 5 により読み出される。

R A M 4 は、表示領域 100 に画像を表示させるために用いられる各種データを記憶する。R A M 4 には、階調値記憶領域 C が設けられている。R A M 4 に設けられている記憶領域の詳細については後述する。

【0016】

表示領域 100 では、複数の走査線 112 が図において行 (X) 方向に沿って設けられ、複数のデータ線 114 が、列 (Y) 方向に沿って、かつ、各走査線 112 と互いに電氣的に絶縁を保つように設けられている。そして、画素 110 が各走査線 112 と各データ線 114 との交差に対応して、それぞれ設けられている。便宜的に走査線 112 の行数を「m」とし、データ線 114 の列数を「n」としたとき、画素 110 は、縦 m 行 × 横 n 列でマトリクス状に配列して表示領域 100 を構成することになる。

【0017】

図 2 は、表示領域 100 の断面を示した図である。表示領域 100 は、図 2 に示したように大別して第 1 基板 101、電気泳動層 102 および第 2 基板 103 によって構成されている。第 1 基板 101 は、絶縁性及び可撓性を有する基板 101 a 上に回路の層が形成された基板である。基板 101 a は、本実施形態においてはポリカーボネートで形成されている。なお、基板 101 a としては、ポリカーボネートに限定されることなく、軽量性、可撓性、弾性及び絶縁性を有する樹脂材料を用いることができる。また、基板 101 a

10

20

30

40

50

は、可撓性を持たないガラスで形成されていてもよい。基板 101a の表面には、接着層 101b が設けられ、接着層 101b の表面には回路層 101c が積層されている。

回路層 101c は、行方向に配列された複数の走査線 112 と、列方向に配列された複数のデータ線 114 を有している。また、回路層 101c は、走査線 112 とデータ線 114 との交差のそれぞれに対応して、画素電極 101d を有している。

【0018】

電気泳動層 102 は、バインダー 102b と、バインダー 102b によって固定された複数のマイクロカプセル 102a で構成されており、画素電極 101d 上に形成されている。なお、マイクロカプセル 102a と画素電極 101d との間には、接着剤により形成された接着層を設けてもよい。

10

【0019】

バインダー 102b としては、マイクロカプセル 102a との親和性が良好で電極との密着性が優れ、且つ絶縁性を有するものであれば特に制限はない。マイクロカプセル 102a 内には、分散媒と電気泳動粒子が格納されている。マイクロカプセル 102a を構成する材料としては、アラビアゴム・ゼラチン系の化合物やウレタン系の化合物等の柔軟性を有するものを用いるのが好ましい。

【0020】

分散媒としては、水、アルコール系溶媒（メタノール、エタノール、イソプロパノール、ブタノール、オクタノール、メチルセルソルブなど）、エステル類（酢酸エチル、酢酸ブチルなど）、ケトン類（アセトン、メチルエチルケトン、メチルイソブチルケトンなど）、脂肪族炭化水素（ペンタン、ヘキサン、オクタンなど）、脂環式炭化水素（シクロヘキサン、メチルシクロヘキサンなど）、芳香族炭化水素（ベンゼン、トルエン、長鎖アルキル基を有するベンゼン類（キシレン、ヘキシルベンゼン、ヘプチルベンゼン、オクチルベンゼン、ノニルベンゼン、デシルベンゼン、ウンデシルベンゼン、ドデシルベンゼン、トリデシルベンゼン、テトラデシルベンゼンなど）、ハロゲン化炭化水素（塩化メチレン、クロロホルム、四塩化炭素、1,2-ジクロロエタンなど）、カルボン酸塩などのいずれかを用いることができ、また、分散媒は、その他の油類であってもよい。また、これらの物質は単独又は混合して分散媒に用いることができ、さらに界面活性剤などを配合して分散媒としてもよい。

20

【0021】

電気泳動粒子は、分散媒中で電界によって移動する性質を有する粒子（高分子あるいはコロイド）である。本実施形態においては白の電気泳動粒子と黒の電気泳動粒子がマイクロカプセル 102a 内に格納されている。黒の電気泳動粒子は、例えば、アニリンブラックやカーボンブラック等の黒色顔料からなる粒子であり、本実施形態では正に帯電されている。白の電気泳動粒子は、例えば、二酸化チタンや酸化アルミニウム等の白色顔料からなる粒子であり、本実施形態では負に帯電されている。

30

【0022】

第2基板 103 は、フィルム 103a と、フィルム 103a の下面に形成された透明な共通電極層 103b（第2電極）で構成されている。フィルム 103a は、電気泳動層 102 の封止及び保護の役割を担うものであり、例えばポリエチレンテレフタレート（PET）のフィルムである。フィルム 103a は、透明で絶縁性を有している。共通電極層 103b は、例えば、酸化インジウム膜（ITO膜）などの透明な導電膜で構成されている。

40

【0023】

図3は、画素 110 の等価回路を示した図である。なお、本実施形態では、各走査線 112 を区別するために、図1に示した走査線 112 を上から順に 1、2、3、・・・、(m-1)、m 行目という呼び方をする場合がある。また同様に、各データ線 114 を区別するために、図1に示したデータ線 114 を左から順に 1、2、3、・・・、(n-1)、n 列目という呼び方をする場合がある。

図3においては、i 行目の走査線 112 と j 列目のデータ線 114 との交差に対応した画素 110 の等価回路を示している。他のデータ線 114 と走査線 112 との交差に対応

50

した画素 110 も構成は図に示した構成と同じであるため、ここでは、代表して i 行目のデータ線 114 と j 列目の走査線 112 との交差に対応した画素 110 の等価回路について説明し、他の画素 110 の等価回路については説明を省略する。

【0024】

図 3 に示したように、各画素 110 は、n チャンネル型の薄膜トランジスタ (thin film transistor: 以下単に「TFT」と略称する) 110a と、表示素子 110b と、補助容量 110c とを有する。画素 110 において、TFT 110a のゲート電極は i 行目の走査線 112 に接続される一方、そのソース電極は j 列目のデータ線 114 に接続され、そのドレイン電極は、表示素子 110b の一端である画素電極 101d と補助容量 110c の一端とにそれぞれ接続されている。補助容量 110c は、回路層 101c に形成された一対の電極によって誘電体層を挟持した構成である。補助容量 110c の他端の電極は、各画素にわたって共通の電圧にされている。画素電極 101d は、共通電極層 103b と対向し、画素電極 101d と共通電極層 103b との間にはマイクロカプセル 102a を含む電気泳動層 102 が挟まれている。このため、表示素子 110b は、等価回路で見たときに、画素電極 101d と共通電極層 103b とで、電気泳動層 102 を挟持した容量になる。そして、表示素子 110b は、両電極間の電圧を保持 (記憶) するとともに、この保持した電圧によって生じる電界方向にしたがって表示を行うことになる。なお、本実施形態においては、図示省略した外部回路によって、各画素 110 の補助容量 110c の他端の電極と、共通電極層 103b の電圧は、共通の電圧 V_{com} が印加される。

【0025】

図 1 に戻り、走査線駆動回路 130 は、表示領域 100 の各走査線 112 と接続されている。走査線駆動回路 130 は、コントローラ 5 による制御にしたがって、走査線 112 を 1、2、・・・、m 行目という順番で選択し、選択した走査線 112 に対してハイ (High) レベルの信号を供給し、選択されていない他の走査線 112 に対しロー (Low) レベルの信号を供給するものである。

データ線駆動回路 140 は、表示領域の各データ線 114 と接続されており、選択された走査線 112 に接続されている画素 110 の 1 行分の表示内容に応じて各列のデータ線 114 にデータ信号をそれぞれ供給するものである。

【0026】

走査線駆動回路 130 が 1 行目の走査線 112 を選択してから m 行目の走査線 112 の選択が終了するまでの期間 (以下、「フレーム期間」又は単に「フレーム」と称する) において各走査線 112 は一回ずつ選択され、各画素 110 には 1 フレームに一回ずつデータ信号が供給される。

走査線 112 がハイレベルとなると、当該走査線 112 にゲートが接続された TFT 110a がオン状態になり、画素電極 101d がデータ線 114 に接続される。走査線 112 がハイレベルであるときにデータ線 114 にデータ信号を供給すると、当該データ信号は、オン状態になった TFT 110a を介して画素電極 101d に印加される。走査線 112 がローレベルになると、TFT 110a はオフ状態になるが、データ信号によって画素電極 101d に印加された電圧は、補助容量 110c に蓄積され、画素電極 101d の電位及び共通電極層 103b の電位との電位差 (電圧) に応じて電気泳動粒子が移動する。

【0027】

例えば、共通電極層 103b の電圧 V_{com} に対して画素電極 101d の電圧が +1.5 V (第 2 電圧) である場合、負に帯電している白の電気泳動粒子が画素電極 101d 側に移動し、正に帯電している黒の電気泳動粒子が共通電極層 103b 側に移動して画素 110 は黒の表示となる。また、共通電極層 103b の電圧 V_{com} に対して画素電極 101d の電圧が -1.5 V (第 1 電圧) である場合、正に帯電している黒の電気泳動粒子が画素電極 101d 側に移動し、負に帯電している白の電気泳動粒子が共通電極層 103b 側に移動して画素 110 は白の表示となる。なお、画素電極 101d の電圧は、上述した電圧に限定されるものではなく、共通電極層 103b の電圧 V_{com} に対してプラスの電圧ま

10

20

30

40

50

たはマイナスの電圧であれば、上述した + 1.5 V や - 1.5 V 以外の電圧であってもよい。

【0028】

本実施形態においては、各画素 110 の表示状態を第 1 階調である白（低階調）から第 2 階調である黒（高階調）又は黒から白へ変化させる際には、1 フレームだけ画素 110 へデータ信号を供給して表示状態を変化させるのではなく、複数フレームに渡って画素 110 へデータ信号を供給する書き込み動作により表示状態を変化させる。これは、表示状態を白から黒へ変化させるに際し、1 フレームだけ電気泳動粒子に電位差を与えても黒の電気泳動粒子が完全には表示側に移動しきらず、表示状態が完全な黒とはならないためである。このことは、表示状態を黒から白へ変化させる場合の白の電気泳動粒子についても同様である。よって、例えば、画素 110 の表示状態を白から黒へ変化させる場合、画素 110 に黒を表示させるためのデータ信号が複数フレームに渡って画素 110 へ供給され、画素 110 の表示状態を黒から白へ変化させる場合には、画素に白を表示させるためのデータ信号が複数フレームに渡って画素 110 へ供給される。本明細書において「書き込み動作」とは、画素の表示状態を所望の階調表示状態とするために行われる画素へのデータ信号の供給シーケンス、又はこれに基づいて行われる共通電極層 103b、画素電極 101d 間への電圧印加シーケンスを言う。

10

【0029】

また本実施形態においては、1 フレーム内である画素 110 の画素電極 101d を共通電極層 103b に対して電位が高くなる正極とし、同じフレーム内で他の画素 110 の画素電極 101d を共通電極層 103b に対して電位が低くなる負極とすることができる。つまり、1 フレーム内で共通電極層 103b に対して正極と負極の両方の極を選択できる駆動（以下、両極駆動という）となっている。より詳しくは、1 フレーム内において、階調を高階調側（第 2 階調側）に変更する画素 110 の画素電極 101d は正極とし、階調を低階調側（第 1 階調側）に変更する画素 110 の画素電極 101d は負極とする。なお、黒の電気泳動粒子が負に帯電し、白の電気泳動粒子が正に帯電している場合には、階調を高階調側（第 2 階調側）に変更する画素 110 の画素電極 101d は負極とし、階調を低階調側（第 1 階調側）に変更する画素 110 の画素電極 101d は正極とすればよい。

20

【0030】

次に RAM 4 に設けられる各記憶領域について説明する。図 4 は、表示領域 100 の画素 110 の一部と、これらの画素 110 に対応する各記憶領域を示した図である。各記憶領域は、m 行 × n 列の画素 110 の各々に対応した記憶領域を備えている。

30

図 4 の (a) は、画素 110 の配列を示した図である。画素 $P(i, j)$ は、i 行 j 列目にある一つの画素 110 を表している。添字の i は、行列に配置された画素 110 の行番号を表し、添字の j は、列番号を表している。

図 4 の (b) は、VRAM 3 において、図 4 の (a) に示した画素の各々に対応したバッファを示した図である。例えば、バッファ $A(i, j)$ は、画素 $P(i, j)$ に対応した記憶領域である。バッファ $A(i, j)$ には、画素 $P(i, j)$ の階調を示す画素データが格納される。なお、画素を黒にする場合には値が「0」である画素データが書き込まれ、画素を白にする場合には値が「5」である画素データが書き込まれる。

図 4 の (c) は、階調値記憶領域 C において、図 4 の (a) に示した画素の各々に対応した記憶領域を示した図である。例えば、階調値記憶領域 $C(i, j)$ は画素 $P(i, j)$ に対応した記憶領域である。階調値記憶領域 $C(i, j)$ には、電圧が印加されたことにより変化した画素 $P(i, j)$ の階調を示す値が格納される。

40

【0031】

次に、コントローラ 5 の構成について説明する。図 5 は、コントローラ 5 において実現する機能を示したブロック図である。コントローラ 5 においては、書き込み部 502 が実現する。なお、コントローラ 5 において実現するブロックは、ハードウェアにより実現されてもよく、コントローラ 5 に CPU を設け、この CPU でプログラムを実行することにより実現されるようにしてもよい。

【0032】

50

書き込み部 502 は、画素の階調を白又は黒へ変化させる書き込み動作を行うブロックである。書き込み部 502 は、走査線駆動回路 130 とデータ線駆動回路 140 を制御し、画素を白から黒へ変化させる電圧又は画素を黒から白へ変化させる電圧を複数フレームに渡って画素へ印加することにより、画素の階調を白又は黒へ変化させる。なお、書き込み部 502 は、画素において白又は黒の一方の階調への書き込み動作が完了する前に当該書き込み動作を中止して他方の階調への書き込み動作を実行する場合、中止した書き込み動作における電圧の印加回数と同じ印加回数で他方の階調への書き込み動作を実行する。

また、書き込み部 502 は、階調値記憶領域 C にアクセスし、画素の階調を変更する書き込み動作をする際に、電圧の印加によって変更された画素の階調を示す値を階調値記憶領域 C に書きこむ。

10

【0033】

なお、本実施形態においては、白から黒へ画素の表示状態を変化させる際の電圧印加回数（フレーム数）と、黒から白へ画素の表示状態を変化させる際の電圧印加回数（フレーム数）を同じとしている。

また、本実施形態においては、画素データについては値が小さいほど高濃度としており、値が 0 の場合には黒、値が 5 の場合には白と定義している。本実施形態においては、画素データの値が 0 の状態（画素が黒の状態）から共通電極層 103b の電圧 V_{com} に対して $-1.5V$ の電圧を画素電極 101d に 5 回印加すると、画素の階調が段階的に変化し、画素が白の状態になる。一方、画素データの値が 5 の状態（画素が白の状態）から共通電極層 103b の電圧 V_{com} に対して $+1.5V$ の電圧を画素電極 101d に 5 回印加すると、画素の階調が段階的に変化し、画素が黒の状態になる。

20

また、書き込み動作の「完了」とは、画素の表示状態が書き換えの目標階調へ変化し終わるまで書き込み動作が行われたことを言う。本実施形態では、白の状態の画素に対し、上記 $+1.5V$ の電圧の書き込みが 5 回行われて黒の状態となったこと、及び黒の状態の画素に対し、上記 $-1.5V$ の電圧の書き込みが 5 回行われて白の状態となったことを言う。

また、書き込み動作の「中止」とは、画素の表示状態が書き換えの目標階調へ変化し終わる前に書き込み動作を止めることを言う。本実施形態では、白の状態の画素に対し、上記 $+1.5V$ の電圧の書き込みを 4 回以下だけ行って、黒の状態となる前に書き込み動作を止めること、及び黒の状態の画素に対し、上記 $-1.5V$ の電圧の書き込みを 4 回以下だけ行って白の状態となる前に書き込み動作を止めることを言う。

30

【0034】

（第 1 実施形態の動作例）

次に本実施形態の動作について説明する。図 6 ~ 図 8 は、コントローラ 5 が行う処理の流れを示したフローチャートである。また、図 9 は、時間の経過と共に変化する各記憶領域の内容を示した図であり、一の画素 $P(1, 1)$ に対応したバッファ A $(1, 1)$ 、階調値記憶領域 C $(1, 1)$ の内容について示している。なお、階調値記憶領域 C の内容はフレーム期間が終了した後の値となっている。また、図 9 においては、1 フレーム期間において画素電極 101d に印加した電圧の共通電極層 103b に対する極性も示している。

【0035】

まず、図 9 の 1 フレーム目においては、バッファ A $(1, 1)$ の画素データの値が 5、階調値記憶領域 C $(1, 1)$ の値が 5 である。ここで、3 フレーム目の開始前までは、画素電極 101d に印加する電圧は電圧 V_{com} と同じであり、各記憶領域の値は変化しない。

40

【0036】

次に 3 フレーム目の開始前に V RAM 3 の内容が書き換えられ、フレーム期間となると、コントローラ 5 は、走査線駆動回路 130 とデータ線駆動回路 140 を駆動する。

具体的には、まずコントローラ 5 は、図 6 の処理において、変数 i と変数 j を初期化して 1 にする（ステップ SA1, SA2）。次にコントローラ 5 は、バッファ A (i, j) の値が 0 であるか判断する。コントローラ 5 は、バッファ A (i, j) の値が

50

0 (黒)であると(ステップS A 3でYES)、ステップS A 4で図7に示した処理を行う。

【0037】

まず、コントローラ5は、階調値記憶領域C(i, j)の値が0であるか判断する。コントローラ5は、階調値記憶領域C(i, j)の値が0ではない場合(ステップS B 1でNO)、階調値記憶領域C(i, j)の値をデクリメントする(ステップS B 2)。またコントローラ5は、j列目のデータ線114を電圧Vcomに対して+15Vにし(ステップS B 3)、処理の流れをステップS A 6へ移す。また、コントローラ5は、階調値記憶領域C(i, j)の値が0である場合(ステップS B 1でYES)、j列目のデータ線114を電圧Vcomに対して0Vにし(ステップS B 4)、処理の流れをステップS A 6へ移す。

10

【0038】

一方、コントローラ5は、バッファA(i, j)の値が5(白)である場合(ステップS A 3でNO)、ステップS A 5で図8の処理を行う。まず、コントローラ5は、階調値記憶領域C(i, j)の値が5であるか判断する。コントローラ5は、階調値記憶領域C(i, j)の値が5ではない場合(ステップS C 1でNO)、階調値記憶領域C(i, j)の値をインクリメントする(ステップS C 2)。またコントローラ5は、j列目のデータ線114を電圧Vcomに対して-15Vにし(ステップS C 3)、処理の流れをステップS A 6へ移す。また、コントローラ5は、階調値記憶領域C(i, j)の値が5である場合(ステップS C 1でYES)、j列目のデータ線114を電圧Vcomに対して0Vにし(ステップS C 4)、処理の流れをステップS A 6へ移す。

20

【0039】

図6に戻り、コントローラ5は、ステップS A 6で変数jの値がnであるか判断する。コントローラ5は、変数jの値がnではない場合、変数jをインクリメントし、処理の流れをステップS A 3へ移す。またコントローラ5は、変数jの値がnである場合、i行目の走査線を駆動する(ステップS A 7)。次にコントローラ5は、ステップS A 8で変数iの値がmであるか判断する。コントローラ5は、変数iの値がmではない場合、変数iをインクリメントし、処理の流れをステップS A 2へ移す。またコントローラ5は、変数iの値がmである場合、図6の処理を終了する。

【0040】

図9において、3フレーム目の開始時点においては、コントローラ5は、バッファA(1, 1)の値が0であり(ステップS A 3でYES)、階調値記憶領域C(1, 1)の値が5であるため(ステップS B 1でNO)、階調値記憶領域C(1, 1)の値をデクリメントして4にし(ステップS B 2)、1列目のデータ線114を電圧Vcomに対して+15Vにする(ステップS B 3)。この後、1行目の走査線112が駆動されると(ステップS A 7)、1行1列目の画素の画素電極101dには、電圧Vcomに対して+15Vの電圧が印加され、黒の電気泳動粒子が共通電極層103b側に移動する。

30

【0041】

なお、4フレーム目においては、ステップS A 3でYESと判断され、階調値記憶領域C(1, 1)の値がデクリメントされて3にされた後、1行1列目の画素の画素電極101dには、電圧Vcomに対して+15Vの電圧が印加され、黒の電気泳動粒子が共通電極層103b側に移動する。

40

【0042】

この後、5フレーム目の開始前にVRAM3の内容が書き換えられてバッファA(1, 1)の画素データの値が5にされた場合、コントローラ5は、フレーム期間になると、ステップS A 3においてNOと判断する。次に、コントローラ5は、ここで階調値記憶領域C(1, 1)の内容が3であるため(ステップS C 1でNO)、階調値記憶領域C(1, 1)の値をインクリメントして4にし(ステップS C 2)、1列目のデータ線114を電圧Vcomに対して-15Vにする(ステップS C 3)。この後、1行目の走査線112が駆動されると(ステップS A 7)、1行1列目の画素の画素電極101dには、

50

電圧 V_{com} に対して $-15V$ の電圧が印加され、白の電気泳動粒子が共通電極層 103b 側に移動する。

【0043】

なお、6フレーム目においては、ステップ SA3 で NO と判断され、階調値記憶領域 C(1, 1) の値がインクリメントされて 5 にされた後、1行1列目の画素の画素電極 101d には、電圧 V_{com} に対して $-15V$ の電圧が印加され、白の電気泳動粒子が共通電極層 103b 側に移動する。

次の7フレーム目においては、コントローラー5は、ステップ SA3 で NO と判断した後、階調値記憶領域 C(1, 1) の値が 5 になっているため、ステップ SC1 で YES と判断し、1列目のデータ線 114 を電圧 V_{com} に対して 0V にする(ステップ SC4)

10

この後、1行目の走査線 112 が駆動されると(ステップ SA7)、1行1列目の画素の画素電極 101d の電圧と、電圧 V_{com} との電位差は 0V にされ、1行1列目の画素においては、白及び黒の電気泳動粒子は移動しないこととなる。

【0044】

このように、画素の階調を白から黒へ変更している途中で白へ変更することになった場合、黒へ変更するための電圧が印加された回数と同じ回数で白へ変更するための電圧が印加されるため、画素を黒にする電圧の印加回数と画素を白にする電圧の印加回数との間に偏りが生じることがない。

【0045】

20

次に9フレーム目の開始前に VRAM3 の内容が書き換えられてバッファ A(1, 1) の内容が 0 となった場合、コントローラー5は、3フレーム目と同じ処理を行う。この後、13フレーム目までバッファ A(1, 1) の内容が変更されないと、コントローラー5は、フレーム期間においてステップ SA4 の処理(図7の処理)を行う。これにより、13フレーム目までは1行1列目の画素の画素電極 101d には、電圧 V_{com} に対して $+15V$ の電圧が印加され、黒の電気泳動粒子が共通電極層 103b 側に移動する。

なお、14フレーム目と15フレーム目においては、バッファ A(1, 1) の内容が 0 で階調値記憶領域 C(1, 1) の内容が 0 であるため、1行1列目の画素の画素電極 101d の電圧と、電圧 V_{com} との電位差は 0V にされ、1行1列目の画素においては、白及び黒の電気泳動粒子は移動しないこととなる。

30

【0046】

この後、16フレーム目の開始前に VRAM3 の内容が書き換えられてバッファ A(1, 1) の画素データの値が 5 にされた場合、コントローラー5は、フレーム期間になると、ステップ SA3 において NO と判断する。次に、コントローラー5は、ここで階調値記憶領域 C(1, 1) の内容が 0 であるため(ステップ SC1 で NO)、階調値記憶領域 C(1, 1) の値をインクリメントして 1 にし(ステップ SC2)、1列目のデータ線 114 を電圧 V_{com} に対して $-15V$ にする(ステップ SC3)。この後、1行目の走査線 112 が駆動されると(ステップ SA7)、1行1列目の画素の画素電極 101d には、電圧 V_{com} に対して $-15V$ の電圧が印加され、白の電気泳動粒子が共通電極層 103b 側に移動する。

40

【0047】

なお、17フレーム目においては、ステップ SA3 で NO と判断され、階調値記憶領域 C(1, 1) の値がインクリメントされて 2 にされた後、1行1列目の画素の画素電極 101d には、電圧 V_{com} に対して $-15V$ の電圧が印加され、白の電気泳動粒子が共通電極層 103b 側に移動する。

【0048】

次に18フレーム目の開始前に VRAM3 の内容が書き換えられてバッファ A(1, 1) の内容が 0 となった場合、コントローラー5は、3フレーム目と同じ処理を行う。この後、バッファ A(1, 1) の内容が変更されないと、コントローラー5は、19フレーム目においても、フレーム期間においてステップ SA4 の処理(図7の処理)を行う。

50

これにより、19フレーム目までは1行1列目の画素の画素電極101dには、電圧Vcomに対して+15Vの電圧が印加され、黒の電気泳動粒子が共通電極層103b側に移動する。

なお、20フレーム目と21フレーム目においては、バッファA(1,1)の内容が0で階調値記憶領域C(1,1)の内容が0であるため、1行1列目の画素の画素電極101dの電圧と、電圧Vcomとの電位差は0Vにされ、1行1列目の画素においては、白及び黒の電気泳動粒子は移動しないこととなる。

【0049】

このように、画素の階調を黒から白へ変更している途中で黒へ変更することになった場合、白へ変更するための電圧が印加された回数と同じ回数で黒へ変更するための電圧が印加されるため、画素を黒にする電圧の印加回数と画素を白にする電圧の印加回数との間に偏りが生じることがない。

【0050】

[第2実施形態]

次に、本発明の第2実施形態について説明する。本発明の第2実施形態は、図10に示したようにカウンター記憶領域Bと、予定画像記憶領域Eを備えている点が第1実施形態と異なる。また、コントローラ5において実現する機能と、コントローラ5が行う処理の流れが第1実施形態と異なる。以下、第1実施形態と同じ構成については説明を省略し、相違点について説明する。

【0051】

図11の(b)は、予定画像記憶領域Eにおいて、図4の(a)に示した画素の各々に対応した記憶領域を示した図である。例えば、予定画像記憶領域E(i,j)は画素P(i,j)に対応した記憶領域である。予定画像記憶領域E(i,j)には、表示領域100に表示させる予定の画像の各画素の画素データが格納される。

図11の(a)は、カウンター記憶領域Bにおいて、図4の(a)に示した画素の各々に対応した記憶領域を示した図である。例えば、カウンター記憶領域B(i,j)は画素P(i,j)に対応した記憶領域である。カウンター記憶領域B(i,j)には、予定画像記憶領域E(i,j)が書き換え可能になるまでのフレーム数を示す値が格納される。

【0052】

図12は、本実施形態のコントローラ5において実現する機能を示したブロック図である。コントローラ5においては、書き込み部502に加えてカウント部501が実現する。カウント部501は、画素の階調を変化させる書き込み動作において、画素の階調を白又は黒へ変化させる書き込み動作を開始してから経過したフレーム数を画素毎にカウントするブロックである。カウント部501は、一フレーム期間が経過する毎にカウンター記憶領域B(i,j)の値をデクリメントする。

また、本実施形態に係る書き込み部502は、画素において白又は黒の一方の階調への書き込み動作が完了する前に当該書き込み動作を中止して他方の階調への書き込み動作を実行する場合、カウンター記憶領域B(i,j)の値に基づいて、実行中の書き込み動作を中止するか否かを判断する。具体的には、画素において白又は黒の一方の階調への書き込み動作が完了する前に当該書き込み動作を中止して他方の階調への書き込み動作を実行する場合、カウンター記憶領域B(i,j)の値が0になっていなければ、実行中の書き込み動作を中止して次の書き込み動作を開始し、カウンター記憶領域B(i,j)の値が0になっていない場合には、実行中の書き込み動作を中止せずに継続する。

【0053】

次に本実施形態の処理の流れについて説明する。図13~図14は、コントローラ5が行う処理の流れを示したフローチャートである。また、図15は、時間の経過と共に変化する各記憶領域の内容を示した図であり、一の画素P(1,1)に対応したバッファA(1,1)、階調値記憶領域C(1,1)、カウンター記憶領域B(1,1)、及び予定画像記憶領域E(1,1)の内容について示している。また、図15においては、1フレーム期間において画素電極101dに印加した電圧の共通電極層103bに対する極

10

20

30

40

50

性も示している。なお、各記憶領域の内容はフレーム期間が終了した後の値となっている。

【0054】

図13は、フレーム期間の前にコントローラ5が行う処理の流れを示した図である。コントローラ5は、バッファや各記憶領域の内容に応じて、カウンター記憶領域Bと予定画像記憶領域Eの内容を書き換える。

まずコントローラ5は、変数*i*と変数*j*を初期化して1にする(ステップSD1, SD2)。次にコントローラ5は、バッファA(*i*, *j*)の値と予定画像記憶領域E(*i*, *j*)の値が同じであるか判断する。ここで、コントローラ5は、バッファA(*i*, *j*)の値と予定画像記憶領域E(*i*, *j*)の値が同じである場合(ステップSD3でYES)、処理の流れをステップSD7へ移す。

10

【0055】

一方、コントローラ5は、バッファA(*i*, *j*)の値と予定画像記憶領域E(*i*, *j*)の値が異なる場合(ステップSD3でNO)、カウンター記憶領域B(*i*, *j*)が0であるか判断する。コントローラ5は、カウンター記憶領域B(*i*, *j*)が0である場合(ステップSD4でYES)、予定画像記憶領域E(*i*, *j*)が書き換え可能になるまでのフレーム数(本実施形態では3)をカウンター記憶領域B(*i*, *j*)に格納する(ステップSD5)。コントローラ5は、ステップSD5が終了すると、予定画像記憶領域E(*i*, *j*)の値をバッファA(*i*, *j*)の値で上書きする(ステップSD6)。また、コントローラ5は、カウンター記憶領域B(*i*, *j*)の値が0ではない場合(ステップSD4でNO)、処理の流れをステップSD7へ移す。

20

【0056】

コントローラ5は、ステップSD7で変数*j*の値が*n*であるか判断する。コントローラ5は、変数*j*の値が*n*ではない場合、変数*j*をインクリメントし、処理の流れをステップSA3へ移す。またコントローラ5は、変数*j*の値が*n*である場合、ステップSD8で変数*i*の値が*m*であるか判断する。コントローラ5は、変数*i*の値が*m*ではない場合、変数*i*をインクリメントし、処理の流れをステップSD2へ移す。また、コントローラ5は、変数*i*の値が*m*である場合、図12の処理を終了する。

【0057】

図14は、フレーム期間において第2実施形態に係るコントローラ5が行う処理の流れを示した図である。第1実施形態に係る図6の処理と比較すると、コントローラ5は、ステップSA2の後に予定画像記憶領域E(*i*, *j*)の値が0(黒)であるか判断する。コントローラ5は、予定画像記憶領域E(*i*, *j*)の値が0であると(ステップSA9でYES)、ステップSA4の処理を行い、予定画像記憶領域E(*i*, *j*)の値が5(白)であると(ステップSA9でNO)、ステップSA5の処理を行う。

30

【0058】

次にコントローラ5は、カウンター記憶領域B(*i*, *j*)の値が0であるか判断する。コントローラ5は、カウンター記憶領域B(*i*, *j*)の値が0ではない場合(ステップSA10でNO)、カウンター記憶領域B(*i*, *j*)の値をデクリメントし(ステップSA11)、カウンター記憶領域B(*i*, *j*)の値が0である場合(ステップSA10でYES)、処理の流れをステップSA6へ移す。

40

【0059】

(第2実施形態の動作例)

次に、第2実施形態において、バッファA(1, 1)の内容が変化した場合の動作について、図15を用いて説明する。図15に示したように、3フレーム目の開始前に制御部2によってバッファA(1, 1)の画素データが5から0に書き換えられると、この時点では、バッファA(1, 1)の値(0)が、予定画像記憶領域E(1, 1)の値(5)と違っているため(ステップSD3でNO)、コントローラ5は、カウンター記憶領域B(1, 1)の値が0であるか判断する。ここで、図15に示したように3フレーム目開始前の時点でカウンター記憶領域B(1, 1)が0であると(ステップSD4でYE

50

S)、コントローラ5は、予定画像記憶領域E(1,1)が書き換え可能になるまでのフレーム数(本実施形態では3)をカウンタ記憶領域B(1,1)に格納し(ステップSD5)、予定画像記憶領域E(1,1)の内容をバッファA(1,1)の内容で上書きして0にする(ステップSD6)。

【0060】

次に、フレーム期間になると、3フレーム目の開始時点においては、コントローラ5は、予定画像記憶領域E(1,1)の値が0であるため、ステップSA9でYESと判断し、ステップSA4の処理(図7の処理)を行う。コントローラ5は、ステップSA4の処理が終了した後、ここでカウンタ記憶領域B(1,1)の内容が3であるため、ステップSA10でNOと判断し、カウンタ記憶領域B(1,1)の値をデクリメントする。この後、1行目の走査線112が駆動されると(ステップSA7)、1行1列目の画素の画素電極101dには、電圧Vcomに対して+15Vの電圧が印加され、黒の電気泳動粒子が共通電極層103b側に移動する。

10

【0061】

この後、5フレーム目の開始前にVRAM3の内容が書き換えられ、バッファA(1,1)の画素データの値が5にされた場合、コントローラ5は、ステップSD3においてNOと判断する。次に、コントローラ5は、ここでカウンタ記憶領域B(1,1)の内容が1であるため、ステップSD4でNOと判断し、処理の流れをステップSD7へ移す。つまり、ここではバッファA(1,1)の内容と予定画像記憶領域E(1,1)の内容が異なるものの、書き込み動作を開始してから経過したフレーム数が2以下であると判断され、予定画像領域E(1,1)の内容をバッファA(1,1)の内容で上書きしないこととなる。この後、フレーム期間になると、コントローラ5は、予定画像記憶領域E(1,1)の内容が0であるため、ステップSA9でYESと判断し、ステップSA4の処理を行う。次に、コントローラ5は、ここでカウンタ記憶領域B(1,1)の内容が1であるため、ステップSA10でNOと判断し、カウンタ記憶領域B(1,1)の値をデクリメントして0にする(ステップSA11)。この後、1行目の走査線112が駆動されると(ステップSA7)、1行1列目の画素の画素電極101dには、電圧Vcomに対して+15Vの電圧が印加され、黒の電気泳動粒子が共通電極層103b側に移動する。

20

【0062】

この後、5フレーム目が終了した後においては、コントローラ5の動作は以下の通りとなる。まず、コントローラ5は、6フレーム目の開始前においては、この時点でバッファA(1,1)の値が5であり、予定画像記憶領域E(1,1)の値が0であるため、ステップSD3でNOと判断する。次にコントローラ5は、ここでカウンタ記憶領域B(1,1)の内容が0であるため、ステップSD4でYESと判断し、予定画像記憶領域E(1,1)が書き換え可能になるまでのフレーム数(本実施形態では3)をカウンタ記憶領域C(1,1)に格納し(ステップSD5)、予定画像記憶領域E(1,1)の内容をバッファA(1,1)の内容で上書きして5にする(ステップSD6)。すなわち、ステップSD4において、書き込み動作を開始してから経過したフレーム数が3以上であると判断されたため、画素P(1,1)の階調を5(白)に変化させるための書き込み動作が開始される。

30

40

【0063】

この後にフレーム期間となると、コントローラ5は、ステップSA9でNOと判断し、ステップSA5の処理(図8の処理)を行う。次に、コントローラ5は、ここでカウンタ記憶領域B(1,1)の内容が3であるため、ステップSA10でNOと判断し、カウンタ記憶領域B(1,1)の値をデクリメントする。この後、1行目の走査線112が駆動されると(ステップSA7)、1行1列目の画素の画素電極101dには、電圧Vcomに対して-15Vの電圧が印加され、白の電気泳動粒子が共通電極層103b側に移動する。

【0064】

50

このように、本実施形態においては、画素の階調を白から黒へ変更している途中で白へ変更することになった場合、画素の階調を黒へ変更する電圧を所定の回数印加した後で画素の階調を白へ変更する電圧の印加が始まることとなる。

【 0 0 6 5 】

この後、8フレーム目までは、画素P(1, 1)の画素の画素電極101dには、電圧Vcomに対して-15Vの電圧が印加され、白の電気泳動粒子が共通電極層103b側に移動する。

3フレーム目から8フレーム目までを見ると、画素を黒にする電圧を3回印加した後、画素を白にする電圧を3回印加している。つまり、画素の階調を白から黒へ変更している途中で白へ変更することになった場合、黒へ変更するための電圧が印加された回数と同じ回数で白へ変更するための電圧が印加されるため、画素を黒にする電圧の印加回数と画素を白にする電圧の印加回数との間に偏りが生じることがない。

10

【 0 0 6 6 】

次に、9フレーム目の開始前にバッファA(1, 1)の画素データが5から0に書き換えられると、3フレーム目と同様の処理が行われる。この後に階調値記憶領域C(1, 1)の値が0になるまでバッファA(1, 1)の画素データが変更されないと、1行1列目の画素の画素電極101dには、電圧Vcomに対して+15Vの電圧が印加され、黒の電気泳動粒子が共通電極層103b側に移動する。

【 0 0 6 7 】

次に16フレーム目の開始前に制御部2によってバッファA(1, 1)の画素データが0から5に書き換えられると、この時点では、バッファA(1, 1)の値(5)が、予定画像記憶領域E(1, 1)の値(0)と違っているため(ステップSD3でNO)、コントローラ5は、カウンター記憶領域B(1, 1)の値が0であるか判断する。ここで、図15に示したように16フレーム目開始前の時点でカウンター記憶領域B(1, 1)が0であると(ステップSD4でYES)、コントローラ5は、予定画像記憶領域E(1, 1)が書き換え可能になるまでのフレーム数(本実施形態では3)をカウンター記憶領域B(1, 1)に格納し(ステップSD5)、予定画像記憶領域E(1, 1)の内容をバッファA(1, 1)の内容で上書きして5にする(ステップSD6)。

20

【 0 0 6 8 】

次に、フレーム期間になると、16フレーム目の開始時点においては、予定画像記憶領域E(1, 1)の値が5であるため、コントローラ5は、ステップSA9でNOと判断し、ステップSA5の処理を行う。次に、コントローラ5は、ここでカウンター記憶領域B(1, 1)の内容が3であるため、ステップSA10でNOと判断し、カウンター記憶領域B(1, 1)の値をデクリメントする。この後、1行目の走査線112が駆動されると(ステップSA7)、1行1列目の画素の画素電極101dには、電圧Vcomに対して-15Vの電圧が印加され、白の電気泳動粒子が共通電極層103b側に移動する。

30

【 0 0 6 9 】

この後、18フレーム目の開始前にVRAM3の内容が書き換えられ、バッファA(1, 1)の画素データの値が0にされた場合、コントローラ5は、ステップSD3においてNOと判断する。次に、コントローラ5は、ここでカウンター記憶領域B(1, 1)の内容が1であるため、ステップSD4でNOと判断し、処理の流れをステップSD7へ移す。つまり、ここでは、バッファA(1, 1)の内容と予定画像記憶領域E(1, 1)の内容が異なるものの、書き込み動作を開始してから経過したフレーム数が2以下であると判断され、予定画像領域E(1, 1)の内容をバッファA(1, 1)の内容で上書きしないこととなる。この後、フレーム期間になると、コントローラ5は、予定画像記憶領域E(1, 1)の内容が5であるため、ステップSA9でNOと判断し、ステップSA5の処理を行う。次に、コントローラ5は、ここでカウンター記憶領域B(1, 1)の内容が1であるため、ステップSA10でNOと判断し、カウンター記憶領域B(1, 1)の値をデクリメントして0にする(ステップSA11)。この後、1行目の走査線112が駆動されると(ステップSA7)、1行1列目の画素の画素電極101dには、

40

50

電圧 V_{com} に対して $-15V$ の電圧が印加され、白の電気泳動粒子が共通電極層 103b 側に移動する。

【0070】

18 フレーム目が終了した後においては、この時点でバッファ A (1, 1) の値が 0 であり、予定画像記憶領域 E (1, 1) の値が 5 であるため、ステップ SD3 で NO と判断する。次にコントローラ 5 は、ここでカウンタ記憶領域 B (1, 1) の内容が 0 であるため、ステップ SD4 で YES と判断し、予定画像記憶領域 E (1, 1) が書き換え可能になるまでのフレーム数 (本実施形態では 3) をカウンタ記憶領域 C (1, 1) に格納し (ステップ SD5)、予定画像記憶領域 E (1, 1) の内容をバッファ A (1, 1) の内容で上書きして 0 にする (ステップ SD6)。すなわち、ステップ SD4 において、書き込み動作を開始してから経過したフレーム数が 3 以上であると判断されたため、画素 P (1, 1) の階調を 0 (黒) に変化させるための書き込み動作が開始される。

10

【0071】

この後にフレーム期間となると、コントローラ 5 は、ステップ SA9 で YES と判断し、ステップ SA4 の処理を行う。次に、コントローラ 5 は、ここでカウンタ記憶領域 B (1, 1) の内容が 3 であるため、ステップ SA10 で NO と判断し、カウンタ記憶領域 B (1, 1) の値をデクリメントする。この後、1 行目の走査線 112 が駆動されると (ステップ SA7)、1 行 1 列目の画素の画素電極 101d には、電圧 V_{com} に対して $+15V$ の電圧が印加され、黒の電気泳動粒子が共通電極層 103b 側に移動する。

【0072】

20

このように、本実施形態においては、画素の階調を黒から白へ変更している途中で黒へ変更することになった場合、画素の階調を白へ変更する電圧を所定の回数印加した後で画素の階調を黒へ変更する電圧の印加が始まることとなる。

【0073】

この後、21 フレーム目までは、画素 P (1, 1) の画素の画素電極 101d には、電圧 V_{com} に対して $+15V$ の電圧が印加され、黒の電気泳動粒子が共通電極層 103b 側に移動する。

16 フレーム目から 21 フレーム目までを見ると、画素を白にする電圧を 3 回印加した後、画素を黒にする電圧を 3 回印加している。つまり、画素の階調を黒から白へ変更している途中で黒へ変更することになった場合、白へ変更するための電圧が印加された回数と同じ回数で黒へ変更するための電圧が印加されるため、画素を黒にする電圧の印加回数と画素を白にする電圧の印加回数との間に偏りが生じることがない。

30

【0074】

[電子機器]

次に、上述した実施形態に係る表示装置 1000 を適用した電子機器の例について説明する。図 16 は、上述した実施形態に係る表示装置 1000 を用いた電子ブックリーダーの外観を示した図である。電子ブックリーダー 2000 は、板状のフレーム 2001 と、ボタン 9A ~ 9F と、上述した実施形態に係る電気光学装置 1、制御部 2、VRAM 3、及び RAM 4 を備えている。電子ブックリーダー 2000 においては表示領域 100 が露出している。電子ブックリーダー 2000 においては、電子書籍の内容が表示領域 100 に表示され、ボタン 9A ~ 9F を操作することにより電子書籍のページがめくられる。なお、このほかにも、上述した実施形態に係る電気光学装置 1 が適用可能な電子機器としては、時計や、電子ペーパー、電子手帳、電卓、携帯電話機などが挙げられる。

40

【0075】

[変形例]

以上、本発明の実施形態について説明したが、本発明は上述した実施形態に限定されることなく、他の様々な形態で実施可能である。例えば、上述の実施形態を以下のように変形して本発明を実施してもよい。なお、上述した実施形態及び以下の変形例は、各々を組み合わせてもよい。

【0076】

50

上述した実施形態においては、電気光学装置として電気泳動層102を有するものを例に説明したが、これに限定する趣旨ではない。電気光学装置は、画素の表示状態を第1表示状態から第2表示状態へ変化させるための書き込みが、電圧を複数回印加する書き込み動作によって行われるものであればどのようなものであってもよく、例えば電子粉流体を用いた電気光学装置であってもよい。

【0077】

上述した実施形態においては、画素を白から黒へ変更する場合の電圧印加回数と、画素を黒から白へ変更する場合の電圧印加回数が5回となっているが、電圧印加回数は、この回数に限定されるものではなく、5回未満又は6回以上であってもよい。

【符号の説明】

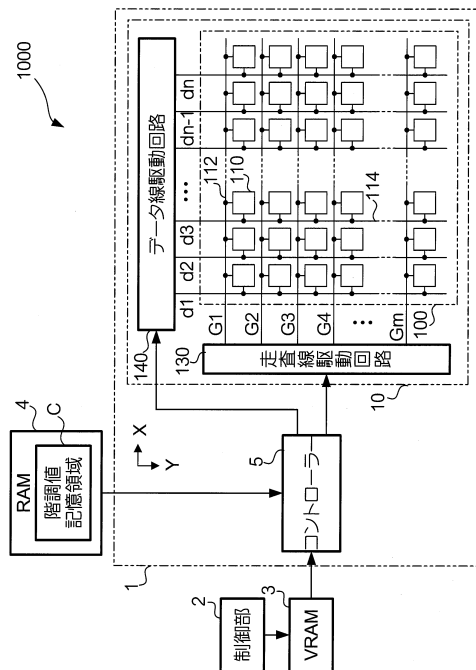
【0078】

1...電気光学装置、2...制御部、3...VRAM、4...RAM、5...コントローラ、9A~9F...ボタン、10...表示部、100...表示領域、101...第1基板、101a...基板、101b...接着層、101c...回路層、101d...画素電極、102...電気泳動層、102a...マイクロカプセル、102b...バインダー、103...第2基板、103a...フィルム、103b...共通電極層、110...画素、110a...TFT、110b...表示素子、110c...補助容量、112...走査線、114...データ線、501...カウント部、502...書き込み部、2000...電子ブックリーダー、2001...フレーム、A(i,j)...バッファ、B,B(i,j)...カウンター記憶領域、C,C(i,j)...階調値記憶領域、E,E(i,j)...予定画像記憶領域

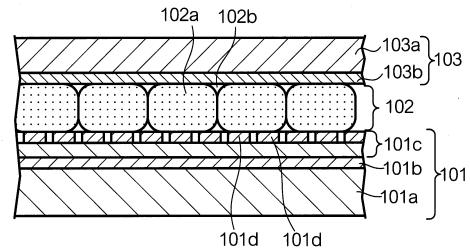
10

20

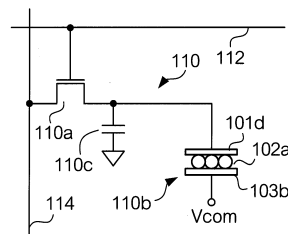
【図1】



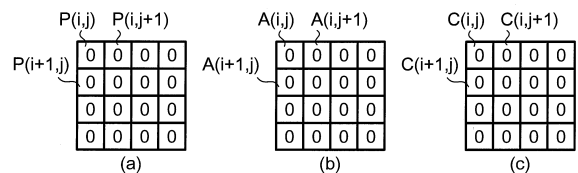
【図2】



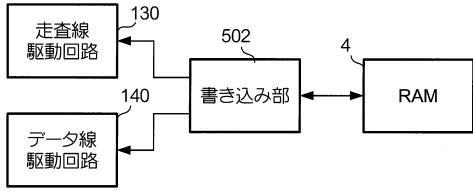
【図3】



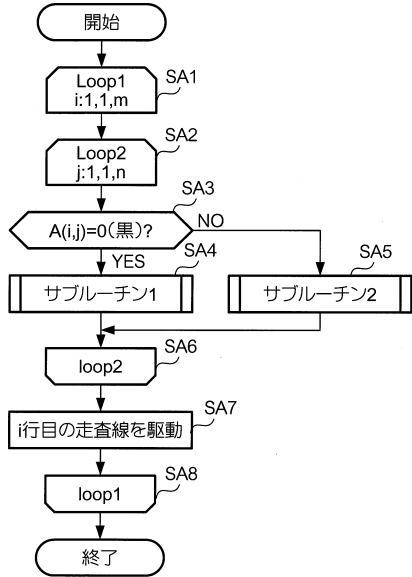
【図4】



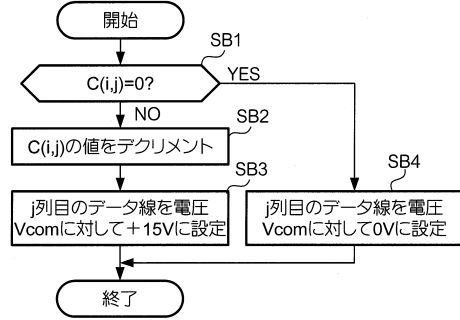
【図5】



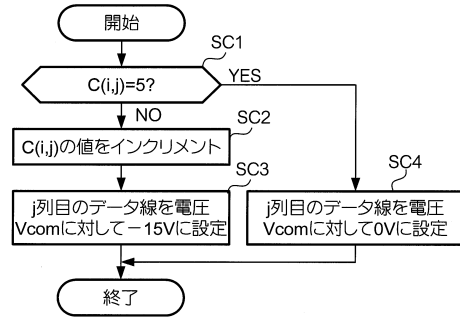
【図6】



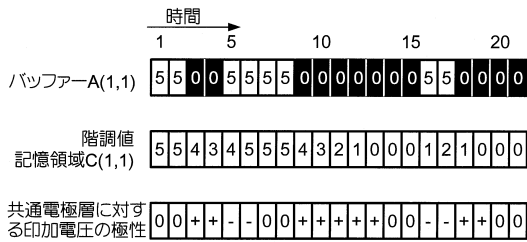
【図7】



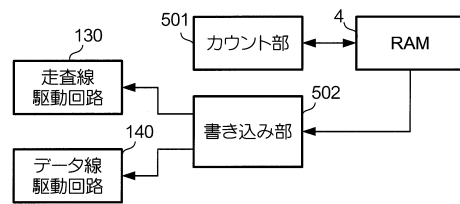
【図8】



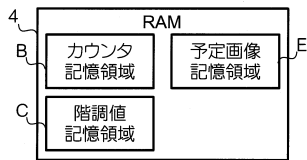
【図9】



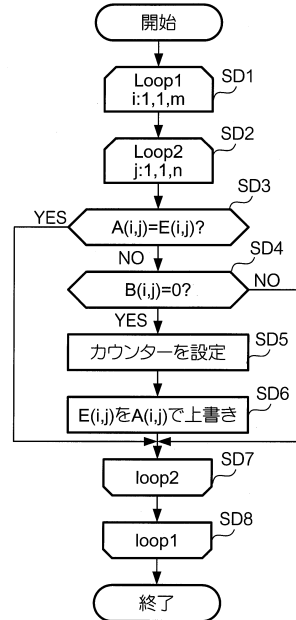
【図12】



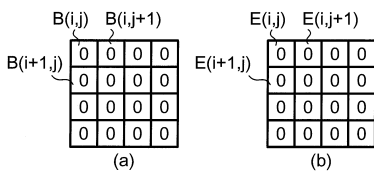
【図10】



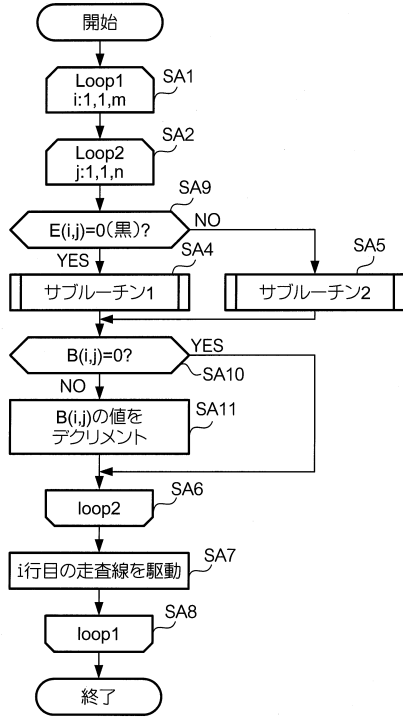
【図13】



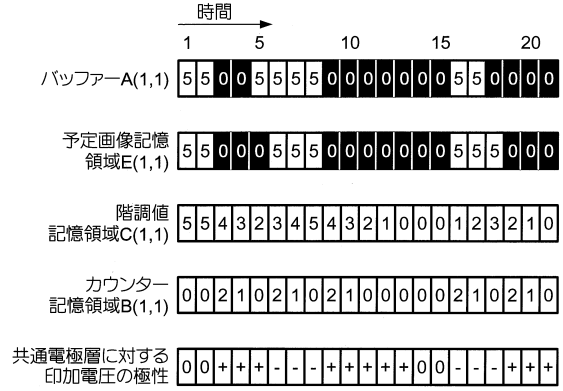
【図11】



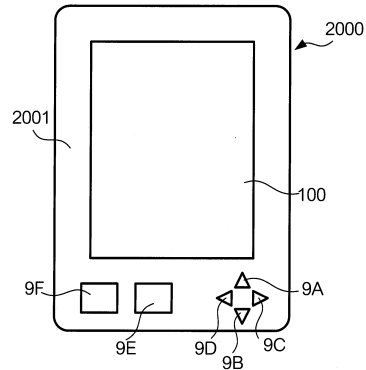
【図14】



【図15】



【図16】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 B
G 0 2 F 1/167

(56)参考文献 特開 2 0 1 1 - 2 3 7 7 0 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 4
G 0 2 F 1 / 1 6 7