

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5245209号  
(P5245209)

(45) 発行日 平成25年7月24日 (2013. 7. 24)

(24) 登録日 平成25年4月19日 (2013. 4. 19)

(51) Int. Cl. F I  
 HO 1 L 25/065 (2006. 01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006. 01)  
 HO 1 L 25/18 (2006. 01)

請求項の数 6 (全 16 頁)

|           |                               |           |                            |
|-----------|-------------------------------|-----------|----------------------------|
| (21) 出願番号 | 特願2006-119610 (P2006-119610)  | (73) 特許権者 | 000002185                  |
| (22) 出願日  | 平成18年4月24日 (2006. 4. 24)      |           | ソニー株式会社                    |
| (65) 公開番号 | 特開2007-294611 (P2007-294611A) |           | 東京都港区港南1丁目7番1号             |
| (43) 公開日  | 平成19年11月8日 (2007. 11. 8)      | (74) 代理人  | 100094053                  |
| 審査請求日     | 平成21年4月14日 (2009. 4. 14)      |           | 弁理士 佐藤 隆久                  |
|           |                               | (72) 発明者  | 山形 修                       |
|           |                               |           | 東京都品川区北品川6丁目7番35号 ソニー株式会社内 |
|           |                               | 審査官       | 今井 拓也                      |

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体を含んでパッケージ化されており、  
 チップ埋め込み用凹部が形成されたシリコン基板と、  
 能動素子が形成され、前記チップ埋め込み用凹部の底面上にマウントされた第1半導体チップと、  
 能動素子が形成され、前記第1半導体チップの上方に積層してマウントされた第2半導体チップと、  
前記チップ埋め込み用凹部内を埋め込んで前記第1半導体チップの上層であって前記第2半導体チップの下層に形成された第1樹脂層と、前記第2半導体チップの上層に前記第2半導体チップを被覆して形成された第2樹脂層とを含む絶縁層と、  
前記絶縁層中に埋め込まれて前記第1半導体チップ及び前記第2半導体チップに接続して形成された配線層と  
を有し、  
前記配線層が前記第1樹脂層と前記第2樹脂層の間において前記第2樹脂層に被覆された導電性ポストを含む  
 半導体装置。

【請求項2】

前記チップ埋め込み用凹部内において前記シリコン基板と前記第1半導体チップの間に誘電体層が形成されている

請求項 1 に記載の半導体装置。

【請求項 3】

前記チップ埋め込み用凹部内において前記シリコン基板と前記第 1 半導体チップの間に導電層が形成されている

請求項 1 に記載の半導体装置。

【請求項 4】

半導体を含んでパッケージ化された半導体装置を製造するために、

シリコン基板にチップ埋め込み用凹部を形成する工程と、

前記チップ埋め込み用凹部の底面上に、能動素子が形成された第 1 半導体チップをマウントする工程と、

前記第 1 半導体チップの上方に積層して、能動素子が形成された第 2 半導体チップをマウントする工程と、

前記チップ埋め込み用凹部内を埋め込んで前記第 1 半導体チップの上層であって前記第 2 半導体チップの下層に第 1 樹脂層を形成する工程と、前記第 2 半導体チップの上層に前記第 2 半導体チップを被覆して第 2 樹脂層を形成する工程とを含む絶縁層を形成する工程と、

前記絶縁層中に埋め込まれて前記第 1 半導体チップ及び前記第 2 半導体チップに接続して配線層を形成する工程を有し、

前記配線層を形成する工程が前記第 1 樹脂層と前記第 2 樹脂層の間に導電性ポストを形成する工程を含み、前記第 2 樹脂層を形成する工程において前記導電性ポストを被覆して形成する

半導体装置の製造方法。

【請求項 5】

前記第 1 半導体チップをマウントする工程の前に前記チップ埋め込み用凹部内において誘電体層を形成する工程をさらに有し、

前記第 1 半導体チップをマウントする工程において前記誘電体層上にマウントする

請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記第 1 半導体チップをマウントする工程の前に前記チップ埋め込み用凹部内において導電層を形成する工程をさらに有し、

前記第 1 半導体チップをマウントする工程において前記導電層上にマウントする

請求項 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法に関し、特に能動素子や受動素子を内蔵し、整合回路やフィルタなどを取り込んだ S i P (システムインパッケージ) 形態の半導体装置とその製造方法に関する。

【背景技術】

【0002】

デジタルビデオカメラ、デジタル携帯電話、あるいはノートパソコンなど、携帯用電子機器の小型化、薄型化、軽量化に対する要求は強くなる一方であり、これに応えるために近年の V L S I などの半導体装置においては 3 年で 7 割の縮小化を実現してきた一方で、このような半導体装置をプリント配線基板上に実装した電子回路装置としても、実装基板 (プリント配線基板) 上の部品実装密度をいかに向上させるかが重要な課題として研究及び開発がなされてきた。

【0003】

例えば、半導体装置のパッケージ形態としては、D I P (Dual Inline Package) などのリード挿入型から表面実装型へと移行し、さらには半導体チップのパッド電極にはんだや金などからなるバンブ (突起電極) を設け、フェースダウンでバンブを介して配線基板

10

20

30

40

50

に接続するフリップチップ実装法が開発された。

【0004】

さらに、インダクタンスやキャパシタなどの受動素子を内蔵し、整合回路やフィルタなどを取り込んだSiPと呼ばれる複雑な形態のパッケージへと開発が進んでいる。

【0005】

例えば、デジタルチップとデジタルチップ、デジタルチップとアナログチップ、アナログチップとアナログチップなど、能動素子を含むチップを2個以上含んで一体化する場合、有機基板の両側にアナログ、デジタルチップをそれぞれ実装する構成が知られている。

しかし、この構造では基板のスルーホールと片側に外部電極の形成が必要で全体の厚さが厚くなり薄型化は行えない。

【0006】

そこで、上記のようなSiP形態の半導体装置として、上記のような能動素子を含むチップを2個以上含んで一体化した半導体装置が開発されており、例えば2つの半導体チップを同一平面に平置きした構造が取られる。

しかしながら、この構造ではサイズが大きくなり小型化の要求を満足しない。

【0007】

そこで、2つの半導体チップをスタックして配置した構造の半導体装置が開発され、例えば、特許文献1に上記のSiP形態の半導体装置の構成が開示されている。

【0008】

図15は上記のような2つの半導体チップをスタックしてパッケージ化したSiP形態の半導体装置である。

シリコン基板100上に、例えば、酸化シリコンからなる下地絶縁膜101が形成され、能動素子が形成された第1半導体チップ102がマウントされている。第1半導体チップ102は、半導体本体部分102aの回路面にパッド102bが形成され、パッド102bを除く領域は酸化シリコンなどの保護層102cで覆われた構成であり、ダイアタッチフィルム102dにより、パッド102bの形成面が基板100と反対側を向くようにしてマウントされている。

【0009】

例えば、第1半導体チップ102を被覆してポリイミド樹脂などからなる第1絶縁層103が形成され、第1半導体チップ102のパッド102bに達する開口部103aが形成されており、開口部103a内に埋め込まれて、第1半導体チップ102のパッド102bに接続するプラグ部分と一体になって、第1絶縁層102上にTiCuなどのシード層104及び銅層105からなる第1配線が形成されている。

【0010】

また、例えば、第1配線を被覆してポリイミド樹脂などからなる第2絶縁層106が形成され、第1配線に達する開口部106aが形成されており、開口部106a内に埋め込まれて、第1配線に接続するプラグ部分と一体になって、第2絶縁層106上にTiCuなどのシード層107及び銅層108からなる第2配線が形成され、さらに第2配線上に導電性ポスト109が形成されている。

【0011】

また、第1半導体チップ102の上方であって、第2絶縁層106の上層に、能動素子が形成された第2半導体チップ110がマウントされている。第2半導体チップ110は、半導体本体部分110aの回路面にパッド110bが形成され、パッド110bを除く領域は酸化シリコンなどの保護層110cで覆われた構成であり、ダイアタッチフィルム110dにより、パッド110bの形成面が基板100と反対側を向くようにしてマウントされている。

【0012】

また、例えば、導電性ポスト109、第2配線及び第2半導体チップ110を被覆して、ポリイミド樹脂などからなる第3絶縁層111が形成され、導電性ポスト109及び第2半導体チップ110のパッド110bに達する開口部111aが形成されており、開口

10

20

30

40

50

部 1 1 1 a 内に埋め込まれて、導電性ポスト 1 0 9 及び第 2 半導体チップ 1 1 0 のパッド 1 1 0 b に接続するプラグ部分と一体になって、第 3 絶縁層 1 1 1 上に T i C u などのシード層 1 1 2 及び銅層 1 1 3 からなる第 3 配線が形成されている。

【 0 0 1 3 】

また、第 3 配線に接続して、銅などからなる導電性ポスト 1 1 4 が形成されており、導電性ポスト 1 1 4 の間隙における第 3 絶縁層 1 1 1 の上層に、ポリアミドイミド樹脂などからなる絶縁性のバッファ層 1 1 5 が形成され、バッファ層 1 1 5 の表面において導電性ポスト 1 1 4 に接続するようにバンプ（突起電極） 1 1 6 が形成されている。

【 0 0 1 4 】

上記の従来例に係る半導体装置において、チップ上とそれ以外部分での段差がチップ 1 つのみの場合に比べ 2 倍以上になる。従って、半導体チップ上に再配線層を形成して S i P 形態の半導体装置とする場合、再配線層形成の形成工程におけるレジスト膜などのカバレッジが悪くなってしまい、段切れを起こして再配線の形成が困難となる場合があり、また、実装基板に実装したときの実装基板との間に生じる応力緩和に寄与する導電性ポストの高さがパッケージ位置で異なってしまうことに起因して応力緩和機能が不十分となるおそれがある。

【特許文献 1】特開 2 0 0 3 - 1 2 4 2 3 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 5 】

解決しようとする問題点は、S i P 形態の半導体装置において 2 個以上の半導体チップをスタック型に一体化する場合に、段切れを抑制し、実装基板に実装したときの実装基板との間に生じる応力を緩和する機能を確保することが困難である点である。

【課題を解決するための手段】

【 0 0 1 6 】

本発明の半導体装置は、半導体を含んでパッケージ化された半導体装置であって、チップ埋め込み用凹部が形成された基板と、能動素子が形成され、前記チップ埋め込み用凹部の底面上にマウントされた第 1 半導体チップと、能動素子が形成され、前記第 1 半導体チップの上方に積層してマウントされた第 2 半導体チップとを有する。

【 0 0 1 7 】

上記の本発明の半導体装置は、半導体を含んでパッケージ化された半導体装置であって、基板に形成されたチップ埋め込み用凹部の底面上に、能動素子が形成された第 1 半導体チップがマウントされており、また、能動素子が形成された第 2 半導体チップが第 1 半導体チップの上方に積層してマウントされている。

【 0 0 1 8 】

本発明の半導体装置の製造方法は、半導体を含んでパッケージ化された半導体装置の製造方法であって、基板にチップ埋め込み用凹部を形成する工程と、前記チップ埋め込み用凹部の底面上に、能動素子が形成された第 1 半導体チップをマウントする工程と、前記第 1 半導体チップの上方に積層して、能動素子が形成された第 2 半導体チップをマウントする工程とを有する。

【 0 0 1 9 】

上記の本発明の半導体装置の製造方法は、半導体を含んでパッケージ化して半導体装置を製造する方法であって、基板にチップ埋め込み用凹部を形成し、チップ埋め込み用凹部の底面上に、能動素子が形成された第 1 半導体チップをマウントし、さらに、第 1 半導体チップの上方に積層して、能動素子が形成された第 2 半導体チップをマウントする。

【発明の効果】

【 0 0 2 0 】

本発明の半導体装置は、S i P 形態の半導体装置において、基板に形成されたチップ埋め込み用凹部の底面上に第 1 半導体チップがマウントされ、さらにその上方に積層して第 2 半導体チップがマウントされているので、絶縁層に生じる段差に対して第 1 半導体チッ

10

20

30

40

50

プの分影響が軽減され、2個以上の半導体チップをスタック型に一体化しても段切れを抑制することができ、また、実装基板に実装したときの実装基板との間に生じる応力緩和に寄与する導電性ポストの高さのばらつきを低減して応力緩和機能を確保することができる。

#### 【0021】

本発明の半導体装置の製造方法は、SiP形態の半導体装置において、基板に形成されたチップ埋め込み用凹部の底面上に第1半導体チップをマウントし、さらにその上方に積層して第2半導体チップをマウントするので、絶縁層に生じる段差に対して第1半導体チップの分影響が軽減され、2個以上の半導体チップをスタック型に一体化しても段切れを抑制して、また、実装基板に実装したときの実装基板との間に生じる応力緩和に寄与する導電性ポストの高さのばらつきを低減して応力緩和機能を確保して、半導体装置を製造することができる。

10

#### 【発明を実施するための最良の形態】

#### 【0022】

以下に、本発明に係る半導体装置及びその製造方法の実施の形態について、図面を参照して説明する。

#### 【0023】

##### 第1実施形態

図1は本実施形態に係るSiP形態の半導体装置の断面図である。

例えば、シリコン基板10にチップ埋め込み用凹部10aが形成されている。チップ埋め込み用凹部10aの深さは、埋め込む半導体チップの板厚とダイアタッチフィルムの膜厚を合わせた厚みに合わせることが好ましく、例えば数10 $\mu$ m程度とする。また、チップ埋め込み用凹部10aの広さは、半導体チップを埋め込んだときの半導体チップの側面と凹部の内壁面の間隔が30 $\mu$ m程度となるように、半導体チップの広さより若干広く形成されていることが好ましい。

20

また、チップ埋め込み用凹部10a内壁を含んでシリコン基板上に酸化シリコンからなり、膜厚が300nm程度の下地絶縁膜12が形成されている。

#### 【0024】

チップ埋め込み用凹部10aの底面上に、例えば、能動素子が形成された回路面を有する第1半導体チップ14がマウントされている。第1半導体チップ14の板厚は、例えば25~50 $\mu$ m程度である。第1半導体チップ14は、半導体本体部分14aの回路面にパッド14bが形成され、パッド14bを除く領域は酸化シリコンなどの保護層14cで覆われた構成であり、例えば10 $\mu$ m程度の膜厚のダイアタッチフィルム14dにより、フェースアップで、即ち、パッド14bの形成面が上面を向くようにしてマウントされている。

30

また、例えば、チップ埋め込み用凹部10aの縁部近傍にTiCu層がパターン形成されており、これは上記の第1半導体チップ14をマウントするためのアライメントマーク13である。

#### 【0025】

例えば、チップ埋め込み用凹部10a内を埋め込み、第1半導体チップ14を被覆して、ポリイミド樹脂、エポキシ樹脂あるいはアクリル樹脂などからなる第1樹脂層15が形成されている。

40

第1樹脂層15には、第1半導体チップ14のパッド14bに達する開口部15aが形成されている。

上記の開口部15a内に埋め込まれて、第1半導体チップ14のパッド14bに接続するプラグ部分と一体になって、第1樹脂層15上にTiCuなどのシード層16及び銅層18からなる第1配線が形成されている。

#### 【0026】

また、例えば、第1半導体チップ14の上方であって、第1樹脂層15の上層あるいはその上層に形成された第1配線の上層に、能動素子が形成された回路面を有する第2半導

50

体チップ 2 1 がマウントされている。第 2 半導体チップ 2 1 の板厚は、例えば 2 5 ~ 5 0  $\mu\text{m}$  程度である。第 2 半導体チップ 2 1 は、半導体本体部分 2 1 a の回路面にパッド 2 1 b が形成され、パッド 2 1 b を除く領域は酸化シリコンなどの保護層 2 1 c で覆われている構成であり、ダイアタッチフィルム 2 1 d により、フェースアップで、即ち、パッド 2 1 b の形成面が上面を向くようにしてマウントされている。

【 0 0 2 7 】

また、例えば、第 1 配線上には導電性ポスト 2 0 が形成されている。導電性ポスト 2 0 の高さは、例えば第 2 半導体チップ 2 1 の表面の高さと同程度となっていることが好ましい。

【 0 0 2 8 】

また、例えば、導電性ポスト 2 0、第 2 半導体チップ 2 1、第 1 配線及び第 1 樹脂層を被覆して、ポリイミド樹脂、エポキシ樹脂あるいはアクリル樹脂などからなる第 2 樹脂層 2 2 が形成されている。

第 2 樹脂層 2 2 には、導電性ポスト 2 0 の上面及び第 2 半導体チップ 2 1 のパッド 2 1 b に達する開口部 2 2 a が形成されている。

上記の開口部 2 2 a 内に埋め込まれて、導電性ポスト 2 0 の上面及び第 2 半導体チップ 2 1 のパッド 2 1 b に接続するプラグ部分と一体になって、第 2 樹脂層 2 2 上に T i C u などのシード層 2 3 及び銅層 2 5 からなる第 2 配線が形成されている。

【 0 0 2 9 】

また、第 2 配線に接続して、銅などからなる導電性ポスト 2 7 が形成されている。

導電性ポスト 2 7 の間隙における第 2 樹脂層 2 2 の上層に、ポリアミドイミド樹脂、ポリイミド樹脂、エポキシ樹脂、フェノール樹脂あるいはポリパラフェニレンベンゾビスオキサゾール樹脂などからなる絶縁性のバッファ層 2 8 が形成されている。

さらに、バッファ層 2 8 の表面において導電性ポスト 2 7 に接続するようにバンプ（突起電極）2 9 が形成されている。

【 0 0 3 0 】

上記の本実施形態の半導体装置において、第 1 半導体チップ 1 4 は、例えばデジタルチップであり、一方、第 2 半導体チップ 2 1 は、例えばアナログチップである。

基板 1 0 に第 1 樹脂層 1 5 及び第 2 樹脂層 2 2 などが積層して絶縁層が形成されており、上記の第 1 半導体チップ 1 4 及び第 2 半導体チップ 2 1 が絶縁層中に埋め込まれている。

【 0 0 3 1 】

上記の本実施形態の半導体装置は、S i P 形態の半導体装置において、基板上に 2 個の半導体チップが積層して一体化したスタック型であるが、基板に形成されたチップ埋め込み用凹部の底面上に第 1 半導体チップ 1 4 がマウントされ、さらにその上方に積層して第 2 半導体チップ 2 1 がマウントされているので、絶縁層に生じる段差に対して第 1 半導体チップ 1 4 の分影響が軽減され、2 個以上の半導体チップをスタック型に一体化しても段切れを抑制することができ、また、実装基板に実装したときの実装基板との間に生じる応力緩和に寄与する導電性ポストの高さのばらつきを低減して応力緩和機能を確保することができる。

【 0 0 3 2 】

第 1 半導体チップ 1 4 及び第 2 半導体チップ 2 1 が、上記と上下が逆の組み合わせ、あるいは、両者共にデジタルチップあるいはアナログチップであっても、上記と同様の効果が得られる。

【 0 0 3 3 】

次に、上記の本実施形態の半導体装置の製造方法について図 2 ~ 1 2 を参照して説明する。本実施形態においては、例えば図 2 ~ 1 2 に示す全ての工程についてウェハレベルで行うことができる。

まず、図 2 ( a ) に示すように、例えば、7 2 5  $\mu\text{m}$  の厚さのシリコン基板 1 0 上に、スピン塗布などによりレジスト膜 1 1 を形成し、フォトリソグラフィ工程により露光及

10

20

30

40

50

び現像などを行って、チップ埋め込み用凹部形成領域を開口する。

【0034】

次に、図2(b)に示すように、例えば、レジスト膜11をマスクとしてドライまたはウェットエッチングを行い、シリコン基板10にチップ埋め込み用凹部10aを形成する。チップ埋め込み用凹部10aの深さは、埋め込む半導体チップの板厚とダイアタッチフィルムの膜厚を合わせた厚みに合わせることが好ましく、例えば数10 $\mu$ m程度とする。また、チップ埋め込み用凹部10aの広さは、半導体チップのサイズより片側30 $\mu$ m大きく形成する。これは後工程で樹脂を埋め込みときのボイドの発生を抑制するためである。

【0035】

次に、図2(c)に示すように、例えば、レジスト膜11を除去した後、図2(d)に示すように、例えば熱酸化法、CVD(化学気相成長)法あるいはスパッタリング法などにより、300nmの膜厚の酸化シリコンからなる下地絶縁膜12を形成する。

【0036】

次に、図3(a)に示すように、例えば、チップ埋め込み用凹部10a内を被覆して全面に、スパッタリング法によりTiCu層13aを形成する。膜厚は、例えばTiを300nm、Cuを300nmとする。

【0037】

次に、図3(b)に示すように、例えば、スピン塗布などによりレジスト膜13bを形成し、フォトリソグラフィ工程により露光及び現像などを行い、アライメントマークのパターンにパターニングする。例えば、半導体チップの1辺または2辺において形成され、チップ埋め込み用凹部10aの縁部近傍、例えば半導体チップのマウント位置のエッジから50 $\mu$ m離れた場所におけるL形状のパターンとする。

【0038】

次に、図3(c)に示すように、例えば、レジスト膜13bをマスクとしてTiCu層13aをRIEなどのドライエッチングによりパターン加工し、TiCuからなるアライメントマーク13とする。

【0039】

次に、図4(a)に示すように、レジスト膜13bを除去した後、図4(b)に示すように、例えば、チップ埋め込み用凹部10aの底面上において、予め別工程で形成された、半導体本体部分14aの能動素子が形成された回路面にパッド14bが形成され、パッド14bを除く領域は酸化シリコンなどの保護層14cで覆われた構成の第1半導体チップ14を、ダイアタッチフィルム14dにより、フェースアップで、即ち、パッド14bの形成面が上面を向くようにしてマウントする。

【0040】

第1半導体チップ14の製造方法においては、例えば、研削法などにより25~50 $\mu$ mまで薄型化し、接着剤であるダイアタッチフィルム14dを裏面にラミネートし、フルカットダイシングすることで個片薄型化を行う。

また、例えば、チップ埋め込み用凹部10aが半導体チップのサイズより片側30 $\mu$ mずつ大きくなるように形成されており、上記のように半導体チップを搭載したときの半導体チップの側面と凹部の内壁面の間隔Wが30 $\mu$ m程度となる。

【0041】

上記の第1半導体チップの搭載においては、アライメントマーク13と第1半導体チップ14のパッド14bを同時に認識して高精度に搭載を行う。

搭載条件は、チップサイズが1.5mmの場合、温度160、荷重1.6N、時間2秒とする。チップサイズにより搭載の荷重を調整する。

搭載後、ダイアタッチフィルム14dの硬化のため、170、1時間以上で硬化処理を行う。

【0042】

次に、図4(c)に示すように、例えば、スピンコート法あるいは印刷法などにより、

10

20

30

40

50

ポリイミド樹脂、シリコン変性ポリイミド樹脂、エポキシ樹脂、BCB樹脂、PBO樹脂などの絶縁材料を供給し、チップ埋め込み用凹部内10aを埋め込んで第1半導体チップ14を被覆する第1樹脂層15を形成する。第1樹脂層15は硬化後に50 $\mu$ m程度の膜厚となるようにする。

【0043】

次に、図5(a)に示すように、例えば、露光量300mJ/cm<sup>2</sup>でパターン露光及び現像し、第1半導体チップ14のパッド14bに達する開口部15aを第1樹脂層15に形成する。開口部15aのサイズは、例えば直径50 $\mu$ m程度である。

現像後、300(60分)のポストキュア処理を行って第1樹脂層15を硬化させる。

10

【0044】

次に、図5(b)に示すように、例えば、デスカム処理を行い、スパッタリングの前処理エッチングを行い、さらにスパッタリングにより第1樹脂層15の開口部15a内を被覆して全面にTiCu膜を成膜してシード層16とする。例えば、膜厚はTiが160nm、Cuが600nmとする。

【0045】

次に、図5(c)に示すように、例えば、第1樹脂層15に形成した開口部15aと第1配線の形成領域以外にメッキされるのを防止するために、レジスト塗布及び現像処理を行い、第1樹脂層15の開口部15aと第1配線の形成領域を開口するパターンのレジスト膜17を成膜する。

20

【0046】

次に、図6(a)に示すように、例えば、レジスト膜17をマスクとし、シード層16を一方の電極とする電解メッキにより銅をメッキして、第1樹脂層15に形成した開口部15aと第1配線の形成領域に銅層18を形成する。

【0047】

次に、図6(b)に示すように、例えば、アッシング処理などによりレジスト膜17を除去する。

【0048】

次に、図6(c)に示すように、例えば、レジスト塗布及び現像処理を行い、導電性ポストの形成領域を開口するパターンのレジスト膜19を成膜する。

30

【0049】

次に、図7(a)に示すように、例えば、シード層16を一方の電極とした銅の電解メッキにより、導電性ポスト用の開口部内に導電性ポスト20を形成する。導電性ポスト20は、例えば50 $\mu$ m程度の高さとする。

【0050】

次に、図7(b)に示すように、例えば、レジスト膜19を除去し、図7(c)に示すように、導電性ポスト20及び銅層18をマスクとしてシード層16をエッチング加工する。これにより、シード層16及び銅層18からなる第1配線が形成され、さらに第1配線上に導電性ポストが形成された構成とする。

40

【0051】

次に、図8(a)に示すように、例えば、予め別工程で形成された、半導体本体部分21aの能動素子が形成された回路面にパッド21bが形成され、パッド21bを除く領域は酸化シリコンなどの保護層21cで覆われた構成の第2半導体チップ21を、第1半導体チップ14の上方であって、第1樹脂層15及び第1配線の上層に、ダイアタッチフィルム21dにより、フェースアップで、即ち、パッド21bの形成面を上面にしてマウントする。

このとき、第1配線を形成するときなどにおいて予め形成したアライメントマークと第2半導体チップのパッドを同時に認識して高精度に搭載を行う。

【0052】

第2半導体チップ21の製造方法においては、例えば、研削法などにより25~50 $\mu$

50



mまで薄型化し、接着剤であるダイアタッチフィルム21dを裏面にラミネートし、フルカットダイシングすることで個片薄型化を行う。

搭載条件は、チップサイズが1.5mmの場合、温度160、荷重1.6N、時間2秒とする。チップサイズにより搭載の荷重を調整する。

搭載後、ダイアタッチフィルム21dの硬化のため、170、1時間以上で硬化処理を行う。

#### 【0053】

次に、図8(b)に示すように、例えば、スピンコート法あるいは印刷法などにより、BCB樹脂、ポリイミド樹脂、エポキシ樹脂、PBO樹脂などの感光性絶縁材料を供給し、第2樹脂層22を形成する。例えば、硬化後に50μmの膜厚となるように形成する。

10

#### 【0054】

次に、図8(c)に示すように、例えば、露光量300mJ/cm<sup>2</sup>でパターン露光及び現像し、導電性ポスト20の上面及び第2半導体チップ21のパッド21bに達する開口部22aを第2樹脂層22に形成する。

現像後、300(60分)のポストキュア処理を行って第2樹脂層22を硬化させる。

#### 【0055】

次に、図9(a)に示すように、例えば、デスカム処理を行い、スパッタリングの前処理エッチングを行い、さらにスパッタリングにより第2樹脂層22の開口部22a内を被覆して全面にTiCu膜を成膜してシード層23とする。例えば、膜厚はTiが160nm、Cuが600nmとする。

20

#### 【0056】

次に、図9(b)に示すように、例えば、第2樹脂層22に形成した開口部22aと第2配線の形成領域以外にメッキされるのを防止するために、レジスト塗布及び現像処理を行い、第2樹脂層22の開口部22aと第2配線の形成領域を開口するパターンのレジスト膜24を成膜する。

#### 【0057】

次に、図9(c)に示すように、例えば、レジスト膜24をマスクとし、シード層23を一方の電極とする電解メッキにより銅をメッキして、第2樹脂層22に形成した開口部22aと第2配線の形成領域に銅層25を形成する。

30

#### 【0058】

次に、図10(a)に示すように、例えば、アッシング処理などによりレジスト膜24を除去する。

#### 【0059】

次に、図10(b)に示すように、例えば、レジスト膜26を成膜あるいは感光性ドライフィルムを貼り合わせ、パターン露光及び現像して導電性ポスト用の開口部を形成する。

#### 【0060】

次に、図10(c)に示すように、例えば、シード層23を一方の電極とした銅の電解メッキにより、導電性ポスト用の開口部内に導電性ポスト27を形成する。導電性ポスト27は、例えば直径180~300μm、高さ80~180μmとする。

40

#### 【0061】

次に、図11(a)に示すように、例えば、レジスト膜26あるいはドライフィルムを除去し、図11(b)に示すように、導電性ポスト27及び銅層25をマスクとしてシード層23をエッチング加工する。これにより、シード層23及び銅層25からなる第2配線が形成される。

#### 【0062】

次に、図11(c)に示すように、例えば、エポキシ系樹脂、ポリイミド系樹脂、シリコン系樹脂、ポリアミドイミド樹脂、ポリイミド樹脂、フェノール樹脂あるいはポリパラフェニレンベンゾビスオキサゾール樹脂などの樹脂を、スピンコート、印刷またはモー

50

ルドなどにより成膜し、導電性ポスト 27 を完全に覆うような膜厚で絶縁性のバッファ層 28 を形成する。

【0063】

次に、図 12 ( a ) に示すように、例えば、バッファ層 28 の樹脂硬化後に、研削により導電性ポスト 27 の頭出しを行う。このときの条件は、例えば # 600 のホイールを用い、3500 rpm、0.5 mm / 秒とする。

【0064】

次に、図 12 ( b ) に示すように、例えば、導電性ポスト 27 に接続するように、例えばハンダボールの搭載、あるいはハンダペーストの印刷などにより、バンプ ( 突起電極 ) 29 を形成する。

【0065】

次に、図 12 ( c ) に示すように、例えば、シリコン基板 10 の裏面側から BGR により所望の薄さまで薄型化し、さらにブレード B によりシリコン基板 10 をダイシングして薄型個片化する。

【0066】

上記の本実施形態に係る半導体装置の製造方法によれば、SiP 形態の半導体装置において、基板に形成されたチップ埋め込み用凹部の底面上に第 1 半導体チップをマウントし、さらにその上方に積層して第 2 半導体チップをマウントするので、絶縁層に生じる段差に対して第 1 半導体チップの分影響が軽減され、2 個以上の半導体チップをスタック型に一体化しても段切れを抑制して、また、実装基板に実装したときの実装基板との間に生じる応力緩和に寄与する導電性ポストの高さのばらつきを低減して応力緩和機能を確保して、半導体装置を製造することができる。

【0067】

上記の本実施形態に係る半導体装置に内蔵される半導体チップとしては、デジタル、デジタルチップの組み合わせ、アナログ、アナログチップの組み合わせ、デジタル、アナログチップの組み合わせにおいて相互干渉にないスタック型薄型構造が可能である。

また、1 層目と 2 層目のチップサイズは、再配線構造のため大小関係の制約を受けない。いずれのチップもワイヤーボンディングでの接続がないので、ワイヤのループ高さの分絶縁膜の厚さを厚くする必要がなく、薄型化のスタック構造が実現する。

高熱放散性が必要な半導体チップを 1 層目に配置し、シリコン基板の高熱放散性を利用させることで低熱抵抗型の SiP を構成することが可能である。

【0068】

( 変形例 )

上記の実施形態においては、シリコン基板と第 1 半導体チップの間にノイズ遮蔽層は形成されていないが、チップ埋め込み用凹部 10 a 内において、シリコン基板 10 と第 1 半導体チップ 14 の間にノイズ遮蔽層となる誘電体層あるいは導電層が形成された構成とすることができる。

例えば、チップ埋め込み用凹部 10 a 内における底面上の所定の領域に、誘電体層あるいは導電層をパターン形成し、導電層の場合にはグラウンドなど一定電位に固定されるように電氣的に接続して製造することができる。例えば、アライメントマークを形成するために成膜された TiCu 層を、チップ埋め込み用凹部の底面上において、30 μm のメッシュのパターンにエッチング加工し、これをグラウンド電位に固定することなどによりノイズ遮蔽層とすることができる。

このように、ノイズ遮蔽層となる誘電体層あるいはグラウンドパターンとなる導電層が設けられていると、チップ間のノイズをさらに抑制できる。

【0069】

第 2 実施形態

図 13 は本実施形態に係る SiP 形態の半導体装置の断面図である。

実質的に第 1 実施形態の半導体装置と同様の構成であるが、シリコン基板 10 に形成されたチップ埋め込み用凹部 10 a の底面が露出する程度にまで、シリコン基板 10 の裏面

10

20

30

40

50

側から研削された構成である。

第1実施形態の半導体装置よりもさらに薄型化を実現できる。

また、図14は本実施形態に係るSiP形態の半導体装置の変形例の断面図である。

図13の半導体装置よりもさらにシリコン基板10裏面からの研削が進められ、第1半導体チップ14の途中まで研削された構成である。

第1半導体チップ14は回路面が上方を向いてマウントされているので、シリコン基板10側から研削されても問題はなく、図13の半導体装置よりもさらに薄型化を実現できる。

【0070】

本発明は上記の説明に限定されない。

10

例えば、第1及び第2配線などに、インダクタンスやキャパシタなどの受動素子が形成されていてもよい。

実施形態においては、絶縁層中の配線として2層の配線(第1配線及び第2配線)が形成されているが、これに限らない。樹脂の絶縁層の層数も上記のような層数などに限定されない。

シリコン基板自体にも能動素子などを含む電子回路が形成されていてもよい。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【産業上の利用可能性】

【0071】

本発明の半導体装置は、システムインパッケージ形態の半導体装置に適用できる。

20

【0072】

本発明の半導体装置の製造方法は、システムインパッケージ形態の半導体装置の製造方法に適用できる。

【図面の簡単な説明】

【0073】

【図1】図1は本発明の第1実施形態に係る半導体装置の断面図である。

【図2】図2(a)~(d)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図3】図3(a)~(c)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

30

【図4】図4(a)~(c)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図5】図5(a)~(c)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図6】図6(a)~(c)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図7】図7(a)~(c)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図8】図8(a)~(c)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

40

【図9】図9(a)~(c)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図10】図10(a)~(c)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図11】図11(a)~(c)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図12】図12(a)~(c)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図13】図13は本発明の第2実施形態に係る半導体装置の断面図である。

【図14】図14は本発明の第2実施形態に係る半導体装置の変形例の断面図である。

50

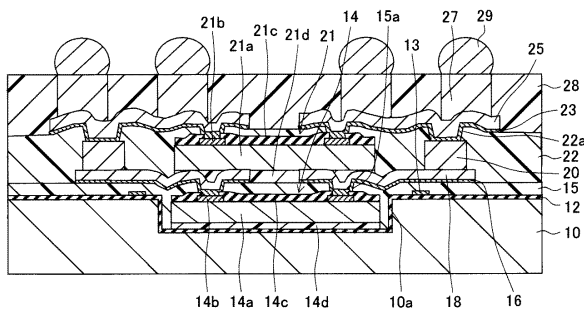
【図15】図15は従来例に係る半導体装置の断面図である。

【符号の説明】

【0074】

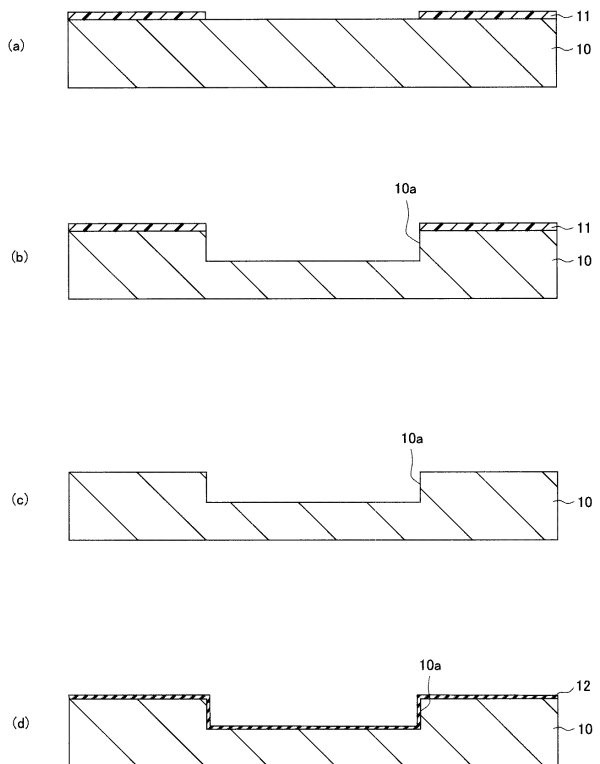
10...シリコン基板、11...レジスト膜、12...下地絶縁膜、13...アライメントマーク、13a...TiCu層、13b...レジスト膜、14...第1半導体チップ、14a...半導体本体部分、14b...パッド、14c...保護層、14d...ダイアタッチフィルム、15...第1樹脂層、15a...開口部、16...シード層、17...レジスト膜、18...銅層、19...レジスト膜、20...導電性ポスト、21...第2半導体チップ、21a...半導体本体部分、21b...パッド、21c...保護層、21d...ダイアタッチフィルム、22...第2樹脂層、22a...開口部、23...シード層、24...レジスト膜、25...銅層、26...レジスト膜、27...導電性ポスト、28...バッファ層、29...バンプ、B...ブレード

【図1】

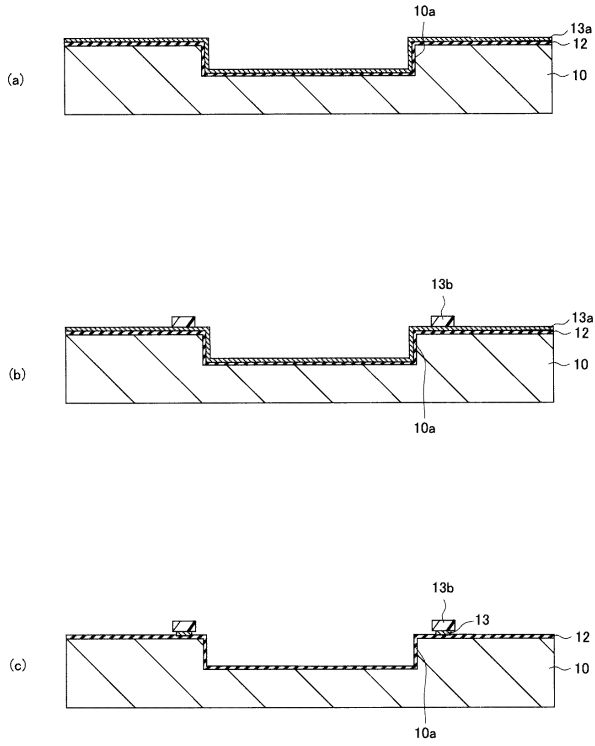


10...基板  
 10a...チップ埋め込み用凹部  
 14...第1半導体チップ  
 21...第2半導体チップ

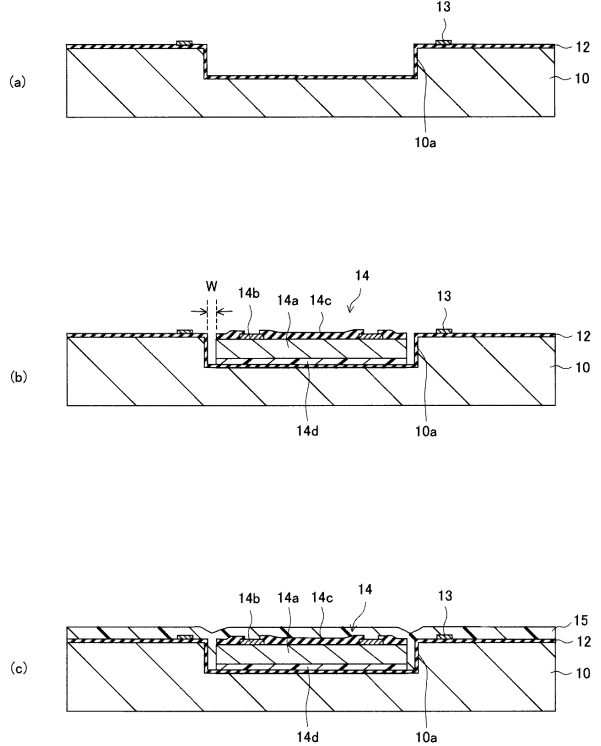
【図2】



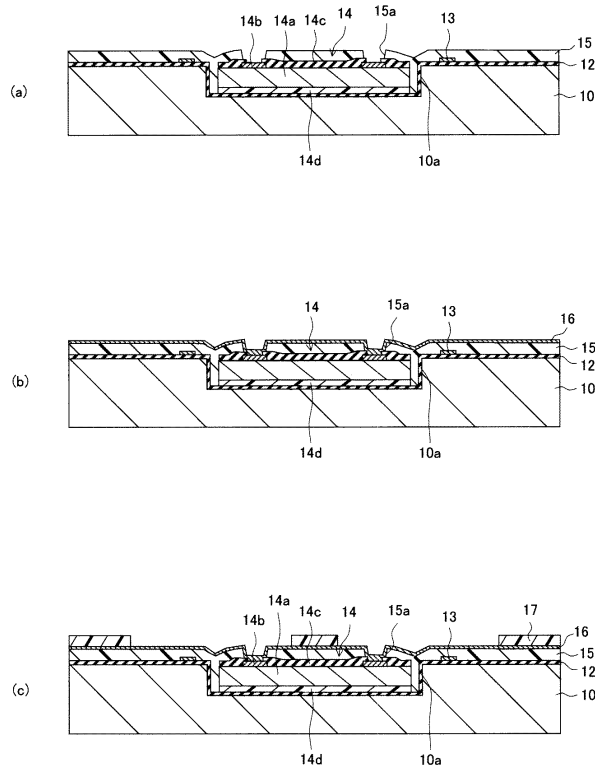
【 図 3 】



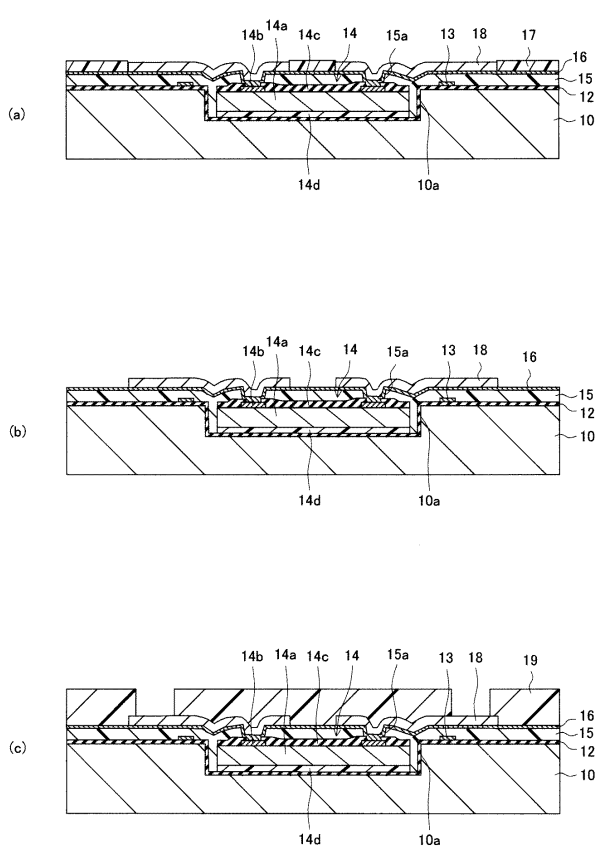
【 図 4 】



【 図 5 】



【 図 6 】







---

フロントページの続き

- (56)参考文献 特開2006-005053(JP,A)  
特開昭58-105561(JP,A)  
特開2005-158999(JP,A)  
特開2007-035847(JP,A)  
特開2004-056093(JP,A)  
特開2005-191157(JP,A)  
特開2002-270712(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065  
H01L 25/07  
H01L 25/18  
H05K 3/46