



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

215 895

(11) (B 1)

(51) Int. Cl.³ G 01 R 19/04

(61)

(23) Výstavní priorita
(22) Přihlášeno 26 06 78
(21) PV 4170-78

(40) Zveřejněno 31 12 81
(45) Vydáno 15 07 84

(75)
Autor vynálezu

TKADLEC STANISLAV ing.,
KRŮTA VÁCLAV ing.,
PAULÍČEK JAN ing., BRNO

(54) Zapojení dvouúrovňového napěťového komparátoru

1

Vynález se týká zapojení dvouúrovňového napěťového komparátoru.

Dosavadní kontrola horní a dolní napěťové meze se realizuje pomocí různých variant zapojení komparátoru minimálně se dvěma operačními zesilovači. Obvykle jeden operační zesilovač kontroluje dolní napěťovou mez a druhý operační zesilovač kontroluje horní napěťovou mez, přičemž výstupy operačních zesilovačů jsou vedeny na součtové hradlo. Realizace takového zapojení je poměrně nákladná na prostor, především v případě, když je třeba stejný obvod realizovat vícekrát.

Uvedené nedostatky odstraňuje zapojení dvouúrovňového napěťového komparátoru podle vynálezu, jehož podstata spočívá v tom, že vstup obvodu je připojen na anodu první diody, jejíž katoda je připojena na vstup prvního odporového děliče, který má výstup připojen ke svorce zdroje kladného napájecího napětí a druhý výstup připojen k druhému odporovému děliči připojenému prvním výstupem na svorku zdroje záporného napájecího napětí a druhým výstupem na neinvertující vstup operačního zesilovače, přičemž vstup obvodu je současně připojen na katodu druhé diody, jejíž anoda je připojena na třetí odporový dělič, jehož první výstup je připojen ke svorce zdroje záporného napájecího napětí a druhý výstup je spojen se čtvrtým odporovým děličem, jehož první výstup je spojen se svorkou zdroje kladného napájecího napětí a druhý výstup je připojen na invertující vstup operačního zesilovače.

Výhody zapojení spočívají v tom, že se dosáhne úspory aktivních a pasivních elektro-

technických součástí, zmenšení rozměrů a úspora prostoru.

Na připojených výkresech je na obr. 1 znázorněno blokové schéma zapojení dvouúrovňového napěťového komparátoru na obr. 2 jeho podrobné schéma zapojení.

V blokovém schématu zapojení obvodu je vstup 1 obvodu připojen přes první diodu 2 na první odporový dělič 12, jehož první výstup je připojen na svorku 16 zdroje kladného napájecího napětí a druhý výstup je připojen ke druhému odporovému děliči 13, který je připojen prvním výstupem na svorku 17 zdroje záporného napájecího napětí a druhým výstupem na neinvertující vstup operačního zesilovače 10. Obdobně vstup 1 obvodu je spojen přes druhou diodu 3 na třetí odporový dělič 15, jehož první výstup je připojen ke svorce 17 zdroje záporného napájecího napětí a druhý výstup je spojen se čtvrtým odporovým děličem 14, jehož první výstup je spojen se svorkou 16 zdroje kladného napájecího napětí a druhý výstup je připojen na invertující vstup operačního zesilovače 10, jehož výstup je současně i výstupem 11 obvodu. Funkce zapojení je taková, že druhý odporový dělič 13 a čtvrtý odporový dělič 14 slouží k nastavení nulové úrovně na výstupu 11 operačního zesilovače 10 v klidové poloze a první odporový dělič 12 a třetí odporový dělič 15 slouží k nastavení horní a dolní napěťové meze. V případě, že kontrolované vstupní napětí překročí horní nastavenou napěťovou mez, která je nastavená na prvním odporovém děliči 12, nebo dolní napěťovou mez nastavenou na třetím odporovém děliči 15, dojde k překlopení operačního zesilovače 10 do saturačního stavu po předchozím sepnutí první diody 2 nebo druhé diody 3 a rozvážení mostu sestaveného z prvního odporového děliče 12, druhého odporového děliče 13, třetího odporového děliče 15 a čtvrtého odporového děliče 14. Kontrolované vstupní napětí může být v rozsahu 0 až U_n , 0 až $-U_n$, nebo $-U_n$ až $+U_n$, kde U_n je napájecí napětí operačního zesilovače 10. Překročení nastavených mezí vstupního napětí může být indikováno kladným nebo záporným saturačním napětím, které určuje, zda vstupní sledované napětí je větší než horní nastavená napěťová mez a menší než dolní nastavená napěťová mez, a to v závislosti na tom, zda druhý odporový dělič 13 je připojen na neinvertující vstup operačního zesilovače 10 a čtvrtý odporový dělič 14 je připojen na invertující vstup operačního zesilovače 10, přičemž může být druhý vstup druhého odporového děliče 13 s výhodou připojen na invertující vstup operačního zesilovače 10 a druhý výstup čtvrtého odporového děliče 14 je s výhodou připojen na neinvertující vstup operačního zesilovače 10. Na obr. 2 je podrobné schéma zapojení obvodu realizované konkrétními součástkami, ve kterém první odporový dělič 12 je tvořen sériovým zapojením odporu 4 prvního odporového děliče 12 a společného odporu 5 prvního a druhého odporového děliče 12, 13, druhý odporový dělič 13 je tvořen sériovým zapojením odporu 6 druhého odporového děliče 13 a společným odporem 5 prvního a druhého odporového děliče 12, 13, třetí odporový dělič 15 je tvořen sériovým zapojením odporu 9 třetího odporového děliče 15 a společného odporu 8 třetího a čtvrtého odporového děliče 15, 14 a čtvrtý odporový dělič 14 je tvořen sériovým zapojením odporu 7 čtvrtého odporového děliče 14 a společným odporem 8 třetího a čtvrtého odporového děliče 15, 14. Při nastavování poměrů odporových děličů je nutné počítat s úbytky napětí na reálných diodách.

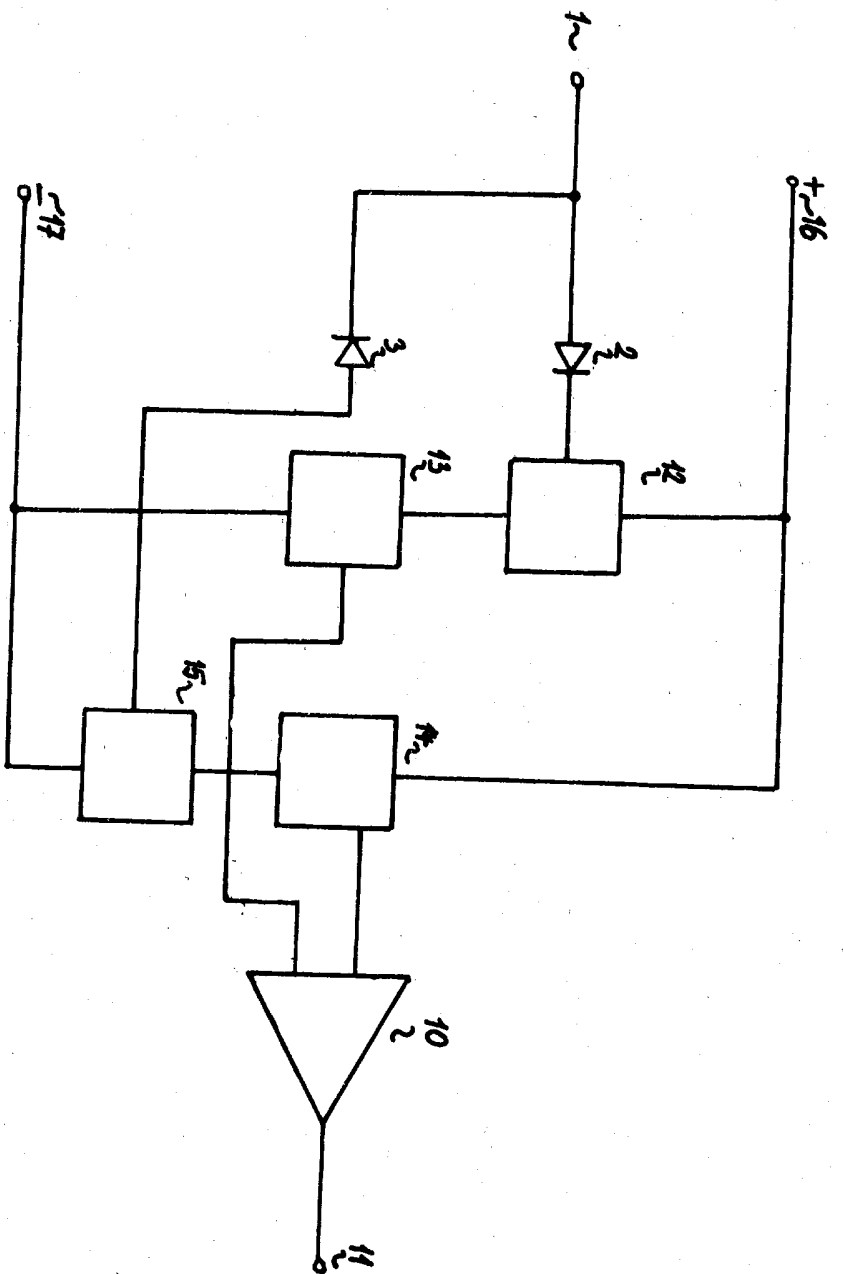
Zapojení lze využít v obměnách pro různé varianty obvodů pro kontrolu horní a dolní napěťové meze, v regulační technice k převodu pulsů obojí polarity na pulsy o stejné pola-

ritě (buď kladné nebo záporné) a podobně.

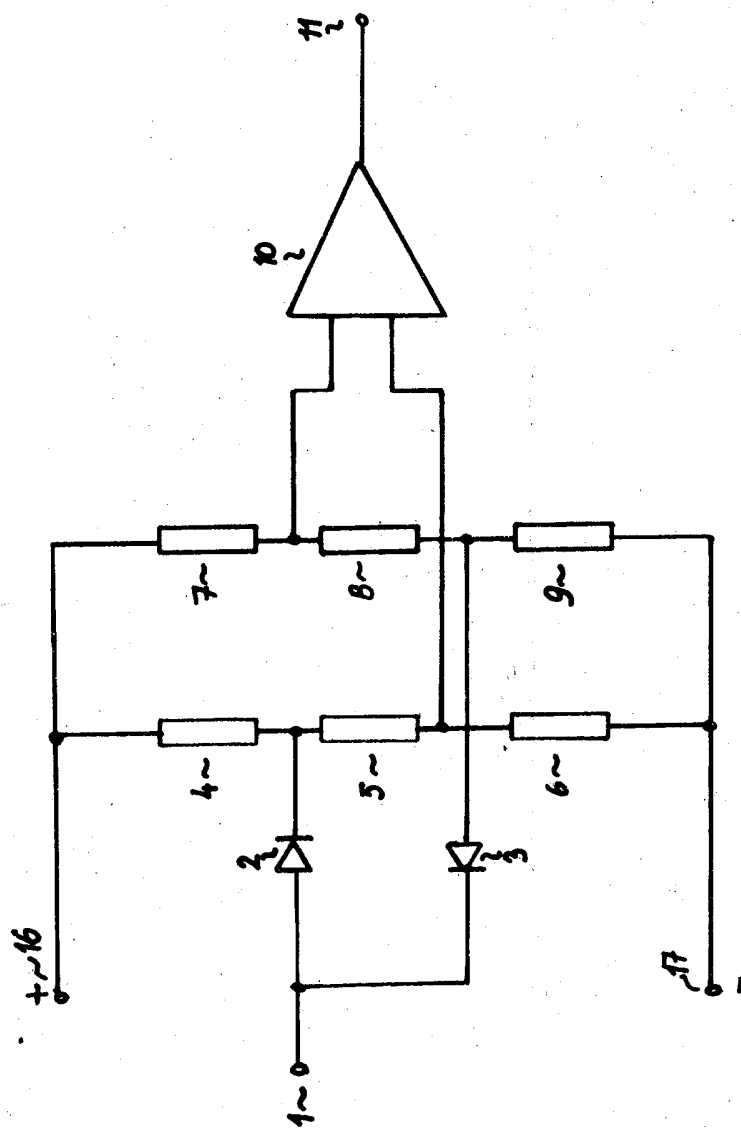
PŘEDMĚT VYNÁLEZU

Zapojení dvouúrovňového napěťového komparátoru, vyznačené tím, že vstup (1) obvodu je připojen na anodu první diody (2), jejíž katoda je připojena na vstup prvního odporového děliče (12), který má výstup připojen ke svorce (16) zdroje kladného napájecího napětí a druhý výstup připojen k druhému odporovému děliči (13) připojenému prvním výstupem na svorku (17) zdroje záporného napájecího napětí a druhým výstupem na neinvertující vstup operačního zesilovače (10), přičemž vstup (1) obvodu je současně připojen na katodu druhé diody (3), jejíž anoda je připojena na třetí odporový dělič (15), jehož první výstup je připojen ke svorce (17) zdroje záporného napájecího napětí a druhý výstup je spojen se čtvrtým odporovým děličem (14), jehož první výstup je spojen se svorkou (16) zdroje kladného napájecího napětí a druhý výstup je připojen na invertující vstup operačního zesilovače (10).

2 výkresy



Obj. 1.



Obr. 2.

O P R A V A

popisu vynálezu k autorskému osvědčení č. 215 895
Int.Cl.³ G 01 R 19/04

V popisu vynálezu k autorskému osvědčení č. 215 895 je
chybně vytištěno jméno u druhého autora.

Správně:.. KŮTA VÁCLAV ing.,

ÚŘAD PRO VYNÁLEZY A OBJEVY