

91131350 發明專利說明書 200411892

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：91131350 ※IPC分類：H01L23/538

※申請日期：91 12 25

壹、發明名稱

(中文) 半導體裝置及積層型半導體裝置

(英文) SEMICONDUCTOR DEVICE, AND LAMINATED SEMICONDUCTOR DEVICE

貳、發明人(共3人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 大野貴雄

(英文) Takao OHNO

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-
ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

參、申請人(共1人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商・富士通股份有限公司

(英文) FUJITSU LIMITED

住居所或營業所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome,
Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 秋草直之

(英文) Naoyuki Akikusa

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 吉田英治

(英文) Eiji YOSHIDA

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,
Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 3

姓名：(中文) 三澤洋

(英文) Hiroshi MISAWA

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,
Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 4

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 5

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. PCT； 2002.12.17； PCT/JP02/13198

2. _____

3. _____

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

發明領域

本發明是有關於一種半導體裝置，以及積層半導體元件所構成之積層型半導體裝置。

【先前技術】

發明背景

近年來，隨著半導體裝置之高性能化而使積層多數半導體元件之積層型半導體裝置普及起來。對於如此的積層型半導體裝置，要被積層之半導體元件之間的配線方法，一般為引線接合方式。

第 1 圖表示使用引線接合方式而配線之積層型半導體裝置 100 的構成例。

參照第 1 圖，於間隔載板 111 上藉由絕緣體 103 而設置半導體元件 101，並藉由絕緣體 104 而於該半導體元件 101 上設置半導體元件 102。又，於半導體元件配設圖式未顯示之有源元件、無源元件等，藉使用引線 107 之引線接合方式而從連接此等元件之配線連接部 105 配線至前述間隔載板之接點部 109。

同樣地，於半導體元件 102 配設著圖式未顯示之有源元件、無源元件等，藉使用引線 108 之引線接合方式而從連接此等元件之配線連接部 106 配線至前述間隔載板之接點部 109。又，前述半導體元件 101、102 及引線 107、108 等構件藉 MOLD 樹脂而固定於前述間隔載板 111。

玖、發明說明

使用前述之引線接合方式之積層型半導體裝置 100，會有導因於引線之環形狀差異，或是配線連接部與引線之連接部之電阻值的不均等引線接合之加工的不均問題之虞。

- 5 又，因以引線來配線則有必要露出半導體元件上的配線連接部，故於積層半導體元件時，總是要會造成上層的二
半導體元件必須比下層的二半導體元件小那樣的尺寸限制，而會有限制要形成積層型半導體裝置時的設計自由度等問題。

10 【發明內容】

發明揭示

- 因此，本發明之目的，即在提供可解決上述課題之新穎而有用的半導體裝置。本發明之具體的課題在於提供比習知半導體元件之配線的引線接合更良好的配線精確度，
15 且具有加工不均少的配線及半導體元件的二半導體裝置。

本發明之其他課題在於使積層半導體元件之際無尺寸限制而提昇積層型半導體裝置之設計自由度。

- 本發明使用具有以下特徵之半導體裝置來解決上述的課題，該半導體裝置係具有於一側主面配設多數電極的二
20 半導體元件、及於絕緣基板配設多數導電層的配線基板，前述配線基板係沿著前述半導體元件之外緣部而配設成略コ字形狀，該配線基板之前述導電層之一端連接半導體元件之電極，且該導電層之另一端係導出於該半導體元件之另一側主面而與該半導體元件不同方向來構成。

玖、發明說明

依據本發明，由於係沿著前述半導體元件之外緣部以形成使用前述配線基板之前述導電層的配線，因此本發明比較於形成環狀之習知引線配線能將形成配線部之際的配線長度設成最短，且能將配線長度之不均抑制於最小限。

- 5 依據本發明，於絕緣基板配設導電層而作為配線基板，而以將該配線基板沿著前述半導體元件之外緣而配設的狀態，乃能於前述配線基板上積層其他半導體元件。爰此，能於半導體元件上積層與該半導體元件同尺寸、或是積層比該半導體元件大尺寸的半導體元件，能於形成積層型
- 10 半導體元件之際不受半導體元件大小的限制而具有積層型半導體裝置之設計自由度。

【實施方式】

較佳實施樣態之詳細說明

依據第 2 圖～第 15 圖來說明本發明之實施樣態。

- 15 第 2 圖表示依據本發明所構成之積層型半導體裝置 10 之構成的斷面圖。參照第 2 圖，前述積層型半導體裝置 10 之概略係於間隔載板 11 上配設半導體元件 1～3 之構成而形成。前述半導體元件 1～3 係藉著由該半導體元件 1～3 之各個下面至側面，且沿伸至上面的外緣而設置之各個積
- 20 層構件 4～6 所支持。

於前述半導體元件 1～3 分別形成圖式未顯示之例如有源型元件、無源型元件等元件，並設置連接此等元件之配線連接部 1a～3a，而且於該配線連接部 1a～3a 上分別配置配線接觸部 1b～3b。前述配線接觸部 1b～3b 連接於設置

玖、發明說明

在前述積層構件 4~6 之將於後述的配線部。

以前述配線部，與設置於連接該配線部之前述積層構件 4~6 下部之各個積層接觸部 1c~3c 而形成前述積層型半導體裝置 101 之配線。經形成之配線藉由積層接觸部 1c 而連接前述間隔載板的接點部 9。有關如此配線構造之詳細說明將於後段記述。

以使用具有變換習知引線接合之配線部的積層構件而形成積層型半導體裝置，因此能將半導體元件載置於半導體元件之配線連接部上的空間，如第 2 圖所示，能積層相同尺寸之半導體元件而形成積層型半導體裝置。

又，使用如此的積層構件而形成積層型半導體構件的情形下，不僅是相同尺寸之半導體元件，且如第 3 圖所示，可藉不同尺寸之半導體元件而形成積層型半導體裝置，能使形成積層型半導體裝置之際的半導體元件尺寸不受限制。

第 3 圖係使用前述積層構件而以各別不同尺寸之前述半導體元件 1、半導體元件 2' 及半導體元件 3' 而形成積層型半導體裝置 201 之構成的斷面圖。惟，圖中之前說明之部分則賦予相同的參照標號而省略說明。

參照第 3 圖，於前述半導體元件 1 上，將比該半導體元件 1 尺寸小的半導體元件 2'，及比該半導體元件 2' 尺寸大而比該半導體元件 1 小的半導體元件 3' 積層於前述間隔載板 11。前述半導體元件 1~3 係藉著由該半導體元件 1~3 之各個下面至側面，且沿伸至上面的外緣而設置之各個

玖、發明說明

積層構件 4'~6'所支持。

於前述半導體元件 1'、2'、3'之一側主面(上面)分別形成圖式未顯示之例如有源型元件、無源型元件等元件，並設置連接此等元件之配線連接部 1a、2a'、3a'，且於該配
5 線連接部 1a、2a'、3a'上分別設置配線接觸部 1b、2b'、3b'。前述配線接觸部 1b、2b'、3b'連接設置於前述積層構件 4'~6'之將於後段記述的配線部。

以前述配線部，與設置於連接該配線部之前述積層構件 4'~6'下部之各個積層接觸部 1c~3c 而形成前述積層型
10 半導體裝置 10 之配線。經形成之配線藉由積層接觸部 1c 而連接前述間隔載板的接點部 9。

如本圖所示，藉使用前述之積層構件而能於半導體元件上形成積層比該半導體元件大之半導體元件的積層型半導體裝置。即，因能不受形成積層型半導體裝置之際之半
15 導體元件尺寸的限制，故能達到提昇設計積層型半導體裝置之際的自由度的效果。

其次，依據第 4 圖來說明依前述之積層構件所構成之配線方法的詳細。第 4 圖係擴大第 2 圖所示之積層型半導體裝置之一部分的圖式。惟於圖中對於之前說明的部分賦
20 予相同的元件標號而省略一部分的說明。

參照第 4 圖，首先以前述積層構件 4 的情形為例，該積層構件 4 之概略係由，將絕緣體所構成之薄板折彎成略コ字形狀而從之各個下面至側面，且沿伸至上面的外緣而形成之配線基板 4a 及該配線基板 4a 之形成在內接於前述

玖、發明說明

半導體元件 1 側之面的配線部 4b，且形成在該配線構件 4b 內側之絕緣體所構成之保護層 4c 所構成。

又，前述配線部 4b 係通過前述半導體元件 1 之上面側(設置前述配線連接部之側)之前述配線基板 4a 的貫通孔而
5 導出於該配線基板 4a 的外側而於該配線部 4b 上形成接觸電極 4g。同樣地，前述配線部 4b 係通過前述半導體元件 1 之下面側(對向於前述上面側之側)之前述配線基板 4a 的貫通孔而導出於該配線基板 4a 的外側而於該配線部 4b 上形成接觸電極 4f。

10 前述接觸電極 4g 連接於接觸配設在前述積層構件 5 之配線部 5b 的接觸電極 5f，前述接觸電極 4f 藉由形成在前述間隔載板 11 之配線部(圖式未顯示)而電性連接於設置在其下面的接點部 9。又，前述配線部 4b 與前述配線接觸部 1b 藉由接觸電極 4h 而連接。

15 配設於前述積層構件 5 之配線部 5b 與前述配線部 4b 的情形相同，形成被配線基板 5a 與保護層 5c 夾持的構造，並沿著前述半導體元件 2 下面、外緣及上面而形成。

又，前述配線部 5b 從前述半導體元件 2 之上面側(形成配線連接部之側)之前述配線板 5a 的貫通孔導出而於該
20 配線部 5b 上形成接觸電極 5g。又，前述配線部 5b 與前述配線接觸部 2b 藉由接觸電極 5h 而連接。

其次，對於前述積層構件 6，配設於該積層構件 6 之配線部 6b 與前述配線部 4b 及 5b 的情形相同，形成被配線基板 6a 與保護層 6c 夾持而的構造，並沿著前述半導體元

玖、發明說明

件 3 下面、外緣及上面而形成。

又，前述配線部 6b 從前述半導體元件 3 之下面側之前述配線基板 6a 的貫通孔導出而於該配線部 6b 形成接觸電極 6f。前述配線部 6b 藉由前述接觸電極 6f 及 5g 而連接於
5 前述配線部 5b。又，前述配線部 6b 與前述配線接觸部 3b 藉由接觸電極 6h 而連接。

如此一來，半導體元件 1~3 之各個配線連接部 1a~3a 及前述間隔載板 11 之前述接點部 9 藉前述積層構件 4~6 而電性地連接。又，前述積層構件 4~6 亦分別具有保持
10 前述半導體元件 1~3 的功用。而且，以下有關使用此等積層構件之構造詳細乃以積層構件 5 為例並使用第 5 圖來詳細說明。

第 5 圖係前述積層構件 5 及前述半導體元件 2 之進一步擴大圖。惟圖中對於之前說明的部分賦予相同的元件標
15 號而省略一部分的說明。

於該構成中，前述半導體元件 2 例如具有 $25\mu\text{m}$ 以上的厚度，係配設圖式未顯示之有源元件、無源元件而配設其電性地連接此等元件之例如 A1 所構成之前述配線連接部
20 2a 的 Si 半導體晶片。並於前述配線連接部 2a 上形成配線接觸部 2b。

如前述一般，前述配線基板 5a 沿著前述半導體元件 2 下面、側面及上面的外緣而配設，絕緣體之薄膜係由例如 $20\sim 75\mu\text{m}$ 範圍的聚醯亞胺所構成。

形成在前述配線基板 5a 之內側的前述配線部 5b 由厚

玖、發明說明

度由 $2\ \mu\text{m}$ ~ $10\ \mu\text{m}$ 的銅(Cu)所構成。

又，以覆蓋前述配線部 5b 而形成之保護層 5c 係由具有黏合性之絕緣體所構成之膜薄，例如由厚度 $52\ \mu\text{m}$ 之聚醯亞胺膜所構成。前述保護層 5c 使用具有稠著性之例如聚
5 醯亞胺的兩面膠帶時，可藉該膠帶之黏著力而將前述配線部 5b 及前述配線基板 5a 固定於前述半導體元件 2。爰此，將不必要特別使用 MOLD 樹脂等固定用凝固劑。

又，前述配線部 5b 於前述半導體元件 2 之下面側通過形成在前述配線基板 5a 的貫通孔 5e 而導出於該配線基板
10 5a 的外側，而且於 $\text{Ni}(2\ \mu\text{m})/\text{Au}(0.5\ \mu\text{m})$ 電鍍層上形成焊錫層($10\ \mu\text{m}$)而形成配線電極 5f。

同樣地，前述配線部 5b 於前述半導體元件 1 之上面側通過形成在前述配線基板 5a 的貫通孔 5e 而導出於該配線
基板 5a 的外側，而且於 $\text{Ni}(2\ \mu\text{m})/\text{Au}(0.5\ \mu\text{m})$ 電鍍層上
15 形成焊錫層($10\ \mu\text{m}$)而形成配線電極 5g。

又，前述配線部 5b 與前述配線接觸部 2b 藉著形成在前述配線部 5b 表面之前述接觸電極 5h 而電性地連接。前述接觸電極 5h 係金之柱突塊或於於 $\text{Ni}(2\ \mu\text{m})/\text{Au}(0.5\ \mu\text{m})$ 電鍍層上形成焊錫層($10\ \mu\text{m}$)而形成的構成。

20 使用本發明所構成之積層構件之積層型半導體裝置、由於形成沿著半導體元件外緣的配線形狀，因此，比較於習知引線接合方式，乃能不需要引線接合之配線空間，故能達到更小型化。

又，於半導體元件上面或下面配設其他的半導體元件

玖、發明說明

而能容易進行積層構造。即，如前述一般，例如可達到於半導體元件上載置與該半導體元件同尺寸、或是更大的其他半導體元件的積層構造，以使要積層之半導體元件尺寸不受限制而擴大積層型半導體裝置之設計自由度。

5 又，前述積層構件 5 於前述配線部 5b 與前述半導體元件 2 接觸之面形成以絕緣物所構成之前述保護層 5c 來覆蓋的構造。因此，於使用前述積層構件 5 的情形下，不必要於前述半導體元件 2 之對向於前述配線部 5b 之面形成絕緣膜。

10 又，使用多數以本發明所構成之積層型半導體裝置進行安裝的情形下，由於藉前述配線基板 5a 而形成覆蓋前述配線部 5b 的構造，故該配線部 5b 並無與所要鄰接之其他積層型半導體裝置之配線部接觸而造成電性短路的問題。爰此，可在狹窄的間距進行本發明所構成之積層型半導體
15 裝置的設置。

 又，使用前述積層構件 5 而進行使用前述配線部 5b 之配線的情形下，比較於習知引線方式乃可減少配線長度的不均而能達到以相同配線長度進行非常良好精確度的配線。此點於考慮今後進展高性能化之 SiP(system · In ·
20 packaging)時，例如在電性特性、高速化等方面有利。

 其次使用第 6A 圖～第 6B 圖來說明將前述積層構件裝設於半導體元件的方法。惟，圖中對於之前說明之部分賦予相同的參照標號而省略其說明。

 第 6A 圖係前述半導體裝置 2 之立體圖。如前述一般

玖、發明說明

，於前述半導體元件形成圖式未顯示之例如有源型元件、無源型元件等元件，而設置連接於此等元件之配線連接部 2a，並於該配線連接部 2a 上分別設置配線接觸部 2b。

第 6B 圖係於前述半導體元件 2 裝設前述積層構件 5 的立體圖。表示於前述半導體元件 1 裝設 4 個前述積層構件 5 的立體圖。將前述積層構件裝設於前述半導體元件 2 之際，有必要將前述積層構件 5 之前述接觸電極 5h(於本圖中未顯示而係顯示於第 5 圖)接觸於前述配線接觸部 2b。由於有必要進行正確的合對位置而於前述積層構件 5 配設對準標記 5i。

又，如此地於半導體元件裝設積層構件並於積層之前，於前述半導體元件 2 及積層構件 5 之組合之第 6B 圖的狀態下，亦能進行個別的性能試驗。

其次依據以下第 7A 圖～第 7B 圖來說明前述積層構件之製造方法。

第 7A 圖係如第 7B 圖所示將折彎成略コ字形狀之積層構件 5 展開於平面上的圖。前述積層構件 5 依以下的要領來製造。

首先，於聚醯亞胺所構成之前述配線基板 5a 表面，形成對應前述半導體元件 2 之厚度且對應前述配線接觸部 2b 位置之例如由 Cu 構成的前述配線部 5b。

而且，例如形成由聚醯亞胺所構成之前述保護層 5c 而形成前述積層構件 5 以覆蓋前述配線部 5b 的一部分。

使用聚醯亞胺作為前述配線基板 5a 及前述保護層 5c

玖、發明說明

的理由，係因於形成積層型半導體之步驟中，會有例如 MOLD 步驟(175℃)、回流焊接步驟(240℃)、安裝基板時之熱步驟(260℃)等曝露於高溫下的步驟，要求耐熱性之故。若為具有耐熱性之絕緣體的話，亦可使用其他材料。

5 第 7B 圖係將前述積層構件 5 予以折彎成コ字形狀而安裝於半導體元件狀態下的立體圖。

又，前述積層構件 5 雖為使用於積層與該半導體元件 2 同大小之半導體元件時之積層構件，惟以下以第 8A 圖～第 8B 圖表示積層不同大小之半導體元件時之積層構件的製造方法例。

第 8B 圖係將積層第 3 圖所示之不同大小之半導體元件之折彎成略コ字形狀之積層構件 4'展開成平面的平面圖。

參照第 8A 圖，由於聚醯亞胺構成之配線基板 4a'係積層不同大小之半導體元件，故如圖式所示形成組成梯形與長方形的狀態。因此，於前述配線基板 4a'上形成以前述積層構件 4'所保持之半導體元件，且形成對應積層該半導體元件之其他半導體元件之配線接觸部之例如由 Cu 構成之配線部 4b'。

20 又，形成例如由聚醯亞胺構成之前述保護層 4c'而形成前述積層構件 5 以覆蓋前述配線部 4b'之一部分。

第 8B 圖係將前述積層構件 4'予以折彎成略コ字形狀而安裝於半導體元件時的立體圖。如第 3 圖所示，藉前述積層構件 4'而保持前述半導體元件 1，且於該積層構件 4'

玖、發明說明

上積層比該半導體元件 1 小的前述半導體元件 2'。

其次，以下以第 9A、B 圖～第 13A、B 圖來說明積層構件設置於半導體元件的方法。

第 9A～B 圖表示將前述積層構件 5 設置於前述半導體
5 元件 1 之設置方法的圖式，第 9A 圖表示其斷面圖，第 9B 圖表示其立體圖。惟圖中對於之前說明的部分賦予相同參照標號而省略說明。

參照第 9A 圖，前述半導體元件 2 收納於折彎成略コ
字形狀之前述積層構件 5 之コ字形狀空間。前述積層構件
10 5 載置於附有溫度控制區塊 201 上。在此說明，一邊藉附有溫度控制區塊而進行前述積層構件 5 及前述半導體元件 2 之溫度控制，一邊藉連接工具 200 而與前述配線接觸部 2b 與前述積層構件 5 之前述接觸電極 5h(本圖中未顯示而顯示於第 5 圖)電性地連接。該連接藉前述接觸電極 5h 之
15 構成材料的一部分的回流焊接處理而進行。此時，連接係因應前述配線接觸部 2b 與前述接觸電極 5h 之數而一點一點地進行。

第 9B 圖係第 9A 圖所示之設置方法的立體圖，如圖式
所示，藉連接工具 200 而使前述配線接觸部 2b 與前述接觸
20 電極 5h 一點一點地連接。又，第 9A～9B 圖所示之設置方法可如以下所示之第 10A～第 10B 圖那般地變更。

第 10A～第 10B 圖係將第 9A～9B 圖所示之前述積層
構件 5 設置於前述半導體元件 1 之設置方法的變更例，第
10A 圖係其斷面圖，第 10B 圖係其立體圖。惟，圖中對於

玖、發明說明

之前說明的部分賦予相同參照標號而省略說明。

參照第 10A 圖，於本圖中在第 9A 圖使用之前述連接工具 200 變更爲連接工具 300。此乃因變更連接工具之形狀而同時進行多數前述配線接觸部 2b 與前述接觸電極 5h 5 的連接之故。

參照第 10B 圖，將多數之前述配線接觸部 2b 與前述接觸電極 5h 的連接位置，藉前述連接工具 300 而同時地進行。因此，比較於前述第 9A 圖～第 9B 圖的情形，可提昇前述配線接觸部 2b 與前述接觸電極 5h 之連接作業效率。

10 又，爲了提昇前述配線接觸部 2b 與前述接觸電極 5h 之連接作業效率，乃可將連接方法變更爲以下第 11A～第 11B 圖所示者。惟，圖中對於之前說明的部分賦予相同參照標號而省略說明。

參照第 11A 圖，於本圖中係使用連接工具 400，該連接工具 400 係比前述連接工具 300 更大的連接工具。於本圖所示之配線的連接方法中，使用前述連接工具 400 而同時連接全部要連接之前述配線接觸部 2b 與前述接觸電極 5h。 15 5h。

第 11B 圖係第 11A 圖所示之連接方法的立體圖，惟係同時連接多數前述積層構件 5、以及各個前述配線接觸部 2b 與前述接觸電極 5h 的全部。爰此，比較於前述第 10A 圖～第 10B 圖的情形，可更提昇連接作業效率。 20

又，接著使用第 12A 圖～第 12C 圖而依序說明於前述半導體元件 2 安裝前述積層構件 5，並連接前述配線接觸

玖、發明說明

部 2b 與前述接觸電極 5h 而將於前述半導體元件 2 安裝前述積層構件 5。

第 12A 圖～第 12C 圖係依序說明於前述半導體元件 2 安裝前述積層構件 5。惟，圖中對於之前說明的部分賦予
5 相同參照標號而省略說明。

首先，參照第 12A 圖，最先進行將形成平面之前述配線接觸部 2b 與前述接觸電極 5h(本圖中未顯示而顯示於第 5 圖)連接於前述配線接觸部 2b 的連接作業。

之後，如第 12B 圖所示，進行前述積層構件 5 之彎曲
10 加工，首先從前述半導體元件 2 上面沿著側面進行該積層構件 5 的彎曲加工。

其次如第 12C 圖所示，沿著前述半導體元件 2 下面將前述積層構件 5 予以折彎而完成該積層構件 5 之設置於前述半導體元件 2。又，第 12A～第 12C 圖所示之步驟亦可
15 變更爲其次之第 13A 圖～第 13B 圖的情形。

第 13A 圖～第 13B 圖係依序表示將前述積層構件 5 設置於前述半導體元件 1 的步驟。惟，圖中對於之前說明的部分賦予相同參照標號而省略說明。

首先，參照第 13A 圖，將預先折彎如本圖所示形狀之前述積層構件 5 沿著該半導體元件 2 下面及側面外緣載置
20 於前述半導體元件 2。

之後，如第 13B 圖所示折彎前述積層構件 5。接著如第 9A 圖～第 9B 圖之說明所前述那般連接前述配線接觸部 2b 與前述接觸電極 5h。又，此時之前述配線接觸部 2b 與

玖、發明說明

前述接觸電極 5h 的連接方法可為第 10A 圖～第 10B 圖所示的方法，又，亦可進行第 11A 圖～第 11B 圖所示的方法。

連接前述配線接觸部 2b 與前述接觸電極 5h 並折彎前述積層構件 5 而將前述積層構件 5 設置於半導體元件 2 的順序可任意地變更，即使是變更順序亦可同樣地設置。

其次，使用第 14A、B 圖～第 15A、B 圖來說明使用積層構件形成之積層型半導體裝置之實施樣態例子。

第 14A～B 圖係使用本發明所構成之積層構件而形成之積層型半導體裝置的例子。惟，圖中對於之前說明的部分賦予相同參照標號而省略說明。

首先，參照第 14A 圖，本圖所示之積層型半導體裝置 10A 係第 2 圖所示之積層型半導體裝置 10 之變更例。

本實施樣態之前述半導體元件 1～3 及前述積層構件 4～6 乃藉 MOLD 樹脂 500 固定於前述間隔載板 11。第 2 圖所示之積層型半導體裝置 10 的情形係藉著前述積層構件 4～6 而將前述半導體元件 1～3 固定於前述間隔載板 11，因此，具有不需要習知積層型半導體裝置所必要之 MOLD 樹脂的效果。但是，如本第 14A 圖所示，藉前述 MOLD 樹脂 500 而固定前述半導體元件 1～3 及積層構件 4～6 的情形下，藉固定而增加穩定性，且更降低對前述半導體元件 10A 衝擊之際發生半導體元件剝離等問題的可能性而具有更加提昇可靠度的效果。

又，第 14B 圖係第 3 圖所示之積層型半導體裝置 20 的

玖、發明說明

變更例。

本實施樣態之前述半導體元件 1'、2'、3'及前述積層構件 4'、5'、6'乃藉 MOLD 樹脂 500 固定於前述間隔載板 11。此情形下亦同樣地，藉前述 MOLD 樹脂 500 而固定前述半導體元件 1'、2'、3'及積層構件 4'、5'、6'的情形下，藉固定而增加穩定性，且更降低對前述半導體元件 20A 衝擊之際發生半導體元件剝離等問題的可能性而具有更加提昇可靠度的效果。

又，以下以第 15A 圖～第 15B 圖表示將具有受光部之半導體元件積載於本第 14B 圖所示之積層型半導體裝置 20A 的實施例。

第 15A 圖係前述積層型半導體裝置 20A 之將受光部 600 積載於前述半導體元件 3 之例的積層型半導體裝置 20B 的斷面圖。惟，圖中對於之前說明的部分賦予相同參照標號而省略說明。

前述積層型半導體裝置 20B，於前述 MOLD 樹脂 500 上部設置開口部 501 並於前述半導體元件 3 上搭載受光部 600。前述受光部 600 可使用例如指紋感測器、受光元件等。

又，前述半導體元件 1～2 搭載驅動電路、輸出電路、計算電路等。如此以本發明所構成之積層型半導體裝置，比較於習知製品，因不需要引線接合的空間，故能將整體封包作成小型化。又，能於半導體元件之配線連接部上的空間積層其他半導體元件，能積層與該半導體元件同大小

玖、發明說明

，或更大的半導體元件。即，於積層型半導體裝置不受限於要積層之半導體元件的大小，故具有設計自由度大的優點。又，形成以絕緣體覆蓋配線部分的構造，因此在安裝多數積層型半導體裝置的情形下，於鄰接之半導體裝置不會產生配線接觸的問題，故能進行高密度的安裝。

又，第 15B 圖表示第 15A 圖所示之積層型半導體裝置 20B 之變更例之積層型半導體裝置 20C 的斷面圖。

本圖所示之前述積層型半導體裝置 20C 係使用透過光線之材質作為 MOLD 樹脂 500。爰此，不必要於 MOLD 樹脂設置開口部。前述積層型半導體裝置 20C 比較於習知製品亦能使整體封包小型化。又，此情形下比較於習知製品亦能使整體封包小型化。又，於積層型半導體裝置不受限於要積層之半導體元件的大小，故具有設計自由度大的優點。而且，形成以絕緣體覆蓋配線部分的構造，因此在安裝多數積層型半導體裝置的情形下，於鄰接之半導體裝置不會產生配線接觸的問題，故能進行高密度的安裝。

以上說明了本發明之最佳實施例，惟，本發明並非僅限定於上述之特定的實施例，在申請專利範圍記載之要旨內可作各種各樣的變形、變更。

例如第 16 圖表示於第 2 圖所示之前述積層型半導體裝置 10 不使用前述半導體元件 2 及 3，而僅使用前述半導體元件 1 及積層構件 4，而且於前述半導體元件 1 上具有前述受光部 600 的半導體裝置 10B 的例子。惟，圖中對於之前說明的部分賦予相同參照標號而省略說明。

玖、發明說明

前述積層型半導體裝置 10B，並非積層而係使用單層半導體元件。此情形下，習知之倒裝晶片接合技術上所難以進行之將受光部 600 作為指紋感測器使用的情形乃變為可能。如此一來乃具有前述配線基板呈緩衝材而吸收以指
5 施加押壓之押壓應力的效果。

又，此外本發明之半導體裝置可因應必要而進行變形、變更而非限定於前述實施樣態所記載之內容。

【圖式簡單說明】

第 1 圖表示使用習知引線接合方式配線之積層型半導
10 體裝置之構成。

第 2 圖表示依據本發明所構成之積層型半導體裝置的構成，半導體元件之尺寸為相同時之構成例。

第 3 圖表示依據本發明所構成之積層型半導體裝置的構成，半導體元件之尺寸為不同時之構成例。

15 第 4 圖表示第 2 圖所示之積層型半導體裝置之配線方法。

第 5 圖表示第 4 圖所示之配線方法的詳細。

第 6A 圖表示半導體元件之概觀的立體圖，第 6B 圖表示於第 6A 圖所示之半導體元件設置積層構件之概觀的立
20 體圖。

第 7A 圖表示依據本發明所構成之積層構件的平面圖(之一)，第 7B 圖係將第 7A 圖所示之積層構件予以折彎而安裝於半導體元件時之形狀的立體圖(之一)。

第 8A 圖表示依據本發明所構成之積層構件的平面圖(

玖、發明說明

之二)，第 8B 圖係將第 8A 圖所示之積層構件予以折彎而安裝於半導體元件時之形狀的立體圖(之二)。

第 9A 圖表示依據本發明所構成之半導體元件之配線之連接方法的斷面圖(之一)，第 9B 圖表示第 9A 圖所示之
5 半導體元件之配線之連接方法的立體圖(之一)。

109A 圖表示依據本發明所構成之半導體元件之配線之連接方法的斷面圖(之二)，第 10B 圖表示第 10A 圖所示之半導體元件之配線之連接方法的立體圖(之二)。

第 11A 圖表示依據本發明所構成之半導體元件之配線
10 之連接方法的斷面圖(之三)，第 11B 圖表示第 11A 圖所示之半導體元件之配線之連接方法的立體圖(之三)。

第 12A～C 圖表示依據本發明所構成之半導體元件之配線之連接方法之步驟的斷面圖(之一)。

第 13A～B 圖表示依據本發明所構成之半導體元件之
15 配線之連接方法之步驟的斷面圖(之二)。

第 14A 圖表示以 MOLD 樹脂固定第 2 圖所示之積層型半導體裝置的構成，第 14B 圖表示以 MOLD 樹脂固定第 3 圖所示之積層型半導體裝置的構成。

第 15A 圖係使用第 14B 圖所示之積層型半導體裝置之
20 受光裝置的構成圖(之一)，第 15B 圖係使用第 14B 圖所示之積層型半導體裝置之受光裝置的構成圖(之二)。

第 16 圖係第 2 圖所示之積層型半導體裝置之變更例。

【圖式之主要元件代表符號表】

1～3	半導體元件	1a～3a	配線連接部
-----	-------	-------	-------

玖、發明說明

1b~3b	配線接觸部	6a	配線基板
1c~3c	積層接觸部	6b	配線部
4~6	積層構件	6c	保護層
9	接點部	6f	接觸電極
10、20	積層型半導體裝置	6g	接觸電極
11	間隔載板	6h	接觸電極
4a	配線基板	100	積層型半導體裝
4b	配線部	101、102	半導體元件
4c	保護層	103、104	絕緣體
4f	接觸電極	105、106	配線連接部
4g	接觸電極	107、108	引線
4h	接觸電極	109	接點部
5a	配線基板	111	間隔載板
5b	配線部	200、300、400	連接工具
5c	保護層	201	溫度控制區塊
5f	接觸電極	500	MOLD 樹脂
5g	接觸電極	600	受光部
5h	接觸電極		

肆、中文發明摘要

使用具有於一側主面配設多數電極的半導體元件、及於絕緣基板配設多數導電層的配線基板，前述配線基板係沿著前述半導體元件之外緣部而配設成略ㄣ字形狀，該配線基板之前述導電層之一端連接半導體元件之電極，且該導電層之另一端係導出於該半導體元件之另一側主面而與該半導體元件不同方向來構成之半導體裝置而形成積層型半導體裝置。

伍、英文發明摘要

A laminated semiconductor device is formed so as to include a semiconductor device. The semiconductor device includes a semiconductor element, and a wiring substrate. A plurality of electrodes are arranged on one main surface of the semiconductor element, and a plurality of conductive layers are arranged on an insulation substrate of the wiring substrate. The wiring substrate is approximately U-shaped so as to be formed along the outer edge of the semiconductor element. One ends of the conductive layers on the wiring substrate are connected to the electrodes on the semiconductor element. The other ends of the conductive layers are located at the other main surface of the semiconductor element, and led so as to be separate from the other main surface of the semiconductor element.

拾、申請專利範圍

1. 一種半導體裝置，包含：

半導體元件，係於一側主面配設多數電極；及

配線基板，係於絕緣基板配設多數導電層，

5 且前述配線基板係沿著前述半導體元件之外緣部而配設成略 字形狀，前述配線基板之前述導電層之一端連接前述半導體元件之電極，且前述導電層之另一端係導出於前述半導體元件之另一側主面而與前述半導體元件不同方向。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中，前述
10 配線基板係由前述絕緣基板及於配設於其一側表面之前述導電層及選擇性地覆蓋前述導電層之保護絕緣層所構成。

3. 如申請專利範圍第 1 項所述之半導體裝置，其中，前
15 述導電層電性連接於安裝前述半導體元件之安裝板的接點部。

4. 如申請專利範圍第 1 項所述之半導體裝置，其中，前
述導電層電性連接於配設在其他半導體元件的電極。

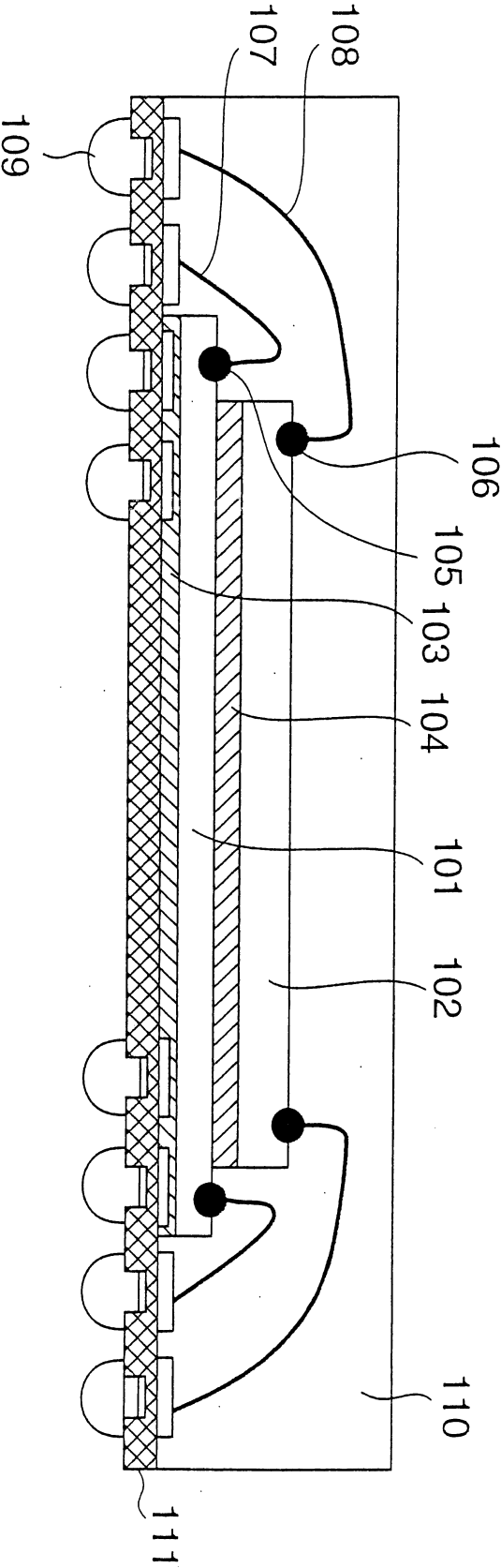
5. 如申請專利範圍第 1 項所述之半導體裝置，其中，前
20 述導電層通過形成在前述絕緣基板之貫通孔，且從前述絕緣基板之前述一側表面導出於另一側表面。

6. 如申請專利範圍第 1 項所述之半導體裝置，其中，前
述導電層係由金屬材料所構成。

7. 如申請專利範圍第 1 項所述之半導體裝置，其中，前
述絕緣基板係由聚醯亞胺所構成。

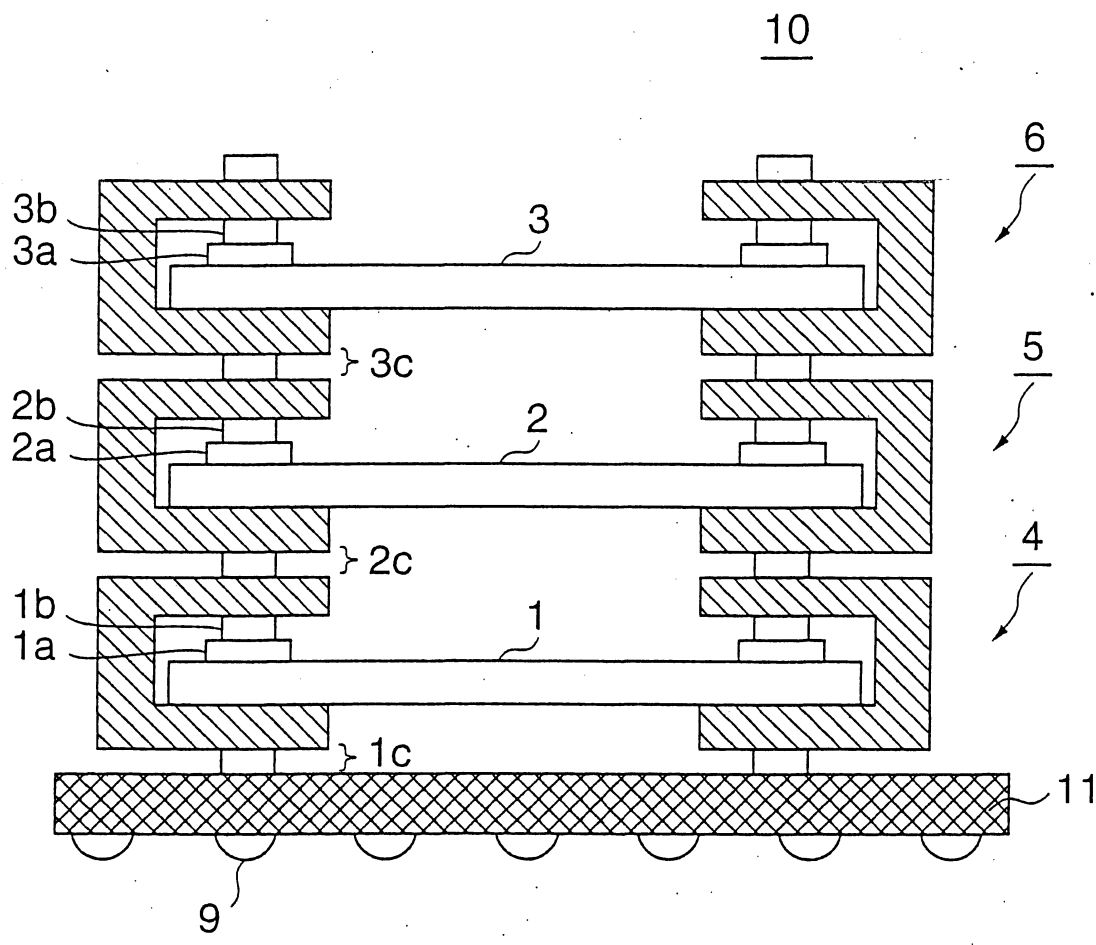
拾、申請專利範圍

8. 如申請專利範圍第2項所述之半導體裝置，其中，前述保護絕緣層係由聚醯亞胺所構成。
9. 如申請專利範圍第2項所述之半導體裝置，其中，前述保護絕緣層具有黏著性，且藉該黏著性而將前述配
5 線基板固定於前述半導體元件。
10. 如申請專利範圍第9項所述之半導體裝置，其中，
前述保護絕緣層係絕緣樹脂之雙面膠帶。
11. 一種積層型半導體裝置，該積層型半導體裝置係使
用申請專利範圍第1、2、3、4、5、6、7、8、9或10
10 項之半導體裝置之積層多數半導體元件而形成。

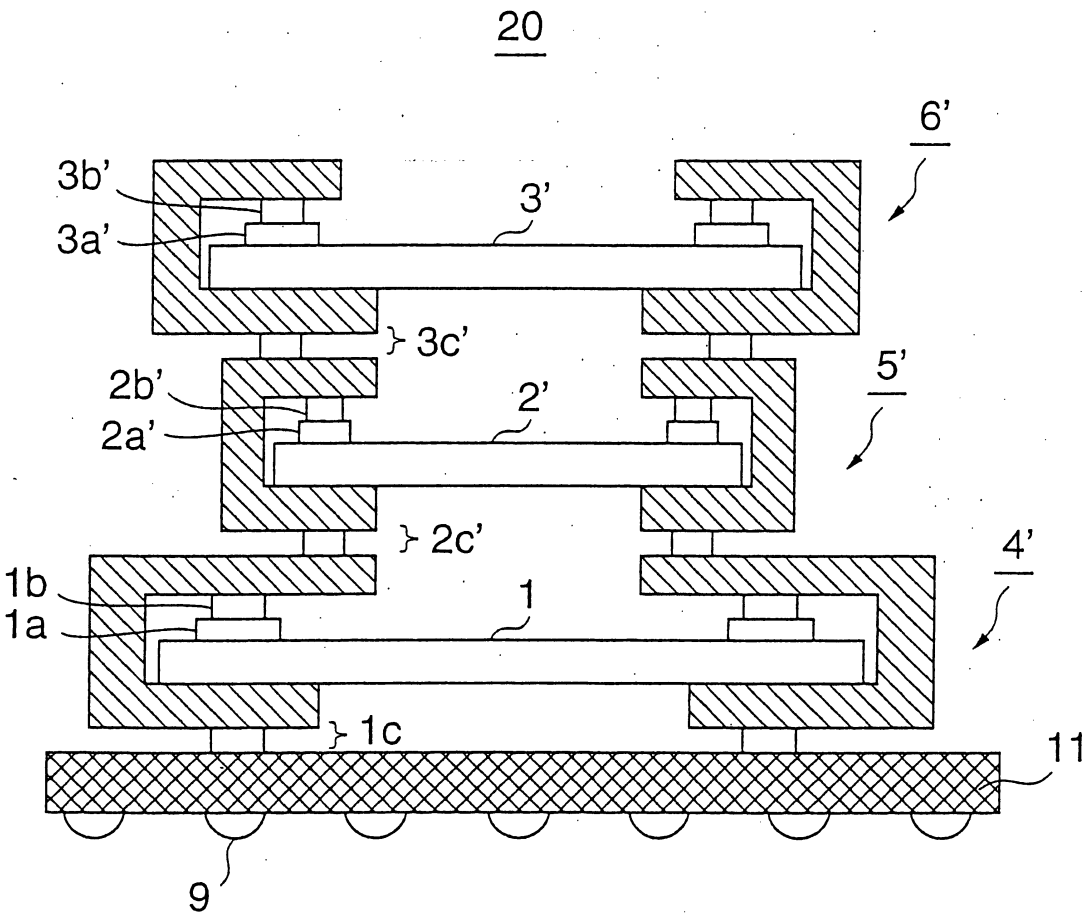


第 1 圖

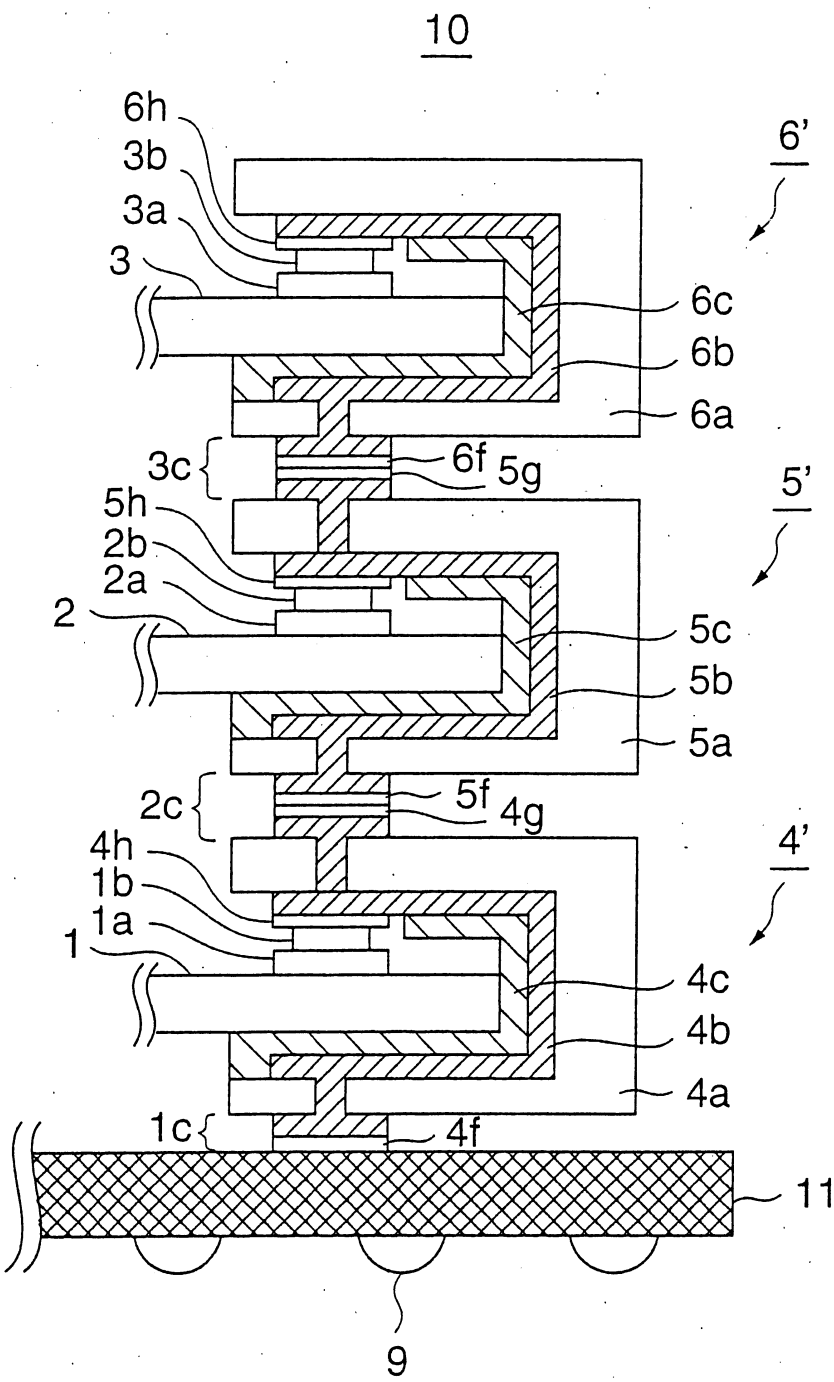
第 2 圖



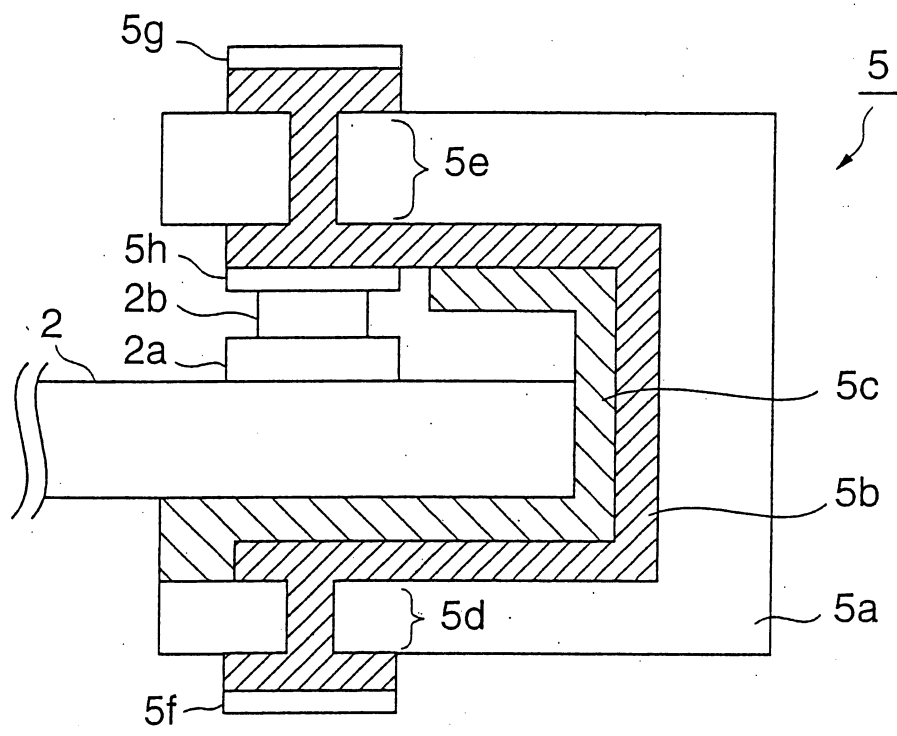
第 3 圖



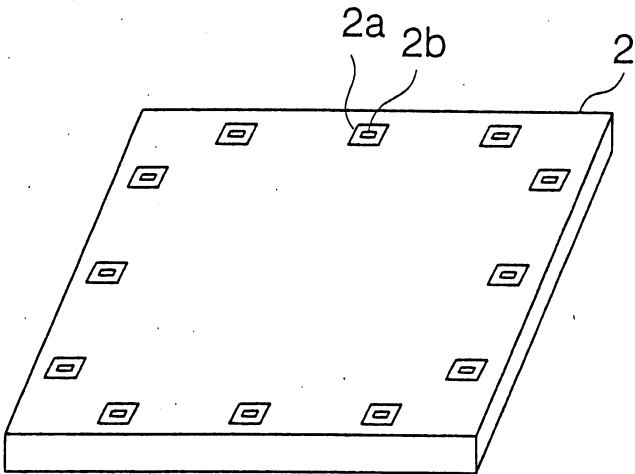
第 4 圖



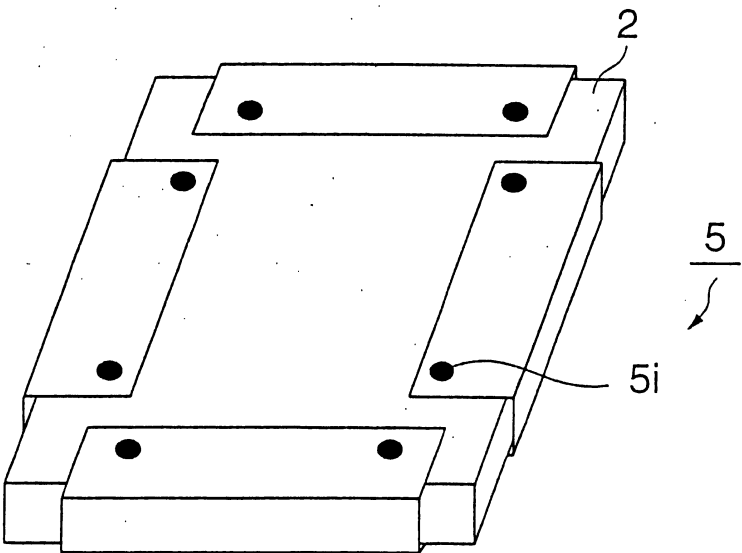
第 5 圖



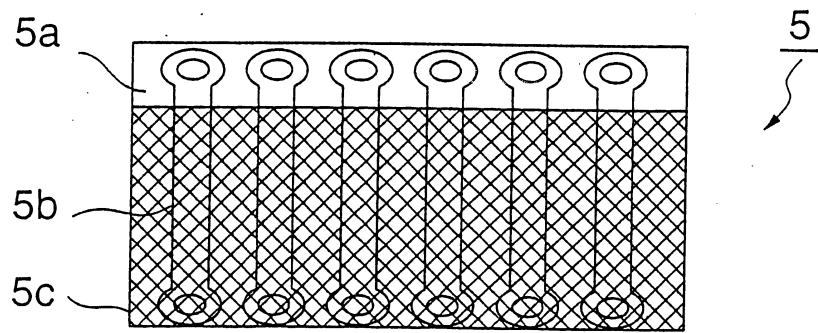
第 6A 圖



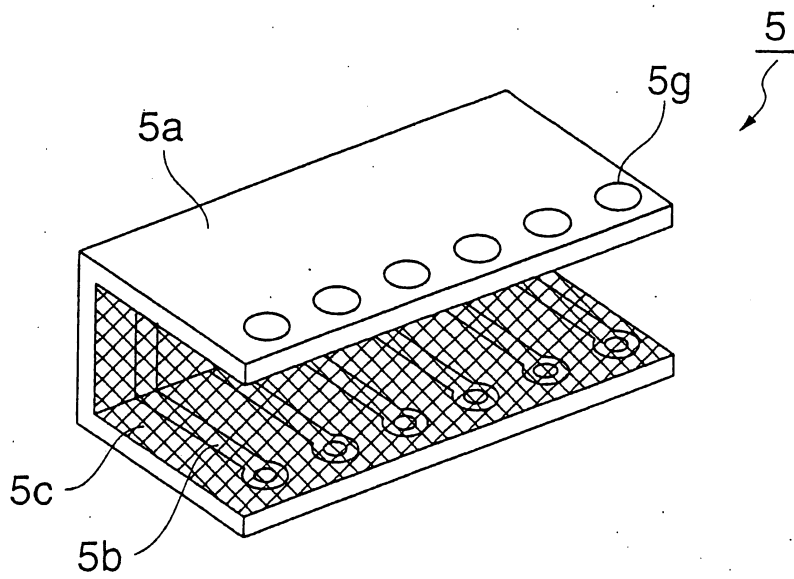
第 6B 圖



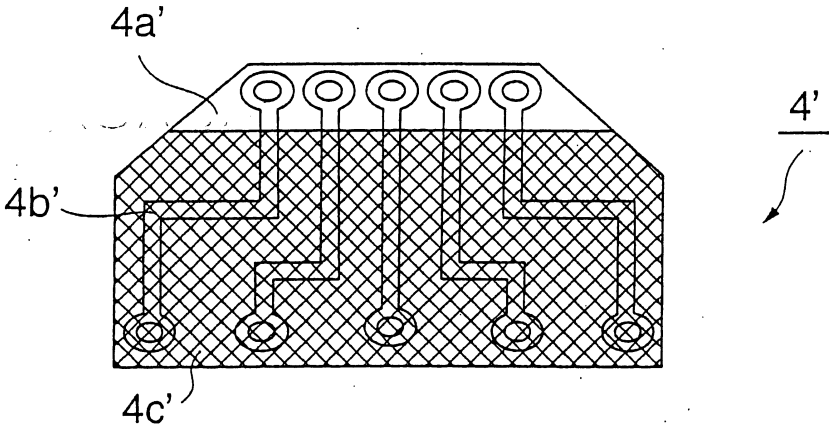
第7A 圖



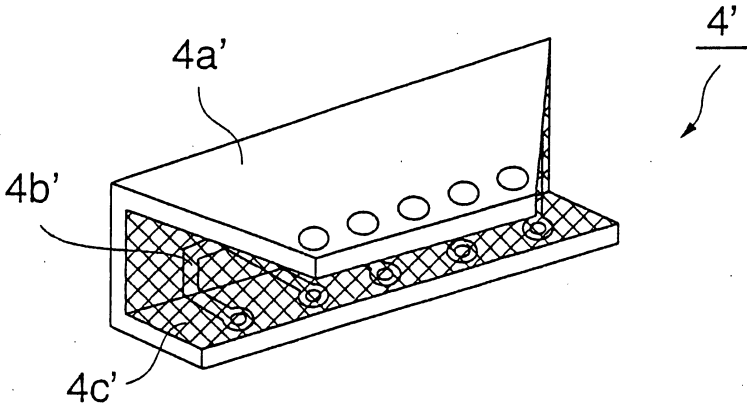
第7B 圖



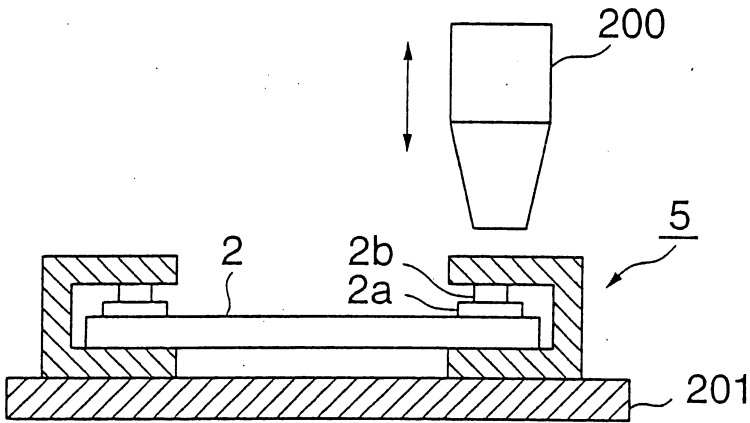
第 8A 圖



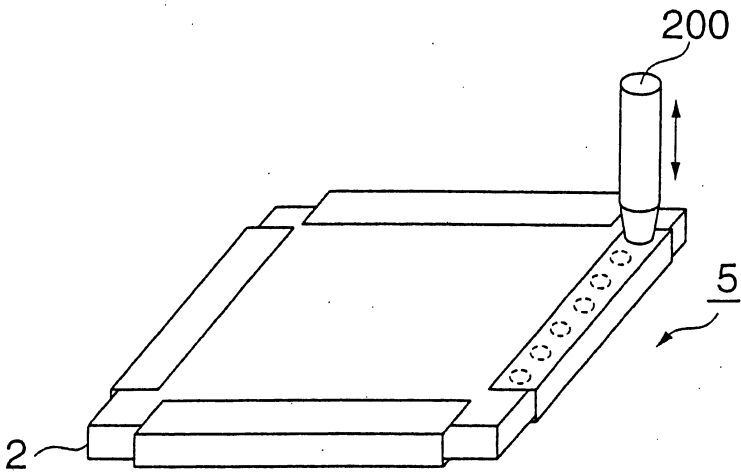
第 8B 圖



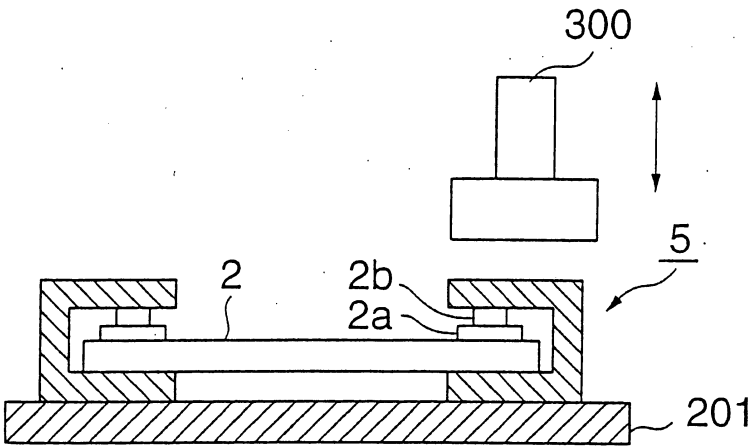
第 9A 圖



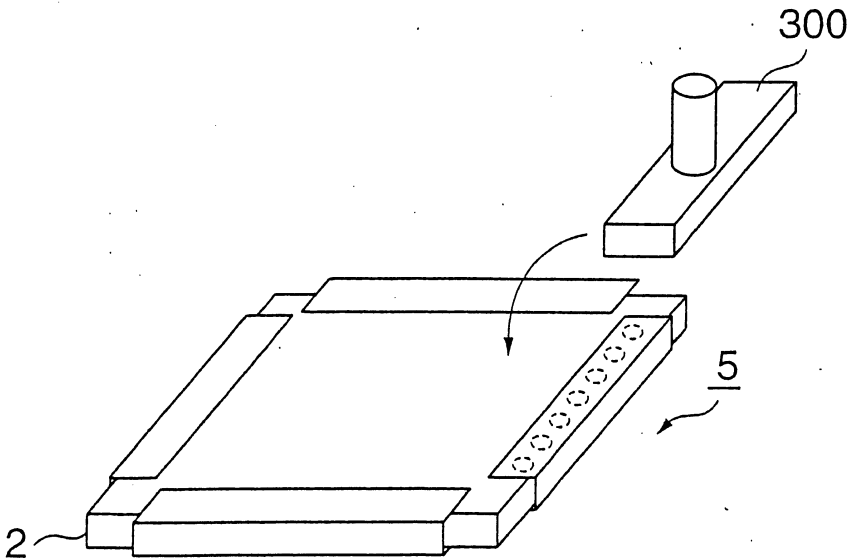
第 9B 圖



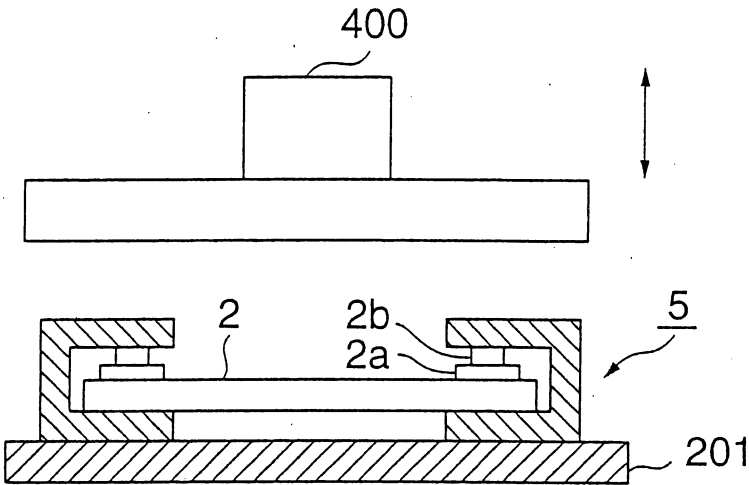
第10A圖



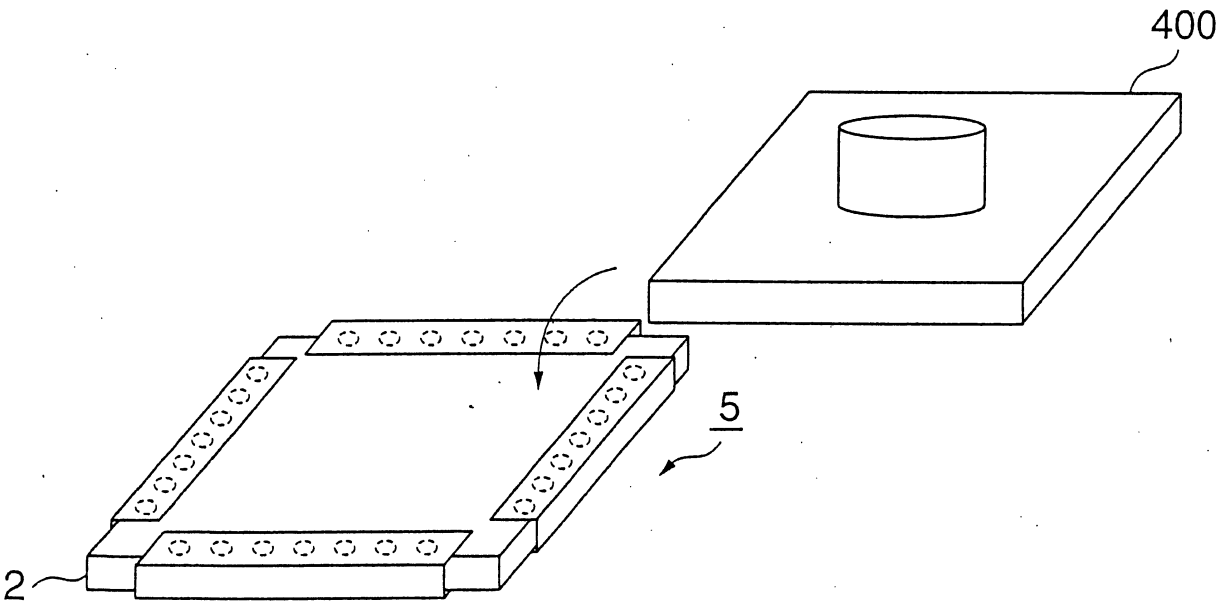
第10B圖



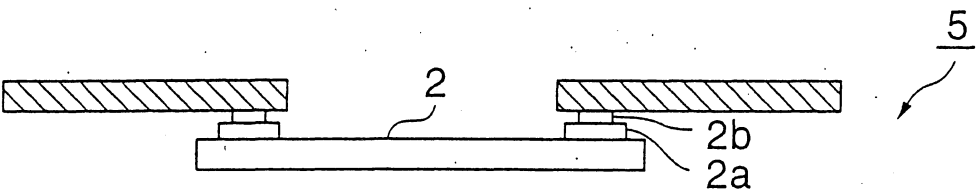
第11A圖



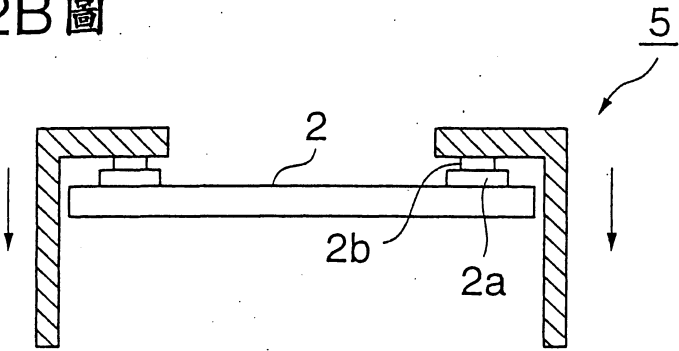
第11B圖



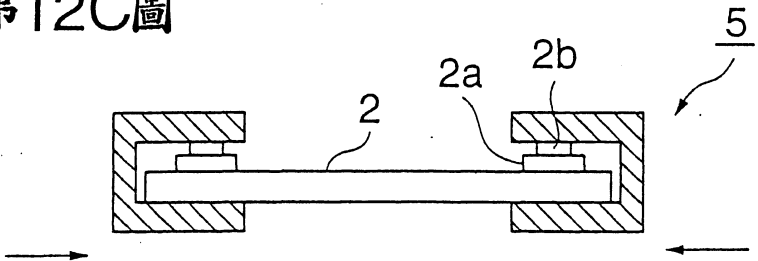
第12A圖



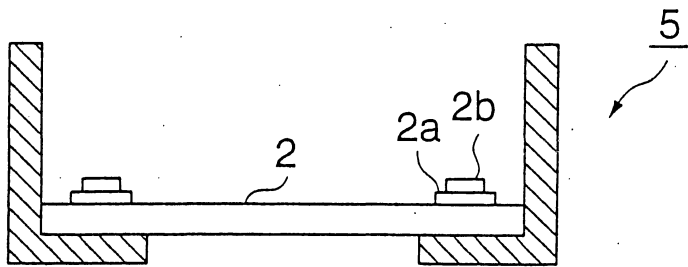
第12B圖



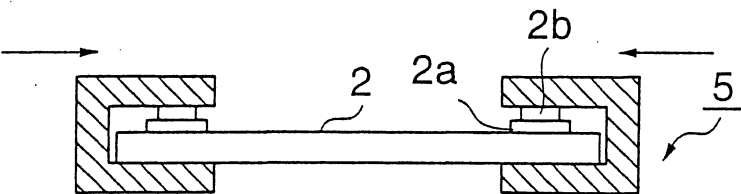
第12C圖



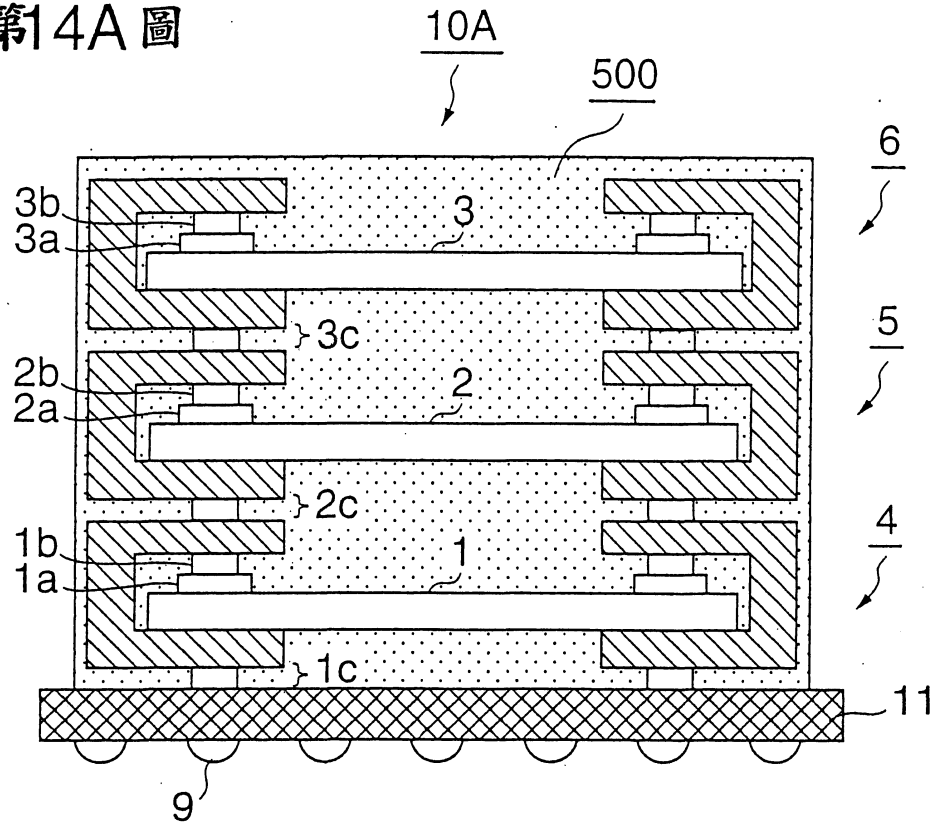
第13A圖



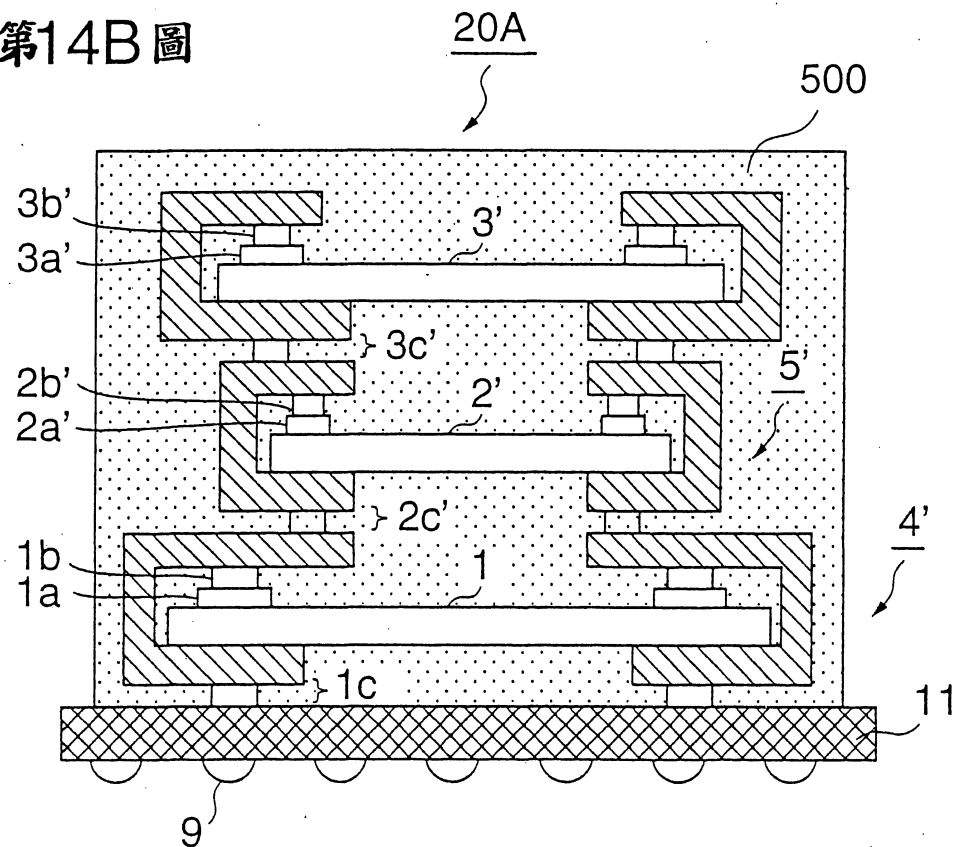
第13B圖



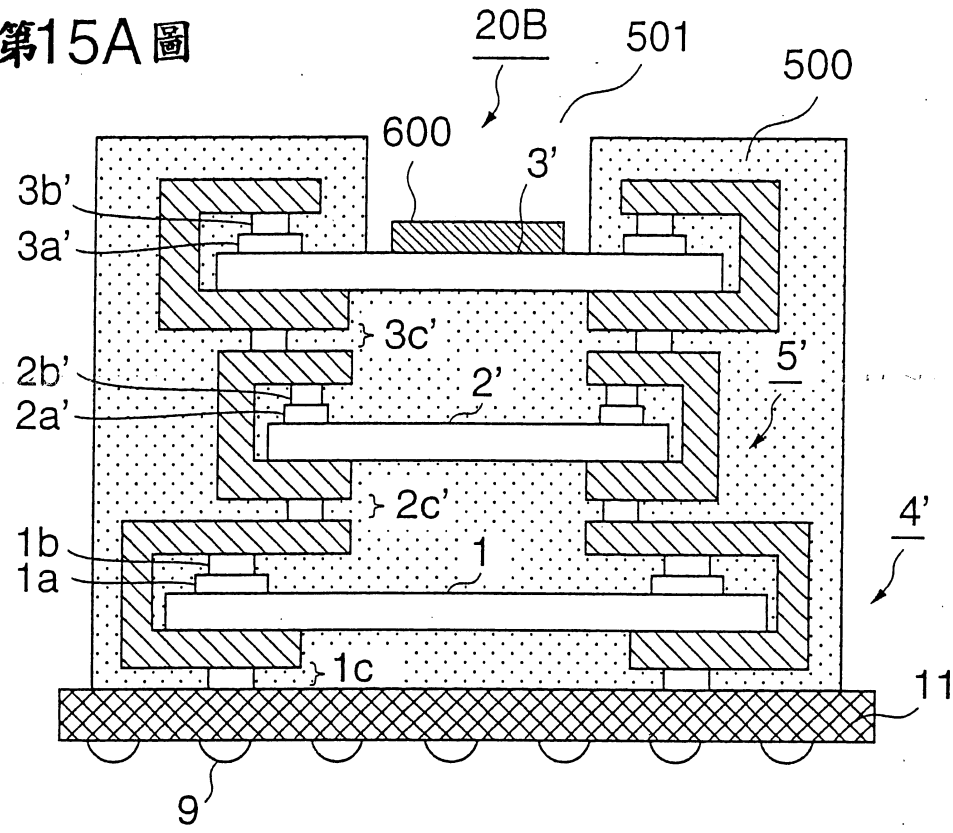
第14A圖



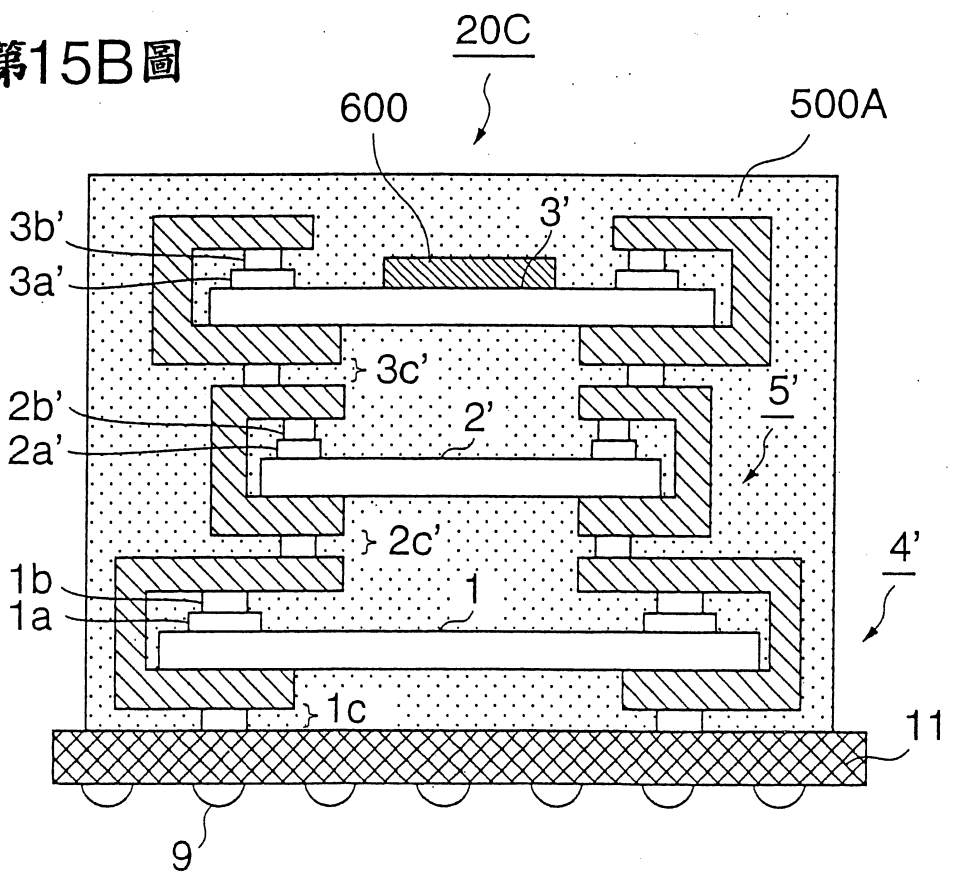
第14B圖



第15A圖

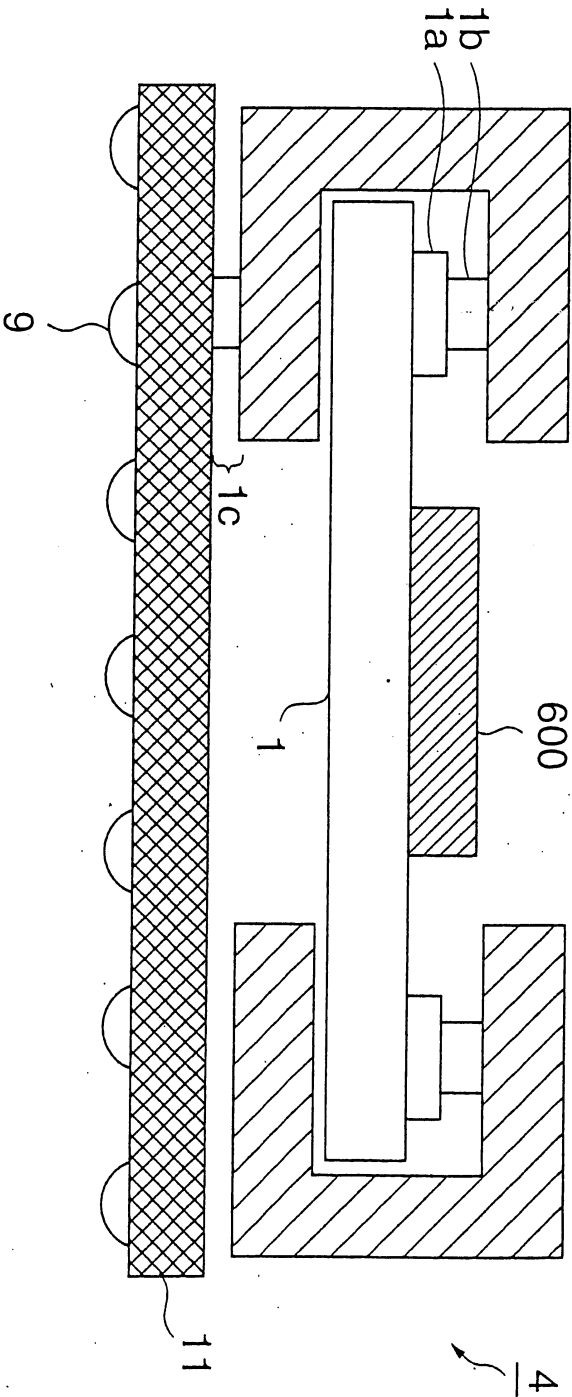


第15B圖



第 16 圖

10B



陸、(一)、本案指定代表圖爲：第 2 圖

(二)、本代表圖之元件代表符號簡單說明：

- 1～3 半導體元件
- 1a～3a 配線連接部
- 1b～3b 配線接觸部
- 1c～3c 積層接觸部
- 4～6 積層構件
- 9 接點部
- 10 積層型半導體裝置
- 11 間隔載板

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：