

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2015-521390

(P2015-521390A)

(43) 公表日 平成27年7月27日(2015.7.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/369 (2011.01)	HO4N 5/335 690	4M118
HO1L 27/146 (2006.01)	HO1L 27/14 A	5C024
	HO1L 27/14 F	

審査請求 未請求 予備審査請求 未請求 (全 23 頁)

(21) 出願番号	特願2014-552415 (P2014-552415)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(86) (22) 出願日	平成25年5月31日 (2013.5.31)	(74) 代理人	100121131 弁理士 西川 孝
(85) 翻訳文提出日	平成26年10月27日 (2014.10.27)	(74) 代理人	100082131 弁理士 稲本 義雄
(86) 国際出願番号	PCT/JP2013/003440	(72) 発明者	浅山 豪 東京都港区港南1丁目7番1号 ソニー株式会社内
(87) 国際公開番号	W02013/183266	(72) 発明者	シャルマ アヌップ アメリカ合衆国 カリフォルニア州950 14 クパチーノ インフィニット ルー プ1 アップル インコーポレイテッド内
(87) 国際公開日	平成25年12月12日 (2013.12.12)		
(31) 優先権主張番号	61/655, 237		
(32) 優先日	平成24年6月4日 (2012.6.4)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 半導体装置及び検出システム

(57) 【要約】

半導体装置は：所定の情報を検出する検出部を有する第1基板と；データを処理する第1処理部を有する第2基板であって、前記データが前記第1処理部に前記検出部から供給される、第2基板と；データを処理する第2処理部を有する第3基板であって、前記データが前記第2処理部に前記第1基板または前記第2基板のいずれかの基板から供給される、第3基板とを含む。

## 【特許請求の範囲】

## 【請求項 1】

所定の情報を検出する検出部を有する第 1 基板と、  
データを処理する第 1 処理部を有する第 2 基板であって、前記データが前記第 1 処理部に前記検出部から供給される、第 2 基板と、

データを処理する第 2 処理部を有する第 3 基板であって、前記データが前記第 2 処理部に前記第 1 基板または前記第 2 基板のいずれかの基板から供給される、第 3 基板と  
を備える、半導体装置。

## 【請求項 2】

前記第 1 ~ 第 3 基板は、互いの基板の上に順次積層される、請求項 1 に記載の半導体装置。 10

## 【請求項 3】

前記第 3 基板は、前記第 1 基板または前記第 2 基板のいずれかの基板からの前記データを保存する記憶領域部を有する、請求項 2 に記載の半導体装置。

## 【請求項 4】

前記第 3 基板の前記記憶領域部は、揮発性記憶領域及び不揮発性記憶領域の両方を有する、請求項 3 に記載の半導体装置。

## 【請求項 5】

前記第 1 基板の前記検出部、前記第 2 基板の前記第 1 処理部、及び前記第 3 基板の前記記憶領域部は、異なるプロセスによりそれぞれ製造される、請求項 3 に記載の半導体装置 20

## 【請求項 6】

前記第 3 基板の前記記憶領域部は、前記第 1 基板の前記検出部が検出する前記データの一部を出力する、請求項 2 に記載の半導体装置。

## 【請求項 7】

前記第 3 基板の前記第 2 処理部は、前記検出部からの前記データを処理することにより得られるデータを外部に出力するインターフェースを有する、請求項 2 に記載の半導体装置。

## 【請求項 8】

前記第 1 基板は複数の検出部を有する、請求項 2 に記載の半導体装置。 30

## 【請求項 9】

前記第 2 基板の前記第 1 処理部の発熱量は、前記第 3 基板の前記第 2 処理部の発熱量よりも少ない、請求項 2 に記載の半導体装置。

## 【請求項 10】

前記第 3 基板の前記第 2 処理部は、発熱量が最も多い回路ブロックを含む、請求項 9 に記載の半導体装置。

## 【請求項 11】

前記半導体装置はイメージセンサである、請求項 2 に記載の半導体装置。

## 【請求項 12】

前記第 2 基板の前記第 1 処理部はアナログ回路を含む、請求項 11 に記載の半導体装置 40

## 【請求項 13】

前記第 2 基板の前記第 1 処理部は D R A M を含む、請求項 11 に記載の半導体装置。

## 【請求項 14】

前記第 2 基板の前記第 1 処理部は、ドライバ、基準電圧発生部、D A 変換器、A D 変換器、O T P からなる少なくとも 1 つの回路ブロックを含む、請求項 11 に記載の半導体装置。

## 【請求項 15】

前記第 3 基板の前記第 2 処理部は論理回路を含む、請求項 11 に記載の半導体装置。

## 【請求項 16】

前記第3基板の前記第2処理部は、パイプライン処理部、カウンタ、SRAM、MPU、アレイトローラ、及びDRAMコントローラからなる少なくとも1つの回路ブロックを含む、請求項11に記載の半導体装置。

【請求項17】

所定の情報を検出する検出装置を備え、該検出装置は、  
所定の情報を検出する検出部を有する第1基板と、  
データを処理する第1処理部を有する第2基板であって、前記データが、前記第1処理部に前記検出部から供給される、第2基板と、  
データを処理する第2処理部を有する第3基板であって、前記データが、前記第2処理部に前記第1基板または前記第2基板のいずれかの基板から供給される、第3基板と  
を含む、検出システム。

10

【請求項18】

更に、複数の前記検出装置からのデータを処理するMPUを備える、請求項17に記載の検出システム。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、半導体装置、及び半導体を含む検出システムに関するものであり、特に高画質信号を取得することができる半導体装置、及び半導体を含む検出システムに関するものである。

20

【背景技術】

【0002】

本技術による方法を提案するために、既存の半導体装置及び検出システムと、本技術による半導体装置及び検出システムとの違いについて以下に説明する。以下の記載では、説明は、画像処理検出システムを例として挙げることにより行われる。

【0003】

図1は、既存のイメージセンサ1の構成の一例を示すブロック図である。既存のイメージセンサ1では、基準電圧発生部19が、必要な基準電圧を個々の構成部分の各構成部分に供給する。ドライバ17は、複数の画素が行列状に配置される構成の画素部11を駆動することにより、アナログビデオ信号を画素部11から読み出す。AD変換器12は、このAD変換器12に画素部11から入力されるアナログビデオ信号を、DA変換器18から供給されて徐々に高くなる基準電圧と比較し、そしてAD変換器12の出力信号を、アナログビデオ信号の電位が基準電圧に達したときに反転させる。

30

【0004】

カウンタ13はクロックを、AD変換器12からの出力信号が、所定のタイミングでオンしてから反転するまで、所定の期間に亘ってカウントする。その結果、アナログビデオ信号の電位がデジタルビデオ信号に変換される。SRAM(スタティックランダムアクセスメモリ)14は、カウンタ13から出力されるデジタルビデオ信号を当該SRAMに一時的に格納する。

【0005】

40

パイプライン処理部15は、当該パイプライン処理部にSRAM14から供給されるデジタルビデオ信号に種々の種類の処理を施す。パイプライン処理部15は、当該パイプライン処理部内にSRAM15Aを内蔵し、そしてSRAM15Aは、当該SRAM15Aに、前処理が施されたデジタルビデオ信号を一時的に格納する。SRAM15Aから読み出されるデジタルビデオ信号は、外部にデータインターフェース16を介して出力される。

【0006】

MPU(マイクロプロセッサユニット)20は、個々の構成部分の動作をOTP(ワンタイムプログラマブルリードオンリーメモリ)21に格納されるプログラム及びデータに従って制御する。

50

## 【 0 0 0 7 】

これまで、上に説明した画素部 1 1、及び他の回路 3 1 が、1 枚の基板シートに配置される構成のイメージセンサが知られている。一言で言えば、A D 変換器 1 2、カウンタ 1 3、S R A M 1 4、パイプライン処理部 1 5、データインターフェース 1 6、ドライバ 1 7、D A 変換器 1 8、基準電圧発生部 1 9、M P U 2 0、及び O T P 2 1 は、回路部 3 1 内に配置される。

## 【 0 0 0 8 】

集積度及び雑音特性をバランスさせるために、本特許出願人はこれまで、例えば日本国特許出願公開第 2 0 1 1 / 1 5 9 9 5 8 号明細書に記載される方法を提案している。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 9 】

【 特許文献 1 】 日本国特許出願公開第 2 0 1 1 / 1 5 9 9 5 8 号明細書

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 1 0 】

しかしながら、画素部 1 1 の基板、及び回路部 3 1 の基板が、互いの上にこのように積層される構成の構造の場合、回路部 3 1 で発生する熱が画素部 1 1 に悪影響を及ぼすことにより、ビデオ信号を幾つかの場合において劣化させる。その結果、コストの上昇を幾つかの場合においてもたらずこのような状況を補完する回路を提供する必要がある。補完回路が省略される場合、高画質イメージセンサを提供することが困難になる。

## 【 0 0 1 1 】

本技術は、上に説明した問題を解決するために開発され、そして高画質信号の取得を可能とすることが本技術の第 1 の目的である。

## 【 0 0 1 2 】

本技術の第 2 の目的は、ノイズ及び熱に起因する信号の劣化を抑制することにある。

## 【 0 0 1 3 】

本技術の第 3 の目的は、種々の種類の半導体装置を最適な製造プロセスにより製造することができるようにすることにある。

## 【 0 0 1 4 】

本技術の第 4 の目的は、電力消費量の抑制を可能とすることにある。

## 【 0 0 1 5 】

本技術の第 5 の目的は、種々の種類の信号方式を具体的に実施することができるようにすることにある。

## 【 0 0 1 6 】

本技術の第 6 の目的は、検出される情報を部分的に出力することができるようにすることにある。

## 【 0 0 1 7 】

本技術の第 7 の目的は、入力 / 出力に関するインターフェース速度を下げるようにすることにある。

## 【 0 0 1 8 】

本技術の第 8 の目的は、電磁波の放射を抑制することができるようにすることにある。

## 【 0 0 1 9 】

本技術の第 9 の目的は、検出される種々の種類の物理情報に関する信号を、当該信号に信号処理を施した後に出力することができるようにすることにある。

## 【 0 0 2 0 】

本技術の第 1 0 の目的は、種々の方式を有する信号の標準化を基板内で行うことができるようにすることにある。

## 【 課題を解決するための手段 】

## 【 0 0 2 1 】

10

20

30

40

50

本技術によれば、半導体装置が提供され、該半導体装置は：所定の情報を検出する検出部を有する第1基板と；データを処理する第1処理部を有する第2基板であって、データが第1処理部に検出部から供給される、第2基板と；データを処理する第2処理部を有する第3基板であって、データが第2処理部に第1基板または第2基板のいずれかの基板から供給される、第3基板とを含む。

【0022】

第1～第3基板は、互いの基板の上に順次積層させることができる。

【0023】

第3基板は、第1基板または第2基板のいずれかの基板からのデータを保存する記憶領域部を有することができる。

10

【0024】

第3基板の記憶領域部は、揮発性記憶領域部及び不揮発性記憶領域部の両方を有することができる。

【0025】

第1基板の検出部、第2基板の第1処理部、及び第3基板の記憶領域部は、異なるプロセスによりそれぞれ製造することができる。

【0026】

第3基板の記憶領域部は、第1基板の検出部が検出するデータの一部を出力することができる。

【0027】

第3基板の第2処理部は、検出部からのデータを処理することにより得られるデータを外部に出力するインターフェースを有することができる。

20

【0028】

第1基板は複数の検出部を有することができる。

【0029】

第2基板の第1処理部の発熱量は、第3基板の第2処理部の発熱量よりも少なくすることができる。

【0030】

第3基板の第2処理部は、発熱量が最も多い回路ブロックを含むことができる。

【0031】

半導体装置はイメージセンサとすることができる。

30

【0032】

第2基板の第1処理部はアナログ回路を含むことができる。

【0033】

第2基板の第1処理部はDRAMを含むことができる。

【0034】

第2基板の第1処理部は、ドライバ、基準電圧発生部、DA変換器、AD変換器、及びOTPからなる少なくとも1つの回路ブロックを含むことができる。

【0035】

第3基板の第2処理部は論理回路を含むことができる。

40

【0036】

第3基板の第2処理部は、パイプライン処理部、カウンタ、SRAM、MPU、アレイコントローラ、及びDRAMコントローラからなる少なくとも1つの回路ブロックを含むことができる。

【0037】

本技術によれば、検出システムを提供することができ、該検出システムは：所定の情報を検出する検出装置を含み、該検出装置は、所定の情報を検出する検出部を有する第1基板と、データを処理する第1処理部を有する第2基板であって、データが、第1処理部に検出部から供給される、第2基板と、データを処理する第2処理部を有する第3基板であって、データが、第2処理部に第1基板または第2基板のいずれかの基板から供給される

50

、第3基板とを含む。

【0038】

検出システムは、複数の検出装置からのデータを処理するMPUを備えることができる。

【図面の簡単な説明】

【0039】

【図1】既存のイメージセンサの構成の一例を示すブロック図である。

【図2】本技術の1つの実施形態による半導体装置の構成例を示すブロック図である。

【図3】格納されたビデオ信号の処理を行う例を示す一連の図である。

【図4】本技術による半導体装置の積層構造の一例を示す一連の図である。

10

【図5】画素基板の平面構造を示す図である。

【図6】アナログ部の基板の平面構造を示す図である。

【図7】ロジック部の基板の平面構造を示す図である。

【図8】基板におけるブロック群の間の接続の関係を示す図である。

【図9】本技術の1つの実施形態による検出システムの構成の一例を示す図である。

【図10】本技術の別の実施形態による半導体装置の構造の一例を示す図である。

【図11】本技術の更に別の実施形態による半導体装置の構造の一例を示す図である。

【図12】本技術の更に別の実施形態による半導体装置の構造の一例を示す図である。

【図13】本技術の別の実施形態による半導体装置の構造の一例を示す図である。

【図14】本技術の更に別の実施形態による半導体装置の構造の一例を示す図である。

20

【図15】本技術の1つの実施形態による半導体装置に対する処理を説明する図である。

【図16】本技術の別の実施形態による検出システムの構成の一例を示す図である。

【発明を実施するための形態】

【0040】

図2は、本技術の1つの実施形態による半導体装置を示すブロック図である。例えば、デジタルカメラに使用されるCMOSイメージセンサ（相補型金属酸化物半導体イメージセンサ）として使用することができる半導体装置101は画素部111を含む。被写体からの光を検出する複数の画素は、 $n \times m$ の行列状に画素部111に配置される。便宜上、画素を図2に2個だけ示している。

【0041】

30

画素群の各画素は、トランジスタ151～153、及びフォトダイオード154からなる。フォトダイオード154は、被写体からの光を光電変換することにより得られるビデオ信号を出力する。トランジスタ152は、フォトダイオード154からの当該ビデオ信号をトランジスタ153に転送する。トランジスタ153は、当該トランジスタ153にフォトダイオード154からトランジスタ152を介して供給される当該ビデオ信号を増幅し、そして結果的に得られるビデオ信号を配線155に出力する。トランジスタ151は、駆動されるべきフォトダイオード154を選択する。

【0042】

トランジスタ151のゲートに接続される配線156、トランジスタ152のゲートに接続される配線157、及びトランジスタ153のゲートに接続される配線158は全て、ドライバ112にピア群171をそれぞれ介して接続される。更に、配線155は、トランジスタ116、及びAD変換器115の一方の入力端子にピア171を介して接続される。DA変換器114から出力された基準電圧は、AD変換器115の他方の入力端子に供給される。基準電圧発生部113は、所定の基準電圧を発生し、この基準電圧が今度は、AD変換器115以外の個々の構成部分の各構成部分に供給される。

40

【0043】

アレイコントローラ117は、ドライバ112、DA変換器114、及び基準電圧発生部113にそれぞれのピア172を介して接続され、そしてドライバ112、DA変換器114、及び基準電圧発生部113の動作を制御する。AD変換器115の出力は、カウンタ118にピア172を介して接続される。カウンタ118は、当該カウンタに回路（

50

図示せず)から供給されるクロックをカウントする。カウンタ118のカウント動作は、AD変換器115からのデジタル出力信号に応じて制御され、これによりカウント値がアナログビデオ信号の電位に一致するようになる。すなわち、カウンタ118のカウント値がデジタルビデオ信号になる。カウンタ118からの出力信号は、バッファとして機能するSRAM121に供給され、そしてSRAM121に一時的に格納される。本開示の方法において提案される構成を使用する場合、DRAM124をSRAM121に代わって用いることができることに留意されたい。その結果、チップサイズを小さくすることができる。

**【0044】**

コラムインターフェースとして機能するSRAM121から読み出されたビデオ信号は、パイプライン処理部122に供給され、そして次に、当該ビデオ信号に前処理が施される。パイプライン処理部122において前処理が施された当該ビデオ信号は、DRAM(ダイナミックランダムアクセスメモリ)コントローラ123が読み出し、そして次に、DRAM124にピア172を介して供給されて、DRAM124に格納される。

10

**【0045】**

DRAM124に格納されるビデオ信号は、所定のタイミングで、DRAMコントローラ123によって読み出され、そして次に、パイプライン処理部122に転送される。パイプライン処理部122に転送されるビデオ信号は、パイプライン処理部122に内蔵されるSRAM122Aに一時的に格納される。SRAM122Aに一時的に格納されるビデオ信号は、データインターフェース125に供給され、そして次に、データインターフェース125から外部に出力される。

20

**【0046】**

MPU119は、OTP120にピア172を介して接続され、そしてアレイコントローラ117の他に、SRAM121、パイプライン処理部122、及びDRAMコントローラ123の動作を、OTP120に格納されるプログラム及びデータに従って制御する。

**【0047】**

次に、半導体装置101の動作について説明することとする。ドライバ112は、アレイコントローラ117により制御されて、所定の配線に属する画素群を所定のタイミングで選択する。このようにして選択される画素のフォトダイオード154に蓄積している電荷量に対応するビデオ信号は、トランジスタ153にトランジスタ152を介して転送され、そして次に、トランジスタ153によって増幅されることにより、配線155に読み出される。このようにして読み出されるビデオ信号は、AD変換器115の一方の入力端子に供給される。

30

**【0048】**

DA変換器114は、アレイコントローラ117によって制御されて、所定のタイミングで徐々に大きくなる基準電圧を発生させ、そしてこのようにして発生させた基準電圧をAD変換器115の他方の入力端子に供給する。カウンタ118は、動作を開始して、所定のタイミングでオンしてからのクロックをカウントする。DA変換器114から出力される基準電圧の電位が、ビデオ信号の電位に等しくなると、AD変換器115からの出力が反転する。AD変換器115からの出力が反転すると、カウンタ118は、カウント値を当該カウンタに、該当する時点までラッチし、そして当該カウント値をSRAM121に供給する。当該カウント値は、ビデオ信号の電位が高くなるにつれて大きくなる。すなわち、当該カウント値は、アナログビデオ信号をデジタルビデオ信号に変換することにより得られる値になる。

40

**【0049】**

SRAM121に一時的に保持されているビデオ信号には前処理が、パイプライン処理部122によって施される。例えば、欠陥画素群に関するデータは、OTP120に格納され、そして欠陥を有する画素からの画素信号は、格納されている欠陥データに基づいて補正される。更に、ビデオ信号には、クランプ処理が施される。

50

## 【 0 0 5 0 】

前処理が施されたビデオ信号は、D R A M 1 2 4 に D R A M コントローラ 1 2 3 を介して供給され、そして次に、D R A M 1 2 4 に格納される。M P U 1 1 9 は、D R A M コントローラ 1 2 3 を必要に応じて制御して、所定の処理を D R A M 1 2 4 に格納されるビデオ信号に対して実行する。

## 【 0 0 5 1 】

図 3 は、D R A M 1 2 4 に格納されるビデオ信号に対して行われる処理の例を示す一連の図である。この場合、1 フレームに対応するビデオ信号群は、D R A M 1 2 4 内の所定のアドレス群にそれぞれ格納されると考えられる。図 3 A に示すように、フレーム 5 0 1 に対応するビデオ信号群は、左上側から右下側に向かう方向に連続的に読み出される。更に、図 3 B に示すように、フレーム 5 0 1 の所定領域内のビデオ信号群も、右上側から左下側に向かう方向に連続的に読み出すことができる。それに加えて、図 3 C に示すように、フレーム 5 0 1 A に対応するビデオ信号群と、フレーム 5 0 1 A に対応するビデオ信号群の前または後のフレーム 5 0 1 B に対応するビデオ信号群との差は、数値演算することができる。

10

## 【 0 0 5 2 】

このような種々の種類の処理を実行すると、手ぶれ補正、ノイズ補正、動き検出、T o F (飛行時間) 検出、高速 A F (オートフォーカス)、画素数を増やす、または減らす高解像度のスカラ場の処理、及びデジタルズームのような機能を実現することができる。D R A M 1 2 4 は、半導体装置 1 0 1 にこのようにして内蔵されることにより、イメージセンサから出力されるビデオ信号を外部 D S P (デジタルシグナルプロセッサ) で処理する場合と比較して、高速処理が可能になる。

20

## 【 0 0 5 3 】

D R A M 1 2 4 に格納されるビデオ信号群が、D R A M コントローラ 1 2 3 により行われる制御に従って読み出されて、パイプライン処理部 1 2 2 の S R A M 1 2 2 A に一時的に格納された後、関係するビデオ信号群は更に、外部にデータインターフェース 1 2 5 を介して出力される。

## 【 0 0 5 4 】

次に、半導体装置 1 0 1 の構造について説明することとする。図 4 は、半導体装置 1 0 1 の積層構造の一例を示す一連の図である。図 4 に示すように、半導体装置 1 0 1 は、3 層：最下層の基板 4 0 1 ; 基板 4 0 1 に積層される基板 3 0 1 ; 及び基板 3 0 1 に積層される基板 2 0 1 からなる。一言で言えば、基板 2 0 1、基板 3 0 1、及び基板 4 0 1 を積層して 1 チップ状に形成する。図 4 A は、基板 2 0 1、基板 3 0 1、及び基板 4 0 1 を順次積層する状態を示している。更に、図 4 B は、基板 2 0 1、基板 3 0 1、及び基板 4 0 1 を順次積層する前の状態を示している。図 4 では、矢印で示すように、被写体から放出される光の入射が、上側から最上層の基板 2 0 1 に向かって行われる。

30

## 【 0 0 5 5 】

図 5 は、画素群を形成した基板 2 0 1 の平面構造を示す図である。この図に示すように、画素部 1 1 1 は、基板 2 0 1 の略中心に形成される。上に説明したように、これらの画素は、 $n \times m$  の行列状に画素部 1 1 1 に配置される。この図では、ビア群 2 1 1 は、画素部 1 1 1 の上側及び下側、及び右側にそれぞれ形成される。これらのビア 2 1 1 は、図 2 のビア群 1 7 1 をそれぞれ形成する。

40

## 【 0 0 5 6 】

図 6 は、アナログ部を形成した基板 3 0 1 の平面構造を示す図である。基板 3 0 1 は、第 1 回路部 3 3 1 を含み、第 1 回路部 3 3 1 は、当該第 1 回路部に画素部 1 1 1 から供給される信号群を処理する。すなわち、この図に示すように、3 個の D R A M 1 2 4 が、基板 3 0 1 の略中心の右側及び左側の各側に配置される、すなわち合計 6 個の D R A M 1 2 4 が、基板 3 0 1 の略中心に配置される。O T P 1 2 0 は、基板 3 0 1 の左側に配置される。基準電圧発生部 1 1 3 及び D A 変換器 1 1 4 の両方は、基板 3 0 1 の右側に配置される。また、ドライバ 1 1 2 は、基板 3 0 1 の基準電圧発生部 1 1 3 及び D A 変換器 1 1 4 の

50

両方の右側に配置される。

【0057】

各AD変換器がこの図の水平方向に延在する構成のAD変換器群115は、基板301の上側及び下側にそれぞれ配置される。ピア群312は、AD変換器群115の内側に形成される。また、3個のピア312が更に配置されて、この図の長手方向に、右側DRAM124及び左側DRAM124の内側で延在している。これらの3個のピア312は、図2のピア群172をそれぞれ形成している。

【0058】

図2に示すピア群171をそれぞれ形成するピア群311は、上側AD変換器115及び下側AD変換器115の外側に、そして基板301のドライバ112の右側にそれぞれ形成される。ピア群311は、図5に示す基板201のピア群211にそれぞれ対応する位置に形成される。従って、基板201が、基板301に積層される場合、基板301のピア群311は、基板201のピア群211に接続されることにより、図2に示すピア群171をそれぞれ形成する。

10

【0059】

このようにして、本実施形態では、アナログ回路ブロック及びDRAM群124は基板301に埋め込まれる。一言で言えば、基板301の第1回路部331は、ドライバ112、基準電圧発生部113、DA変換器114、及びAD変換器115からなるアナログ回路ブロックに加えて、OTP120、DRAM群124などからなる回路ブロックにより構成される。

20

【0060】

図7は、ロジック部を形成した基板401の平面構造を示す図である。基板401は、第2回路部431を含み、第2回路部431は、当該第2回路部に画素部111から供給される信号群を処理する。すなわち、基板401では、パイプライン処理部122は、略中心の左側に配置される。更に、データインターフェース125は、この図の長手方向に、パイプライン処理部122の左側で延在するように配置される。DRAMコントローラ123は、基板401の略中心の右側に配置される。また、MPU119及びアレイコントローラ117の両方は、この図の長手方向にDRAMコントローラ123の右側で延在するように配置される。

30

【0061】

各SRAMがコラムインターフェースとして機能する構成のSRAM群121は、この図の水平方向に、基板401の上側及び下側でそれぞれ延在するように配置される。また、カウンタ群118は、この図の水平方向に、SRAM群121の内側で延在するように配置される。

【0062】

ピア群411は、この図の水平方向に、カウンタ群118の内側でそれぞれ延在するように配置される。更に、3個のピア411は、パイプライン処理部122とDRAMコントローラ123との間に配置されて、この図の長手方向に延在している。

【0063】

基板401のピア群411は、図6に示す基板301のピア群312にそれぞれ対応する位置に形成される。従って、基板301が、基板401に積層される場合、基板401のピア群411は、基板301のピア群311に接続されることにより、図2に示すピア群172をそれぞれ形成する。

40

【0064】

このようにして、基板401の第2回路部431は、アレイコントローラ117、カウンタ群118、MPU119、SRAM群121、パイプライン処理部122、DRAMコントローラ123、データインターフェース125などからなる回路ブロックにより構成される。図8には図示されていないが、図7に示すように、アレイコントローラ117及びDRAMコントローラ123の両方が更に、基板401の第2回路部431に含まれることに留意されたい。

50

## 【 0 0 6 5 】

図 8 は、これらの基板のブロック群の間の接続の関係を示す図である。基板 2 0 1 の画素部 1 1 1 からの出力は、基板 3 0 1 の A D 変換器 1 1 5 に供給される。A D 変換器 1 1 5 からの出力は、基板 4 0 1 のカウンタ 1 1 8 に供給され、そして当該出力を使用して、カウンタ 1 1 8 のカウント動作を制御する。カウンタ 1 1 8 のカウント値に所定の前処理を、基板 4 0 1 のパイプライン処理部 1 2 2 によって、基板 4 0 1 の S R A M 1 2 1 を介して行った後、結果として得られるカウント値を基板 3 0 1 の D R A M 1 2 4 に供給して、D R A M 1 2 4 に格納する。パイプライン処理部 1 2 2 の動作は、基板 4 0 1 の M P U 1 1 9 により制御される。

## 【 0 0 6 6 】

M P U 1 1 9 のプログラム及びデータの両方は、基板 3 0 1 の O T P 1 2 0 に格納される。ドライバ 1 1 2、D A 変換器 1 1 4、及び基準電圧発生部 1 1 3 が更に、基板 3 0 1 に配置される。

## 【 0 0 6 7 】

基板 3 0 1 の D R A M 1 2 4 に格納されているビデオ信号群は、基板 4 0 1 のデータインターフェース 1 2 5 に、基板 4 0 1 のパイプライン処理部 1 2 2 の S R A M 1 2 2 A を介して供給され、そして更に、データインターフェース 1 2 5 から外部に出力される。データインターフェース 1 2 5 は、例えば C S I 2 (カメラシリアルインターフェース 2) 規格に準拠することができる。

## 【 0 0 6 8 】

3 つの基板を設けると、発熱量が多い論理回路を基板 4 0 1 に配置することができ、そして発熱量が少ない回路ブロックを基板 3 0 1 に配置することができる。一言で言えば、ドライバ 1 1 2、基準電圧発生回路 1 1 3、D A 変換器 1 1 4、及び A D 変換器 1 1 5 からなるアナログ回路ブロックの他に、O T P 1 2 0、D R A M 1 2 4 などからなる発熱量の少ない回路ブロックを基板 3 0 1 に配置することができる。その結果、基板 2 0 1 の画素部 1 1 1 のノイズ発生量を抑制することができる。更に、高集積度を有する基板は、基板 4 0 1 として使用することができる。

## 【 0 0 6 9 】

一言で言えば、基板 3 0 1 は、基板 4 0 1 と基板 2 0 1 との間に配置される。その結果、画素部 1 1 1 を有する基板 2 0 1 は、基板 4 0 1 から遠ざけることができる。回路ブロックの発熱量は、動作周波数が高くなるにつれて多くなる。従って、発熱量が比較的多い論理回路ブロックは、基板 4 0 1 に配置される。別の表現をすると、熱を発生しない、または発熱量が、発熱する場合でも相対的かつ比較的少ないアナログ回路ブロックは、基板 3 0 1 に配置される。その結果、基板 4 0 1 に発生するノイズ及び熱が、悪影響を基板 2 0 1 の画素部 1 1 1 に及ぼすことにより、ビデオ信号を劣化させるのを防止することができる。更に、基板 4 0 1 は、最も外側に配置されるので、基板 4 0 1 は、熱を外部に放散し易くなるので、半導体装置 1 0 1 の温度の上昇を抑えることができる。

## 【 0 0 7 0 】

基板 3 0 1 の発熱量が基板 4 0 1 の発熱量よりも少なくなる (別の表現をすると、基板 4 0 1 の発熱量が基板 3 0 1 の発熱量よりも多くなる) ことにより、発熱によって画素部 1 1 1 に及ぶ悪影響を抑制することができる。一言で言えば、回路ブロック群の全てが、基板 3 0 1 及び基板 4 0 1 に、基板 3 0 1 の第 1 回路部 3 3 1 の発熱量が基板 4 0 1 の第 2 回路部 4 3 1 の発熱量よりも少なくなるように分散配置される。

## 【 0 0 7 1 】

或いは、例えば配置される予定の回路ブロック群のうち、発熱量が最も多い回路ブロックが、基板 3 0 1 に配置されるのではなく、基板 4 0 1 に配置される場合でも、同じ効果を実現することもできる。

## 【 0 0 7 2 】

比較される発熱量は、半導体装置 1 0 1 が、熱を最も発生し易い方法を利用することにより所定の時間長に亘ってのみ使用される場合の発熱量として、または半導体装置 1 0 1

10

20

30

40

50

が、標準的な方法を利用することにより標準的な時間長に亘ってのみ使用される場合の発熱量として採用することができることに留意されたい。最も過酷な条件が設定される場合、前者の方の発熱量を採用することができる。

【0073】

上の説明から、高画質ビデオ信号は、半導体装置101を用いて得られる。

【0074】

上に説明した半導体装置101は、例えばデジタルカメラのような撮像システムのイメージセンサに適用することができる。図9は、本技術の1つの実施形態による検出システムの構成の一例を示す図である。図9に示す例では、検出システムは、撮像システムに適用される。説明を分かり易くするために、撮像システム601の構成を簡略化している。撮像システム601は、レンズ611、上に説明した実施形態の半導体装置101からなるイメージセンサ101A、信号処理部612、メモリ613、及び表示部614を含む。

10

【0075】

被写体から放出される光を収束させてイメージセンサ101Aに入射させる。イメージセンサ101Aは、被写体に対応するビデオ信号を、被写体から放出される光量に応じて出力する。信号処理部612は、当該信号処理部にイメージセンサ101Aから供給されるビデオ信号を処理し、そして変調することにより記録信号を生成し、そして結果的に得られる記録信号をメモリ613に供給してメモリ613に格納する。メモリ613は、ハードディスク、固体メモリなどからなる。信号処理部612は、ビデオ信号を外部に必要に応じて出力する。

20

【0076】

信号処理部612は、メモリ613に格納されているビデオ信号を、所定のタイミングで読み出し、このようにして読み出したビデオ信号を変調し、そして結果的に得られるビデオ信号を表示部614に供給する。その結果、被写体の画像が表示部614に表示される。

【0077】

上に説明したように、イメージセンサ101Aが熱による悪影響を受けるのを抑制することができる。従って、高画質の画像を取得することができる。

【0078】

本技術は、画像情報を出力する撮像システムに適用することができるのみならず、音声情報、位置情報、速度情報などに関する大容量の高精細信号を出力する必要がある構成の種々の種類の検出システムにも適用することができる。図10は、本技術の別の実施形態による半導体装置の構造の一例を示す図である。

30

【0079】

図10に示す半導体装置701は、検出部721、処理部722、及び処理部723からなる。検出部721は、基板711に形成され、処理部722は基板712に形成され、そして処理部723は基板713に形成される。基板712は基板713に積層され、そして基板711は基板712に積層される。基板711に形成される検出部721は、音声情報、位置情報、速度情報などを検出する。基板712に形成される処理部722は、検出部721が検出するデータを処理する。基板713に形成される処理部723は、検出部721が検出するデータ(当該データが基板712の処理部722によって処理される場合のデータを含む)を処理する。

40

【0080】

図10に示す半導体装置701における基板711上の検出部721、基板712上の処理部722、及び基板713上の処理部723は、図4に示す半導体装置101における基板201上の画素部111、基板301上の第1回路部331、及び基板401上の第2回路部431にそれぞれ対応している。

【0081】

図10に示す実施形態の場合においても、処理部722及び723は、基板711に接

50

触する基板 7 1 2 の発熱量が、基板 7 1 3 の発熱量よりも少なくなるように基板 7 1 2 及び基板 7 1 3 に分散配置される。3つの基板 7 1 1、7 1 2、及び 7 1 3 は、積層構造を有するように 1 チップ状に形成される。その結果、高画質出力信号を取得することができる。

#### 【 0 0 8 2 】

4 層またはそれよりも多くの層数を有する積層構造を採用する場合においてもまた、発熱量が最も大きい回路ブロックが、最下層の基板（基板 7 1 1 に形成される検出部 7 2 1 を有する当該基板 7 1 1 から最も遠く離れた位置に積層される基板）に配置されていることに注目されたい。

#### 【 0 0 8 3 】

図 1 1 は、本技術の更に別の実施形態による半導体装置の構造の一例を示す図である。本実施形態の半導体装置 7 0 2 では、複数の検出部が基板 7 1 1 に形成される。図 1 1 に示す例では、2つの検出部 7 2 1 A 及び 7 2 1 B が基板 7 1 1 に形成される。2つの検出部 7 2 1 A 及び 7 2 1 B は、同じ種類の情報、または異なる情報のいずれの情報も検出する。基板 7 1 2 及び 7 1 3 にそれぞれ形成される処理部 7 2 2 及び 7 2 3 は、検出部 7 2 1 A 及び 7 2 1 B からの出力信号群のいずれか一方の出力信号、または両方の出力信号を処理する。半導体装置 7 0 2 の他の構造は、図 1 0 に示す半導体装置構造と同じである。

#### 【 0 0 8 4 】

図 1 2 は、本技術の更に別の実施形態による半導体装置の構造の一例を示す図である。本実施形態の半導体装置 7 0 3 では、記憶領域部 7 3 1 は、図 1 0 に示す基板 7 1 3 の処理部 7 2 3 として形成される。勿論、処理部 7 2 3 全体においてではなく、処理部 7 2 3 の一部において、記憶領域部 7 3 1 を形成してもよい。基板 7 1 3 の記憶領域部 7 3 1 は、基板 7 1 1 の検出部 7 2 1 から出力されるデータ（当該データが基板 7 1 2 の処理部 7 2 2 において処理される場合のデータを含む）を当該記憶領域部 7 3 1 に保存する。半導体装置 7 0 3 の他の構造は、図 1 0 または図 1 1 に示す半導体装置構造と同じである。

#### 【 0 0 8 5 】

処理部 7 2 3 は、最下層の基板 7 1 3 に形成することもでき、そして記憶領域部 7 3 1 は、中間の基板 7 1 2 に形成することもできることに留意されたい。

#### 【 0 0 8 6 】

図 1 3 は、本技術の別の実施形態による半導体装置の構造の一例を示す図である。本実施形態の半導体装置 7 0 4 では、揮発性記憶領域部 7 3 1 A 及び不揮発性記憶領域部 7 3 1 B の両方が、基板 7 1 3 の記憶領域部 7 3 1 として形成される。電源のオフ状態の位相において消去する必要がある情報は、揮発性記憶領域部 7 3 1 A に保存される。これとは異なり、電源のオフ状態の位相においても消去してはならない情報は、不揮発性記憶領域部 7 3 1 B に保存される。他の構造は、図 1 2 に示す場合における構造と同じである。

#### 【 0 0 8 7 】

図 1 4 は、本技術の更に別の実施形態による半導体装置の構造の一例を示す図である。本実施形態の半導体装置 7 0 5 は、図 1 2 に示す半導体装置 7 0 3 と構造が基本的に同じである。しかしながら、半導体装置 7 0 5 では、基板 7 1 1 A の検出部 7 2 1 P は、製造プロセス A により製造され、基板 7 1 2 A の処理部 7 2 2 P は、製造プロセス B により製造され、そして基板 7 1 3 A の記憶領域部 7 3 1 P は、製造プロセス C により製造される。

#### 【 0 0 8 8 】

半導体装置 7 0 5 が、多層構造状に形成される場合、個々の層は、最適な製造プロセスによりそれぞれ製造されることにより、電力消費量を減らすことができる。

#### 【 0 0 8 9 】

図 1 5 は、本技術の 1 つの実施形態による半導体装置の処理を説明する図である。図 1 5 に示す半導体装置 7 0 6 では、基板 7 1 1 の検出部 7 2 1 が検出するデータは、基板 7 1 2 の処理部 7 2 2 で処理され、そして次に、基板 7 1 3 の記憶領域部 7 3 1 に保存される。また、基板 7 1 3 の記憶領域部 7 3 1 に保存される所定数のデータのうち、これらの

10

20

30

40

50

データのほんの一部だけが外部に出力される。すなわち、検出部 7 2 1 が検出する所定数のデータのほんの一部だけが、外部に出力される。

【 0 0 9 0 】

記憶領域部 7 3 1 をこのようにして設けると、情報を時間軸方向に保存することができるので、種々の種類の信号方式を具体的に実施することができるようになる。更に、検出されるデータは、記憶領域部 7 3 1 に保存することができるので、検出される所定数のデータの一部を出力段に出力することができる。一言で言えば、入力/出力に関するインターフェース速度を下げるように作用することができる。更に、入力/出力に関するインターフェース速度を下げることに併せて、電磁波の放射を抑制することができる。

【 0 0 9 1 】

図 1 6 は、本技術の別の実施形態による検出システムの構成の一例を示す図である。図 1 6 に示す検出システム 8 0 1 は、検出装置 8 1 1 ~ 8 1 4、及び M P U 8 1 5 からなる。検出装置 8 1 1 ~ 8 1 4 は、図 4 に示す半導体装置 1 0 1、図 1 0 ~ 図 1 5 にそれぞれ示す半導体装置 7 0 1 ~ 7 0 6 などにより構成される。

【 0 0 9 2 】

検出装置 8 1 1 ~ 8 1 4 は、例えば画像情報、オートフォーカス情報、位置情報、及び速度情報に付加される音声情報及び他の情報のような、検出システム 8 0 1 の機能に対応する種々の種類の情報に関するデータを個々に検出する。M P U 8 1 5 は、検出装置 8 1 1 ~ 8 1 4 が検出する所定数のデータを処理する。

【 0 0 9 3 】

検出装置 8 1 1 ~ 8 1 4 は、検出装置 8 1 1 ~ 8 1 4 によってそれぞれ検出された種々の種類の物理情報に関する所定数のデータを、信号処理までの処理が行われた後に出力することができる。従って、種々の種類の方式を有する信号（画像情報、音声情報、位置情報、及び速度情報のような）が準拠する規格を標準化することができる。一言で言えば、既に規定されている所定の規格に準拠するこれらの信号は、検出装置 8 1 1 ~ 8 1 4 などがそれぞれ有する検出部 7 2 1 から出力される信号の方式に関係なく、最終的に検出装置 8 1 1 ~ 8 1 4 などから出力することができる。その結果、例えば任意の製造業者により製造された検出部 7 2 1 を採用することができるようになる。このようにして、自由度が高くなる。

【 0 0 9 4 】

また、本技術のこれらの実施形態は、上に説明した実施形態に決して限定されることがなく、従って種々の変更を本技術の主題から逸脱することなく行うことができることに留意されたい。

【 0 0 9 5 】

例えば、それぞれの基板に配置される具体的な回路ブロックは、上に説明した実施形態において記載される回路ブロックに決して限定されない。

< 関連出願の相互参照 >

【 0 0 9 6 】

本出願は、2012年6月4日に出願された米国仮特許出願第 6 1 / 6 5 5 , 2 3 7 号の優先権の利益を主張するものであり、この仮特許出願の内容全体は、参照により本明細書に組み込まれる。

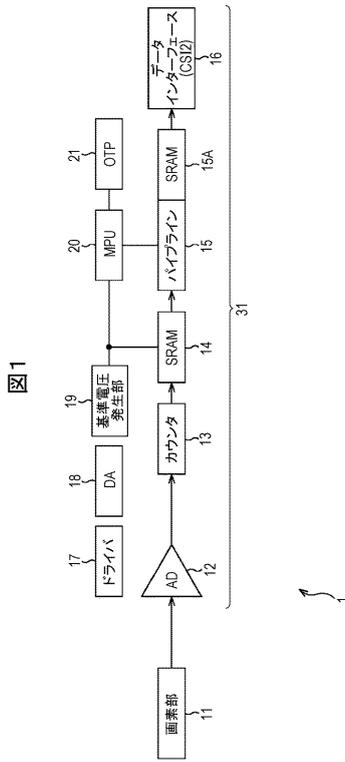
10

20

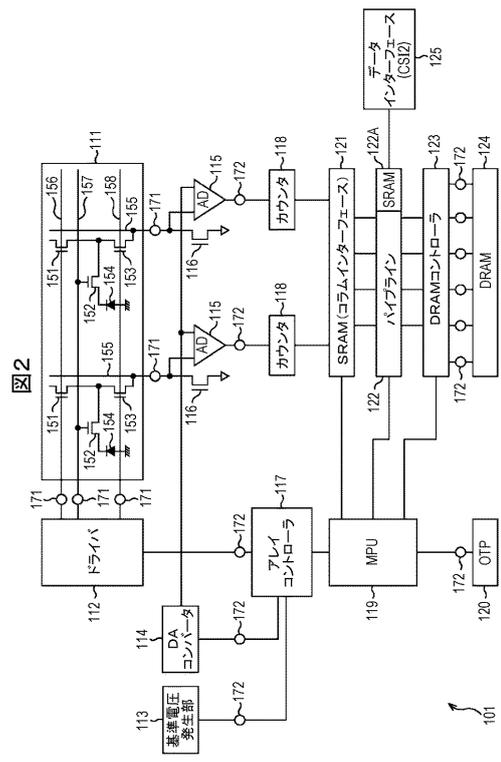
30

40

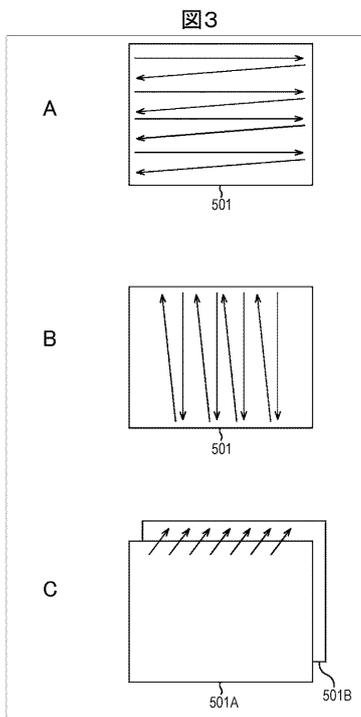
【 図 1 】



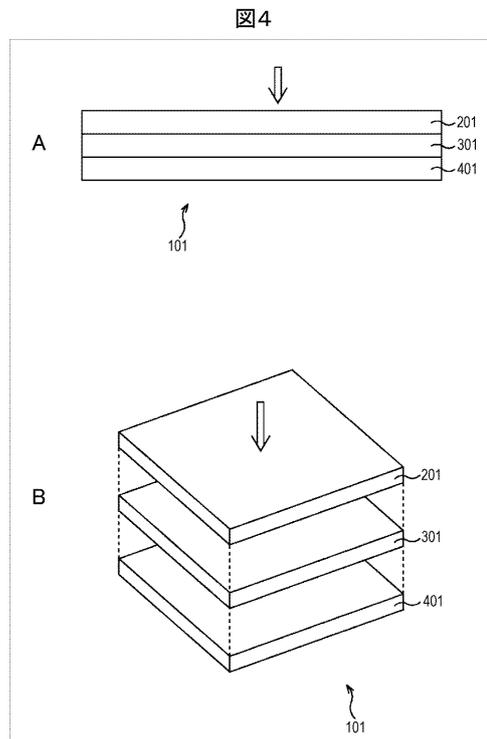
【 図 2 】



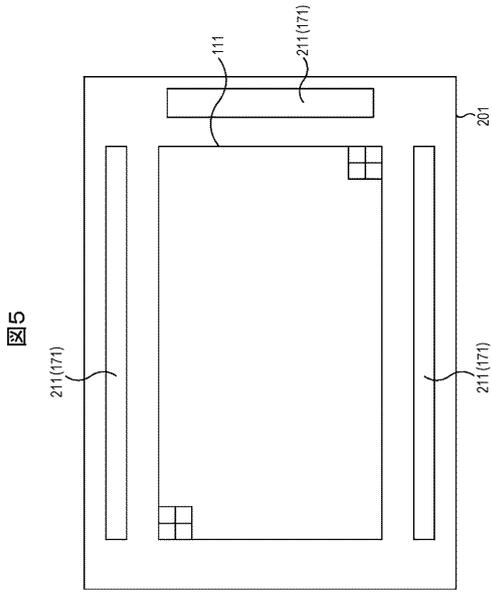
【 図 3 】



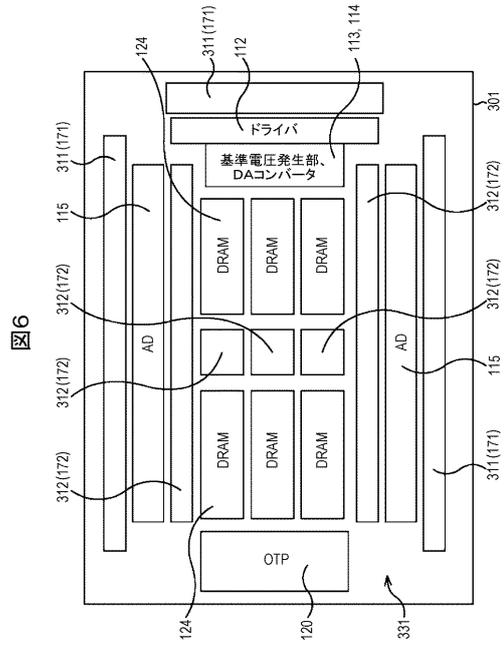
【 図 4 】



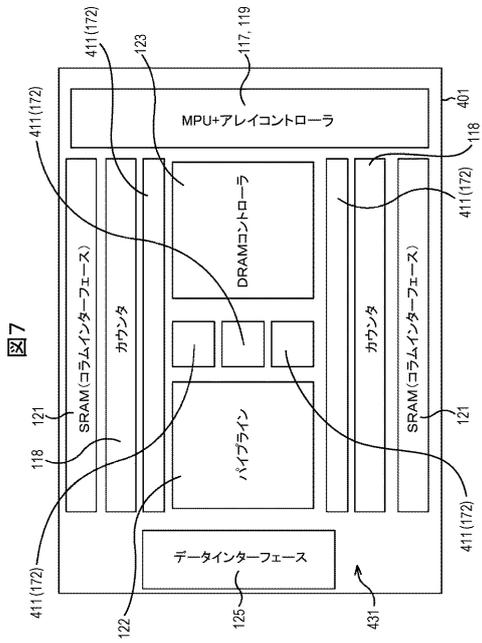
【 図 5 】



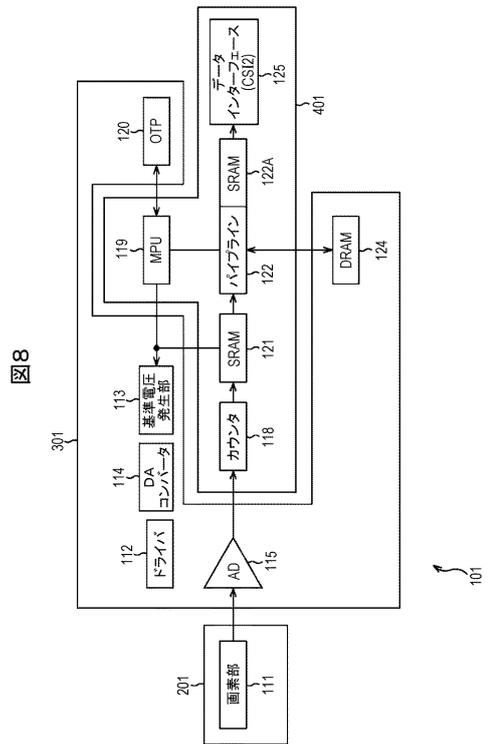
【 図 6 】



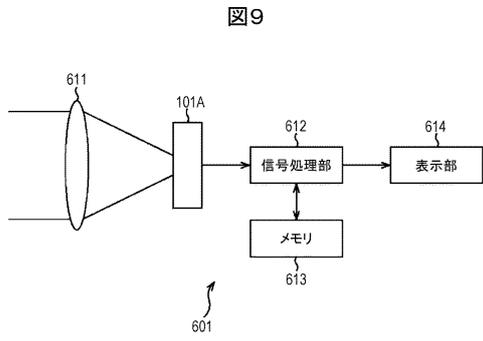
【 図 7 】



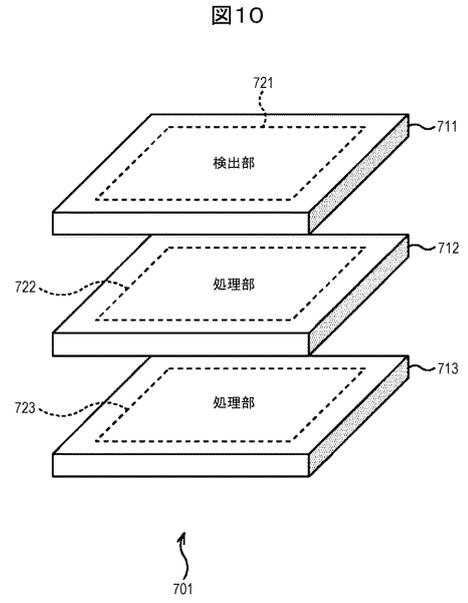
【 図 8 】



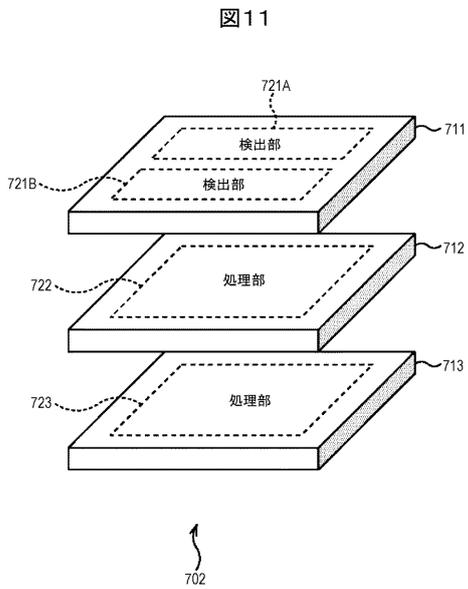
【 図 9 】



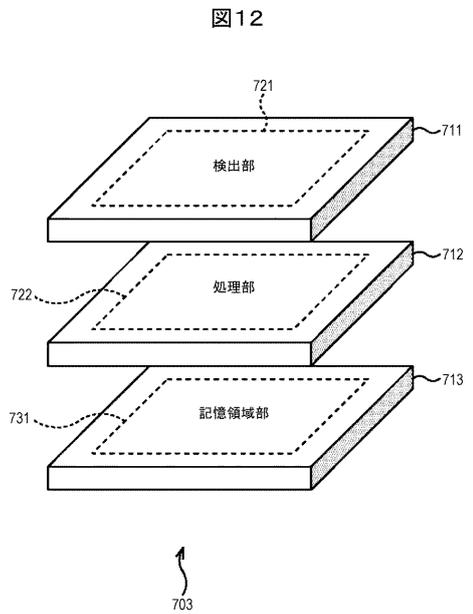
【 図 10 】



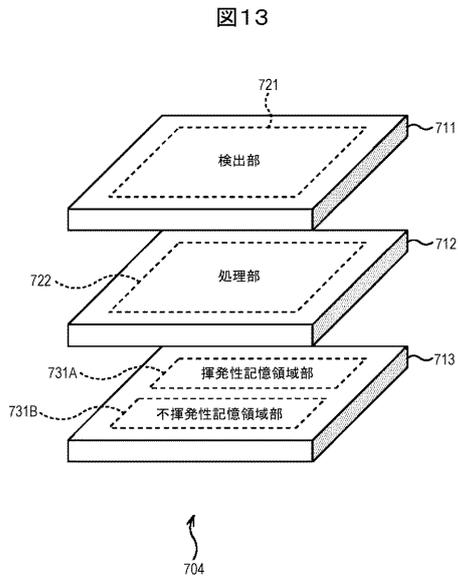
【 図 11 】



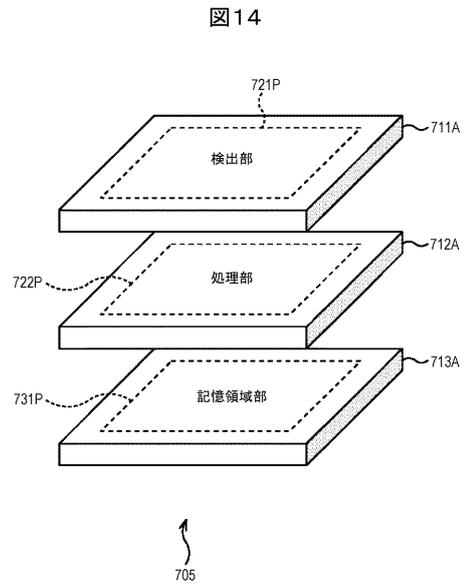
【 図 12 】



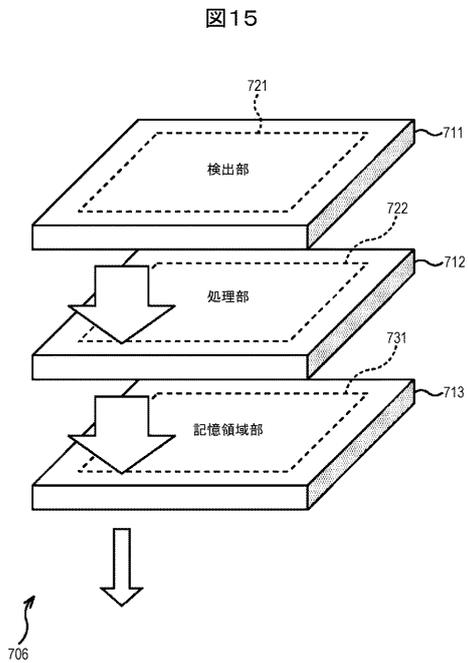
【 図 1 3 】



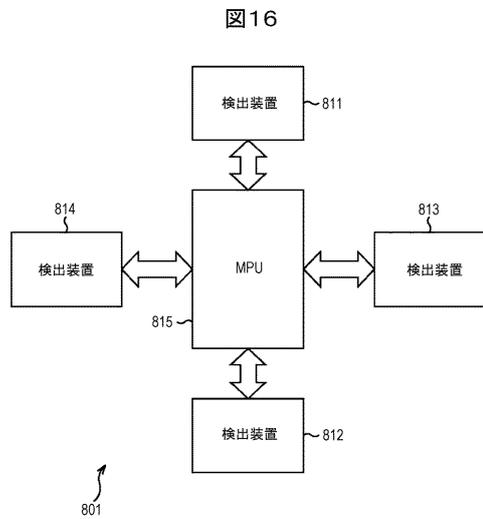
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No PCT/JP2013/003440
---

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. H04N5/335 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H04N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2011/142581 A2 (HANA MICRON CO LTD [KR]; JUNG YONG HA [KR]; KIM DAE JIN [KR]) 17 November 2011 (2011-11-17)	1-3,17
Y	the whole document	4,6-8,18
X,P	& US 2013/127070 A1 (JUNG YONG HA [KR] ET AL) 23 May 2013 (2013-05-23) paragraphs [0035], [0037]; figure 1a	1-4
Y	Atmel: "ATmega8(L) Preliminary Summary", 31 December 2002 (2002-12-31), XP002713043, Retrieved from the Internet: URL:www.promelec.ru/pdf/atmega8.pdf [retrieved on 2013-09-17] page 1	4,6-8,18
	----- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
24 September 2013		08/01/2014
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer  Zakharian, Andre

4

## INTERNATIONAL SEARCH REPORT

International application No PCT/JP2013/003440
---

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 197 32 755 A1 (SIKA WERKE GMBH [DE]) 5 February 1998 (1998-02-05) abstract; figure 6 -----	1-4,17
A	US 2009/001612 A1 (SONG SUNGMIN [KR] ET AL) 1 January 2009 (2009-01-01) paragraphs [0066] - [0070]; figure 8 -----	1-4,17
A	RU 2 190 251 C2 (LEONT EV VLADIMIR VASIL EVICH; GRECHUSHKIN IGOR VASIL EVICH; KOVALEV A) 27 September 2002 (2002-09-27) abstract -----	1-4,17

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP2013/003440**Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of Item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
  
2.  As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
  
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:  
1-4, 6-8, 17, 18

**Remark on Protest**

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/JP2013/003440

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2011142581 A2	17-11-2011	KR 20110124065 A US 2013127070 A1 WO 2011142581 A2	16-11-2011 23-05-2013 17-11-2011
DE 19732755 A1	05-02-1998	NONE	
US 2009001612 A1	01-01-2009	KR 20080114622 A TW 200905856 A US 2009001612 A1 US 2011115098 A1	31-12-2008 01-02-2009 01-01-2009 19-05-2011
RU 2190251 C2	27-09-2002	NONE	

International Application No. PCT/ JP2013/ 003440

**FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210**

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-4, 6-8, 17, 18

To provide for a stacked semiconductor structure having a predetermined electronic architecture

---

2. claim: 5

To provide for a stacked semiconductor structure with certain manufacturing advantages

---

3. claims: 9, 10

To provide for a stacked semiconductor structure having predetermined heat dissipation characteristics.

---

4. claims: 11-16

To provide for an image sensor having predetermined spatial topology.

---

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

Fターム(参考) 4M118 AB01 BA14 BA19 CA02 DD04 DD12 HA22 HA24 HA25 HA33  
5C024 CX03 CY47 HX01 HX14 HX23 HX32 HX50 HX57