

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月20日(20.08.2020)

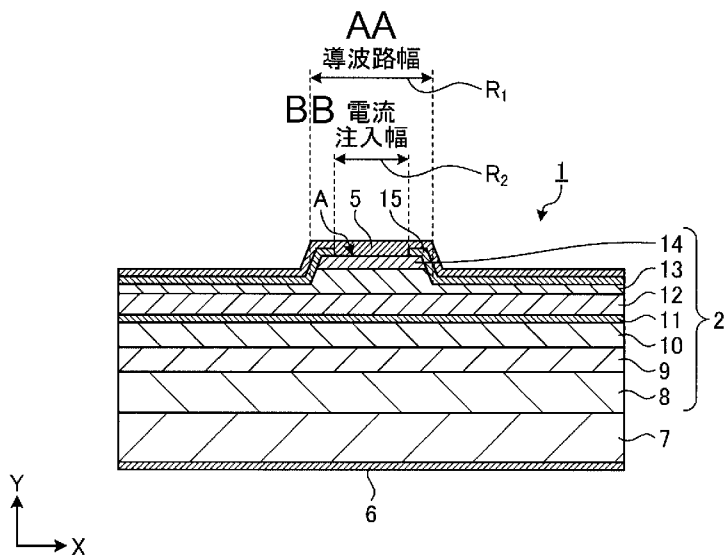


(10) 国際公開番号
WO 2020/166483 A1

- (51) 国際特許分類:
H01S 5/022 (2006.01) *H01S 5/042* (2006.01)
- (21) 国際出願番号: PCT/JP2020/004604
- (22) 国際出願日: 2020年2月6日(06.02.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-023288 2019年2月13日(13.02.2019) JP
- (71) 出願人: 古河電気工業株式会社 (**FURUKAWA ELECTRIC CO., LTD.**) [JP/JP]; 〒1008322 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- (72) 発明者: 梅野 和行 (**UMENO, Kazuyuki**); 〒1008322 東京都千代田区丸の内二丁目2番3号 古河電気工業株式会社内 Tokyo (JP). 大木 泰 (**OHKI, Yutaka**); 〒1008322 東京都千代田区丸の内二丁目2番3号 古河電気工業株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人酒井国際特許事務所 (**SAKAI INTERNATIONAL PATENT OFFICE**); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ELECTRODE, SEMICONDUCTOR LASER ELEMENT, AND CHIP ON SUBMOUNT

(54) 発明の名称: 電極、半導体レーザ素子、およびチップオンサブマウント



AA Waveguide width
BB Current injection width

(57) Abstract: The purpose of the present invention is to improve wall-plug efficiency of a semiconductor laser element. Provided is an electrode that includes a Ti layer and a Pt layer which are stacked in order on a surface of a p-type semiconductor layer, wherein a portion that is in contact with the surface of the p-type semiconductor layer has a heat resistance per unit area of 1.2×10^4 (K/W·m²) or less. The Ti layer has a thickness of 5 to 35 nm. A total of the thickness of the Ti layer and the thickness of the Pt layer is 70 nm or less. The thickness of the Pt layer is 0.7 to 1 time the thickness of the Ti layer. An Au layer is further stacked on the Pt layer. A semiconductor laser element in which the electrode is provided on the p-type semiconductor layer is fixed to a mount in a junction-down state to manufacture a chip on submount.



WO 2020/166483 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体レーザ素子における電気光変換効率を向上させることを目的とする。p型半導体層の表面にTi層およびPt層が順次積層された電極であって、p型半導体層の表面との接触部分における単位面積当たりの熱抵抗を、 1.2×10^4 (K/W·m²) 以下にする。Ti層の膜厚は5nm以上35nm以下にする。Ti層の膜厚とPt層の膜厚との合計を70nm以下にする。Pt層の膜厚をTi層の膜厚に対して、0.7倍以上1倍以下にする。Pt層の上層にさらにAu層を積層させる。p型半導体層上に電極が設けられた半導体レーザ素子を、ジャンクションダウンの状態でマウントに固定させて、チップオンサブマウントを製造する。

明 細 書

発明の名称：

電極、半導体レーザ素子、およびチップオンサブマウント

技術分野

[0001] 本発明は、電極、半導体レーザ素子、およびチップオンサブマウントに関する。

背景技術

[0002] 従来、半導体レーザ素子は、加工などに用いられる産業用レーザとして活用されている。産業用レーザにおいては、光通信用レーザ以上の高出力および高効率化が必要とされ、かつ長距離を伝搬させる必要がないことから、高出力に特化したマルチモードのレーザが使用される。マルチモードレーザでは、レーザの水平方向の導波路の幅を広くして、導波路内において複数の水平横モードを許容することによって、高出力を達成できる。高出力半導体レーザ素子などにおけるp型半導体層上に設けられるp側電極として、チタン（Ti）、白金（Pt）、および金（Au）が順次積層された、Ti/Pt/Auの積層構造が知られている（特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特許第3314616号公報

発明の概要

発明が解決しようとする課題

[0004] 上述した高出力の半導体レーザ素子においては、投入電力（順方向電流×順方向電圧）に対する最終的な光出力の割合として定義される、電気光変換効率（WPE：Wall Plug Efficiency）が高いことが求められる。そのため、半導体レーザ素子におけるWPEを向上させる技術が望まれていた。

[0005] 本発明は、上記に鑑みてなされたものであって、その目的は、半導体レーザ素子の電気光変換効率を向上することができる電極、半導体レーザ素子、

およびチップオンサブマウントを提供することにある。

課題を解決するための手段

- [0006] 上述した課題を解決し、上記目的を達成するために、本発明に係る電極は、p型半導体層の表面にTi層およびPt層が順次積層されて構成された電極であって、前記p型半導体層の表面との接触部分における単位面積当たりの熱抵抗が、 $1.2 \times 10^4 \text{K/W} \cdot \text{m}^2$ 以下であることを特徴とする。
- [0007] 本発明の一態様に係る電極は、上記の発明において、前記Ti層の膜厚は35nm以下であることを特徴とする。この構成により、Ti層の成膜において製造ばらつきが生じた場合であっても、p型半導体層の表面との接触部分における単位面積当たりの熱抵抗値を所望の熱抵抗値にすることができる。
- [0008] 本発明の一態様に係る電極は、上記の発明において、前記Ti層の膜厚は5nm以上35nm以下であることを特徴とする。この構成により、上層のPt層に対するTi層のバリアメタルとしての機能を保持することができる。
- [0009] 本発明の一態様に係る電極は、上記の発明において、Ti層の膜厚とPt層の膜厚との合計は70nm以下であることを特徴とする。この構成により、電極の熱抵抗を低減することができる。
- [0010] 本発明の一態様に係る電極は、上記の発明において、前記Pt層の膜厚は30nm以上であることを特徴とする。この構成により、Pt層の上層の金属材料の下層への拡散を抑制できる。
- [0011] 本発明の一態様に係る電極は、上記の発明において、前記Pt層の膜厚は、前記Ti層の膜厚に対して0.7倍以上1倍以下であることを特徴とする。これにより、p型半導体層上に電極を形成した後に、300~450℃の温度で熱処理を行った場合でも、Ti層とPt層との合金化によるTiPt₃の形成を抑制して、電極における熱伝導率の低下を抑制できる。
- [0012] 本発明の一態様に係る電極は、上記の発明において、前記Pt層の上層にAu層が積層されていることを特徴とする。

- [0013] 本発明の一態様に係る半導体レーザ素子は、n型半導体層、活性層、およびp型半導体層が順次積層され、レーザ光を出射可能に構成された半導体レーザ素子であって、前記p型半導体層の表面に、上記の発明による電極が設けられていることを特徴とする。
- [0014] 本発明の一態様に係る半導体レーザ素子は、上記の発明において、前記p型半導体層がIII-V族化合物半導体層であることを特徴とする。
- [0015] 本発明の一態様に係る半導体レーザ素子は、上記の発明において、前記p型半導体層がGaAs層であることを特徴とする。
- [0016] 本発明の一態様に係る半導体レーザ素子は、上記の発明において、前記p型半導体層におけるp型不純物濃度が、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上であることを特徴とする。
- [0017] 本発明の一態様に係る半導体レーザ素子は、上記の発明において、前記半導体レーザ素子における駆動方法が連続波動作であることを特徴とする。
- [0018] 本発明の一態様に係る半導体レーザ素子は、上記の発明において、ストライプ幅が $100 \mu\text{m}$ 以上であることを特徴とする。
- [0019] 本発明の一態様に係るチップオンサブマウントは、上記の発明による半導体レーザ素子と、前記半導体レーザ素子をジャンクションダウンの状態に固定するマウントと、を備えることを特徴とする。

発明の効果

- [0020] 本発明に係る電極、半導体レーザ素子、およびチップオンサブマウントによれば、半導体レーザ素子の電気光変換効率を向上することが可能となる。

図面の簡単な説明

- [0021] [図1]図1は、本発明の一実施形態による半導体レーザ素子の構成を概略的に示す断面図である。
- [図2]図2は、PtとTiとの合金の形成の状態を示すPt-Ti状態図である。
- [図3]図3は、本発明の一実施形態によるチップオンサブマウントの模式的な断面図である。

[図4]図4は、本発明の一実施形態による実施例および従来技術による比較例の半導体レーザ素子における光出力の相対値を示すグラフである。

[図5]図5は、本発明の一実施形態による実施例および従来技術による比較例の半導体レーザ素子における順方向電圧の相対値を示すグラフである。

[図6]図6は、本発明の一実施形態による実施例および従来技術による比較例の半導体レーザ素子における電気光変換効率の相対値を示すグラフである。

発明を実施するための形態

[0022] 以下、本発明の実施形態について図面を参照しつつ説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の符号を付す。また、本発明は以下に説明する実施形態によって限定されるものではない。

[0023] まず、本発明の理解を容易にするために、半導体レーザ素子の電気光変換効率を向上させるために本発明者が行った鋭意検討について説明する。まず、本発明者は、GaAs系高出力マルチモード半導体レーザ素子において、電気光変換効率を改善する技術について検討を行った。高出力マルチモード半導体レーザ素子は、一般的な構成としてn側電極が基板の裏面側、p側電極が半導体積層膜の表面側に配置され、サブマウントに対してジャンクションダウンの状態ダイボンディングが行われる。そのため、半導体レーザ素子の放熱経路にp側電極が存在することになる。

[0024] そこで、本発明者は、ジャンクションダウンの状態での半導体レーザ素子の動作に着目し、放熱が行われるp側電極を構成する材料の熱抵抗の寄与について検討を行った。p側電極としては一般的に、Ti/Pt/Au積層膜が使用される。p側電極における第1層のTi層は、p型半導体層に接触する層であるため、p型半導体層への密着性を有しつつ低い接触抵抗を維持する層として機能する。第2層のPt層は、仕事関数がTi層よりも大きく、p型半導体層に対して低い接触抵抗率を実現する機能を有する。第2層のPt層および第3層のAu層は、p型半導体層として用いられるヒ化ガリウム(GaAs)と反応する。そのため、第1層のTi層は、第2層のPt層の

G a A s 層への拡散を抑制するバリアメタルとして機能し、第 2 層の P t 層は、第 3 層の A u 層の G a A s 層への拡散を抑制するバリアメタルとして機能する。以上のように構成された p 側電極に用いられる金属の室温における熱伝導率 (W/m・K) および電気抵抗率 (nΩ・m) を表 1 に示す。

[0025] [表1]

(表1)

物性値	熱伝導率 (W/m・K)	電気抵抗率 (nΩ・m)
Ti	21.9	420
Pt	71.6	105
Au	318	22.14

[0026] この点、従来は、電極の厚さが半導体層やサブマウントの厚さに比して極めて小さいことから、電極を構成する材料の熱伝導率や熱抵抗を考慮されていなかった。さらに、半導体レーザ素子の p 側電極は、活性層に流れる電流を通電するために用いられることから、バリアメタルとして機能する T i 層や P t 層を薄くすることは、信頼性の悪化を招く可能性が大きいと考えられていた。そのため、電極の設計に関しては、p 側電極の電気抵抗のみが着目されて検討が行われてきた。

[0027] これに対して本発明者は、表 1 から、熱伝導率が A u 層に比して一桁程度低い T i 層および P t 層の膜厚、具体的には数 10 n m オーダの薄い T i / P t 層の熱伝導率に着目して種々実験を行った。ここで、p 側電極の熱抵抗値 R_T は以下の (1) 式から算出される。なお、 $\sum_{n=1\sim 3}$ は、 $n = 1, 2, 3$ の和を取ることを意味する。

$$R_T = \sum_{n=1\sim 3} d_n / (k_n \cdot w_c \cdot L_c) \cdots (1)$$

n : p 側電極 5 を構成する第 1 層、第 2 層、第 3 層の各層の番号、 k_n : 各層の熱伝導率、 w_c : p 側電極 5 が p 型半導体層と接触する電流注入幅、 L_c : p 側電極 5 が p 型半導体層と接触する電流注入長。半導体レーザ素子の構造においては、半導体層に対する電流の注入領域を制限する非注入領域を設け

ることから、電流注入幅 w_0 は導波路のストライプ幅より小さくなり、p側電極5の電流注入長 L_0 は半導体レーザ素子1の共振器長より小さくなる。

[0028] 本発明者が実験を行った結果、p側電極において、Ti/Pt層の膜厚が熱抵抗に与える影響が算出値以上に大きいことを知見するに至った。具体的には、p型半導体層と接触する部分のp側電極、具体的にはTi/Pt積層膜のTi層の単位面積当たりの熱抵抗値 R_T ($K/W \cdot m^2$)を $1.2 \times 10^4 K/W \cdot m^2$ 以下にすれば、このように構成されたp側電極を備えた半導体レーザ素子において、電流変換効率(WPE)を向上できることを見出した。本発明は、以上の鋭意検討により案出されたものである。

[0029] (半導体レーザ素子)

次に、上述した本発明者の鋭意検討に基づく、本発明の一実施形態による電極を備えた半導体レーザ素子について説明する。図1は、本実施形態による半導体レーザ素子の構成を概略的に示す断面図である。なお、図1において、幅方向とは、出射方向に直交する水平方向であって図中X軸方向である。図中Y軸方向は、半導体レーザ素子1における半導体層の積層方向である。

[0030] レーザ光を出射可能に構成された半導体レーザ素子1は、例えば、導波路のストライプ幅が $100 \mu m$ 以上と広く、導波路における導波モードが水平横マルチモードで、駆動方法が例えば連続波動作の高出力半導体レーザ素子である。ここで高出力とは、半導体レーザ素子1の出力として例えば $3 W \sim 20 W$ 、半導体レーザ装置の出力として例えば数十 $\sim 200 W$ (ともに室温、CW(Continuous wave:連続発振)駆動)程度の出力のことである。なお、半導体レーザ素子1の駆動方法がパルス動作であったとしても、半導体レーザ素子1から出射されるレーザ光はパルス幅がマイクロ秒以上のパルスレーザ光である。

[0031] 図1に示すように、半導体レーザ素子1においては、導波路領域 R_1 の上に電流注入領域 R_2 が形成されている。電流注入領域 R_2 は、本発明の一実施形態による電極が取り付けられ、導波路領域 R_1 に電流を注入するための領域であ

る。半導体レーザ素子1は、例えばリッジ構造を有する半導体レーザ素子である。ここで、リッジ構造を有するレーザ素子における導波路領域の水平方向の幅（図中、導波路幅（ストライプ幅））とは、開口部Aの直下に設けられたリッジ構造のX方向の幅であり、電流注入領域の水平方向の幅（図中、電流注入幅）とは、開口部AのX方向の幅である。

[0032] すなわち、本実施形態による半導体レーザ素子1は、例えば、上部電極であるp側電極5、下面に形成された下部電極としてのn側電極6、n型のGaAsからなる基板7、基板7上に形成された半導体積層部2、およびパッシベーション膜15を備える。半導体積層部2は、基板7上に順次形成された、n型バッファ層8、n型クラッド層9、n型ガイド層10、活性層11、p型ガイド層12、p型クラッド層13、p型コンタクト層14を含む。

[0033] n型バッファ層8は、GaAsからなり、基板7上に高品質のエピタキシャル層の積層構造を成長するための緩衝層である。n型クラッド層9とn型ガイド層10とは、積層方向に対する所望の光閉じ込め状態を実現するように、屈折率と厚さとが設定されたAlGaAsからなる。なお、n型ガイド層10のAl組成は、例えば15%以上40%未満である。また、n型クラッド層9は、n型ガイド層10よりも屈折率が小さくなっている。また、n型ガイド層10の厚さは、50nm以上、例えば1000nm程度であることが好ましい。n型クラッド層9の厚さは、1 μ m~3 μ m程度が好ましい。また、これらのn型半導体層は、n型ドーパントとして例えば珪素（Si）を含む。

[0034] 活性層11は、下部バリア層、量子井戸層、上部バリア層を備え、単一の量子井戸（SQW）構造を有する。下部バリア層および上部バリア層は、量子井戸層にキャリアを閉じ込める障壁の機能を有し、故意にドーピングをしない高純度のAlGaAsからなる。量子井戸層は、故意にドーピングをしない高純度のInGaAsからなる。量子井戸層のIn組成および膜厚、下部バリア層および上部バリア層の組成は、所望の発光中心波長（例えば900nm~1080nm）に応じて設定される。なお、活性層11の構造は、

量子井戸層とその上下に形成されたバリア層の積層構造を所望の数だけ繰り返した多重量子井戸（MQW）構造でもよいし、単一量子井戸構造でもよい。また、上述した活性層11においては、故意にドーピングをしない高純度層での構成を説明したが、量子井戸層、下部バリア層および上部バリア層に故意にドナーやアクセプタが添加される場合もある。

[0035] p型ガイド層12およびp型クラッド層13は、上述したn型クラッド層9およびn型ガイド層10と対になり、積層方向に対する所望の光閉じ込め状態を実現するように、屈折率と厚さなどが設定されたAlGaAsからなる。半導体レーザ素子1の光は、積層方向であるY軸方向には主にn型ガイド層10、活性層11、およびp型ガイド層12の領域に存在する。これらのn型ガイド層10、活性層11、およびp型ガイド層12を合わせて導波路層とも呼ばれる。

[0036] p型ガイド層12のAl組成は、例えば15%以上40%未満である。p型クラッド層13は、p型ガイド層12よりも屈折率が小さくなっている。層中の光のフィールドをn型クラッド層9の方向にずらして導波路損失を小さくするために、p型クラッド層13のAl組成はn型クラッド層9に比べて若干大きめに設定される。p型ガイド層12のAl組成は、p型クラッド層13のAl組成に比べて小さく設定される。p型ガイド層12の厚さは、50nm以上、例えば1000nm程度であることが好ましい。p型クラッド層13の厚さは、1 μ m \sim 3 μ m程度が好ましい。また、これらのp型半導体層は、p型ドーパントとして炭素（C）を含む。p型ガイド層12のC濃度は、例えば $0.1\sim 1.0\times 10^{17}\text{cm}^{-3}$ に設定され、好適には、 $0.5\sim 1.0\times 10^{17}\text{cm}^{-3}$ である。p型クラッド層13のC濃度は、例えば $1.0\times 10^{17}\text{cm}^{-3}$ 以上に設定される。なお、p型ドーパントとしては、亜鉛（Zn）、マグネシウム（Mg）、カドミウム（Cd）、およびベリリウム（Be）などのII族元素を用いてもよい。

[0037] p型半導体層としてのp型コンタクト層14は、III-V族化合物半導体層、具体的に例えば、ZnまたはCが $1\times 10^{19}\text{cm}^{-3}$ よりも高い濃度にド

ーピングされたGaAs層からなる。パッシベーション膜15は、例えばSiN_xからなる絶縁膜であり、開口部Aを有する。また、リッジ構造を有する半導体レーザ素子1においては、開口部Aの直下のp型クラッド層13の少なくとも一部にX軸方向においてレーザ光を閉じ込めるためのリッジ構造が形成されている。

[0038] 本実施形態によるp側電極5は、開口部Aを覆うように、パッシベーション膜15上に設けられている。p側電極5は、開口部Aを通じて、p型コンタクト層14と電氣的に接続されている。p側電極5は、p型コンタクト層14の表面にチタン(Ti)層および白金(Pt)層が順次積層された積層構造のTi/Pt層を有する。p側電極5におけるTi層は、p型コンタクト層14を構成するGaAsとの間の反応性が比較的低いため、p型コンタクト層14とTi層とは薄い界面反応層を介した低オーミック接触となる。また、PtはGaAsと強く合金反応するため、Ti層がPt層に対するバリアメタルとして機能する。本実施形態においてp側電極5は、Ti/Pt層の上層にさらに金(Au)層が積層された、Ti/Pt/Au層から構成される。表1に示すように、Auは熱伝導率が高く電気抵抗率も低いため、半導体素子の電極の材料として好ましい。一方、Auは半導体層に拡散すると半導体素子の信頼性が低下することから、Pt層が下層にバリアメタルとして設けられる。

[0039] ここで、上述したようにn側電極6は、AuGeNi系などのゲルマニウム(Ge)を含む材料からなる電極から構成される。n側電極6とn型GaAs基板である基板7とのオーミック接触を低抵抗化するために、半導体レーザ素子1の製造工程において、300℃~450℃の温度で熱処理が行われる。ここで、p側電極5は、例えば真空蒸着法やスパッタリング法などによって成膜されるが、p側電極5の成膜後に300℃~450℃の熱処理が行われることになる。ところが、熱処理を行ってもp側電極5のTi層とp型コンタクト層14との反応は極めて乏しい。そこで、オーミック接触を低抵抗化するために、p型コンタクト層14にドーピングするp型不純物濃度

は、上述したように $1 \times 10^{19} \text{ cm}^{-3}$ よりも高くすることが望ましい。

[0040] 本実施形態において、p側電極5とp型コンタクト層14の表面とが開口部Aを通じて接触する接触部分において、熱抵抗は $1.2 \times 10^4 \text{ K/W} \cdot \text{m}^2$ 以下である。この熱抵抗を $1.2 \times 10^4 \text{ K/W} \cdot \text{m}^2$ 以下にするための1つの方法としては、p側電極5を構成するTi層の膜厚を35 nm以下にするのが好ましい。これにより、p側電極5の熱抵抗値を所望の熱抵抗値まで低減することができる。さらに、Ti/Pt層の膜厚を70 nm以下にするのが好ましい。また、Ti層を上層のPt層に対するバリアメタルとして機能させるために、Ti層の膜厚は5 nm以上35 nm以下にするのがより好ましい。

[0041] なお、上述したn側電極6に対する熱処理工程によって、GaAsからなるp型コンタクト層14とp側電極5の第1層のTi層との界面に、薄い界面反応層（図示せず）が形成される場合がある。この場合、Ti層の膜厚は、p型コンタクト層14を構成するGaAs層中のTiを含む界面反応層とTi層との合計の膜厚として定義される。Ti層およびPt層の膜厚は、断面を走査型透過電子顕微鏡法（STEM：Scanning Transmission Electron Microscope）とエネルギー分散型X線分析（EDS：Energy dispersive X-ray spectrometry）法とを組み合わせ、膜厚および構成元素を分析することによって計測できる。具体的には、STEM-EDS法によって、まず、p側電極5およびp型コンタクト層14の構成元素であるGa、Ti、Pt、およびAuの成膜方向に沿ったラインプロファイルを測定する。その後、それぞれのラインプロファイルをEDS強度の最大値で規格化して、それぞれの構成元素の規格化されたEDS強度のラインプロファイルを重畳させる。GaおよびTiのラインプロファイルの交点とTiおよびPtのラインプロファイルの交点との間の距離をTi層の膜厚として定義する。TiおよびPtのラインプロファイルの交点とPtおよびAuのラインプロファイルの交点との間の距離をPt層の膜厚として定義する。

[0042] また、上述したように、半導体レーザ素子の製造工程において、 300°C

～450℃の温度で熱処理が行われることから、p側電極5におけるTi層とPt層との界面が合金化する。一般に純粋な金属元素単体から化合物が形成されると、熱伝導率が低下したり電気抵抗率が増加したりする。例えば、TiとPtとが合金化して形成されたTiPt₃の熱伝導率は、約15W/m・Kであって、純粋なTiの単体の熱伝導率である21.9W/m・Kと比較して低くなる。図2は、PtとTiとの合金の形成の状態を示すPt-Ti状態図である。図2に示すように、600℃以下の比較的低温での熱処理においては反応性が乏しいが、形成される可能性がある金属間化合物は、TiPt₈、TiPt₃、Ti₃Pt、およびα-TiPtである。特に、TiPt₈、TiPt₃、Ti₃Ptの金属間化合物の形成は、結合構造が複雑であることから回避する必要がある。そこで、図2に示すPt-Ti状態図から、Ptの含有量はTiの含有量に対して、47～54%が好ましい。一方、TiおよびPtの1mol当たりの体積はそれぞれ、10.64cm³/molおよび9.09cm³/molである。そのため、p側電極5のTi層の膜厚に対するPt層の膜厚は、0.7倍以上1倍以下であることが好ましい。

[0043] (チップオンサブマウント)

次に、一実施形態によるチップオンサブマウントについて説明する。図3は、本実施形態によるチップオンサブマウントを示す断面図である。図3に示すように、チップオンサブマウント20は、サブマウント21、およびサブマウント21に実装された半導体レーザ素子1を備えて構成される半導体素子搭載サブマウントである。

[0044] マウントとしてのサブマウント21は、基板22と、第一被覆層23と、第二被覆層24とを備える。基板22は、例えば窒化アルミニウム(AIN)、アルミナ(Al₂O₃)、ベリリア(BeO)、窒化ホウ素(BN)、ダイヤモンド、炭化ケイ素(SiC)、窒化ケイ素(Si₃N₄)、二酸化ケイ素(SiO₂)、ジルコニア(ZrO₂)の少なくともいずれか一つを含んで構成できる。本実施形態において基板22は、例えばAINからなる。基板22の厚さは、例えば0.3～1.0mm程度である。

[0045] 第一被覆層23は、厚さが20～200 μ mの範囲であり、基板22の第一表面22aに形成されている。第一表面22aは、本実施形態において半導体レーザ素子1が実装される側の表面である。第一被覆層23は、被覆層23aと被覆層23bとからなる。被覆層23aと被覆層23bとはいずれも例えばCuを主成分とする金属多層膜からなる。また、被覆層23aと被覆層23bとは溝25で離間している。溝25は被覆層23aと被覆層23bとを電氣的に絶縁するために設けられている。

[0046] 半導体レーザ素子1は、被覆層23aを介してサブマウント21にAuSn半田により接合実装されている。被覆層23aの表面には、AuSnからなるプリコート（図示せず）が形成されている。これにより半導体レーザ素子1の被覆層23aへのAuSn半田による接合実装が容易になる。本実施形態において、半導体レーザ素子1は、サブマウント21に対して、p側電極5がサブマウント21側に位置しつつ、基板7を含むn側電極6がサブマウント21とは反対側に位置する状態、すなわち活性層11がサブマウント21側に近いジャンクションダウンの状態固定されている。これにより、半導体レーザ素子1の活性層11で発生する熱がサブマウント21を通じて放熱しやすくなる。被覆層23bはボンディングワイヤ26によって、半導体レーザ素子1の上面のn側電極6に電氣的に接続されている。以上により、半導体レーザ素子1は、被覆層23b、ボンディングワイヤ26、n側電極6、p側電極5、および被覆層23aを介して、外部から電力を供給可能に構成される。

[0047] 第二被覆層24は、厚さが20～200 μ mの範囲、かつ第一被覆層23と同じ厚さであり、基板22の第二表面22bに形成されている。第二表面22bは、第一表面22aとは反対側に位置する表面である。第二被覆層24は、第一被覆層23と同じCuを主成分とする金属多層膜からなる。

[0048] （実施例および比較例）

次に、上述した一実施形態に基づく実施例によるp側電極5、および半導体レーザ素子1の構造は図1に示す構造であって、Ti/Pt/Au層のそ

それぞれの膜厚を、従来技術による膜厚とした比較例による p 側電極 5 について説明する。実施例および比較例による p 側電極 5 における、電極構造、電極厚さ、計算による熱抵抗値 R_T 、単位面積当たりの熱抵抗値 R_T/S 、半導体レーザ素子 1 全体の熱抵抗値 $R_{T,LD}$ を、表 2 に示す。表 2 に示すように、実施例による p 側電極 5 は、Ti 層の膜厚を 30 nm、Pt 層の膜厚を 30 nm、Au 層の膜厚を 100 nm とする。これに対し、比較例による電極は、Ti 層の膜厚を 45 nm、Pt 層の膜厚を 100 nm、Au 層の膜厚を 100 nm とする。なお、単位面積当たりの熱抵抗値 R_T/S における基準となる面積は、p 側電極 5 と p 型コンタクト層 14 との接触部分の面積、すなわち開口部 A の開口面積となり、電流注入幅 w_c と電流注入長 L_c との積で表される。また、半導体レーザ素子 1 の全体の熱抵抗値 $R_{T,LD}$ は、チップオンサブマウント 20 の状態で、バイアス電流-バイアス電圧 ($I-V$) 特性およびバイアス電流-レーザ光出力 ($I-L$) 特性と、発振波長の電流依存性から導出した値である。

[0049] [表2]

(表2)

	p側電極積層構造	電極厚 (nm)	R_T ($10^{-3}K/W$)	R_T/S ($10^4K/W \cdot m^2$)	$R_{T,LD}$ (K/W)
実施例	Ti/Pt/Au 30/30/100nm	160	4	1.2	3.17
比較例	Ti/Pt/Au 45/100/100nm	245	8	2.1	3.49

[0050] 表 2 から、比較例による熱抵抗値 R_T に比して実施例による熱抵抗値 R_T が、 $8 \times 10^{-3}K/W$ から $4 \times 10^{-3}K/W$ に半減していることが分かる。この場合の単位面積当たりの熱抵抗値 R_T/S は、 $1.2 \times 10^4K/W \cdot m^2$ になることが分かる。また、半導体レーザ素子 1 全体の熱抵抗値 $R_{T,LD}$ は、比較例に比して実施例において、 $0.32K/W$ 低減していることが分かる。すなわち、実施例による p 側電極 5 の熱抵抗値 R_T は、比較例に比して、 $0.004K/W$ 程度の $10^{-3}K/W$ ($=mK/W$) のオーダーで低減していることが分かる

。これに対し、半導体レーザ素子1全体の熱抵抗値 $R_{T,LD}$ は、 0.32 K/W 程度の 10^{-1} K/W (100 mK/W)のオーダーで低減しており、半導体レーザ素子1全体の熱抵抗値 $R_{T,LD}$ は、p側電極5の熱抵抗値 R_T の低減に対して、2桁程度も改善されていることが分かる。換言すると、p側電極5におけるTi層およびPt層を、単位面積当たりの熱抵抗値が $1.2 \times 10^4\text{ K/W} \cdot \text{m}^2$ 以下になるように、従来よりも薄くすることによって、算出される熱抵抗値に比して、実際の半導体レーザ素子1においては、約80倍の熱抵抗の改善効果があることが分かる。これは、p側電極5を形成した後に行われる熱処理によって形成される界面反応層や金属間化合物を抑制することで熱抵抗が算出値以上に改善し、さらに順方向電圧が低減しているためと考えられる。

[0051] また、p側電極5を構成する積層構造の第1層であるTi層を従来の45nmから30nmと薄くしても、密着性は比較例と実施例とにおいて同程度であり、p側電極5の電極パターン形成時のレジストのリフトオフ時における、p側電極5の剥離は発生しないことも確認された。また、Ti層を薄くして第2層であるPt層を、比較例の100nmから実施例の30nmに薄くしても、エージング試験における信頼性も実施例と比較例とにおいて差は観測されなかった。ここで、STEM-EDS法によって、構成元素であるGa、As、Ti、Pt、およびAuのラインプロファイルを測定した。その結果、p型コンタクト層であるGaAs層とTi層との間に、Ga、As、およびTiが混合された、膜厚が5nm程度の薄い界面反応層が観測された。そのため、第1層であるTi層の膜厚は5nm以上が好ましい。さらに、熱抵抗の改善によるWPEの改善効果と第1層であるTi層の成膜時における5nm程度のTi層の膜厚ばらつきとを考慮すると、35nm以下の範囲が好ましいことが明らかになった。

[0052] また、第2層であるPt層中のAuの緩やかな拡散が、Ti層とPt層との間の界面にまで観測された。そのため、第2層であるPt層の膜厚を30nm未満にすると、Pt層はAu層に対するバリアメタルとしての機能を果

たさなくなる。これにより、第2層であるPt層の膜厚は、30nm以上が好ましい。また、熱抵抗の観点から、第1層のTi層と第2層のPt層の膜厚との合計は小さいほど好ましい。しかしながら、Pt層の成膜時における5nm程度の膜厚ばらつきを考慮すると、第2層であるPt層の膜厚は、30nm以上35nm以下の範囲が好ましい。したがって、上述した点を考慮して、第1層であるTi層と第2層であるPt層との膜厚の合計は、70nm以下が好ましい。第3層であるAu層は、熱抵抗および電気抵抗の観点で他の金属よりも優れることから、高出力半導体レーザ素子に対しては最も好適な電極材料である。なお、第3層の材料に関しては、Auに限定されるものではなく、多層の金属積層構造などを採用してもよい。

[0053] 図4、図5、および図6はそれぞれ、一実施形態による実施例および従来技術による比較例の半導体レーザ素子1における光出力の相対値、順方向電圧の相対値、および電気光変換効率の相対値を示すグラフである。なお、図4～図6において実施例の相対値とは、従来技術による比較例における光出力、順方向電圧、および電気光変換効率をいずれも1として規格化した相対値である。

[0054] 図4から、実施例による半導体レーザ素子の光出力が、比較例に比して約1.1%増加したことが分かる。これは、p側電極5における熱抵抗の低下に伴って、ジャンクション温度が低下したことに起因すると考えられる。図5から、実施例による半導体レーザ素子の順方向電圧が、比較例に比して約0.2%低下したことが分かる。これは、p側電極5における電極材料が実施例と比較例とで同一であることから、p側電極5の厚さが小さくなったこと、および界面反応層や金属間化合物の形成が抑制されたことにより、電気抵抗が低減したことに起因すると考えられる。図6から、実施例による半導体レーザ素子のWPEが、比較例に比して約1.2%増加したことが分かる。これは、光出力の増加のみならず順方向電圧の低減に起因すると考えられる。これらの結果から、p側電極5の熱抵抗を低下させることによってジャンクション温度が低下し、光出力を増加できてWPEを改善できることが分

かる。

[0055] 以上説明した本発明の一実施形態によれば、半導体レーザ素子のp側電極であるp側電極5におけるTi/Pt層を従来よりも薄くして、単位面積当たりの熱抵抗値を $1.2 \times 10^4 \text{K/W} \cdot \text{m}^2$ 以下にすることによって、半導体レーザ素子1のWPEを向上することが可能となる。

[0056] 以上、本発明の一実施形態について具体的に説明したが、本発明は、上述の一実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。例えば、上述の一実施形態において挙げた数値や半導体レーザ素子の構成はあくまでも例に過ぎず、必要に応じてこれと異なる数値や構成を用いてもよい。例えば、半導体レーザ素子として、InP系やGaN系などの半導体レーザ素子を用いることも可能である。

産業上の利用可能性

[0057] 本発明は、高出力および高効率化された産業用レーザに好適に利用できる。

符号の説明

- [0058] 1 半導体レーザ素子
2 半導体積層部
5 p側電極
6 n側電極
7 基板
8 n型バッファ層
9 n型クラッド層
10 n型ガイド層
11 活性層
12 p型ガイド層
13 p型クラッド層
14 p型コンタクト層
15 パッシベーション膜

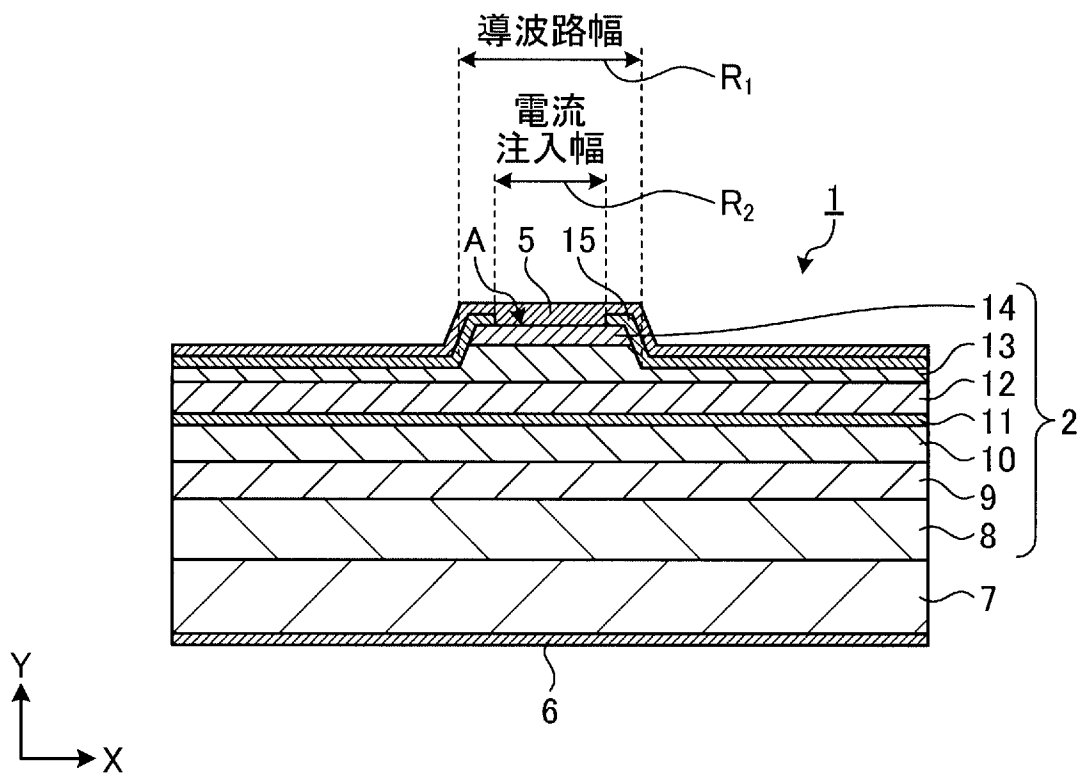
- 20 チップオンサブマウント
- 21 サブマウント
- 22 基板
 - 22a 第一表面
 - 22b 第二表面
- 23 第一被覆層
 - 23a, 23b 被覆層
- 24 第二被覆層
- 25 溝
- 26 ボンディングワイヤ

請求の範囲

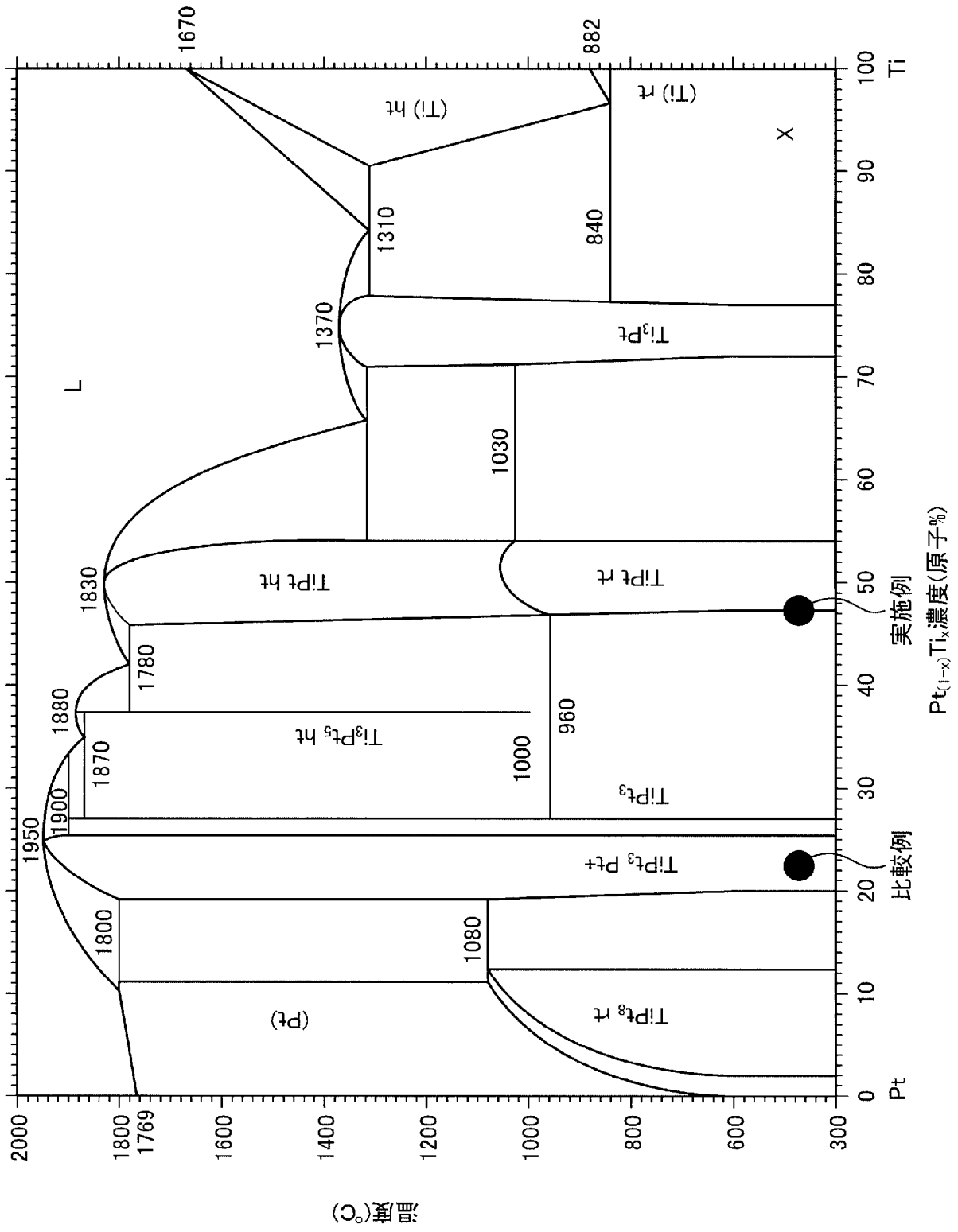
- [請求項1] p型半導体層の表面にTi層およびPt層が順次積層されて構成された電極であって、
前記p型半導体層の表面との接触部分における単位面積当たりの熱抵抗が、 $1.2 \times 10^4 \text{K/W} \cdot \text{m}^2$ 以下であることを特徴とする電極。
- [請求項2] 前記Ti層の膜厚は35nm以下であることを特徴とする請求項1に記載の電極。
- [請求項3] 前記Ti層の膜厚は5nm以上35nm以下であることを特徴とする請求項1または2に記載の電極。
- [請求項4] 前記Ti層の膜厚と前記Pt層の膜厚との合計は70nm以下であることを特徴とする請求項1～3のいずれか1項に記載の電極。
- [請求項5] 前記Pt層の膜厚は30nm以上であることを特徴とする請求項1～4のいずれか1項に記載の電極。
- [請求項6] 前記Pt層の膜厚は、前記Ti層の膜厚に対して0.7倍以上1倍以下であることを特徴とする請求項1～5のいずれか1項に記載の電極。
- [請求項7] 前記Pt層の上層にAu層が積層されていることを特徴とする請求項1～6のいずれか1項に記載の電極。
- [請求項8] n型半導体層、活性層、およびp型半導体層が順次積層され、レーザー光を出射可能に構成された半導体レーザー素子であって、
前記p型半導体層の表面に、請求項1～7のいずれか1項に記載の電極が設けられていることを特徴とする半導体レーザー素子。
- [請求項9] 前記p型半導体層がIII-V族化合物半導体層であることを特徴とする請求項8に記載の半導体レーザー素子。
- [請求項10] 前記p型半導体層がGaAs層である

- ことを特徴とする請求項8または9に記載の半導体レーザ素子。
- [請求項11] 前記p型半導体層におけるp型不純物濃度が、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上である
- ことを特徴とする請求項8～10のいずれか1項に記載の半導体レーザ素子。
- [請求項12] 前記半導体レーザ素子における駆動方法が連続波動作である
- ことを特徴とする請求項8～11のいずれか1項に記載の半導体レーザ素子。
- [請求項13] ストライプ幅が $100 \mu\text{m}$ 以上である
- ことを特徴とする請求項8～12のいずれか1項に記載の半導体レーザ素子。
- [請求項14] 請求項8～13のいずれか1項に記載の半導体レーザ素子と、前記半導体レーザ素子をジャンクションダウンの状態で固定するマウントと、を備える
- ことを特徴とするチップオンサブマウント。

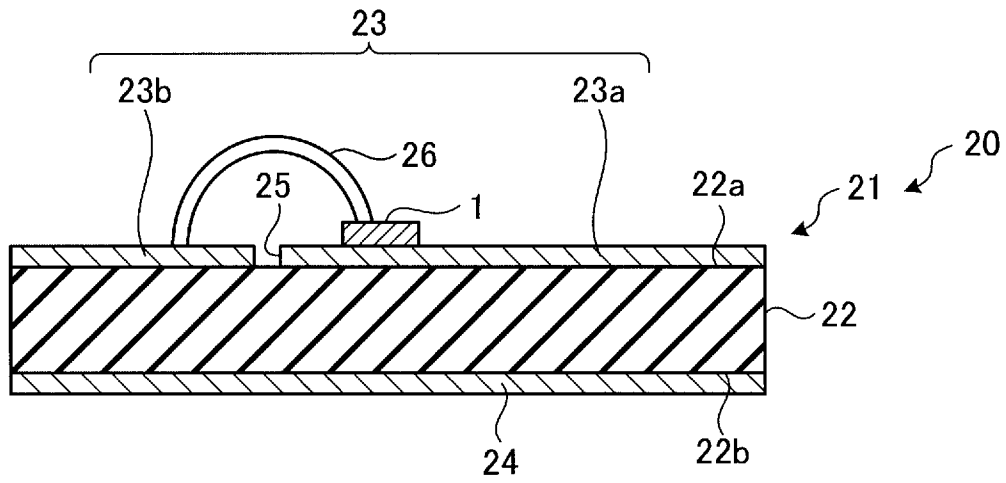
[図1]



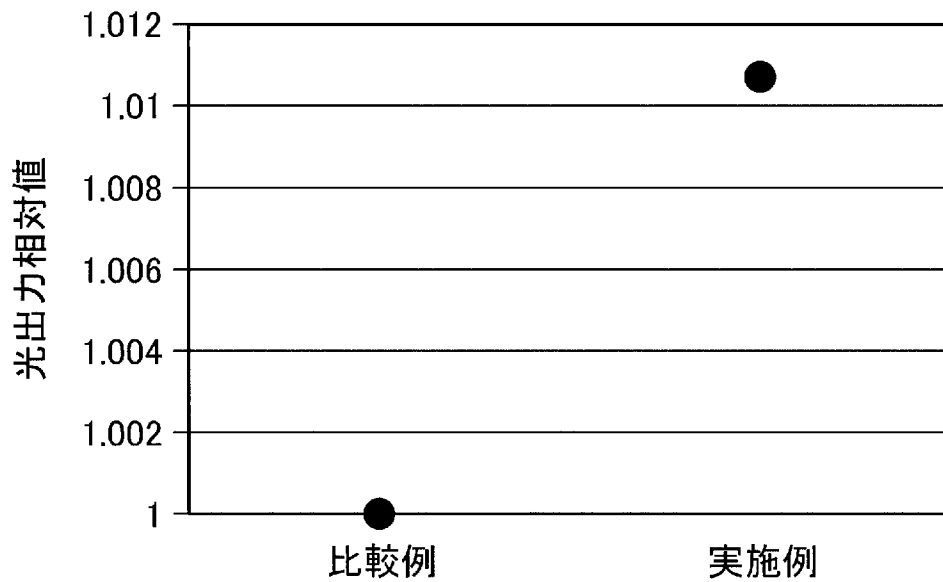
[図2]



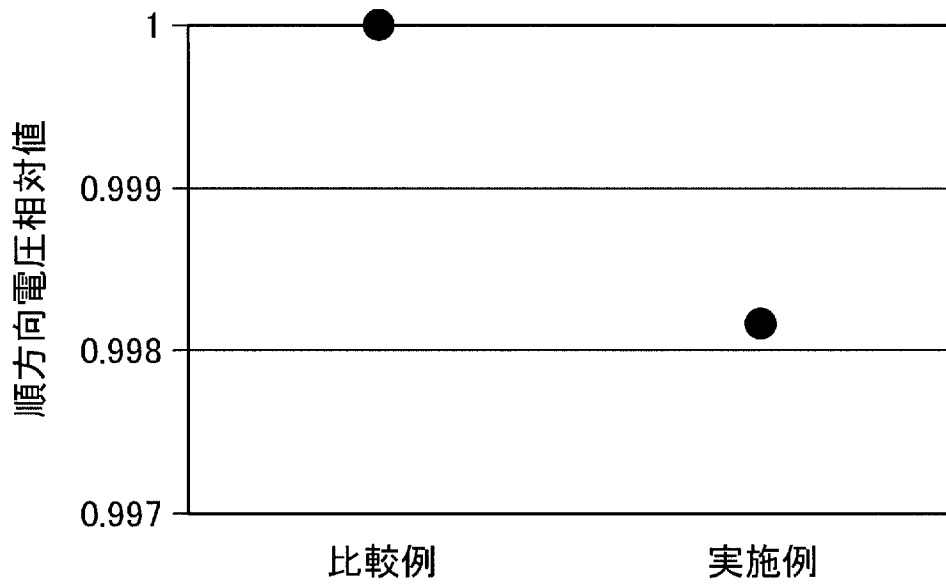
[図3]



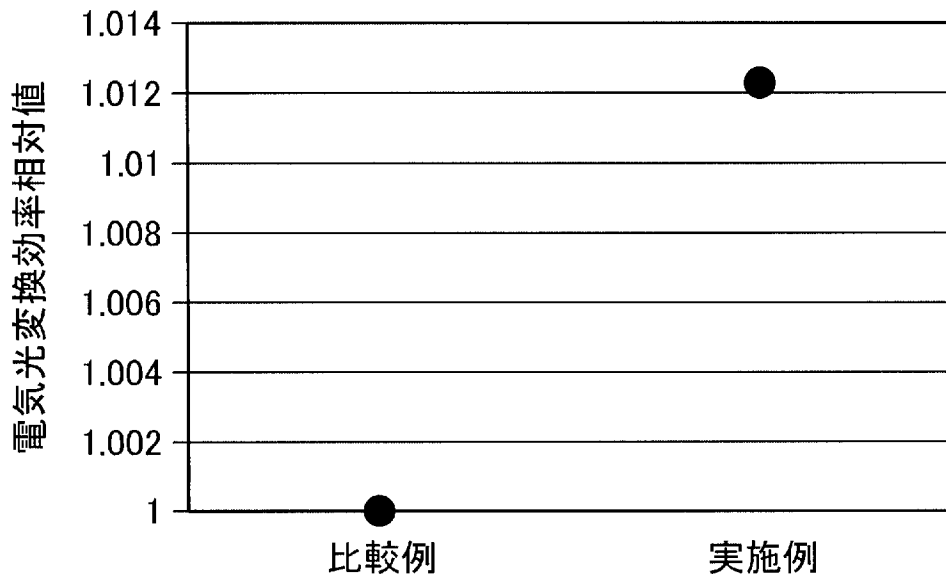
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/004604

A. CLASSIFICATION OF SUBJECT MATTER H01S 5/022(2006.01) i; H01S 5/042(2006.01) i FI: H01S5/042 612; H01S5/022 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01S5/00-5/50 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2020 Registered utility model specifications of Japan 1996-2020 Published registered utility model applications of Japan 1994-2020		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-156639 A (SHARP CORPORATION) 15.06.2006	1-4, 7-12
Y	(2006-06-15) paragraphs [0063]-[0065], [0073],	14
A	[0078], fig. 1, 4	5, 13
Y	JP 2013-62315 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 04.04.2013 (2013-04-04) paragraph [0076], fig. 11	14
X	JP 2018-37601 A (RICOH CO., LTD.) 08.03.2018 (2018-03-08) paragraphs [0013]-[0014], [0029], [0056], fig. 2, 6	1-4, 6-12
A	JP 2013-125886 A (SONY CORP.) 24.06.2013 (2013-06-24) entire text all drawings	1-14
A	US 2004/0013147 A1 (BUDA, Manuel a et al.) 22.01.2004 (2004-01-22) entire text, all drawings	1-14
A	WO 2014/018599 A1 (BOARD OF REGENTS, THE UNIVERSITY OF TEXAS SYSTEM) 30.01.2014 (2014-01-30) entire text, all drawings	1-14
<input type="checkbox"/>	Further documents are listed in the continuation of Box C.	<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents:		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance		"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date		"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 20 April 2020 (20.04.2020)	Date of mailing of the international search report 12 May 2020 (12.05.2020)	
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/004604

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2006-156639 A	15 Jun. 2006	(Family: none)	
JP 2013-62315 A	04 Apr. 2013	(Family: none)	
JP 2018-37601 A	08 Mar. 2018	(Family: none)	
JP 2013-125886 A	24 Jun. 2013	US 2013/0156060 A1 WO 2013/089032 A1 EP 2793330 A1 CN 103975491 A	
US 2004/0013147 A1	22 Jan. 2004	(Family: none)	
WO 2014/018599 A1	30 Jan. 2014	US 2016/0308331 A1 EP 2878044 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01S 5/022(2006.01)i; H01S 5/042(2006.01)i FI: H01S5/042 612; H01S5/022		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01S5/00-5/50 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-156639 A (シャープ株式会社) 15.06.2006 (2006-06-15) 段落0063-0065, 0073, 0078, 図1, 4	1-4, 7-12
Y		14
A		5, 13
Y	JP 2013-62315 A (住友電気工業株式会社) 04.04.2013 (2013-04-04) 段落0076, 図11	14
X	JP 2018-37601 A (株式会社リコー) 08.03.2018 (2018-03-08) 段落0013-0014, 0029, 0056, 図2, 6	1-4, 6-12
A	JP 2013-125886 A (ソニー株式会社) 24.06.2013 (2013-06-24) 全文, 全図	1-14
A	US 2004/0013147 A1 (BUDA, Manuela et al.) 22.01.2004 (2004-01-22) 全文, 全図	1-14
A	WO 2014/018599 A1 (BOARD OF REGENTS, THE UNIVERSITY OF TEXAS SYSTEM) 30.01.2014 (2014-01-30) 全文, 全図	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 20.04.2020	国際調査報告の発送日 12.05.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 高椋 健司 2K 3715 電話番号 03-3581-1101 内線 3255	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/004604

引用文献	公表日	パテントファミリー文献	公表日
JP 2006-156639 A	15.06.2006	(ファミリーなし)	
JP 2013-62315 A	04.04.2013	(ファミリーなし)	
JP 2018-37601 A	08.03.2018	(ファミリーなし)	
JP 2013-125886 A	24.06.2013	US 2013/0156060 A1	
		WO 2013/089032 A1	
		EP 2793330 A1	
		CN 103975491 A	
US 2004/0013147 A1	22.01.2004	(ファミリーなし)	
WO 2014/018599 A1	30.01.2014	US 2016/0308331 A1	
		EP 2878044 A1	