



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I479511 B

(45)公告日：中華民國 104 (2015) 年 04 月 01 日

(21)申請案號：101148478

(22)申請日：中華民國 101 (2012) 年 12 月 19 日

(51)Int. Cl. : H01B13/00 (2006.01) H01B5/14 (2006.01)

(30)優先權：2012/02/06 日本 2012-023078

(71)申請人：日東電工股份有限公司 (日本) NITTO DENKO CORPORATION (JP)
日本(72)發明人：藤野望 FUJINO, NOZOMI (JP)；鷹尾寬行 TAKAO, HIROYUKI (JP)；石橋邦昭
ISHIBASHI, KUNIAKI (JP)

(74)代理人：陳長文

(56)參考文獻：

CN 1809799A

US 2003/0147058A1

審查人員：呂燦

申請專利範圍項數：5 項 圖式數：3 共 16 頁

(54)名稱

導電性膜卷之製造方法

(57)摘要

本發明提供一種鄰接之膜彼此不壓接而可維持高品質之導電性膜卷之製造方法。本發明之製造方法包括：第 1 步驟，其一面回卷膜基材之初始卷，一面藉由濺鍍法於膜基材之一側依序積層第 1 透明導電體層及第 1 銅層，並將所獲得之第 1 積層體捲繞成卷狀而作為第 1 卷；第 2 步驟，其將該第 1 卷於大氣中保管 30 小時以上，於第 1 銅層之表面形成含有氧化銅(I)之氧化皮膜層；及第 3 步驟，其一面回卷第 1 卷，一面藉由濺鍍法於膜基材之另一側依序積層第 2 透明導電體層及第 2 銅層，並將所獲得之第 2 積層體捲繞成卷狀而作為第 2 卷。

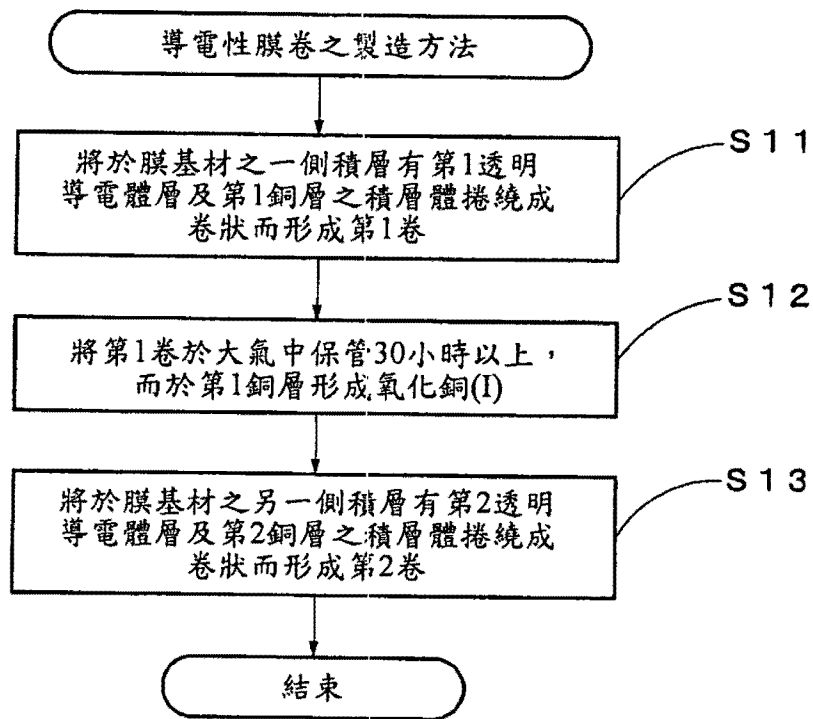


圖1

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101148478

※申請日：101.12.19

※IPC 分類：H01B 13/00 (2006.01)

H01B 5/14 (2006.01)

一、發明名稱：(中文/英文)

導電性膜卷之製造方法

二、中文發明摘要：

本發明提供一種鄰接之膜彼此不壓接而可維持高品質之導電性膜卷之製造方法。本發明之製造方法包括：第1步驟，其一面回卷膜基材之初始卷，一面藉由濺鍍法於膜基材之一側依序積層第1透明導電體層及第1銅層，並將所獲得之第1積層體捲繞成卷狀而作為第1卷；第2步驟，其將該第1卷於大氣中保管30小時以上，於第1銅層之表面形成含有氧化銅(I)之氧化皮膜層；及第3步驟，其一面回卷第1卷，一面藉由濺鍍法於膜基材之另一側依序積層第2透明導電體層及第2銅層，並將所獲得之第2積層體捲繞成卷狀而作為第2卷。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種用於可藉由手指或觸控筆等之接觸而輸入資訊之輸入顯示裝置等的導電性膜之製造方法。

【先前技術】

先前，已知有一種包括形成於膜基材之兩表面之透明導電體層、及形成於各透明導電體層之表面之金屬層的導電性膜(專利文獻1)。於將此種導電性膜用於例如觸控感測器時，可藉由加工金屬層而於觸控輸入區域之外緣部形成引導配線而實現窄邊緣化。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2011-060146號公報

【發明內容】

[發明所欲解決之問題]

然而，於上述先前之導電性膜中，於將該膜捲繞成卷狀之情形時，存在鄰接之膜彼此壓接之問題。並且，若將壓接之膜彼此剝離，則存在於膜內之透明導電體層上產生損傷之情形，從而有導致品質降低之虞。

本發明之目的在於提供一種鄰接之膜彼此不壓接而可維持高品質之導電性膜卷之製造方法。

[解決問題之技術手段]

為了達成上述目的，本發明之導電性膜卷之製造方法之特徵在於包括：第1步驟，其藉由濺鍍法於膜基材之一側

依序積層第1透明導電體層及第1銅層，並將所獲得之第1積層體捲繞成卷狀而作為第1卷；第2步驟，其將上述第1卷於大氣中保管30小時以上，而於上述第1銅層之表面形成含有氧化銅(I)之氧化皮膜層；及第3步驟，其一面回卷上述第1卷，一面藉由濺鍍法於上述膜基材之另一側依序積層第2透明導電體層及第2銅層，並將所獲得之第2積層體捲繞成卷狀而作為第2卷。

較佳為於上述第2步驟中，將上述第1卷於大氣中保管36小時~180小時。

又，較佳為於上述第2步驟中，形成厚度為1 nm~15 nm之氧化皮膜層。

上述氧化皮膜層較佳為含有50重量%以上之氧化銅(I)，又，較佳為包含組合物，該組合物包含銅、氧化銅(I)、氧化銅(II)、碳酸銅及氫氧化銅。

[發明之效果]

根據本發明，由於將使上述第1積層體捲繞成卷狀而成之第1卷於大氣中保管30小時以上，而於上述第1銅層之表面形成含有氧化銅(I)之氧化皮膜層，因此於第2卷中鄰接之膜彼此不壓接，從而可維持高品質。

【實施方式】

以下，一面參照圖式一面詳細說明本發明之實施形態。

本發明之製造方法包括：第1步驟，其一面回卷膜基材之初始卷，一面於低壓氣體中藉由濺鍍法於膜基材之一側依序積層第1透明導電體層及第1銅層，並將所獲得之第1

積層體捲繞成卷狀而作為第1卷；第2步驟，其將該第1卷於大氣中保管30小時以上，而於第1銅層之表面形成含有氧化銅(I)之氧化皮膜層；及第3步驟，其一面回卷第1卷，一面於低壓氣體中藉由濺鍍法於膜基材之另一側依序積層第2透明導電體層及第2銅層，並將所獲得之第2積層體捲繞成卷狀而作為第2卷。

上述濺鍍法通常於低壓氣體中實施。該低壓氣體中係指標準大氣壓(101325 Pa)之 $1/10$ 以下之氣壓環境，較佳為 1×10^{-5} Pa~1 Pa。

根據本發明之製造方法，藉由於第1銅層之表面形成含有氧化銅(I)之氧化皮膜層(第2步驟)，於將第2積層體捲繞成卷狀而作為第2卷(第3步驟)時，即便未於導電性膜之間插入襯紙(slip sheet)，亦取得不壓接之優異之效果。

推測其原因在於，藉由含有不具有自由電子之氧化銅(I)之氧化皮膜層插入鄰接之第1銅層與第2銅層之間，而可防止上述第1銅層與上述第2銅層進行金屬鍵結。

再者，本發明之製造方法只要為包括上述第1步驟~第3步驟者，則亦可於取得本發明之效果之範圍內，在各步驟之間或上述第3步驟之後包括其他步驟。

繼而，使用圖1之流程圖對本實施形態之製造方法之各步驟進行說明。

(1)第1步驟

首先，本發明中所使用之第1步驟為如下步驟：一面回卷膜基材之初始卷，一面於例如 1×10^{-5} Pa~1 Pa之低壓氣

體中藉由濺鍍法於膜基材之一側依序積層第1透明導電體層及第1銅層，並將所獲得之第1積層體捲繞成卷狀而作為第1卷(步驟S11)。根據此種步驟，藉由依序積層第1透明導電體層及第1銅層，可提高各層之密接性，進而可減少混入至層間之異物。

上述第1步驟較佳為利用圖2之濺鍍裝置來實施。再者，圖2之濺鍍裝置為例示，應用本發明之製造方法之濺鍍裝置並不限定於圖2者。

於圖2中，濺鍍裝置1包括：腔室(chamber)10，其用以形成低壓環境(例如 1×10^{-5} Pa~1 Pa)；保持部11，其保持將長條狀之膜基材捲繞而成之初始卷20；導輥12，其對自初始卷20搬送至下述成膜輥之膜基材進行導引；成膜輥13，其配置於導輥12之搬送方向下游側，且可進行溫度控制；靶材(第1靶材)14，其以與該成膜輥相對向之方式配置，且與未圖示之直流電源電性連接；靶材(第2靶材)15，其配置於靶材14之搬送方向下游側，且與未圖示之直流電源電性連接；導輥16，其配置於成膜輥13之下游側；及保持部17，其捲繞成膜有第1透明導電體層及第1銅層之膜基材而作為卷(第1卷)21，並保持該卷。

該濺鍍裝置1係為了能使用靶材14及靶材15於互不相同之條件下進行濺鍍，而於腔室10內設置有兩個處理室18、19。

上述濺鍍法例如為如下方法：於濺鍍裝置1中，於低壓氣體中，使藉由對成膜輥與各靶材之間施加電壓(例如-400

V~-100 V)而產生之電漿中的陽離子與作為負電極之靶材碰撞，並使自上述靶材之表面飛散之物質附著於膜基材上。

關於在上述膜基材之一側連續積層第1透明導電體層及第1銅層，例如，可於上述濺鍍裝置中使用包含氧化銦及氧化錫之煅燒體靶作為靶材14，使用無氧銅(Oxygen-free copper)靶作為靶材15。

(2)第2步驟

本發明中所使用之第2步驟為如下步驟：將捲繞上述第1積層體而成之第1卷於大氣中(例如，88000 Pa~105000 Pa、10~50℃)保管30小時以上，於第1銅層之表面形成含有氧化銅(I)之氧化皮膜層(步驟S12)。

可推測，根據此種步驟，藉由於保管時自第1卷之側方侵入之氧分子之作用，第1銅層之表面逐漸被氧化而形成氧化皮膜層。為獲得不壓接之導電性膜卷所需之氧化皮膜層之厚度較佳為1 nm以上(例如1 nm~15 nm)。

上述氧化銅(I)係化學式： Cu_2O 所示之1價氧化銅。上述氧化皮膜層之氧化銅(I)之含量較佳為50重量%以上，進而較佳為60重量%以上。上述氧化皮膜層通常包含組合物，該組合物除了包含氧化銅(I)以外，亦包含銅(未氧化之銅)、氧化銅(II)、碳酸銅、氫氧化銅等。

為了獲得不壓接之導電性膜卷，保管上述第1卷之時間必需為30小時以上，較佳為36小時~180小時。上述保管時間表示自第1步驟之結束起至第3步驟之開始為止之時間，

例如為，自在第1步驟中對濺鍍裝置進行大氣開放起，至在第3步驟中開始濺鍍裝置之減壓為止的時間。

上述第1卷之保管方法並無特別限制，可靜置不動，亦可出於保管設施之原因、或效率佳地移行至接下來之第3步驟之目的而適當地加以移動。

(3)第3步驟

本發明中所使用之第3步驟為如下步驟：一面回卷第1卷，一面於例如 1×10^{-5} Pa~1 Pa之低壓氣體中藉由濺鍍法於膜基材之另一側依序積層第2透明導電體層及第2銅層，並將所獲得之第2積層體捲繞成卷狀而作為第2卷(步驟S13)。於進行本第3步驟時，例如，於圖1之濺鍍裝置中，將第1卷放置於保持部11上，於膜基材之另一側連續積層第2透明導電體層及第2銅層，並利用保持部17捲繞所獲得之積層體而作為第2卷。

於藉由此種步驟而獲得之第2卷(即，導電性膜卷)中，藉由含有氧化銅(I)之氧化皮膜層插入第1銅層與第2銅層之間，即便不插入襯紙等，亦取得不壓接之優異之效果。

於上述膜基材依序積層第2透明導電體層及第2銅層之方法，較佳為採用與第1步驟中所使用者相同之濺鍍裝置、條件。

(4)導電性膜卷

藉由本發明之製造方法而獲得之導電性膜卷(conductive film roll)係藉由捲繞長條狀之導電性膜而構成。

圖3係表示藉由圖2之濺鍍裝置製造之導電性膜卷之一例

的立體圖。

於圖3中，導電性膜31包括：膜基材32；透明導電體層(第1透明導電體層)33，其形成於該膜基材之一側；銅層(第1銅層)34，其形成於透明導電體層33之與膜基材32為相反側之側；透明導電體層(第2透明導電體層)35，其形成於膜基材32之另一側；銅層(第2銅層)36，其形成於透明導電體層35之與膜基材32為相反側之側；及氧化皮膜層37，其形成於銅層34之與透明導電體層33為相反側之側，且含有氧化銅(I)。於捲繞該導電性膜31而構成之導電性膜卷30中，氧化皮膜層37插入銅層34與銅層36之間。

形成膜基材32之材料較佳為聚對苯二甲酸乙二酯(110)、聚環烯烴(3900)、或聚碳酸酯(9000)。括弧內之數值表示包含各材料之膜基材之厚度為100 μm 下之氧穿透度。上述膜基材亦可於其表面具有其他層。

就於第2步驟中易於在銅層34之表面形成氧化皮膜層37之觀點而言，膜基材32之氧穿透度較佳為100~20000 $\text{ml/m}^2\cdot\text{day}\cdot\text{MPa}$ ，進而較佳為2000~15000 $\text{ml/m}^2\cdot\text{day}\cdot\text{MPa}$ 。上述氧穿透度可依據JIS K7126B求出。

形成透明導電體層33、35之材料較佳為氧化銦錫、氧化銦鋅、或氧化銦-氧化鋅複合氧化物。透明導電體層33、35之厚度較佳為20 nm~80 nm。

銅層34、36例如於用於觸控面板時，可用於對各銅層進行蝕刻加工而於觸控輸入區域之外緣部形成引導配線。銅層34、36之厚度較佳為20 nm~300 nm。

如上述般，根據本實施形態，由於將使上述第1積層體捲繞成卷狀而成之第1卷於大氣中保管30小時以上，而於上述第1銅層之表面形成含有氧化銅(I)之氧化皮膜層，故於第2卷中鄰接之膜彼此不壓接，從而可維持高品質。

以上，對本實施形態之導電性膜卷之製造方法進行了敘述，但本發明並不限定於記述之實施形態，可基於本發明之技術思想進行各種變形及變更。

以下，對本發明之實施例進行說明。

[實施例1]

將厚度 $100\ \mu\text{m}$ 、長度 $1000\ \text{m}$ 、氧穿透度 $3900\ \text{ml/m}^2\cdot\text{day}\cdot\text{MPa}$ 之含聚環烯烴膜(日本Zeon公司製造，商品名「ZEONOR」(註冊商標))的膜基材之初始卷放入至濺鍍裝置內。於該濺鍍裝置之腔室內填充氬氣，並調整至 $0.4\ \text{Pa}$ 之低壓環境。一面回卷上述初始卷，一面藉由濺鍍法於膜基材之一側依序積層厚度為 $20\ \text{nm}$ 之包含氧化銦錫層之第1透明導電體層及厚度為 $50\ \text{nm}$ 之第1銅層。所獲得之第1積層體係捲繞成卷狀而作為第1卷。

繼而，將上述第1卷於大氣中($102700\ \text{Pa}$ 、 23°C)保管72小時，而於上述第1銅層之表面形成含有氧化銅(I)之氧化皮膜層。所獲得之氧化皮膜層其氧化銅(I)之含量為82重量%，厚度為 $1.7\ \text{nm}$ 。

繼而，將上述第1卷放入至與上述相同之濺鍍裝置中，並於與上述相同之條件下，一面回卷上述第1卷，一面藉由濺鍍法於膜基材之另一側依序積層厚度為 $20\ \text{nm}$ 之包含

氧化銦錫層之第2透明導電體層及厚度為50 nm之第2銅層。所獲得之第2積層體係捲繞成卷狀而作為第2卷。

[實施例2]

將第2卷之保管時間設為36小時，除此以外，以與實施例1相同之方法製作導電性膜卷。

[比較例1]

將第1卷之保管時間設為24小時，除此以外，以與實施例1相同之方法製作導電性膜卷。

[比較例2]

將第2卷之保管時間設為3小時，除此以外，以與實施例1相同之方法製作導電性膜卷。

繼而，利用以下方法對該等實施例1~2及比較例1~2進行測定、觀察。

(1)氧化皮膜層之厚度、及氧化銅(I)之含量之測定

使用X射線光電子光譜(X-ray Photoelectron Spectroscopy)分析裝置(PHI公司製造，製品名「QuanteraSXM」)，測定氧化皮膜層之厚度及氧化皮膜層中所含有之氧化銅(I)之重量%。

(2)導電性膜卷之壓接之有無

藉由自導電性膜卷回卷導電性膜並觀察卷表面而進行確認。

(3)透明導電體層、銅層及膜基材之厚度之測定

透明導電體層及銅層之厚度係利用穿透式電子顯微鏡(日立製作所製造，H-7650)進行剖面觀察而測定。又，膜

基材之厚度係使用膜厚計(Peacock公司製造，數位度盤規DG-205)而測定。

將利用上述(1)~(3)之方法進行評估之結果示於表1。

[表 1]

	保管時間(第2步驟)	卷之壓接之有無	判定
實施例1	72小時	無	○
實施例2	36小時	無	○
比較例1	24小時	有	×
比較例2	3小時	有	×

如表1所示，第1卷之保管時間為30小時以上的實施例1及2之導電性膜卷未壓接。另一方面，第1卷之保管時間未達30小時的比較例1及2之導電性膜卷壓接。壓接之第1卷於回卷時產生剝離音，並於透明導電體層之表面產生許多損傷。

因此可知，於本發明之製造方法中，只要將第1卷於大氣中之保管時間設為30小時以上，則鄰接之膜不壓接而可維持高品質。

[產業上之可利用性]

藉由本發明之製造方法而獲得之導電性膜卷較佳為將陸續送出之導電性膜切割加工為顯示器尺寸並用於靜電電容方式等之觸控感測器。

【圖式簡單說明】

圖1係表示本發明之實施形態之導電性膜卷之製造方法的流程圖。

圖2係概略地表示應用圖1之製造方法之濺鍍裝置之圖。

圖3係表示藉由圖2之濺鍍裝置製造之導電性膜卷之一例的立體圖。

【主要元件符號說明】

1	濺鍍裝置
10	腔室
11	保持部
12	導輥
13	成膜輥
14	靶材
15	靶材
16	導輥
17	保持部
18、19	處理室
20	初始卷
21	卷
30	導電性膜卷
31	導電性膜
32	膜基材
33	透明導電體層
34	銅層
35	透明導電體層
36	銅層
37	氧化皮膜層

七、申請專利範圍：

1. 一種導電性膜卷之製造方法，其特徵在於包括：

第1步驟，其藉由濺鍍法於膜基材之一側依序積層第1透明導電體層及第1銅層，並將所獲得之第1積層體捲繞成卷狀而作為第1卷；

第2步驟，其將上述第1卷於大氣中保管30小時以上，而於上述第1銅層之表面形成含有氧化銅(I)之氧化皮膜層；及

第3步驟，其一面回卷上述第1卷，一面藉由濺鍍法於上述膜基材之另一側依序積層第2透明導電體層及第2銅層，並將所獲得之第2積層體捲繞成卷狀而作為第2卷。

2. 如請求項1之導電性膜卷之製造方法，其中於上述第2步驟中，將上述第1卷於大氣中保管36小時~180小時。
3. 如請求項1之導電性膜卷之製造方法，其中於上述第2步驟中，形成厚度為1 nm~15 nm之氧化皮膜層。
4. 如請求項1之導電性膜卷之製造方法，其中上述氧化皮膜層含有50重量%以上之氧化銅(I)。
5. 如請求項1之導電性膜卷之製造方法，其中上述氧化皮膜層包含組合物，該組合物包含銅、氧化銅(I)、氧化銅(II)、碳酸銅及氫氧化銅。

八、圖式：

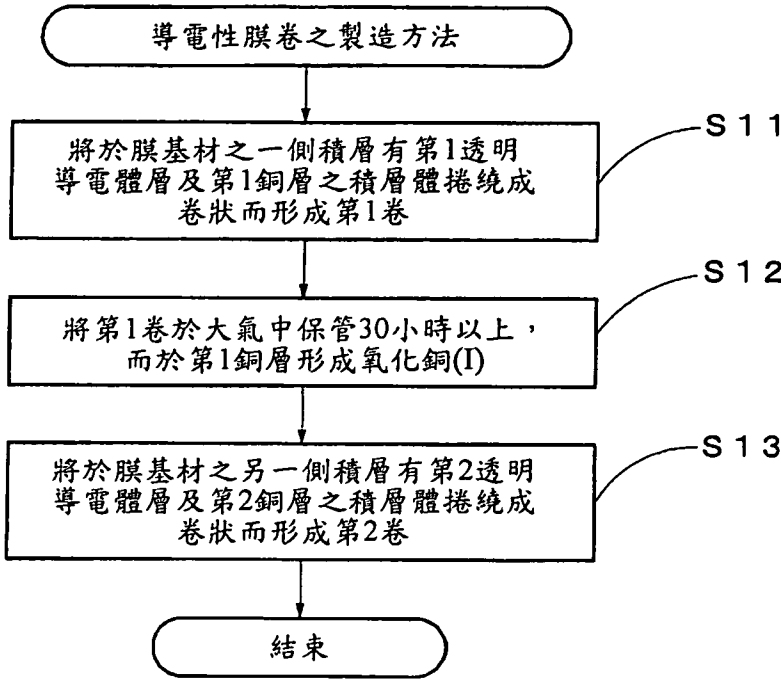


圖1

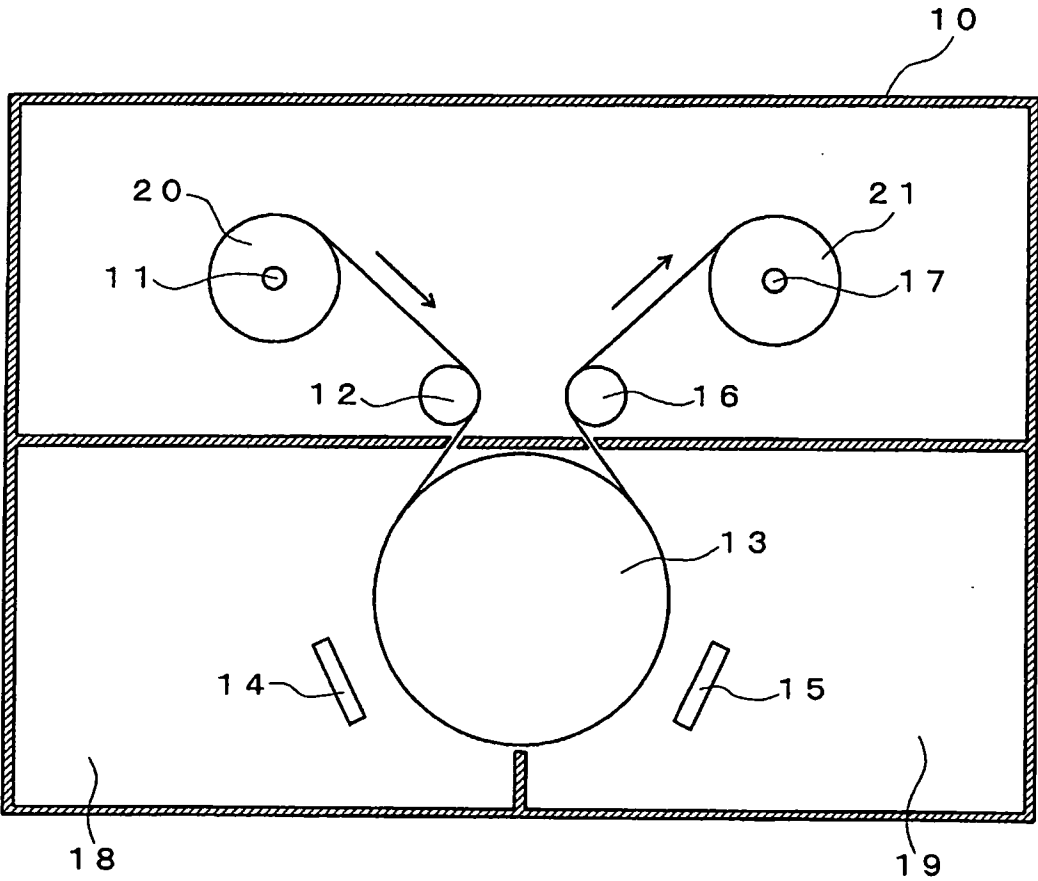


圖2

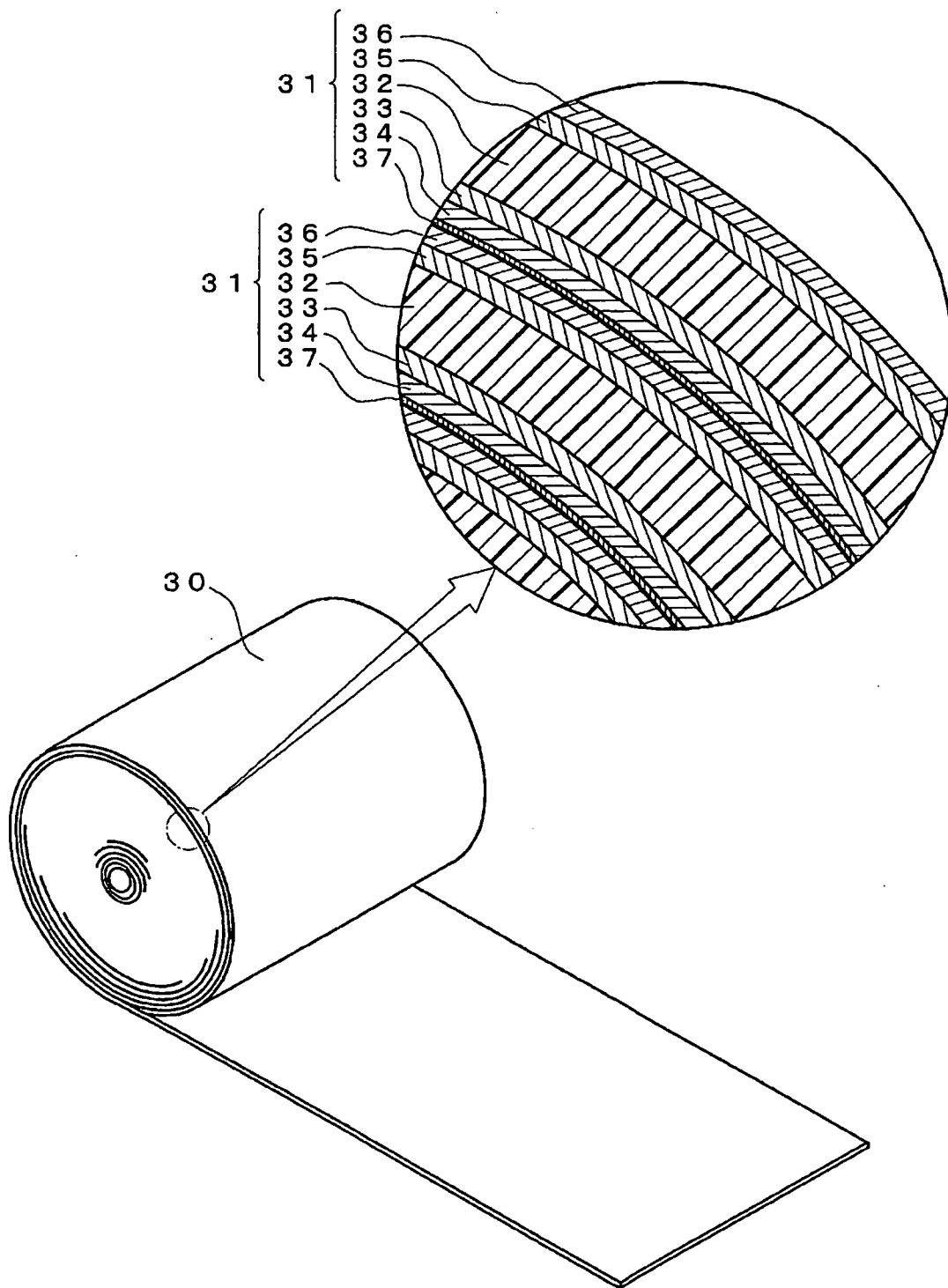


圖3