

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年8月28日(2014.8.28)

【公開番号】特開2013-110238(P2013-110238A)

【公開日】平成25年6月6日(2013.6.6)

【年通号数】公開・登録公報2013-028

【出願番号】特願2011-253556(P2011-253556)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 29/12 (2006.01)

H 01 L 21/336 (2006.01)

【F I】

H 01 L 29/78 6 5 2 T

H 01 L 29/78 6 5 3 A

H 01 L 29/78 6 5 2 K

H 01 L 29/78 6 5 8 G

【手続補正書】

【提出日】平成26年7月2日(2014.7.2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】炭化珪素半導体装置およびその製造方法

【技術分野】

【0001】

この発明は、炭化珪素半導体装置およびその製造方法に関し、より特定的には、トレンチが形成された炭化珪素層を有する炭化珪素半導体装置およびその製造方法に関する。

【背景技術】

【0002】

特開2009-188221号公報によれば、トレンチが形成された炭化珪素基板を有するMOSFET(Metal Oxide Semiconductor Field Effect Transistor)が開示されている。また高いチャネル移動度を有するMOSFETを得るために、トレンチ側壁の角度を特定の角度に制御する必要があることが開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-188221号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、トレンチ側壁の角度をチャネル移動度の観点で定めた場合、トレンチのアスペクト比が高くなることでトレンチ内にゲート電極を埋め込む工程が困難になったことがある。本発明は、このような課題を解決するためになされたものであり、この発明の目的は、好ましいチャネル特性と、トレンチ中へのゲート電極の埋め込みの容易性とを兼ね備えた炭化珪素半導体装置およびその製造方法を提供することである。

**【課題を解決するための手段】****【0005】**

本発明の炭化珪素半導体装置は、炭化珪素層と、ゲート絶縁膜と、ゲート電極とを有する。炭化珪素層は、厚さ方向を有し、第1の正面と第1の正面に対して厚さ方向において対向する第2の正面とを有する。また炭化珪素層は、第1の正面をなし第1の導電型を有する第1の領域と、第1の領域上に設けられ、第1の導電型と異なる第2の導電型を有する第2の領域と、第2の領域の上に設けられ、第1の導電型を有する第3の領域とを含む。炭化珪素層の第2の正面には内面を有するトレンチが形成されている。トレンチは第2および第3の領域を貫通している。ゲート絶縁膜はトレンチの内面を覆っている。ゲート電極はトレンチの少なくとも一部を埋めている。トレンチの内面は、第1の側壁と、第1の側壁よりも深くに位置しあつ第2の領域からなる部分を有する第2の側壁とを有する。第2の正面に対する第1の側壁の傾斜は、第2の正面に対する第2の側壁の傾斜に比して小さい。

**【0006】**

上記炭化珪素半導体装置によれば、トレンチの内面は、チャネルとして機能し得る第2の領域からなる部分を有する第2の側壁を含む。この第2の側壁の、炭化珪素層の第2の正面に対する傾斜は、好ましいチャネル特性が得られるように選択され得る。第2の側壁よりも浅くに位置する第1の側壁の傾斜がより小さくされることで、トレンチの浅い部分がより大きく開口するので、トレンチ中にゲート電極をより容易に埋め込むことができる。

**【0007】**

好ましくは、第2の側壁は、第1および第2の領域の境界と、第2および第3の領域の境界とをつないでいる。

**【0008】**

これにより、チャネル特性上好ましい傾斜が設けられた第2の側壁からなる部分により、第1および第2の領域の間を結ぶチャネルが設けられる。このチャネルはその全体が、好ましい傾斜を有する側壁からなるので、チャネル特性をより好ましいものとすることができます。

**【0009】**

より好ましくは、ゲート電極は、少なくとも第1および第2の側壁の間に達するまでトレンチを埋めている。

**【0010】**

これによりゲート電極は深さ方向において第2の側壁の全体に対向するように埋められる。よって、第2の側壁からなる部分により設けられるチャネルの全体を制御することができるように、トレンチ中に十分にゲート電極が埋められる。

**【0011】**

本発明の炭化珪素半導体装置の製造方法は、次の工程を有する。厚さ方向を有し、第1の正面と第1の正面に対して厚さ方向において対向する第2の正面とを有する炭化珪素層が準備される。炭化珪素層は、第1の正面をなし第1の導電型を有する第1の領域と、第1の領域上に設けられ、第1の導電型と異なる第2の導電型を有する第2の領域と、第2の領域の上に設けられ、第1の導電型を有する第3の領域とを含む。炭化珪素層の第2の正面には、開口部を有するマスクが形成される。マスクを用いて炭化珪素層をエッティングすることにより、炭化珪素層の第2の正面に、内面を有し、第2および第3の領域を貫通するトレンチが形成される。トレンチを形成する工程は、トレンチの内面が、第1の側壁と、第1の側壁よりも深くに位置しあつ第2の領域からなる部分を有する第2の側壁とを有するように、かつ、第2の正面に対する第1の側壁の傾斜が、第2の正面に対する第2の側壁の傾斜に比して小さくなるように行われる。トレンチの内面を覆うゲート絶縁膜が形成される。トレンチの少なくとも一部を埋めるゲート電極が形成される。

**【0012】**

上記製造方法によれば、トレンチの内面は、チャネルとして機能し得る第2の領域から

なる部分を有する第2の側壁を含む。この第2の側壁の、炭化珪素層の第2の主面に対する傾斜は、好ましいチャネル特性が得られるように選択され得る。第2の側壁よりも浅くに位置する第1の側壁の傾斜がより小さくされることで、トレンチの深い部分がより大きく開口するので、トレンチ中にゲート電極をより容易に埋め込むことができる。

#### 【0013】

上記製造方法におけるトレンチを形成する工程は、次の工程を含んでもよい。炭化珪素層を物理的にエッティングすることにより、炭化珪素層の第2の主面上に凹部が形成される。凹部の内面に対して熱エッティングが行われる。

#### 【0014】

これにより、第2の主面に対する第1の側壁の傾斜が、第2の主面に対する第2の側壁の傾斜に比して小さくなるように、トレンチを形成することができる。

#### 【0015】

好ましくは、凹部を形成する工程は、凹部が第2の領域よりも浅くに位置するように行われる。

#### 【0016】

これにより、第1の側壁が過度に深く形成されることを避けることができる。よってチャネルのより多くの部分を、チャネル特性上好ましい傾斜を有する第2の側壁によってなすことができる。

#### 【0017】

より好ましくは、凹部を形成する工程は、凹部の内面が、第1の側面と、第1の側面よりも深くに位置し、かつ第1の側面に対して傾斜した第2の側面とを含むように行われる。

#### 【0018】

これにより、物理的なエッティングにより形成された第1および第2の側面のそれぞれが熱エッティングによって侵食されることで、第1および第2の側壁をより確実に形成することができる。

#### 【0019】

上記製造方法は、トレンチを形成する工程の前に、炭化珪素層中にマスクを用いてイオンを注入することにより、炭化珪素層中に変質層を形成する工程をさらに有してもよい。この場合、トレンチを形成する工程は、炭化珪素層のうち変質層を含む領域を熱エッティングにより除去する工程を含み得る。

#### 【0020】

これにより、炭化珪素層中に形成された変質層において熱エッティングのエッティングレートを高めることができる。よって熱エッティングの前半過程においては主に変質層のエッティングが相対的に高いレートで行われ、後半過程においては通常の炭化珪素層のエッティングが相対的に低いレートで行われる。このような2段階の過程を経ることで、互いに傾斜の程度が異なる第1および第2の側壁がより確実に形成される。

#### 【0021】

好ましくは、変質層を形成する工程は、変質層が第2の領域よりも浅くに位置するように行われる。

#### 【0022】

これにより、第2の側壁がより浅い位置にまで形成されるので、第2の領域のうち浅くに位置する部分にも第2の側壁を形成することができる。よって第2の領域からなるチャネルのより広い部分を、好ましい傾斜を有する側壁によってなすことができるので、チャネル特性をより好ましいものとすることができます。

#### 【0023】

好ましくは、変質層を形成する工程は常温下で行われる。

これにより、常温下でイオン注入が行われるので、高温下でイオン注入が行われる場合に比して、イオン注入の際に生じる結晶欠陥の程度がより大きくなる。この結果、変質層に対する熱エッティングのエッティングレートがより高まるので、炭化珪素層中の変質層とそ

れ以外の部分とのエッティングレートの差異がより大きくなる。よって、互いに傾斜の程度が異なる第1および第2の側壁がより確実に形成される。

#### 【0024】

上記製造方法における炭化珪素層を準備する工程は、第3の領域の結晶性が第2の領域の結晶性よりも低くなるように行われてもよい。

#### 【0025】

これにより熱エッティングにおいて、第3の領域のエッティングレートが、第2の領域のエッティングレートよりも高くなる。よって、互いに傾斜の程度が異なる第1および第2の側壁がより確実に形成される。

#### 【発明の効果】

#### 【0026】

上述したように本発明によれば、好ましいチャネル特性と、トレンチ中へのゲート電極の埋め込みの容易性とを両立させることができる。

#### 【図面の簡単な説明】

#### 【0027】

【図1】本発明の実施の形態1における炭化珪素半導体装置の構造を概略的に示す断面図である。

【図2】本発明の実施の形態1における炭化珪素半導体装置の製造方法の第1工程を概略的に示す断面図である。

【図3】本発明の実施の形態1における炭化珪素半導体装置の製造方法の第2工程を概略的に示す断面図である。

【図4】本発明の実施の形態1における炭化珪素半導体装置の製造方法の第3工程を概略的に示す断面図である。

【図5】本発明の実施の形態1における炭化珪素半導体装置の製造方法の第4工程を概略的に示す断面図である。

【図6】本発明の実施の形態1における炭化珪素半導体装置の製造方法の第5工程を概略的に示す断面図である。

【図7】本発明の実施の形態1における炭化珪素半導体装置の製造方法の第6工程を概略的に示す断面図である。

【図8】本発明の実施の形態1における炭化珪素半導体装置の製造方法の第7工程を概略的に示す断面図である。

【図9】図1の炭化珪素半導体装置の構造の第1の変形例を概略的に示す断面図である。

【図10】図1の炭化珪素半導体装置の構造の第2の変形例を概略的に示す断面図である。

【図11】本発明の実施の形態2における炭化珪素半導体装置の製造方法の第1工程を概略的に示す断面図である。

【図12】本発明の実施の形態2における炭化珪素半導体装置の製造方法の第2工程を概略的に示す断面図である。

【図13】本発明の実施の形態3における炭化珪素半導体装置の製造方法の第1工程を概略的に示す断面図である。

【図14】本発明の実施の形態3における炭化珪素半導体装置の製造方法の第2工程を概略的に示す断面図である。

#### 【発明を実施するための形態】

#### 【0028】

以下、図面に基づいて本発明の実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。また、本明細書中における結晶学的説明においては、個別方位を[ ]、集合方位を<>、個別面を( )、集合面を{ }でそれぞれ示している。また、負の指数については、結晶学上、"-"(バー)を数字の上に付けることになっているが、本明細書中では、数字の前に負の符号を付けている。

## 【0029】

(実施の形態1)

図1に示すように、本実施の形態の炭化珪素半導体装置としてのMOSFET(Metal Oxide Semiconductor Field Effect Transistor)101は、基板40と、エピタキシャル層(炭化珪素層)50と、ゲート絶縁膜61と、層間絶縁膜62と、ゲート電極70と、ソース電極71と、ソース配線電極72と、ドレイン電極81とを有する。

## 【0030】

基板40は、n型(第1の導電型)の半導体、または導体から作られており、好ましくは単結晶炭化珪素基板である。基板40の一方側の上にはドレイン電極81が設けられており、他方側の上にはエピタキシャル層50が設けられている。ドレイン電極81はオーミック電極である。

## 【0031】

エピタキシャル層50は、厚さ方向(図中、縦方向)を有し、基板40に面する下面(第1の正面)P1と、下面P1に対して厚さ方向において対向する上面(第2の正面)P2とを有する。エピタキシャル層50の結晶構造が六方晶の場合、上面P2の面方位は好ましくは、実質的に{000-1}面であり、より好ましくは、実質的に(000-1)面である。またその結晶構造が立方晶の場合、上面P2の面方位は好ましくは、実質的に{111}面である。エピタキシャル層50は、第1～第3の領域51～53と、コンタクト領域54とを有する。第1の領域51は、下面P1をなしており、n型を有する。第2の領域52は、第1の領域51上に設けられており、n型とは異なる導電型すなわちp型(第2の導電型)を有する。第3の領域53は、第2の領域52の上に設けられており、n型を有する。コンタクト領域54は、p型を有し、第2の領域52とソース電極71とをつないでいる。

## 【0032】

エピタキシャル層50の上面P2上には、内面を有するトレンチTRが形成されている。トレンチTRは、第2および第3の領域52、53を貫通している。トレンチTRの内面は、側壁SWを有する。側壁SWは、上部側壁(第1の側壁)SW1と、上部側壁SW1よりも深くに位置しあつ第2の領域52からなる部分を有する下部側壁SW2(第2の側壁)とを有する。上面P2に対する上部側壁SW1の傾斜は、上面P2に対する下部側壁SW2の傾斜に比して小さい。エピタキシャル層50の結晶構造が六方晶の場合、下部側壁SW2の結晶面は、好ましくは、実質的に{0-33-8}面または{01-1-4}面となっている。またその結晶構造が立方晶である場合、下部側壁SW2の結晶面は、好ましくは、実質的に{100}面となっている。下部側壁SW2は、第1および第2の領域51、52の境界と、第2および第3の領域52、53の境界とをつないでいる。トレンチTRの内面上における上部側壁SW1および下部側壁SW2の間の屈曲点K101は、第2および第3の領域52、53の境界に位置している。

## 【0033】

ゲート絶縁膜61はトレンチTRの内面を覆っている。ゲート電極70はトレンチTRの少なくとも一部を埋めている。また本実施の形態においては、ゲート電極70は、少なくとも上部側壁SW1および下部側壁SW2の間に達するまでトレンチTRを埋めている。すなわちゲート電極70は少なくとも屈曲点K101に達するまで埋め込まれてあり、本実施の形態においては、ゲート電極70は屈曲点K101を越えて埋め込まれている。

## 【0034】

ソース電極71は、第3の領域53およびコンタクト領域54の各々に接するように配置されたオーミック電極である。ソース配線電極72は、ソース電極71上に配置されている。ソース配線電極72は、層間絶縁膜62によってゲート電極70と電気的に絶縁されている。

## 【0035】

次にMOSFET101(図1)の製造方法について説明する。

図2に示すように、基板40上にn型のエピタキシャル層50が形成される。このためのエピタキシャル成長は、たとえば原料ガスとしてシラン(SiH<sub>4</sub>)とプロパン(C<sub>3</sub>H<sub>8</sub>)との混合ガスを用い、キャリアガスとしてたとえば水素ガス(H<sub>2</sub>)を用いたCVD法により実施することができる。またエピタキシャル成長の際に、n型を付与するための導電型不純物としてたとえば窒素(N)またはリン(P)を導入することが好ましい。エピタキシャル層50のこのn型不純物の濃度は、たとえば $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下である。

#### 【0036】

図3に示すように、エピタキシャル層50上への不純物イオンの注入によって、エピタキシャル層50中に第1～第3の領域51～53が形成される。第2の領域52を形成するためのイオン注入においては、たとえばアルミニウム(Al)が用いられる。第3の領域53を形成するためのイオン注入においては、たとえばリン(P)が用いられる。イオンの加速エネルギーを調整することにより、第2および第3の領域52、53の各々が形成される領域の深さは調整される。

#### 【0037】

図4に示すように、エピタキシャル層50の上面P2上にマスク90が形成される。好ましくはマスク90の形成は堆積法によって行われる。ここで堆積法とは、形成される膜の材料のすべてが外部から供給されることを特徴とする方法である。よって堆積法は、熱酸化法、すなわち、膜が形成されることになる領域に既に存在していた元素を材料の一部として利用する方法を含まない。堆積法としては、たとえば、CVD (Chemical Vapor Deposition) 法、スパッタ法、または抵抗加熱型蒸着法を用いることができる。

#### 【0038】

図5に示すように、マスク90に開口部が形成される。開口部の形成は、たとえば、フォトリソグラフィおよびエッチングを用いて行い得る。開口部の幅は、たとえば0.1μm以上2μm以下である。次にマスク90を用いてエピタキシャル層50をエッチングすることにより、エピタキシャル層50の上面P2上に、内面を有し、第2および第3の領域53を貫通するトレチTR(図1)が形成される。トレチTRを形成する工程は、トレチTRの内面が、上部側壁SW1と、上部側壁SW1よりも深くに位置しつつ第2の領域52からなる部分を有する下部側壁SW2とを有するように、かつ、上面P2に対する上部側壁SW1の傾斜が、上面P2に対する下部側壁SW2の傾斜に比して小さくなるよう行われる。以下、このエッチング工程について説明する。

#### 【0039】

図6および図7に示すように、エピタキシャル層50を物理的にエッチングすることにより、エピタキシャル層50の上面P2上に凹部RCが形成される。本実施の形態においては、凹部RCは、図7に示すように、第2の領域52よりも浅くに位置するように形成される。また凹部RCは、その側面SDが、上部側面(第1の側面)SD1と、上部側面SD1よりも深くに位置し、かつ上部側面SD1に対して傾斜した下部側面(第2の側面)SD2とを含むように形成される。これにより、上部側面SD1および下部側面SD2の間に屈曲点K1が設けられる。

#### 【0040】

具体的には、まず、矢印RT(図6)に示すように上面P2を面内回転させながら、上面P2に対して傾いた入射角を有するイオンビームIBを用いたイオンビームエッチングが行われる。このイオンビームエッチングにより上面P2上に凹部RCpが形成される。凹部RCpは、上面P2に対して傾いた内面を有する。次に、イオンビームIBの入射角が上面P2に対してより垂直に近いものとされたイオンビームエッチング、またはRIE(Reactive Ion Etching)が行われることで、図7に示すように、エピタキシャル層50の上面P2上に凹部(RC)が形成される。RIEとしては、たとえば、反応ガスとしてSF<sub>6</sub>またはSF<sub>6</sub>とO<sub>2</sub>との混合ガスを用いたICP-RIE(Induction Coupled Plasma-RIE)を用いることができる。

## 【0041】

次に凹部RCの内面に対して熱エッティングが行われる。具体的には、炭化珪素層に、反応ガスを含有するプロセスガスに接触させながら炭化珪素層を加熱する処理が行われる。反応性ガスとしては、塩素系ガスを用いることができ、たとえば塩素ガスを用いることができる。またプロセスガス中に酸素原子を含有するガスが混ぜられてもよく、たとえば酸素ガスが混ぜられてもよい。またプロセスガスは、窒素ガス、アルゴンガス、またはヘリウムガスなどのキャリアガスを含んでもよい。熱エッティングにおける熱処理温度は、好ましくは700以上1200以下とされる。熱処理温度を700以上とすることで、SiCのエッティング速度 $70\text{ }\mu\text{m/h}$ 程度を確保し得る。下限温度は、より好ましくは800以上とされ、さらに好ましくは900以上とされる。上限温度は、より好ましくは1100以下とされ、さらに好ましくは1000以下とされる。また、この場合にマスク90の材料として酸化珪素、窒化珪素、酸化アルミニウム、窒化アルミニウム、または窒化ガリウムを用いると、マスク90の材料に対するSiCのエッティング選択比を極めて大きくすることができるので、SiCのエッティング中のマスク90の消耗を抑制することができる。

## 【0042】

図8に示すように、上記の熱エッティングにより、トレンチTRが形成される。なおこの熱エッティングの進行にともなって、屈曲点K1(図7)が徐々に移動して屈曲点K101に至る。次にマスク90が、たとえばエッティングにより除去される。

## 【0043】

再び図1を参照して、上面P2の一部の上への選択的なイオン注入によって、コンタクト領域54が形成される。次にエピタキシャル層50中の不純物イオンを活性化するためのアニールが行われる。次にエピタキシャル層50のトレンチTRの内面および上面P2を覆うゲート絶縁膜61が形成される。ゲート絶縁膜61は、好ましくは酸化珪素膜である。酸化珪素膜は、たとえばエピタキシャル層50を熱酸化することによって形成され得る。

## 【0044】

次にトレンチTRの少なくとも一部を埋めるゲート電極70が形成される。この形成は、たとえば、ゲート電極70となる材料を堆積した後にCMP(Chemical Mechanical Polishing)を行うことで行い得る。次に、層間絶縁膜62、ソース電極71、およびソース配線電極72が形成される。これにより、図1に示すMOSFET101が得られる。

## 【0045】

本実施の形態によれば、トレンチTRの内面は、MOSFET101のチャネルとして機能し得る第2の領域52からなる部分を有する下部側壁SW2を含む。この下部側壁SW2の、エピタキシャル層50の上面P2に対する傾斜は、好ましいチャネル特性が得られるように選択され得る。一方で、下部側壁SW2よりも浅くに位置する上部側壁SW1の傾斜がより小さくされることで、トレンチTRの深い部分がより大きく開口するので、トレンチTR中にゲート電極70をより容易に埋め込むことができる。

## 【0046】

下部側壁SW2は、第1および第2の領域51、52の境界と、第2および第3の領域52、53の境界とをつないでいる。これにより、チャネル特性上好ましい傾斜が設けられた下部側壁SW2からなる部分により、第1および第2の領域51、52の間を結ぶチャネルが設けられる。このチャネルはその全体が、好ましい傾斜を有する側壁からなるので、チャネル特性をより好ましいものとすることができる。

## 【0047】

ゲート電極70は、少なくとも上部側壁SW1および下部側壁SW2の間に達するまでトレンチTRを埋めている。これによりゲート電極70は深さ方向において下部側壁SW2の全体に対向するように埋められる。よって、下部側壁SW2からなる部分により設けられるチャネルの全体を制御することができるように、トレンチTR中に十分にゲート電

極 7 0 が埋められる。

【 0 0 4 8 】

エピタキシャル層 5 0 を物理的にエッティングすることにより、エピタキシャル層 5 0 の上面 P 2 上に凹部 R C が形成される。凹部 R C の内面に対して熱エッティングが行われる。これによりより確実に、上面 P 2 に対する上部側壁 S W 1 の傾斜が、上面 P 2 に対する下部側壁 S W 2 の傾斜に比して小さくなるように、トレンチ T R を形成することができる。

【 0 0 4 9 】

凹部が第 2 の領域 5 2 よりも浅くに位置するように形成される。これにより、上部側壁 S W 1 が過度に深く形成されることを避けることができる。よってチャネルのより多くの部分を、チャネル特性上好ましい傾斜を有する下部側壁 S W 2 によってなすことができる。

【 0 0 5 0 】

凹部 R C を形成する工程は、凹部の内面が、上部側面 S D 1 と、上部側面 S D 1 よりも深くに位置し、かつ上部側面 S D 1 に対して傾斜した下部側面 S D 2 とを含むように行われる。これにより、物理的なエッティングにより形成された上部側面 S D 1 および下部側面 S D 2 のそれぞれが熱エッティングによって侵食されることで、上部側壁 S W 1 および下部側壁 S W 2 をより確実に形成することができる。

【 0 0 5 1 】

次に M O S F E T 1 0 1 の 2 つの変形例について説明する。

図 9 に示すように、M O S F E T 1 0 2 においては、トレンチ T R の内面上における上部側壁 S W 1 および下部側壁 S W 2 の間の屈曲点 K 1 0 2 は、第 2 および第 3 の領域 5 2 、5 3 の境界から離れて第 3 の領域 5 3 上に位置している。この変形例によれば、工程ばらつきによって屈曲点 K 1 0 2 の位置がばらついても、下部側壁 S W 2 が、第 1 および第 2 の領域 5 1 、5 2 の境界と、第 2 および第 3 の領域 5 2 、5 3 の境界とをより確実につなぐことができる。

【 0 0 5 2 】

図 1 0 に示すように、M O S F E T 1 0 3 においては、トレンチ T R の内面上における上部側壁 S W 1 および下部側壁 S W 2 の間の屈曲点 K 1 0 3 は、第 2 および第 3 の領域 5 2 、5 3 の境界から離れて第 2 の領域 5 2 上に位置している。この変形例によれば、トレンチ T R の深い部分がより大きく開口するので、トレンチ T R 中にゲート電極 7 0 をより容易に埋め込むことができる。

【 0 0 5 3 】

( 実施の形態 2 )

本実施の形態においては、まず実施の形態 1 における図 5 までと同様の工程が行われる。次に図 1 1 に示すように、エピタキシャル層 5 0 中にマスク 9 0 を用いてイオンを注入することにより、エピタキシャル層 5 0 中に変質層 9 9 が形成される。好ましくは、変質層 9 9 を形成する工程は、変質層 9 9 が第 2 の領域 5 2 よりも浅くに位置するように行われる。好ましくは、変質層 9 9 を形成する工程は常温下で行われる。次に実施の形態 1 と同様の熱エッティングが行われる。この場合、熱エッティングの前半過程において、図 1 2 に示すように、エピタキシャル層 5 0 のうち変質層 9 9 を含む領域が除去される。これにより形成される凹部は、屈曲点 K 2 を有する。なおこれ以外の工程は実施の形態 1 とほぼ同様であるためその説明を省略する。

【 0 0 5 4 】

本実施の形態によれば、トレンチ T R を形成する工程の前に、エピタキシャル層 5 0 中にマスク 9 0 を用いてイオンを注入することにより、エピタキシャル層 5 0 中に変質層 9 9 が形成される。この結果、トレンチ T R を形成する工程は、エピタキシャル層 5 0 のうち変質層 9 9 を含む領域を熱エッティングにより除去する工程を含む。これにより、エピタキシャル層 5 0 中に形成された変質層 9 9 において熱エッティングのエッティングレートを高めることができる。よって熱エッティングの前半過程においては主に変質層 9 9 のエッティングが相対的に高いレートで行われ、屈曲点 K 2 ( 図 1 2 ) が形成される。後半過程におい

ては通常のエピタキシャル層50のエッティングが相対的に低いレートで行われ、熱エッティングの進行にともなって、屈曲点K2(図12)が徐々に移動して屈曲点K101～K103(図1、図9、図10)のいずれかに至る。これにより上部側壁SW1および下部側壁SW2がより確実に形成される。

#### 【0055】

屈曲点K101～K103のいずれが得られるかは、変質層99の厚さによって調整され得る。屈曲点K101またはK102を得るには、図11に示すように、変質層99の厚さは第3の領域53の厚さよりも小さくされる。言い換えれば、変質層99を形成する工程が、変質層99が第2の領域52よりも浅くに位置するように行われる。これにより、下部側壁SW2がより浅い位置にまで形成されるので、第2の領域52うち浅くに位置する部分にも下部側壁SW2を形成することができる。よって第2の領域52からなるチャネルのより広い部分を、好ましい傾斜を有する側壁によってなすことができるので、チャネル特性をより好ましいものとすることができます。

#### 【0056】

変質層99を形成するためのイオン注入が常温下で行われると、高温下の場合に比して、イオン注入の際に生じる結晶欠陥の程度がより大きくなる。この結果、変質層99に対する熱エッティングのエッティングレートがより高まるので、エピタキシャル層50中の変質層99とそれ以外の部分とのエッティングレートの差異がより大きくなる。よって、互いに傾斜の程度が異なる上部側壁SW1および下部側壁SW2がより確実に形成される。

#### 【0057】

##### (実施の形態3)

本実施の形態においては、実施の形態1における第3の領域53を形成するためのイオン注入(図3)において、結晶欠陥が特に生じやすいような方法が選択される。たとえば、第3の領域53を形成するためのイオン注入が常温下で行われる。この結果、第3の領域53の結晶性は、第2の領域52の結晶性に比して十分に低くなる。その後、実施の形態1における図5までと同様の工程が行われる。次に実施の形態1と同様の熱エッティングが行われる。この場合、熱エッティングの前半過程において、図13に示すように、エピタキシャル層50のうち第3の領域53が除去される。これにより形成される凹部は、屈曲点K3を有する。そして熱エッティングの後半工程を経て、たとえば図14に示すように、トレンチTRが形成される。なおこれ以外の工程は実施の形態1とほぼ同様であるためその説明を省略する。

#### 【0058】

本実施の形態によれば、エピタキシャル層50を準備する工程は、第3の領域53の結晶性が第2の領域52の結晶性よりも十分に低くなるように行われる。これにより熱エッティングにおいて、第3の領域53のエッティングレートが、第2の領域52のエッティングレートよりも高くなる。よって熱エッティングの前半過程においては第3の領域53のエッティングが相対的に高いレートで行われ、屈曲点K3(図13)が形成される。後半過程においてはエピタキシャル層50の第2の領域52および第1の領域51のエッティングが相対的に低いレートで行われ、熱エッティングの進行にともなって、屈曲点K3(図13)が徐々に移動して屈曲点K101～K103のいずれか(図1、図9、図10)に至る。これにより、上部側壁SW1および下部側壁SW2が形成される。これにより上部側壁SW1および下部側壁SW2がより確実に形成される。

#### 【0059】

なお上記各実施の形態においてはMOSFETについて特に説明したが、炭化珪素半導体装置はMOSFET以外のMISFET(Metal Insulator Semiconductor Field Effect Transistor)であってもよい。また炭化珪素半導体装置はMISFET以外のものであってもよく、たとえばIGBT(Insulated Gate Bipolar Transistor)であってもよい。

#### 【0060】

また上記各実施の形態における n 型と p 型とが入れ替えられた形態が用いられてもよい。

【 0 0 6 1 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 符号の説明 】

【 0 0 6 2 】

4 0 基板、5 0 エピタキシャル層、5 1 ~ 5 3 第 1 ~ 第 3 の領域、5 4 コンタクト領域、6 1 ゲート絶縁膜、6 2 層間絶縁膜、7 0 ゲート電極、7 1 ソース電極、7 2 ソース配線電極、8 1 ドレイン電極、9 0 マスク、9 9 変質層、P 1 下面（第 1 の正面）、P 2 上面（第 2 の正面）、R C 凹部、S W 側壁、S W 1 上部側壁（第 1 の側壁）、S W 2 下部側壁（第 2 の側壁）、T R トレンチ。