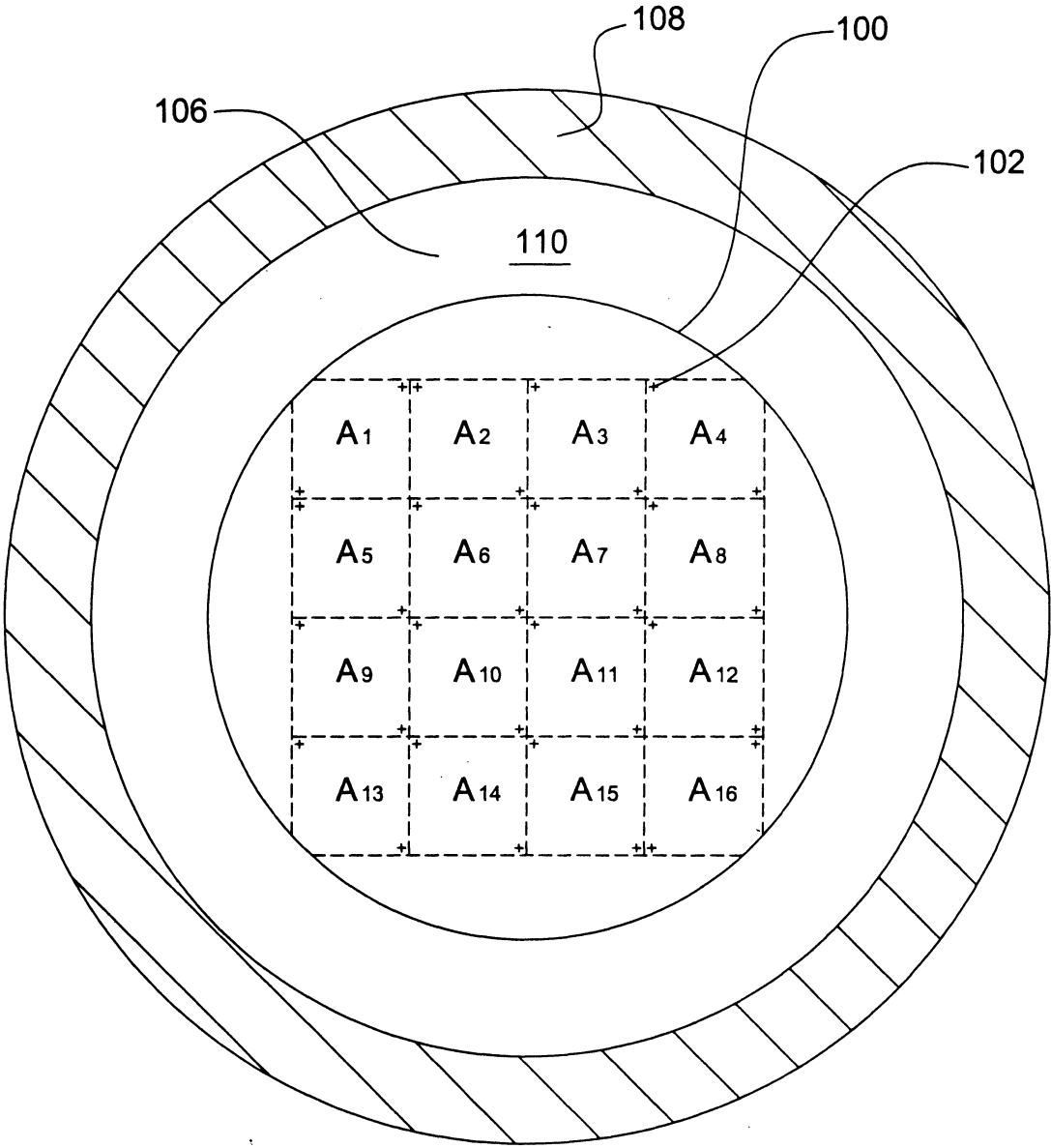
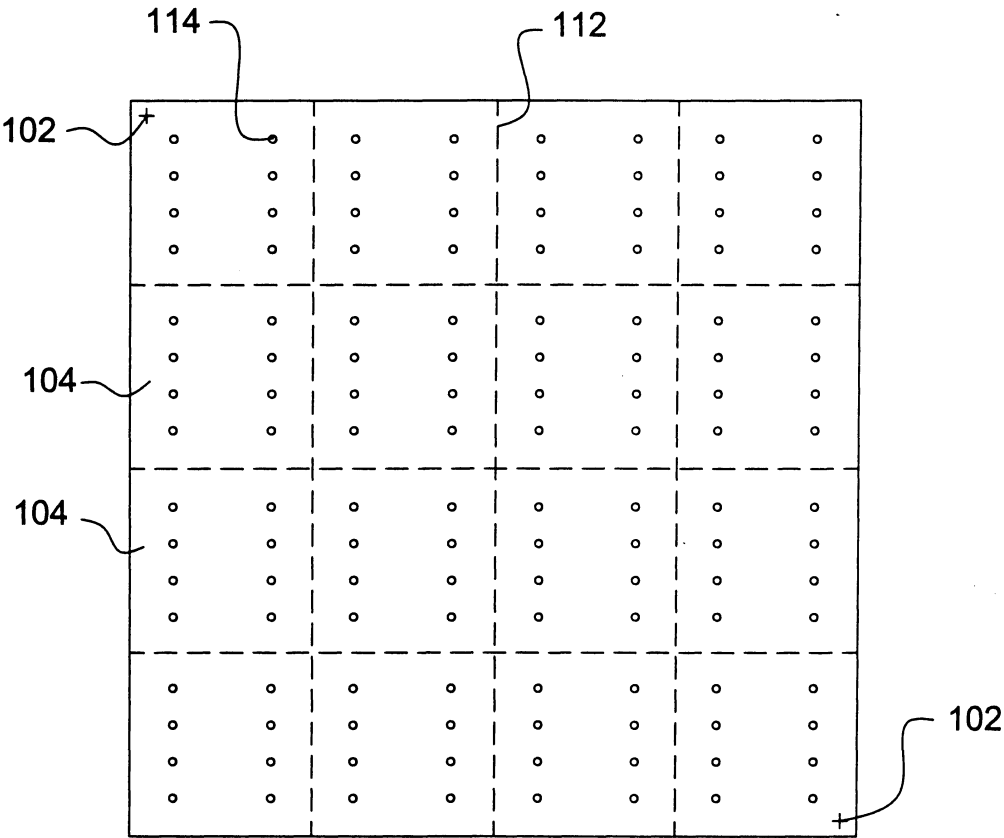


91117403

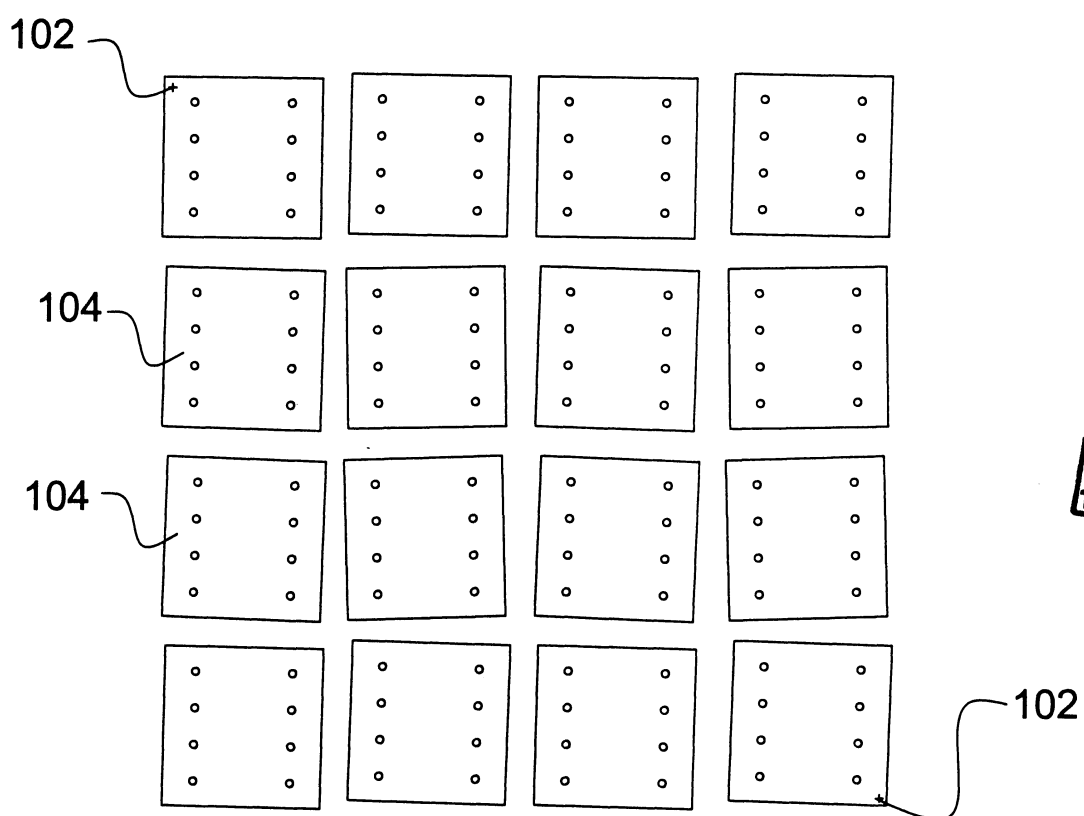


第 1 圖

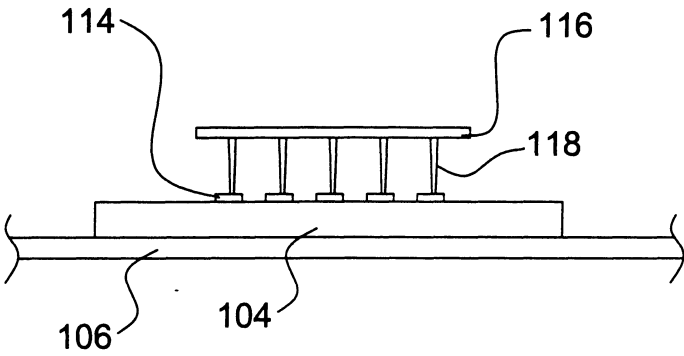


光德事務所

第 2 圖

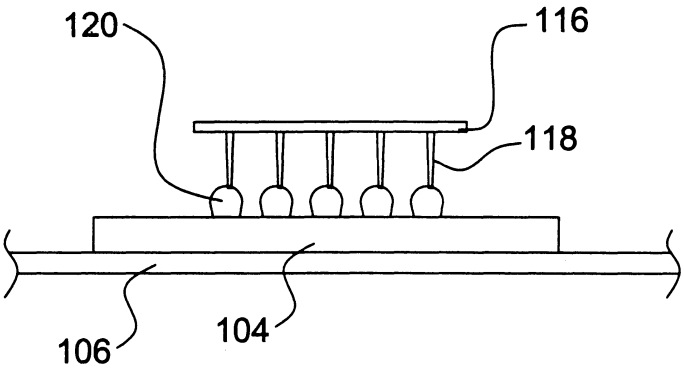


第 3 圖

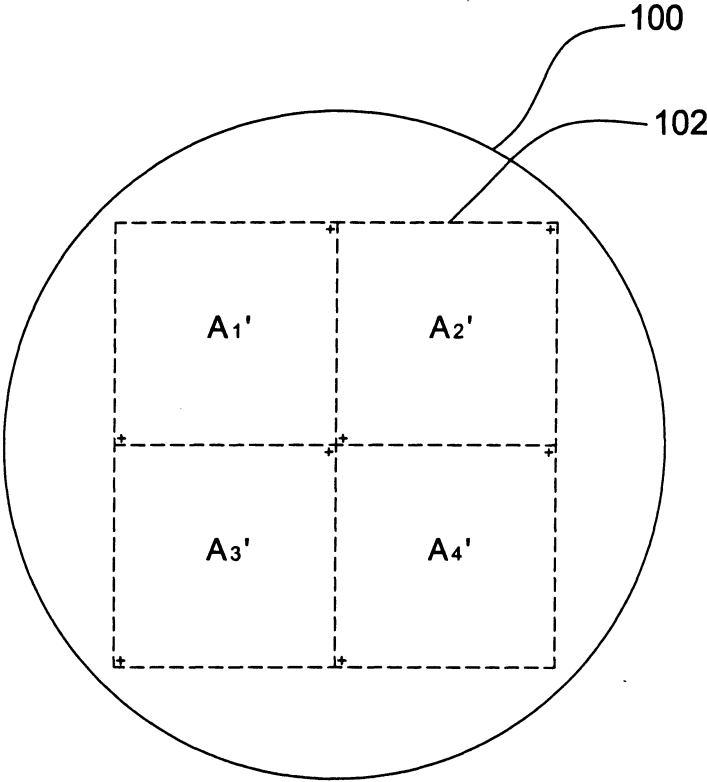


第 4 圖

光
務
值

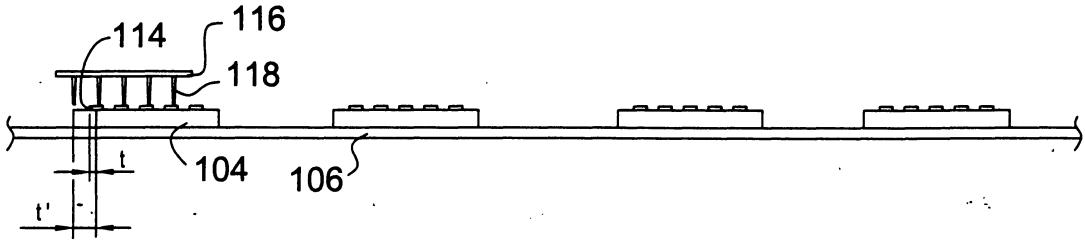


第 5 圖



光
德
事
務

第 6a 圖



第 6b 圖

92.9.25 修正
年 月 日 補充

公告本

年 月 日 修正

申請日期：91.7.31

IPC分類

申請案號：91117403

G01R 31/26; H01L 31/00

591237

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	半導體晶圓及其測試方法
	英文	SEMICONDUCTOR WAFER AND TESTING METHOD FOR THE SAME
二、 發明人 (共7人)	姓名 (中文)	1. 林悅農 2. 唐和明
	姓名 (英文)	1. LIN, YUEH LUNG 2. TONG, HO MING
	國籍 (中英文)	1. 中華民國 ROC 2. 中華民國 ROC
	住居所 (中文)	1. 桃園縣蘆竹鄉坑口村17鄰海山路一段130號 2. 台北市士林區天母東路43巷4弄21號2樓
	住居所 (英文)	1. No. 130, Sec. 1, Haishan Rd., Luju Shiang, Taoyuan, Taiwan 2. 2Fl., No. 21, Alley 4, Lane 43, Tianmu E. Rd., Shrlin Chiu, Taipei, Taiwan
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓名 (英文)	1. Advanced Semiconductor Engineering Inc.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. CHANG, CHIAN SENG

煩請委員明示
91年9月25日所提之



591237

82.9.25 修正
年 月 日 補充

年 月 日 修正

申請日期：	IPC分類
申請案號： 91117403	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共7人)	姓 名 (中文)	3. 馮耀信 4. 陶恕 5. 潘啟正
	姓 名 (英文)	3. FANG, YAO SHIN 4. TAO, SU 5. PAN, CHI CHENG
	國 籍 (中英文)	3. 中華民國 ROC 4. 中華民國 ROC 5. 中華民國 ROC
	住居所 (中 文)	3. 花蓮市中和街119號 4. 高雄市左營區崇實新村72之2號 5. 高雄市三民區鼎泰里51鄰河堤路488-1號9F
	住居所 (英 文)	3. No 119, Chung Ho Street, Hualien City, Taiwan, R.O.C 4. No. 72-2, Chorng-Shyr New Village, Tso Ying District, Kaohsiung, Taiwan
三、 申請人 (共1人)	名稱或 姓 名 (中文)	5. 9F1., No. 488-1, Heti Rd., Sanmin Chiu, Kaohsiung, Taiwan
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



00528_ptc

591237

92.9.25

修正

補充

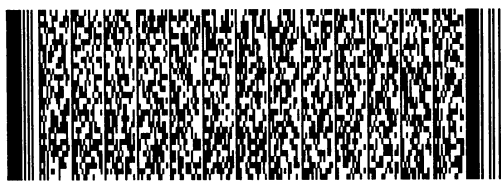
年 月 日 修正

申請日期：	IPC分類
申請案號： 91117403	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共7人)	姓 名 (中文)	6. 楊國賓 7. 洪松井
	姓 名 (英文)	6. YANG, KUO PIN 7. HUNG, SUNG CHING
	國 籍 (中英文)	6. 中華民國 ROC 7. 中華民國 ROC
	住居所 (中 文)	6. 高雄縣美濃鎮雙峰街5-18號 7. 彰化縣芳苑鄉和平村南北巷15號
	住居所 (英 文)	6. No. 5-18, Shuangfong St., Meinong Jen, Kaohsiung County, Taiwan R.O.C 7. No. 15, Nanpei Lane, Heping Village, Fangyuan Shiang, Changhua County, Taiwan, R.O.C
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



00528_ptc

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

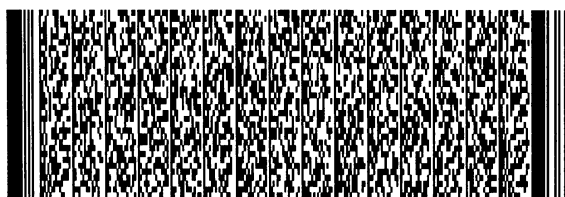
【發明領域】

本發明係有關於一種半導體晶圓及測試切割後半導體晶圓的方法。

【先前技術】

半導體積體電路的製造需要多個製程，包含設計、製造、封裝以及測試。測試可分成功能性 (functional)、參數性 (parametric) 以及燒機 (burn-in) 的方法。在這些方法中，該半導體元件可能以晶圓、晶片或封裝構造型態測試。雖然封裝係為一個相對而言較昂貴的步驟，但是半導體製造業者仍經常在封裝之後（也就是擔保半導體裝置具有合適性質和功能之前）才進行測試。隨著半導體元件的結構日趨複雜化，迫使製造業者必須在封裝製程之前對晶圓型態或晶片型態的裝置進行測試，如此一來，便能降低封裝到無法正常操作之元件的可能。此外，隨著多晶片封裝構造的出現，由於每一半導體元件僅為多個設置在多晶片承載件上晶片的其中之一，卻可能因這其中之一有損壞而使整個封裝構造無法正常操作而遭到淘汰，大大地浪費製造成本，因此晶片或晶圓尺寸的測試在此更為必要。

一般而言，積體電路係被製造於一半導體晶圓上，每一個晶圓一般而言包含50到1000個獨立的積體電路。晶圓上之積體電路之間係為稱為道標 (street indices) 的空間，將獨立的積體電路分隔開。然後在一個分割的製程中，沿著該道標分割晶圓，分離晶圓上的獨立積體電路形



五、發明說明 (2)

成多個晶片。

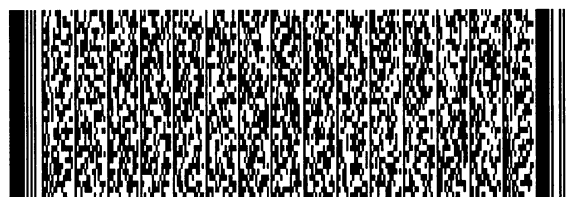
由於晶圓上的獨立積體電路係以陣列的方式整齊地分佈，因此採用晶圓層次的測試能大幅降低測試的時間以及花費。目前，晶圓的測試係在前述分割製程之前進行，最大的原因之一係為晶圓測試係利用以整個晶圓之中心為準，定位各個晶片，然而在分割製程後得到的晶片與與原來未分割前之座標有些微差異，這些個別晶片的微小差異在測試過程中卻造成很大困擾，使得晶圓上之部分待測晶片無法與測試機台的連接接點對齊，以致於無法測試或是無法正確地測試該晶片。但是，應注意的是，分割製程也是造成積體電路損壞的重要原因之一，目前採用在分割製程之前測試，雖然能確定在分割之前有哪些積體電路的性質和功能健全，卻不能確定經過分割之中，這些積體電路是否會受到損傷。

因此需要一種測試方法用以克服或至少改善上述問題。

【發明概要】

本發明之目的係提供一種測試分割後之晶圓的方法，能克服或改善分割製程造成的晶片位移問題，且仍容許以系列的方式測試晶圓上所有的晶片，而降低整體測試的時間以及花費。

為了達成上述及其他之目的，本發明提供一種半導體晶圓元件，其包含複數個區域，且有複數個陣列排列之晶片設於每一區域中。本發明之特徵係為至少有二個準標 (fiducial mark) 設於該晶圓之每一區域中。根據本發

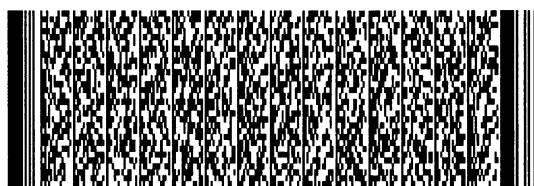


五、發明說明 (3)

明之一實施例，該至少二個準標係位於每一區域的兩對角。該準標係可為十字形或其他形狀之圖案。

本發明另包含一種測試方法，用以測試分割後之晶圓，該方法包含以下步驟。首先，將分割後晶圓劃分為多個區域，每一區域包含複數個晶片以及至少兩個準標，每一晶片包含複數個接點，該接點可為突塊接點。該至少兩個準標不限於形成在晶圓上之十字形或其他形狀之圖案，亦可為晶圓上晶片的直角邊緣或線路特徵。接著，尋找該晶圓之多個區域之一的至少兩個準標，藉此利用一圖案辨識系統 (pattern recognition system) 得到該區域中每一晶片之座標，據此置放一檢測器之連接接點，使該檢測器之連接接點與該第一區域中晶片的接點電性連接。之後，再尋找該晶圓之其他任一區域的至少兩個準標，藉此利用該圖案辨識系統得到其他區域中晶片之座標，據此置放該檢測器之連接接點，使該檢測器之連接接點與每一區域中晶片的接點形成電性連接。

本發明另提供一種決定晶圓上劃分區域數目的方法。首先，將一分割過之晶圓界定成 n 個區域，其中每一個區域包含複數個陣列排列之晶片以及至少兩個準標。接著，尋找位於該分割過晶圓 n 個區域之一的至少兩個準標，藉此利用一圖案辨識系統 (pattern recognition system) 得到該區域中每一晶片的座標。根據前一步驟所得之該區域中每一晶片的座標，使該檢測器之連接接點靠近每一晶片的接點，並同時評估該檢測器之連接接點與晶片接點之間



五、發明說明 (4)

的位置偏差；若所得之位置偏差大於一預先設定可容許偏差值，則以每次至少增加一個晶圓分割區域的方式，重複進行界定區域、獲得座標以及評估位置誤差之步驟，直到該晶圓上每一晶片之接點在評估位置誤差之步驟所得之位置偏差小於該預先設定可容許偏差值，此時該晶圓係劃分為 f 個區域。因此，該晶圓之最佳劃分區域數目即為 f 。接著，根據前述的測試方法，依次測試每一區域中之晶片。

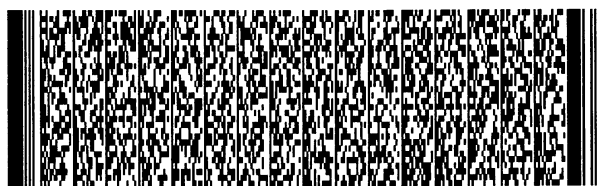
本發明提供之測試方法可兼顧晶圓層次測試的特性，以系列的方式測試一晶圓上所有晶片，又能具有晶片層次偵測的特性，確認每一晶片是否為可正常操作的晶片，以得到已知良好晶片 (Known Good Die, KGD)。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯，下文特舉本發明較佳實施例，並配合所附圖示，作詳細說明如下。

【發明說明】

參照第1圖，標號100的元件係為本發明一實施例之半導體晶圓元件。該半導體晶圓元件100主要包含包含複數個區域 A_1-A_{16} ，且每一個區域都有兩個十字形準標102位於每一區域的兩對角。第2圖係為 A_2 區域的放大圖，有複數個陣列排列之晶片104設於 A_2 區域中。該準標係亦可為其他形狀之圖案。

利用前述之半導體晶圓元件100，本發明提供一種測試方法，用以測試分割後之晶圓。如第1圖所示，一般而言，晶圓的分割製程係將待分割之晶圓100黏接在一膠帶



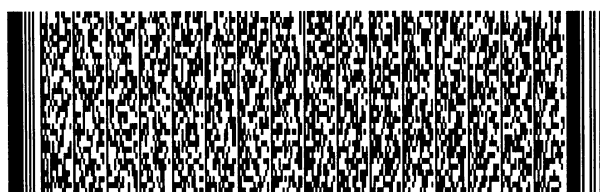
五、發明說明 (5)

106上，並將該膠帶固定於一晶圓架108 (wafer frame) 中央開口處110，再將該晶圓架108固接於一分割機器，以刀具沿著晶圓上之道標112 (street indices) 分割 (如第2圖所示)，得到複數個晶片104 (如第3圖所示)。如第3圖所示，該晶圓100雖然已被分割成複數個晶片104，由於仍黏接在膠帶106上，因此仍保持原來陣列式的分佈，但是經過刀具分割後將造成各個晶片間相對位置的改變。本發明利用前述晶圓元件100，分別對個別區域 A_1-A_{16} 的晶片進行定位，提供操作者在測試分割後之晶圓上的晶片時，能較準確地定位，藉此克服或改善分割製程造成的晶片位移問題。

本發明提供之測試方法包含以下步驟，首先，提供前述之劃分為多個區域的分割後晶圓，如第1圖所示，在該實施例中該晶圓被劃分成區域 A_1-A_{16} ，如第3圖所示，每一區域皆包含複數個晶片104以及至少兩個準標102。在此方法中，該至少兩個準標僅需用以定位該區域即可，因此該至少兩個準標不限於外加之圖案，亦可為每一區域之至少兩對角之晶片的直角邊緣或線路特徵。參見第4圖，每一晶片104包含複數個接點114。

接著，選擇欲定位之區域 (例如 A_2)，尋找 A_2 區域的兩個十字形準標102，藉此利用一圖案辨識系統 (pattern recognition system) 得到 A_2 區域中每一晶片104之座標。

如第4圖所示，根據 A_2 區域中每一晶片104之座標置放一檢測器116，使該檢測器116之連接接點118與 A_2 區域中晶片



五、發明說明 (6)

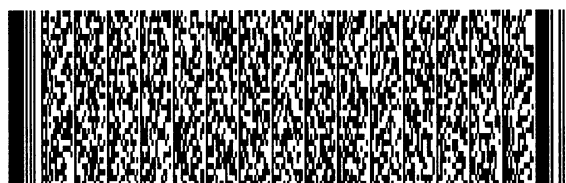
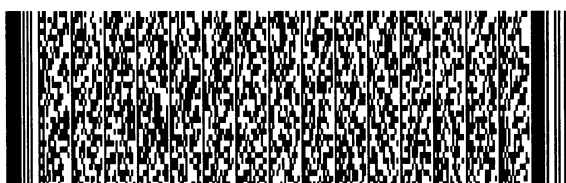
104 的接點114 電性連接。該檢測器116 可以是經常用於晶圓層次測試系統(wafer level testing system)之偵測卡(probe card)。

應注意的是，在獲得 A_2 區域中每一晶片104 的座標後，根據檢測器116 本身的設計，可一次同時偵測區域中所有晶片104 之接點114，或是分次偵測部分或單一晶片104 之接點114。

接下來，可對下一區域(A_3 區域)進行上述定位以及偵測的動作，以此類推直到該晶圓100 上所有區域的晶片104 都被測試完為止。

由於本發明係利用小區域定位之方式降低分割後晶片定位的誤差，因此本發明另提供決定晶圓上劃分區域數目的方法。首先，提供一分割過之晶圓100，該晶圓100 包含複數個陣列排列之晶片104，每一個晶片具有複數個接點114。然後，參照第6a 圖，將該分割過之晶圓100 界定成4 個區域 A_1 、 A_2 、 A_3 、 A_4 ，其中每一個區域包含至少兩個準標102。先尋找位於該分割過晶圓4 個區域之 A_1 的至少兩個準標，藉此利用圖案辨識系統得到 A_1 區域中每一晶片104 的座標。

參照第6b 圖，根據前一步驟所得之 A_1 區域中晶片104 的座標，使該檢測器116 之連接接點靠近晶片104 的接點114，並同時評估該檢測器116 之連接接點118 與晶片104 的接點114 之間的位置偏差。根據本發明一實施例，檢測器116 之連接接點118 最佳係對準晶片104 的接點114 之中心，



五、發明說明 (7)

因此，檢測器116之連接接點118與晶片104的接點114中心的差距 t' 即定義為檢測器116之連接接點118與晶片104的接點114之間的位置偏差。

前述的評估步驟中，若所得之位置偏差 t' 大於該晶片接點114的半徑（或寬度的一半） t ，則檢測器116之連接接點118勢必無法順利與晶片104的接點114發生電性連接，因此要繼續縮小晶圓100上定位區域 $A_1'-A_4'$ 的範圍，也就是需增加晶圓分割區域的數目，並針對新界定之區域重複進行定座標以及評估位置誤差之步驟，直到該晶圓上每一晶片之接點在評估位置誤差之步驟所得之位置偏差 t' 小於該預先設定可容許偏差值 t 之後，此時該晶圓被劃分之區域數目即為最佳之劃分區域數目。然後，同一批次的晶圓，皆可根據該最佳之劃分區域數目而繼續進行前述分區定位以及晶片測試之步驟。

本發明提供一種晶圓層次的測試方法，可克服或至少改善晶圓在分割後因晶片產生位移而造成的定位問題，這個方法不單適用於測試裸晶圓（bare wafer），亦適用於測試已經突塊化之晶圓（如第5圖所示），使檢測器116之連接接點118能順利與分割後之突塊化晶圓的突塊接點120形成暫時性的電性連接。

雖然本發明已以前述較佳實施例揭示，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與修改。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖示說明】

第1圖：根據本發明一實施例之半導體晶圓及其他固定元件之上視圖；

第2圖：第1圖半導體晶圓 A_2 區域分割前之放大上視圖；

第3圖：第1圖半導體晶圓 A_2 區域分割後之上視圖；

第4圖：根據本發明之一實施例，檢測器與待測晶片形成暫時性電性連接之剖面圖；以及

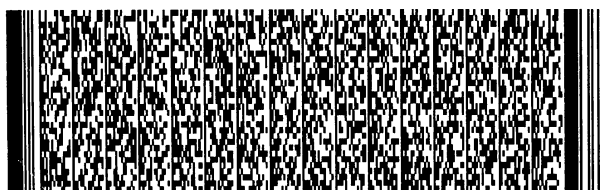
第5圖：根據本發明另一實施例，檢測器與待測突塊化晶片形成暫時性電性連接之剖面圖

第6a圖：根據本發明另一實施例之半導體晶圓元件之上視圖；以及

第6b圖：根據本發明之一實施例，檢測器靠近第6a圖半導體晶圓結構 A_1' 區域之待測晶片以評估位置偏差之步驟的剖面圖。

【圖號說明】

100	半導體晶圓	102	準標
104	晶片	106	膠帶
108	晶圓架	110	開口
112	道標	114	接點
116	檢測器	118	連接接點
120	突塊接點		
$A_1 \sim A_{16}$	區域	$A_1' \sim A_4'$	區域



四、中文發明摘要 (發明名稱：半導體晶圓及其測試方法)

一種半導體晶圓包含複數個區域，且有複數個陣列排列之晶片設於每一區域中。本發明之特徵係為至少有二個準標 (fiducial mark) 設於該晶圓之每一區域中。本發明另提供測試切割後半導體晶圓的方法。

六、英文發明摘要 (發明名稱：SEMICONDUCTOR WAFER AND TESTING METHOD FOR THE SAME)

A semiconductor wafer includes a plurality of areas and an array of dice disposed within each of the areas. The feature of the present invention is that at least two fiducial marks are disposed in each of the areas. The present invention further provides a method of testing a sawed semiconductor wafer.



六、申請專利範圍

1、一種半導體晶圓，其包含：

複數個區域；

複數個陣列排列之晶片設於每一區域中；以及

至少二個準標（fiducial mark）設於每一區域中。

2、依申請專利範圍第1項之半導體晶圓，其中該至少二個準標係位於每一區之兩對角。

3、依申請專利範圍第1項之半導體晶圓，其中該至少二個準標係為圖案。

4、依申請專利範圍第3項之半導體晶圓，其中該至少二個準標係為十字形圖案。

5、一種半導體晶圓測試方法，其包含下列步驟：

提供一分割過之晶圓包含至少一第一區域以及一第二區域，其中該第一區域以及第二區域皆各包含至少兩個準標以及複數個陣列排列之晶片，每一個晶片具有複數個接點；

提供一檢測器具有複數個連接接點；

尋找該晶圓之第一區域的至少兩個準標，藉此利用一圖案辨識系統（pattern recognition system）得到該第一區域中每一晶片的座標；

根據第一區域中每一晶片的座標置放該檢測器之連接接點，使該檢測器之連接接點與該第一區域中晶片的接點電性



六、申請專利範圍

連接；

尋找該晶圓之第二區域的至少兩個準標，藉此利用該圖案辨識系統得到該第二區域中每一晶片的座標；以及

根據第二區域中每一晶片的座標置放該檢測器之連接接點，使該檢測器之連接接點與該第二區域中晶片的接點電性連接。

6、依申請專利範圍第5項之半導體晶圓測試方法，其中該晶片之接點係為突塊接點。

7、依申請專利範圍第5項之半導體晶圓測試方法，其中該至少二個準標係位於該第一區域的兩對角。

8、依申請專利範圍第5項之半導體晶圓測試方法，其中該至少二個準標係為圖案。

9、依申請專利範圍第5項之半導體晶圓測試方法，其中該至少二個準標係為該第一區域兩對角晶片的直角邊緣。

10、依申請專利範圍第5項之半導體晶圓測試方法，其中該至少二個準標係為該第一區域兩對角晶片的線路特徵。

11、一種半導體晶圓測試方法，其包含下列步驟：

a) 提供一分割過之晶圓包含複數個陣列排列之晶片，每



六、申請專利範圍

一個晶片具有複數個接點；

b) 提供一檢測器具有複數個連接接點；

c) 將該分割過之晶圓界定成 n 個區域，其中每一個區域包含至少兩個準標；

d) 尋找位於該分割過晶圓 n 個區域之一的至少兩個準標，藉此利用一圖案辨識系統 (pattern recognition system) 得到該區域中每一晶片的座標；

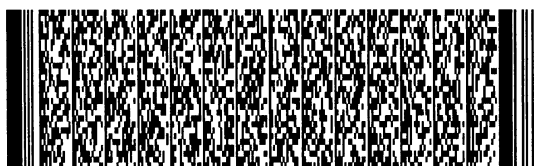
e) 根據步驟d)所得該區域中每一晶片的座標使該檢測器之連接接點靠近每一晶片的接點，並同時評估該檢測器之連接接點與晶片接點之間的位置偏差；

f) 若根據步驟e)所得之位置偏差大於一預先設定可容許偏差值，則重複進行進行步驟c)至步驟d)但每次至少增加一個晶圓分割區域，直到該晶圓上每一晶片之接點根據步驟e)所得之位置偏差小於該預先設定可容許偏差值，此時該晶圓係劃分為 f 個區域，且每一區域包含至少兩個準標；

g) 在步驟f)之後，尋找位於該分割過晶圓 f 個區域之一的至少兩個準標，藉此利用該圖案辨識系統得到該區域中每一晶片的座標；

h) 根據步驟g)所得該區域中每一晶片的座標置放該該檢測器之連接接點，使該檢測器之連接接點與晶片的接點電性連接。

12、依申請專利範圍第11項之半導體晶圓測試方法，其中該晶片之接點係為突塊接點。



六、申請專利範圍

13、依申請專利範圍第11項之半導體晶圓測試方法，其中該至少二個準標係位於該第一區域的兩對角。

14、依申請專利範圍第11項之半導體晶圓測試方法，其中該至少二個準標係為圖案。

15、依申請專利範圍第11項之半導體晶圓測試方法，其中該至少二個準標係為該第一區域兩對角晶片的直角邊緣。

16、依申請專利範圍第11項之半導體晶圓測試方法，其中該至少二個準標係為該第一區域兩對角晶片的線路特徵。

