

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H03F 3/00
G01R 19/00

(11) 공개번호 10-2005-0046586
(43) 공개일자 2005년05월18일

(21) 출원번호 10-2004-0092192
(22) 출원일자 2004년11월12일

(30) 우선권주장 JP-P-2003-00385098 2003년11월14일 일본(JP)

(71) 출원인 애질런트 테크놀로지스, 인크.
미합중국 캘리포니아 (우편번호 94306-2024) 팔로 알토 페이지 밀로드 395
(72) 발명자 미야케야스히로
일본 도쿄도 하치오지시 오와다쵸 7-2-8-201

(74) 대리인 김창세
장성구

심사청구 : 없음

(54) 전류-전압 변환 회로 및 리세트 방법

요약

본 발명은 적분 콘덴서를, 정밀도 좋게 소망하는 전압으로 리세트할 수 있는 전류-전압 변환기를 제공하는 것을 과제로 한다.

상기 과제는, 연산 증폭기와, 상기 연산 증폭기의 입력 단자 및 출력 단자와의 사이에 접속된 제 1 콘덴서를 갖는 전류-전압 변환 회로에 있어서, 상기 입력 단자에 접속된 스위치와, 상기 스위치의 제어 신호를 발생하는 제 1 신호원과, 상기 입력 단자에 접속된 제 2 콘덴서와, 상기 제 2 콘덴서의 다른쪽 단에 접속된 제 2 신호원을 갖는 것을 특징으로 하는 전류-전압 변환 회로에 의해 해결된다.

대표도

도 1

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예인 전류-전압 변환기의 회로도,
- 도 2는 배경 기술란 기재의 전류-전압 변환기의 회로도,
- 도 3은 본 발명의 실시예에 있어서의 각 신호의 타이밍차트.

도면의 주요 부분에 대한 부호의 설명

- 1 : 적분 회로 2 : 리세트 회로
- 3 : 피측정 전류원 10 : 연산 증폭기
- 11 : 적분 콘덴서 23, 24 : FET 스위치
- 21 : 리세트 전원 25 : 제어 신호 전원

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 적분 회로를 이용한 전류-전압 변환 회로에 관한 것으로서, 특히 적분 콘덴서에 축적된 전하를 소정 전압으로 리세트하는 수단을 갖는 전류-전압 변환 회로에 관한 것이다.

적분 회로를 이용한 전류-전압 변환 회로는, 전류량 측정기나 전하량 측정기 등으로 사용되고 있다. 이것은, 도 2의 적분 회로(1)에 도시하는 바와 같이, 연산 증폭기(10)의 반전 입력 단자와 출력 단자 사이에 적분 콘덴서(11)를 접속하고, 피측정 전류원(3)으로부터의 전류에 의해서 적분 콘덴서(11)를 충전하여, 적분 전압 V_o 를 측정함으로써, 콘덴서(11)에 유입된 전하량을, 적분 전압 V_o 의 변화를 구하는 것에 의해 전류량을 측정하는 회로이다. 본 발명에 있어서, 전류-전압 변환 회로는, 단순한 전류-전압 변환 뿐만 아니라 전하-전압 변환의 개념도 포함한다.

도 2와 같은 적분 회로를 이용하여 복수의 전하량 또는 전류량의 측정을 행하는 경우에는, 콘덴서(11)가 포화되지 않도록, 콘덴서(11)를 리세트시킬 필요가 있다. 이러한 리세트 동작에서는, 콘덴서(11)에 축적된 전하를 방전하여, 출력 전압 V_o 를 0V로 리세트하는 것이 일반적이지만, 측정하는 신호의 극성을 미리 알고 있는 경우나, 측정 정밀도가 높은 출력 전압 영역이 존재하는 경우 등, 콘덴서(11)의 양 단자간 전압을 소정 전압으로 리세트할 필요가 생기는 경우가 있다.

이와 같이, 출력 전압 V_o 를 소정 전압으로 리세트하는 기능을 갖는 전류-전압 변환 회로로서, 특허 문헌 1에 기재되어 있는 것 같은 기술이 있다. 도 2의 개략도를 바탕으로 회로의 개요를 설명한다. 전류-전압 변환 회로는, 적분 회로(1)와 리세트 회로(2)로 나눌 수 있고, 적분 회로(1)에는 피측정 전류원(3)이 접속되어 있다. 한편, 리세트 회로(2)는, 적분 콘덴서(11)의 양 단자간에 접속되어, 콘덴서의 전압을 리세트하는 기능을 갖는다. 리세트 회로(2)는, FET 스위치(23)와, 스위치(23)의 제어 신호원(25), 스위치(23)에 접속된 연산 증폭기(27)와, 리세트 전압을 부여하는 신호원(28)에 의해 구성되어 있다. 제어 신호원(25)의 출력이 0V일 때에는, FET(23)의 게이트 전압이 0V로 되기 때문에, 드레인-소스 사이가 비도통 상태로 되어, 리세트 회로(2)는 비동작 상태로 된다.

한편, 제어 신호원(25)에 정전압이 인가되면, FET(23)의 드레인-소스 사이가 도통 상태로 된다. 이 때, 연산 증폭기(27)의 비반전 입력 단자의 전위 및 접속점 A의 전위는, 반전 입력 단자와 동전압으로 되기 때문에, 신호원(28)의 출력 전압 V_2 와 동전위로 된다. 또한, 연산 증폭기(27)의 출력 전압 및 접속점 B의 전위는, 연산 증폭기(10)의 반전 입력 단자에 접속되어 있기 때문에 0V로 된다. 이렇게 해서, 콘덴서(11)의 양 단자 사이는, 접속점 A와 B의 전위차인 V_2 로 리세트된다.

[특허 문헌 1] 일본 특허 공개 평성 제 3-200121 호 공보

발명이 이루고자 하는 기술적 과제

이와 같이, 도 2의 회로는, 콘덴서(11)를 소정 전압으로 대전(帶電)할 수 있다. 그런데, FET 스위치(23)에 한하지 않고, 아날로그 스위치나 릴레이 등의 스위치는, 일반적으로, 제어 단자(도 2에서는 게이트)와 피제어 단자(도 2에는 소스) 사이에 용량값 C1의 부유 용량(26)이 존재하기 때문에, 제어 신호원(25)의 전압이 변화되면, 소스 단자에 전류가 흐른다. 즉, 스위치(23)를 오픈한 순간에 소스 단자에 전류가 흐른다. 이 전류는, 콘덴서(11)에 유입됨으로써, 스위치(23)가 오픈된 후의 출력 전압 V_o (콘덴서(11)의 양단간 전압)가 변화하게 되어, 리세트 전압 V_2 와 상이한 전위로 되어 버린다고 하는 문제가 생긴다. 특히, 미소 전류(또는 미소 전하)를 측정하는 장치에 있어서는, 정밀도 향상을 위해 용량이 작은 콘덴서(11)를 사용하기 때문에, 스위치(23)의 오픈시에 흐르는 소스 전류에 의해서, 출력 전압 V_o 가 크게 변화해 버린다.

본 발명은, 연산 증폭기와, 상기 연산 증폭기의 입력 단자 및 출력 단자와의 사이에 접속된 제 1 콘덴서를 갖는 전류-전압 변환 회로에 있어서, 상기 입력 단자에 접속된 스위치와, 상기 스위치의 제어 신호를 발생하는 제 1 신호원과, 상기 제 1 콘덴서에 접속된 제 2 콘덴서와, 상기 제 2 콘덴서의 다른 단에 접속된 제 2 신호원을 갖는 것을 특징으로 하는 전류-전압 변환 회로에 의해, 상기 과제를 해결한다.

즉, 스위치의 오픈시에 제어 신호의 변화에 의해서 발생하는 전류와 역방향의 전류를 제 2 신호원으로부터 부여해 주는 것에 의해, 스위치 오픈에 의한 출력 전압의 변화를 방지한다.

발명의 구성 및 작용

이하에 첨부 도면을 참조하여, 본 발명의 바람직한 실시형태로 되는 전류-전압 변환 회로에 대하여 상세히 설명한다.

도 1은, 본 발명에 관한 전류-전압 변환 회로의 회로도도를 나타낸다. 전류-전압 변환 회로는, 적분 회로(13)와 리세트 회로(2)로 구성된다. 적분 회로(1)는, -2V에서 2V 범위의 출력이 가능한 연산 증폭기(10)와, 연산 증폭기(10)의 반전 입력 단자와 출력 단자 사이에 접속된 10pF의 적분 콘덴서(11)로 이루어진다. 연산 증폭기(10)의 입력 단자에는 피측정 전류원(3)이 접속되어 있다. 또한, 리세트 회로(2)는, 연산 증폭기(10)의 입력 단자 및 출력 단자에 각각 접속된 FET 스위치(23, 24)와, 각 FET 스위치(23, 24)의 다른 단에 접속된 저항기(22)와, FET 스위치(23, 24)에 제어 신호를 공급하는 제어 신호원(25)과, 콘덴서(11)의 반전 입력 단자측에 접속된 콘덴서(20)과, 콘덴서(11)의 다른 단에 접속된 리세트 신호원(21)에 의해 구성되어 있다.

또, 본 실시예에서는, 스위치(23, 24)에 FET를 이용하고 있지만, 아날로그 스위치나 릴레이 등의 스위치를 이용하더라도 좋다.

다음에, 회로의 동작에 대하여 도 1의 회로도 및 도 3의 타이밍차트에 근거하여 설명을 한다. 적분 회로(1)는, 연산 증폭기(10)의 반전 입력은 하이 임피던스이기 때문에, 피측정 전류원(3)으로부터의 전류는 적분 콘덴서(11)에 축적된다. 비반전 단자가 접지되어 있기 때문에, 반전 단자의 전압은 가상 접지에 의해 0V로 되고, 피측정 전류원(3)으로부터의 공급된 전하량 Q는, $Q = C3 \times V_o$ ($C3$ 은 콘덴서(11)의 용량, V_o 는 연산 증폭기(10)의 출력 전압)로 구할 수 있다. 또한, 전류량 I는 전하량 Q의 단위 시간당의 변화로 구할 수 있기 때문에, $I = C3 \times dV_o/dt$ 로 구할 수 있다. 따라서, 출력 전압 V_o 를 측정함으로써, 피측정 전류원(3)으로부터 공급된 전하량 Q 및 전류량 I를 측정할 수 있다.

한편, 리셋 회로(2)는, 피측정 전류(3)의 측정을 행할 때(도 3의 시간 0~T1 사이)에는, 제어 신호 전압 V1을 0V로 하여, FET 스위치(23, 24)를 함께 오프로 한다. 이 때, 리셋 전류원(21)은 하이 임피던스 상태로 되어 있고, 피측정 전류원(3)으로부터의 전류가 리셋 회로(2)로 리크하는 일은 없다.

다음에, 콘덴서(11)의 리셋을 행할 때(도 3에서 시간 T1~T2 사이)에는, 우선, 시간 T1에서 제어 신호 전압 V1을 5V로 한다. 그렇게 하면, FET 스위치(23, 24)가 함께 온으로 된다. FET 스위치(23, 24)는, 함께, 한쪽 단이 콘덴서(11)에 접속되고, 다른쪽 단이 저항기(22)를 거쳐서 접지되어 있기 때문에, 콘덴서(11)에 축적된 전하는, 콘덴서(11)의 용량과, 저항기(22)와 FET(23, 24)의 합성 저항에 의해서 결정되는 시정수에 따라서, 콘덴서(11)의 양 단자 사이의 전압이 0V로 될 때까지 제전(除電)된다.

제전이 종료하면, 제어 신호 전압 V1을 0V로 되돌려서, FET 스위치(23, 24)를 함께 오프로 한다(도 3의 시간 T2). 이 때, 게이트-소스 사이의 부유 용량(26)의 존재에 의해, FET(23)에는, 제어 신호 전압 V1의 변화에 따른 소스 전류가 흐른다. 그래서, FET 스위치(23, 24)를 턴 오프하는 동시에, 리셋 신호원(21)을 0V로부터 5V로 변화시켜, 게이트-소스간 용량(26)과 동일한 용량을 갖는 콘덴서(20)를 통하여 접속점 A에 소스 전류와는 반대 방향의 전류를 공급함으로써, FET 스위치(23)의 턴 오프시의 소스 전류에 의해 공급되는 전하를 제거하여, 콘덴서(11)를 제전된 상태(양단간 전압이 0V)로 유지할 수 있다.

또, 본 실시예에서는, 게이트-소스 사이의 부유 용량(26)의 용량 C1과 콘덴서(20)의 용량 C2, 및, 제어 신호 전압 V1과 리셋 전원의 전압 V2를, 각각 같아지도록 설정하고 있지만, $C1 \times V1 = -C2 \times V2$ 가 성립하는 범위, 즉 제어 신호 전압 V1의 변화에 의해 게이트-소스 사이의 부유 용량(26)을 통하여 FET(23)의 소스 단자에 공급되는 전하량과, 리셋 전원의 전압 V2의 변화에 의해 콘덴서(20)를 통하여 공급되는 전하량이 같아지도록, 적절히 설계할 수 있다.

또한, $C1 \times V1 + C2 \times V2 = C3 \times V_o$ 를 만족하도록, 콘덴서(20)의 용량 C2, 적분 콘덴서(11)의 용량 C3, 제어 신호 전압 V1, 및 리셋 전원 전압 V2를 설정함으로써, 스위치(23)의 턴 오프시에 흐르는 소스 전류의 영향을 제거하고, 또한 콘덴서(11)를 소정 전압 V_o 로 리셋할 수 있다. 예컨대, 피측정 전류원(3)의 전류 I가 도 1의 화살표 방향인 것을 미리 알고 있는 경우에는, 콘덴서(11)의 양 단자간 전압을 연산 증폭기(10)의 출력 전압의 하한인 -2V로 되도록 리셋함으로써, 연산 증폭기(10)의 출력 전압의 전역(-2V에서 2V)을 이용한 측정이 가능해져, 보다 고밀도의 측정이 가능해진다.

또, 본 발명에 있어서의 피측정 전류원(3)은, 스스로 전류를 공급하는 능동적인 전류원 뿐만 아니라, 외부로부터 전압을 인가함으로써 전류가 흐르는 저항기나 콘덴서 등의 수동적인 소자를 포함한다. 이러한 수동적인 소자의 측정에 있어서는, 적분 회로(1) 및 리셋 회로(2)의 접지 전위와 피측정 전류원(3)의 접지 전위와의 사이에 전원을 삽입하여 측정을 행한다. 예컨대, 저항기의 저항치 R을 측정하는 경우에는, 피측정 전류원(3)의 장소에 저항기를 세트하고, 적분 회로(1) 및 리셋 회로(2)의 접지 부분에 전원을 삽입하여, 적분 회로(1) 및 리셋 회로(2)의 접지 전위와 피측정 전류원(3)의 접지 전위 사이의 전위차 V_{in} 을 둔다. 이 때 연산 증폭기(10)의 반전 단자의 전압은 V_{in} 으로 되기 때문에, 측정 대상의 저항기에는 전위차 V_{in} 과 저항치 R에 의해서 결정되는 정전류원 $I(I = V_{in}/R)$ 이 흐른다. 즉, 측정 대상의 저항기가 상술한 실시예와 마찬가지로의 전류원으로서 작용하는 것으로 된다. 이 전류치 I를 구하는 것에 의해, 저항치 R를 측정할 수 있다. 마찬가지로, TFT 어레이나 반도체의 측정의 측정에 있어서는, 적분 회로(1) 및 리셋 회로(2)의 접지 전위와 피측정 전류원(3)의 접지 전위와의 사이에 전위차를 마련하는 것에 의해, 실사용 상태와 같은 바이어스 전압을 인가하여 측정을 행할 수 있다.

마지막으로, 본 실시예에 사용한 전압값 등의 수치 파라미터는 단순한 예시로서, 측정 대상이나 측정 방식에 의해 임의로 선택 가능한 것이고, 특히 청구 범위를 한정하는 것은 아니다.

발명의 효과

본 발명의 전류-전압 변환 회로 또는 방법에 의해, 리셋후의 전압을 정밀도 좋게 소망하는 전압으로 설정할 수 있다.

(57) 청구의 범위

청구항 1.

- 연산 증폭기와,
- 상기 연산 증폭기의 입력 단자 및 출력 단자와의 사이에 접속된 제 1 콘덴서
- 를 갖는 전류-전압 변환 회로에 있어서,
- 한쪽 단이 상기 입력 단자에 접속된 제 1 스위치와,
- 상기 제 1 스위치의 제어 신호를 발생하는 제 1 신호원과,

상기 제 1 콘덴서에 접속된 제 2 콘덴서와,
상기 제 2 콘덴서의 다른쪽 단에 접속된 제 2 신호원
을 갖는 것을 특징으로 하는 전류-전압 변환 회로.

청구항 2.

제 1 항에 있어서,

상기 스위치가 트랜지스터를 포함하고, 또한, 상기 2 콘덴서의 용량이 상기 트랜지스터의 게이트-소스간 용량과 같은 것을 특징으로 하는 전류-전압 변환 회로.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

또한, 한쪽 단이 상기 출력 단자에 접속된 제 2 스위치와,

한쪽 단이 접지된 저항기로서, 상기 제 1 스위치의 다른쪽 단과 상기 제 2 스위치의 다른쪽 단에 상기 저항기의 다른쪽 단이 접속된 상기 저항기를 갖는 것을 특징으로 하는 전류-전압 변환 회로.

청구항 4.

연산 증폭기와,

한쪽 단이 상기 연산 증폭기의 입력 단자에, 다른쪽 단이 상기 연산 증폭기의 출력 단자와의 사이에 접속된 콘덴서와,

상기 콘덴서에 접속된 스위치를 포함하는 상기 콘덴서의 제전(除電) 수단과,

상기 콘덴서의 한쪽 단에 접속된 신호원

을 갖는 전류-전압 변환 회로의 리세트 방법으로서,

상기 스위치를 도통 상태로 하여 상기 콘덴서를 제전하는 제전 단계와,

상기 스위치를 개방 상태로 하는 개방 단계와,

상기 신호원으로부터 신호를 출력하는 신호 출력 단계

를 포함하는 전류-전압 변환 회로의 리세트 방법.

청구항 5.

제 4 항에 있어서,

상기 개방 단계와, 상기 신호 출력 단계를 동시에 실행하는 것을 특징으로 하는 전류-전압 변환 회로의 리세트 방법.

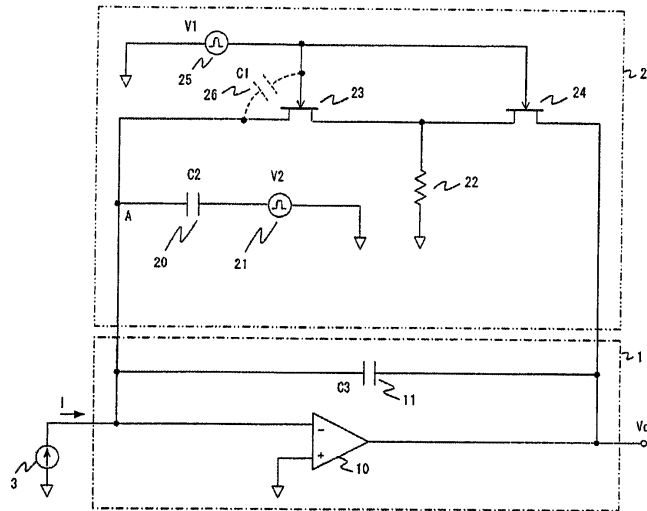
청구항 6.

제 4 항 또는 제 5 항에 있어서,

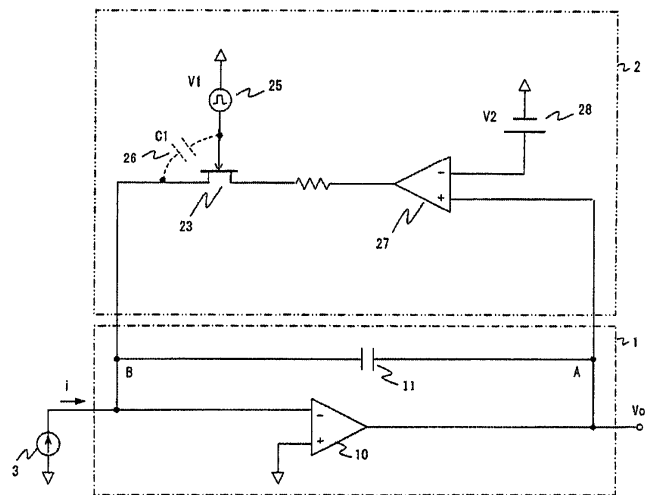
상기 신호에 의해, 상기 콘덴서를 소정 전압으로 대전(帶電)하는 것을 특징으로 하는 전류-전압 변환 회로의 리세트 방법.

도면

도면1



도면2



도면3

