



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 907582

(61) Дополнительное к авт. свид-ву -
(22) Заявлено 300480 (21) 2919482/18-24

(51) М. Кл.³

с присоединением заявки № -

G 11 C 15/00
G 11 C 29/00

(23) Приоритет -

Опубликовано 23.02.82. Бюллетень № 7

(53) УДК 681.327.
.6(088.8)

Дата опубликования описания 23.02.82

(72) Авторы
изобретения

Д.А.Тодуа, Т.А.Клишавили, М.А.Абрамян, А.К.Иманов,
О.Е.Жуковская и Н.А.Шемягин

(71) Заявитель

Тбилисский научно-исследовательский институт
приборостроения и средств автоматизации Научно-
производственного объединения ЭЛВА

(54) АССОЦИАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

Изобретение относится к вычислительной технике, а именно к запоминающим устройствам.

Известно ассоциативное запоминающее устройство (АЗУ), содержащее две матрицы запоминающих элементов, предназначенных для хранения одних и тех же данных. При сравнении информации, считываемой из обеих матриц, обнаруживается ошибка [1].

Недостатком этого устройства является низкая надежность работы вследствие того, что контроль ведется лишь при считывании. Кроме того, устройство имеет избыточное оборудование, так как содержит два одинаковых накопителя.

Наиболее близким по технической сущности к изобретению является АЗУ, содержащее матрицу элементов ассоциативной памяти, каждый из которых содержит запоминающую ячейку, блок считывания и блок сравнения, две группы блоков выдачи, шины вы-

бора строки, информационные шины, шины выдачи данных и шины выдачи результатов поиска [2].

Однако известное устройство имеет низкую надежность ввиду отсутствия контроля работы в режимах записи и считывания.

Цель изобретения - повышение надежности устройства.

Поставленная цель достигается тем, что в ассоциативное запоминающее устройство, содержащее накопитель, адресные входы которого являются адресными входами устройства, первую группу блоков считывания, входы которых подключены к выходам первой группы накопителя, а выходы блоков считывания первой группы являются одними выходами устройства, вторую группу блоков считывания, входы которых подключены к выходам второй группы накопителя, а выходы блоков считывания второй группы являются другими выходами устройства,

дополнительно введены элементы ИЛИ, первые входы которых подключены к выходам блоков считывания второй группы, вторые входы элементов ИЛИ подключены к адресным входам накопителя и элемент И, входы которого подключены к выходам элементов ИЛИ, а выход элемента И является управляющим выходом устройства.

На фиг. 1 приведена структурная схема АЗУ; на фиг. 2 - схема запоминающей ячейки.

АЗУ содержит накопитель запоминающих ячеек $1_{11}-1_{1k}$, первую группу блоков считывания 2_1-2_k по числу столбцов матрицы, вторую группу блоков считывания 3_1-3_n по числу строк матрицы, элементы ИЛИ 4_1-4_n , элемент И 5, адресные входы 6, информационные выходы 7 и 8 и информационные входы 9. Запоминающая ячейка 1 содержит запоминающий элемент 10, выходной блок 11 и блок 12 сравнения.

Устройство работает следующим образом.

В режиме записи выбирается одна или несколько шин выбора строки, т.е. на шине присутствует уровень логического "0", информация записывается в запоминающий элемент запоминающей ячейки 1 и одновременно производится сравнение записанной информации с входной информацией в блоке 12 сравнения, и в случае их совпадения с выхода блока считывания 3 выбранной строки снимается уровень логической "1", в это время невыбранные строки имеют на шинах выбора уровень логической "1" и проверке не подвергаются, т.е. на выходах соответствующих элементов ИЛИ 4 также присутствует уровень логической "1". Присутствие на всех входах элемента И 5 уровней логической "1" не вызывает появления на его выходе сигнала "Ошибка". В случае неправильной записи или неправильной работы блока сравнения элементов памяти с выхода соответствующего элемента ИЛИ 4 снимается уровень логического "0", который вызывает появление сигнала "Ошибка".

В режиме чтения информационные шины блокируются и блоки 12 сравне-

ния при правильном функционировании имеют на входе уровень логической "1", которые подаются через группу элементов ИЛИ 4_1-4_n на элемент И 5. Присутствие на всех входах элемента И 5 уровней логической "1" не вызывает появления сигнала "Ошибка". В противном случае, наличие хотя бы на одном входе элемента И 5 уровня логического "0" вызывает появление сигнала "Ошибка".

Предлагаемое АЗУ обеспечивает самоконтроль в режимах записи и чтения, его применение позволит повысить надежность устройств памяти за счет контроля в рабочем режиме.

Формула изобретения

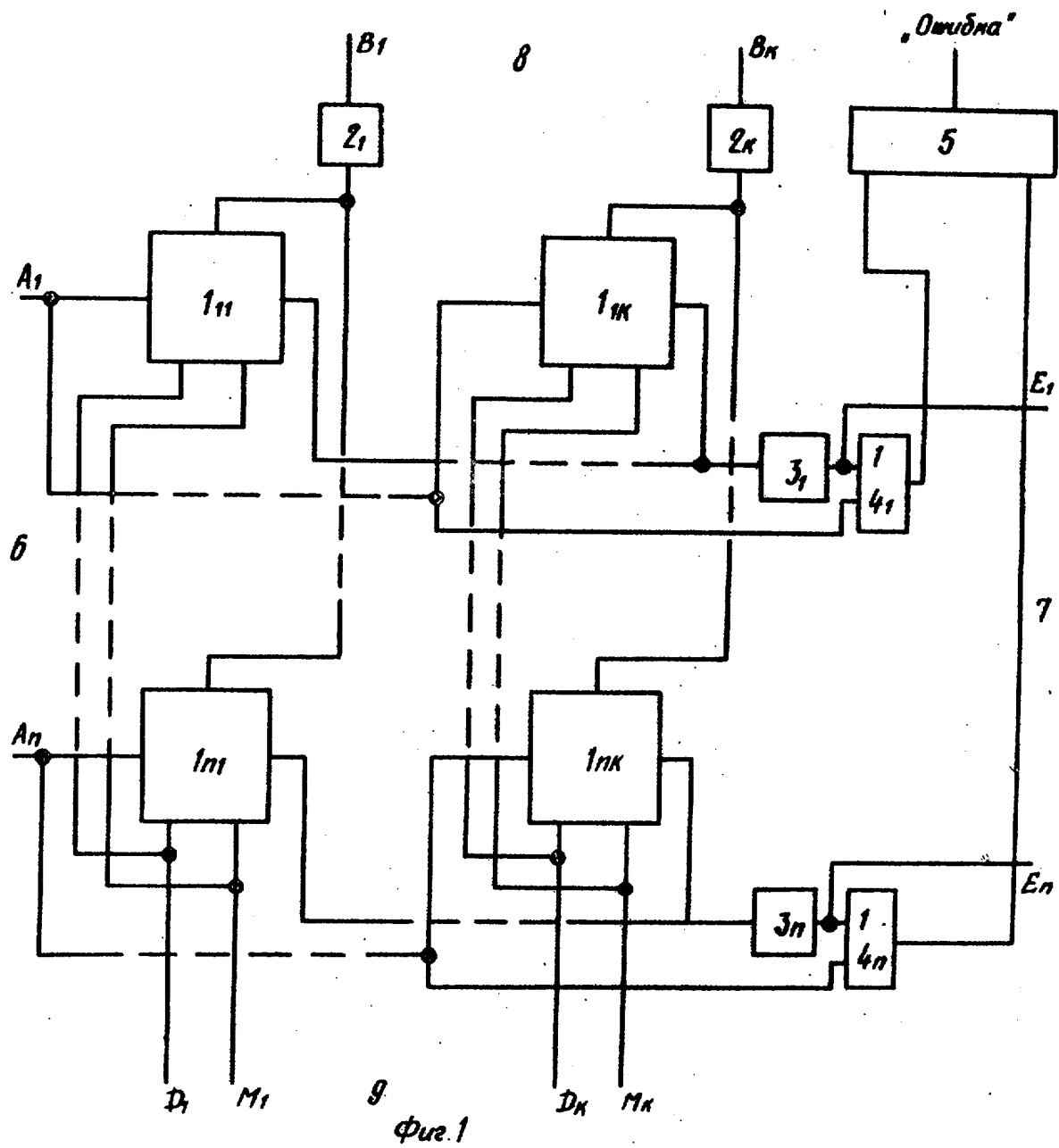
Ассоциативное запоминающее устройство, содержащее накопитель, адресные входы которого являются адресными входами устройства, первую группу блоков считывания, входы которых подключены к выходам первой группы накопителя, а выходы блоков считывания первой группы являются одними выходами устройства, вторую группу блоков считывания, входы которых подключены к выходам второй группы накопителя, а выходы блоков считывания второй группы являются другими выходами устройства, о т ч а ю щ е е с я тем, что, с целью повышения надежности устройства, оно содержит элементы ИЛИ, первые входы которых подключены к выходам блоков считывания второй группы, вторые входы элементов ИЛИ подключены к адресным входам накопителя, и элемент И, входы которого подключены к выходам элементов ИЛИ, а выход элемента И является управляющим выходом устройства.

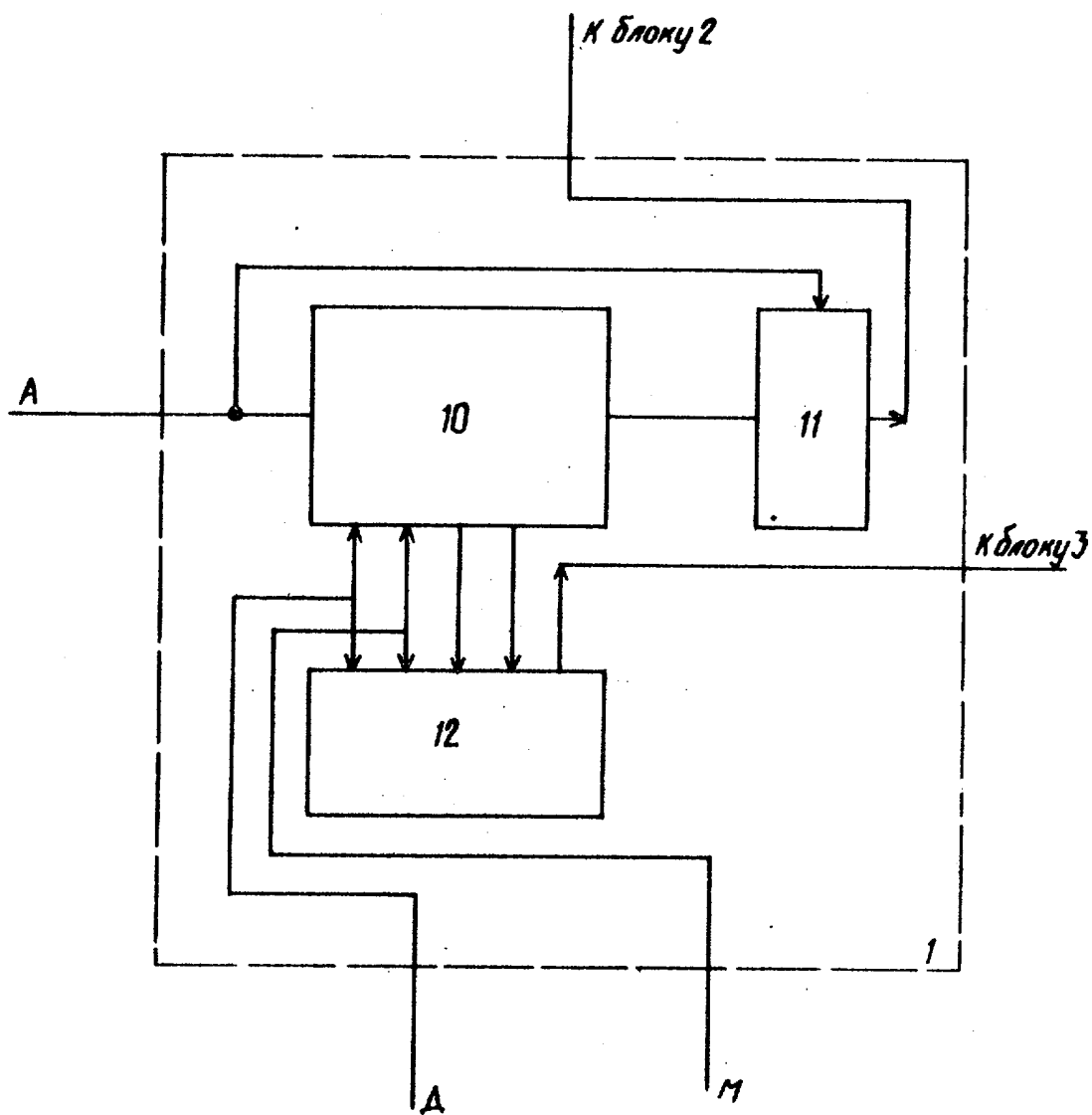
Источники информации,

принятые во внимание при экспертизе

1. Заявка Великобритании №1265645, кл. G 11 C 15/00, 1974.

2. Биполярное ассоциативное запоминающее устройство. - "Электронная промышленность", 1975, № 11 (прототип).





Фиг. 2

Редактор В.Лазаренко Составитель В.Гордонова Корректор Г.Огар
 Техред М.Гергель

Заказ 600/59 Тираж 624 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4